



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년02월03일
(11) 등록번호 10-2495916
(24) 등록일자 2023년01월31일

(51) 국제특허분류(Int. Cl.)
H01L 23/31 (2006.01) H01L 25/07 (2006.01)
(52) CPC특허분류
H01L 23/3171 (2013.01)
H01L 23/3114 (2013.01)
(21) 출원번호 10-2015-0114547
(22) 출원일자 2015년08월13일
심사청구일자 2020년08월13일
(65) 공개번호 10-2017-0019967
(43) 공개일자 2017년02월22일
(56) 선행기술조사문헌
JP2009032918 A*
US09006030 B1*
KR1020150044329 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자 주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
장근호
서울특별시 서초구 효령로55길 22, 1103호 (서초동)
심중보
충청남도 아산시 탕정면 탕정면로 37, 101동 2804호 (탕정삼성트라펠리스아파트)
조태제
경기도 용인시 수지구 성북1로164번길 13, 207동 402호 (성북동, 버들치마을성북힐스테이트2차)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 10 항

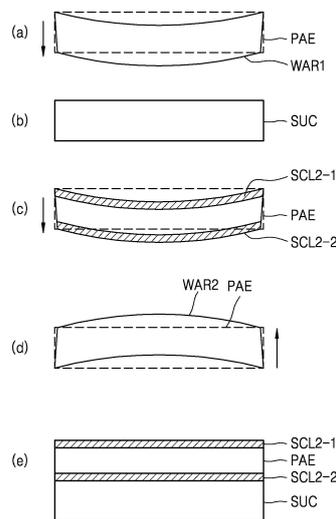
심사관 : 김기한

(54) 발명의 명칭 반도체 패키지

(57) 요약

본 발명의 반도체 패키지는 제1 칩; 상기 제1 칩 상에 탑재되고 내부 연결 부재를 통하여 연결된 제2 칩; 상기 제2 칩을 밀봉하고 상기 제2 칩의 상면을 노출하는 밀봉재; 상기 제1 칩 및 상기 제2 칩 사이에 탑재된 복수개의 중간 칩들; 및 상기 제1 칩의 하면, 상기 제1 칩의 상면, 및 상기 제2 칩의 상면 상에 형성된 응력 조절층을 포함한다. 상기 응력 조절층은 상기 제1 칩 및 상기 제2 칩의 위피지를 방지하게 내부 응력을 가지며, 및 상기 제1 칩은 하부 칩이고, 상기 제2 칩은 상기 복수개의 중간 칩들을 통하여 상기 제1 칩과 연결된 최상부 칩이다.

대표도 - 도2



(52) CPC특허분류

H01L 23/3121 (2013.01)

H01L 25/073 (2013.01)

명세서

청구범위

청구항 1

제1 칩;

상기 제1 칩 상에 탑재되고 내부 연결 부재를 통하여 연결된 제2 칩;

상기 제2 칩을 밀봉하고 상기 제2 칩의 상면을 노출하는 밀봉재;

상기 제1 칩 및 상기 제2 칩 사이에 탑재된 복수개의 중간 칩들; 및

상기 제1 칩의 하면, 상기 제1 칩의 상면, 및 상기 제2 칩의 상면 상에 형성된 응력 조절층을 포함하되,

상기 응력 조절층은 상기 제1 칩 및 상기 제2 칩의 위피지를 방지하게 내부 응력을 가지며, 및

상기 제1 칩은 하부 칩이고, 상기 제2 칩은 상기 복수개의 중간 칩들을 통하여 상기 제1 칩과 연결된 최상부 칩인 것을 특징으로 하는 반도체 패키지.

청구항 2

제1항에 있어서, 상기 응력 조절층은 산화층, 질화층, 폴리머층 또는 이들의 조합층인 것을 특징으로 하는 반도체 패키지.

청구항 3

제1항에 있어서, 상기 밀봉재는 언더필 또는 몰딩재인 것을 특징으로 하는 반도체 패키지.

청구항 4

제1항에 있어서, 상기 밀봉재는 상기 제1 칩과 상기 제2 칩 사이, 또는

상기 제1 칩과 상기 제2 칩 사이 및 상기 제2 칩의 양측벽에 형성되어 있는 것을 특징으로 하는 반도체 패키지.

청구항 5

제4항에 있어서, 상기 응력 조절층은 상기 제2 칩의 상면 및 상기 밀봉재의 상면 상에 형성되어 있고, 및

상기 제2 칩의 상면 및 상기 밀봉재의 상면은 동일 평면인 것을 특징으로 하는 반도체 패키지.

청구항 6

베이스 밀봉재에 의하여 밀봉된 베이스 칩;

상기 베이스 칩 상에 적층된 복수개의 칩들을 포함하고, 상기 베이스 칩 및 상기 복수개의 칩들은 적층 칩을 구성하며;

상기 베이스 칩의 하면 상에 형성된 제1 응력 조절층;

상기 베이스 칩의 상면 및 상기 복수개의 칩들중 최하부 칩 아래에 형성된 제2 응력 조절층;

상기 적층 칩을 밀봉하는 밀봉재; 및

상기 밀봉재의 상면에 형성된 제3 응력 조절층을 포함하되,

상기 제1 응력 조절층 및 상기 제2 응력 조절층은 상기 베이스 칩의 위피지를 방지하게 구성되며, 및 상기 제3 응력 조절층은 상기 적층 칩의 위피지를 방지하게 구성되는 것을 특징으로 하는 반도체 패키지.

청구항 7

제6항에 있어서, 상기 베이스 칩은 베이스 관통 비아 전극, 및 상기 베이스 관통 비아 전극과 연결된 베이스 패

드를 포함하고,

상기 복수개의 칩들 각각은 칩 관통 비아 전극, 상기 칩 관통 비아 전극과 연결된 칩 패드를 포함하고, 및

상기 베이스 관통 비아 전극은 상기 복수개의 칩들중 최하부 칩의 상기 칩 패드와 연결되는 것을 특징으로 하는 반도체 패키지.

청구항 8

제7항에 있어서, 상기 베이스 밀봉재로부터 돌출됨과 아울러 상기 베이스 패드와 연결된 외부 연결 부재가 더 형성되어 있는 것을 특징으로 하는 반도체 패키지.

청구항 9

제8항에 있어서, 상기 외부 연결 부재는 제1 외부 연결 부재 및 제2 외부 연결 부재로 구성되고,

상기 제1 외부 연결 부재는 상기 베이스 밀봉재에 의해 둘러싸임과 아울러 하부 노출 표면을 가지며,

상기 제2 외부 연결 부재는 상기 하부 노출 표면 상에 위치하는 것을 특징으로 하는 반도체 패키지.

청구항 10

제8항에 있어서, 상기 밀봉재는 상기 베이스 밀봉재, 상기 제1 응력 조절층 및 상기 제2 응력 조절층과 접촉하는 것을 특징으로 하는 반도체 패키지.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 반도체 패키지에 관한 것으로서, 보다 상세하게는 워피지(warpage)를 조절(또는 제어)할 수 있는 반도체 패키지에 관한 것이다.

배경 기술

[0002] 반도체 웨이퍼, 예컨대 실리콘 웨이퍼가 대규격화됨에 따라 반도체 웨이퍼가 휘는 워피지(warpage) 현상이 발생할 수 있다. 반도체 웨이퍼 상에 칩을 제조할 때 또는 제조된 칩의 패키지 공정을 진행할 때 칩이나 반도체 패키지를 구성하는 개개의 구성 요소들간의 열팽창 계수(coefficient of thermal expansion; CTE) 차이로 인하여 반도체 칩이나 반도체 패키지가 휘는 워피지 현상이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 해결하고자 하는 과제는 워피지를 조절(또는 제어)할 수 있는 반도체 패키지를 제공하는 데 있다.

[0004] 삭제

과제의 해결 수단

[0005] 상술한 과제를 해결하기 위하여 본 발명의 기술적 사상의 일 실시예에 의한 반도체 패키지는 제1 칩; 상기 제1 칩 상에 탑재되고 내부 연결 부재를 통하여 연결된 제2 칩; 상기 제2 칩을 밀봉하고 상기 제2 칩의 상면을 노출하는 밀봉재; 상기 제1 칩 및 상기 제2 칩 사이에 탑재된 복수개의 중간 칩들; 및 상기 제1 칩의 하면, 상기 제1 칩의 상면, 및 상기 제2 칩의 상면 상에 형성된 응력 조절층을 포함한다. 상기 응력 조절층은 상기 제1 칩 및 상기 제2 칩의 워피지를 방지하게 내부 응력을 가지며, 및 상기 제1 칩은 하부 칩이고, 상기 제2 칩은 상기 복수개의 중간 칩들을 통하여 상기 제1 칩과 연결된 최상부 칩이다.

본 발명의 기술적 사상의 일 실시예에 있어서, 상기 응력 조절층은 산화층, 질화층, 폴리머층 또는 이들의 조합층일 수 있다. 상기 밀봉재는 언더필 또는 몰딩재일 수 있다.

본 발명의 기술적 사상의 일 실시예에 있어서, 상기 밀봉재는 상기 제1 칩과 상기 제2 칩 사이, 또는 상기 제1 칩과 상기 제2 칩 사이 및 상기 제2 칩의 양측벽에 형성되어 있을 수 있다. 상기 응력 조절층은 상기 제2 칩의 상면 및 상기 밀봉재의 상면 상에 형성되어 있고, 및 상기 제2 칩의 상면 및 상기 밀봉재의 상면은 동일 평면일 수 있다.

[0006] 삭제

[0007] 삭제

[0008] 삭제

[0009] 삭제

[0010] 본 발명의 기술적 사상의 일 실시예에 의한 반도체 패키지는 베이스 밀봉재에 의하여 밀봉된 베이스 칩; 상기 베이스 칩 상에 적층된 복수개의 칩들을 포함하고, 상기 베이스 칩 및 상기 복수개의 칩들은 적층 칩을 구성하며; 상기 베이스 칩의 하면 상에 형성된 제1 응력 조절층; 상기 베이스 칩의 상면 및 상기 복수개의 칩들중 최

하부 칩 아래에 형성된 제2 응력 조절층; 상기 적층 칩을 밀봉하는 밀봉재; 및 상기 밀봉재의 상면에 형성된 제3 응력 조절층을 포함한다. 상기 제1 응력 조절층 및 상기 제2 응력 조절층은 상기 베이스 칩의 위피지를 방지하게 구성되며, 및 상기 제3 응력 조절층은 상기 적층 칩의 위피지를 방지하게 구성된다..

[0011] 삭제

[0012] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 상기 베이스 칩은 베이스 관통 비아 전극, 및 상기 베이스 관통 비아 전극과 연결된 베이스 패드를 포함하고, 상기 복수개의 칩들 각각은 칩 관통 비아 전극, 상기 칩 관통 비아 전극과 연결된 칩 패드를 포함하고, 및 상기 베이스 관통 비아 전극은 상기 복수개의 칩들중 최하부 칩의 상기 칩 패드와 연결될 수 있다.

[0013] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 베이스 밀봉재로부터 돌출됨과 아울러 상기 베이스 패드와 연결된 외부 연결 부재가 더 형성되어 있을 수 있다.

상기 외부 연결 부재는 제1 외부 연결 부재 및 제2 외부 연결 부재로 구성되고, 상기 제1 외부 연결 부재는 상기 베이스 밀봉재에 의해 둘러싸임과 아울러 하부 노출 표면을 가지며, 상기 제2 외부 연결 부재는 상기 하부 노출 표면 상에 위치할 수 있다. 상기 밀봉재는 상기 베이스 밀봉재, 상기 제1 응력 조절층 및 상기 제2 응력 조절층과 접촉할 수 있다.

[0014] 삭제

[0015] 삭제

[0016] 삭제

[0017] 삭제

[0018] 삭제

[0019] 삭제

[0020] 삭제

[0021] 삭제

[0022] 삭제

[0023] 삭제

[0024] 삭제

발명의 효과

[0025] 본 발명의 기술적 사상의 반도체 패키지 및 그 제조 방법에 의하면, 패키지 부재는 칩의 제조 과정중 또는 상기 밀봉재 형성 과정중에 제1 워피지가 발생할 수 있다.

[0026] 지지 캐리어 및 패키지 부재중 적어도 일 표면에 형성된 응력 조절층은 상기 제1 워피지를 상쇄할 수 있는 제2 워피지를 가질 수 있다. 응력 조절층에 구현되는 제2 워피지는 응력 조절층들의 내부 응력 및 두께에 따라 조절될 수 있다. 이에 따라, 최종적으로 제조되는 반도체 패키지는 휘어짐이 억제될 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 기술적 사상의 일 실시예에 의한 반도체 패키지 및 그 제조 방법을 설명하기 위한 개념도이다.

도 2는 본 발명의 기술적 사상의 일 실시예에 의한 반도체 패키지 및 그 제조 방법을 설명하기 위한 개념도이다.

도 3 및 도 4는 도 1 및 도 2의 패키지 부재 및 지지 캐리어와, 응력 조절층간의 응력 관계를 설명하기 위한 개념도이다.

도 5 내지 도 15는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 및 그 제조 방법을 설명하기 단면도들이다.

도 16 및 도 17은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 및 그 제조 방법을 설명하기 단면도들이다.

도 18 및 도 19는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 제조 방법에 이용되는 제2 칩의 제조 방법을 설명하기 단면도들이다.

도 20 및 도 21은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 제조 방법에 이용되는 제2 칩의 제조 방법을 설명하기 단면도들이다.

도 22 및 도 23은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 제조 방법을 설명하기 단면도들이다.

도 24 내지 도 26은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 제조 방법을 설명하기 단면도들이다.

도 27은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 제조 방법을 설명하기 단면도이다.

도 28 내지 도 33은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 및 그 제조 방법을 설명하기 단면도들이다.

도 34는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 및 그 제조 방법을 설명하기 단면도이다.

도 35 내지 도 43은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 및 그 제조 방법을 설명하기 단면도들이다.

도 44는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 및 그 제조 방법을 설명하기 단면도이다.

도 45는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지의 제조 방법을 설명하기 흐름도이다.

도 46은 본 발명의 기술적 사상의 일 실시예에 의한 반도체 패키지를 포함하는 반도체 모듈을 개략적으로 도시한 평면도이다.

도 47은 본 발명의 기술적 사상에 의한 일 실시예에 따른 반도체 패키지를 포함하는 카드를 보여주는 개략도이다.

도 48은 본 발명의 기술적 사상의 일 실시예에 의한 반도체 패키지를 포함하는 전자 회로 기판을 개략적으로 도시한 블록 다이어그램이다.

도 49는 본 발명의 기술적 사상의 일 실시예에 의한 반도체 패키지를 포함하는 전자 시스템을 개략적으로 도시한 블록 다이어그램이다.

도 50은 본 발명의 기술적 사상에 의한 일 실시예에 의한 반도체 패키지를 포함하는 전자 시스템을 보여주는 개

략도이다.

도 51은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지를 포함하는 전자 장치를 개략적으로 보여주는 사시도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0029] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려 이들 실시예들은 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 기술적 사상을 완전하게 전달하기 위하여 제공되는 것이다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이다.
- [0030] 명세서 전체에 걸쳐서, 막, 영역 또는 기판 등과 같은 하나의 구성요소가 다른 구성요소 "상에", "연결되어", 또는 "커플링되어" 위치한다고 언급할 때는, 상기 하나의 구성요소가 직접적으로 다른 구성요소 "상에", "연결되어", 또는 "커플링되어" 접촉하거나, 그 사이에 개재되는 또 다른 구성요소들이 존재할 수 있다고 해석될 수 있다. 반면에, 하나의 구성요소가 다른 구성요소 "직접적으로 상에", "직접 연결되어", 또는 "직접 커플링되어" 위치한다고 언급할 때는, 그 사이에 개재되는 다른 구성요소들이 존재하지 않는다고 해석된다. 동일한 부호는 동일한 요소를 지칭한다.
- [0031] 본 명세서에서 제1, 제2등의 용어가 다양한 부재, 부품, 영역, 층들 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제1부재, 부품, 영역, 층 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제2부재, 부품, 영역, 층 또는 부분을 지칭할 수 있다.
- [0032] 또한, "상의" 또는 "위의" 및 "하의" 또는 "아래의"와 같은 상대적인 용어들은 도면들에서 도해되는 것처럼 다른 요소들에 대한 어떤 요소들의 관계를 기술하기 위해 여기에서 사용될 수 있다. 상대적 용어들은 도면들에서 묘사되는 방향에 추가하여 소자의 다른 방향들을 포함하는 것을 의도한다고 이해될 수 있다. 예를 들어, 도면들에서 소자가 뒤집어 진다면(turned over), 다른 요소들의 상부의 면 상에 존재하는 것으로 묘사되는 요소들은 상기 다른 요소들의 하부의 면 상에 방향을 가지게 된다. 그러므로, 예로써 든 "상의"라는 용어는, 도면의 특정한 방향에 의존하여 "하의" 및 "상의" 방향 모두를 포함할 수 있다. 소자가 다른 방향으로 향한다면(다른 방향에 대하여 90도 회전), 본 명세서에 사용되는 상대적인 설명들은 이에 따라 해석될 수 있다.
- [0033] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.
- [0034] 이하의 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차(tolerance)에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명 사상의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다.
- [0035] 이하의 본 발명의 실시예들은 어느 하나로만 구현될 수도 있고, 또한, 이하의 실시예들은 하나 이상을 조합하여 구현될 수도 있다. 따라서, 본 발명의 기술적 사상을 하나의 실시예에 국한하여 해석되지는 않는다.
- [0036] 도 1은 본 발명의 기술적 사상의 일 실시예에 의한 반도체 패키지 및 그 제조 방법을 설명하기 위한 개념도이다.
- [0037] 구체적으로, 도 1의 (a)는 패키지 부재(PAE, package element)를 도시한 것이다. 패키지 부재(PAE)는 반도체 웨이퍼(또는 반도체 기판)에 구현된 칩, 반도체 웨이퍼에 적층된 복수개의 칩들, 또는 반도체 웨이퍼 상에서 밀봉재에 의해 밀봉된 칩들을 포함할 수 있다. 패키지 부재(PAE)는 반도체 패키지를 제조하기 위한 중간 결과물을 포함할 수 있다.

- [0038] 패키지 부재(PAE)는 칩을 제조할 때나 패키지 공정을 진행할 때 개개의 구성 요소들간의 열팽창 계수 차이나 다양한 공정 변수로 인하여 제1 워피지(WAR1)가 발생할 수 있다. 도 1의 (a)에서 제1 워피지(WAR1)는 아래 방향으로 휘어진 것을 예로 도시한다. 아래 방향으로 휘어진 패키지 부재(PAE)의 제1 워피지(WAR1)는 편의상 양의 값을 가지는 것으로 정의할 수 있다. 위 방향으로 휘어진 패키지 부재(PAE)가 휘어질 경우 워피지는 편의상 음의 값을 가지는 것으로 정의할 수 있다.
- [0039] 도 1의 (b)는 패키지 부재(PAE)를 지지하기 위한 지지 캐리어(SUC, supporting carrier), 및 지지 캐리어(SUC)의 전면(표면) 및 후면에 형성된 응력 조절층(SCL1-1, SCL1-2, stress control layer)을 도시한 것이다. 지지 캐리어(SUC)는 실리콘, 게르마늄, 실리콘-게르마늄, 갈륨-비소(GaAs), 유리, 금속, 플라스틱, 세라믹 기판으로 이루어질 있다. 도 1의 (b)에서는 응력 조절층(SCL1-1, SCL1-2)을 지지 캐리어(SUC)의 전면(표면) 및 후면에 모두 형성하였지만 필요에 따라서 지지 캐리어(SUC)의 전면(표면) 및 후면중 적어도 일면 상에 형성할 수도 있다.
- [0040] 지지 캐리어(SUC)는 패키지 부재(PAE)의 크기에 대응할 수 있다. 예컨대, 패키지 부재(PAE)가 반도체 웨이퍼 크기일 경우, 지지 캐리어(SUC)도 반도체 웨이퍼 크기에 대응하는 크기일 수 있다. 응력 조절층(SCL1-1, SCL1-2)은 인장 응력을 갖는 인장층 또는 압축 응력을 갖는 압축층일 수 있다.
- [0041] 응력 조절층(SCL1-1, SCL1-2)은 내부 응력으로 인하여 지지 캐리어(SUC)에 인장 응력 또는 압력 응력을 가할 수 있다. 예컨대, 응력 조절층(SCL1-1, SCL1-2)은 1nm 내지 1mm의 두께로 형성할 수 있다. 응력 조절층(SCL1-1, SCL1-2)의 내부 응력은 -1GPa 내지 1GPa일 수 있다. 이에 따라, 응력 조절층(SCL1-1, SCL1-2)은 -1mm 내지 +1mm의 워피지를 보상할 수 있다.
- [0042] 응력 조절층(SCL1-1, SCL1-2)은 산화층(oxide layer), 질화층(nitride layer), 폴리머층(polymer layer) 또는 이들의 조합층으로 형성할 수 있다. 응력 조절층(SCL1-1, SCL1-2)은 화학기상증착법(CVD), 스�핀 코팅법 또는 물리화학기상증착법(PVD) 등을 이용하여 형성할 수 있다.
- [0043] 도 1의 (c)는 지지 캐리어(SUC)가 응력 조절층(SCL1-1, SCL1-2)으로 인하여 제2 워피지(WAR2)를 가지는 것을 도시한 것이다. 지지 캐리어(SUC)는 응력 조절층(SCL1-1, SCL1-2)으로 인하여 위 방향으로 제2 워피지(WAR2)를 가질 수 있다. 제2 워피지(WAR2)는 제1 워피지(WAR1)와 반대 방향, 즉 위 방향으로 휘어진 음의 값을 가질 수 있다.
- [0044] 제2 워피지(WAR2)는 제1 워피지(WAR1)를 상쇄할 수 있는 크기를 가질 수 있다. 제2 워피지(WAR2)는 응력 조절층(SCL1-1, SCL1-2)의 막질 종류 및 두께를 조절함으로써 얻을 수 있다. 예컨대, 제2 워피지(WAR2)는 응력 조절층(SCL1-1)을 제1 막질의 제1 두께로 하고, 응력 조절층(SCL1-2)을 제2 막질의 제2 두께로 함으로써 조절할 수 있다.
- [0045] 도 1의 (d)는 지지 캐리어(SUC) 상에 패키지 부재(PAE)가 탑재된 것을 도시한 것이다. 지지 캐리어(SUC) 상에 패키지 부재(PAE)가 탑재될 경우, 지지 캐리어(SUC)의 전면(표면) 및 후면에 형성된 응력 조절층(SCL1-1, SCL1-2)으로 인하여 패키지 부재(PAE) 및 지지 캐리어(SUC)가 휘어지지 않을 수 있다. 다시 말해, 지지 캐리어(SUC)에 형성된 응력 조절층(SCL1-1, SCL1-2)이 제2 워피지(WAR2)를 가져 패키지 부재(PAE)에 발생된 제1 워피지(WAR1)를 상쇄할 수 있다.
- [0046] 도 2는 본 발명의 기술적 사상의 일 실시예에 의한 반도체 패키지 및 그 제조 방법을 설명하기 위한 개념도이다.
- [0047] 구체적으로, 도 2는 패키지 부재(PAE)에 응력 조절층(SCL2-1, SCL2-2)이 형성된 것을 제외하고는 도 1과 동일하다. 도 2에서 도 1과 동일한 부분은 설명의 편의상 간단히 설명하거나 생략한다.
- [0048] 도 2의 (a)는 패키지 부재(PAE, package element)를 도시한 것이다. 패키지 부재(PAE)는 아래 방향으로 휘어진 제1 워피지(WAR1)를 가질 수 있다. 도 2의 (b)는 패키지 부재(PAE)를 지지하기 위한 지지 캐리어(SUC)를 도시한 것이다. 도 2의 (c)는 패키지 부재(PAE)의 전면(표면) 및 후면에 형성된 응력 조절층(SCL2-1, SCL2-2)을 도시한 것이다. 응력 조절층(SCL2-1, SCL2-2)은 패키지 부재(PAE)의 전면 및 후면중 적어도 어느 하나의 면에 형성될 수 있다. 응력 조절층(SCL2-1, SCL2-2)은 앞서 도 1에서 설명한 응력 조절층(SCL1-1, SCL1-2)과 동일할 수 있다.
- [0049] 도 2의 (d)는 패키지 부재(PAE)가 응력 조절층(SCL2-1, SCL2-2)으로 인하여 제2 워피지(WAR2)를 가지는 것을 도시한 것이다. 패키지 부재(PAE)는 응력 조절층(SCL2-1, SCL2-2)으로 인하여 위 방향으로 제2 워피지(WAR2)를 가

질 수 있다. 제2 워퍼지(WAR2)는 제1 워퍼지(WAR1)와 반대 방향, 즉 위 방향으로 휘어진 음의 값을 가질 수 있다. 제2 워퍼지(WAR2)는 제1 워퍼지(WAR1)를 상쇄할 수 있는 크기를 가질 수 있다.

- [0050] 제2 워퍼지(WAR2)는 응력 조절층(SCL2-1, SCL2-2)의 막질 종류 및 두께를 조절함으로써 얻을 수 있다. 예컨대, 제2 워퍼지(WAR2)는 응력 조절층(SCL2-1)을 제1 막질의 제1 두께로 하고, 응력 조절층(SCL2-2)을 제2 막질의 제2 두께로 함으로써 조절할 수 있다.
- [0051] 도 2의 (e)는 지지 캐리어(SUC) 상에 패키지 부재(PAE)가 탑재된 것을 도시한 것이다. 지지 캐리어(SUC) 상에 패키지 부재(PAE)가 탑재될 경우, 패키지 부재(PAE)의 전면(표면) 및 후면에 형성된 응력 조절층(SCL2-1, SCL2-2)으로 인하여 패키지 부재(PAE) 및 지지 부재(SUC)가 휘어지지 않을 수 있다. 다시 말해, 패키지 부재(PAE)에 형성된 응력 조절층(SCL2-1, SCL2-2)이 제2 워퍼지(WAR2)를 가져 패키지 부재(PAE)에 발생된 제1 워퍼지(WAR1)를 상쇄할 수 있다.
- [0052] 도 3 및 도 4는 도 1 및 도 2의 패키지 부재 및 지지 캐리어와, 응력 조절층간의 응력 관계를 설명하기 위한 개념도이다.
- [0053] 구체적으로, 도 3의 (a)는 패키지 부재(PAE-C) 또는 지지 캐리어(SUC-C) 상에 인장 응력을 갖는 응력 조절층(SLT-T)이 형성된 것을 도시한 것이다. 응력 조절층(SCL-T)은 화살표로 표시한 바와 같이 바깥쪽 방향으로 인장 응력이 작용할 수 있다. 패키지 부재(PAE-C) 및 지지 캐리어(SUC-C)는 화살표로 표시한 바와 같이 안쪽 방향으로 압축 응력이 작용할 수 있다. 이에 따라, 도 3의 (b)에 도시한 바와 같이 패키지 부재(PAE-C) 및 지지 캐리어(SUC-C)는 오목 모양이 위쪽으로 형성되면서 휘어질 수 있다.
- [0054] 도 4의 (a)는 패키지 부재(PAE-T) 또는 지지 캐리어(SUC-T) 상에 압축 응력을 갖는 응력 조절층(SLT-C)이 형성된 것을 도시한 것이다. 응력 조절층(SCL-C)은 화살표로 표시한 바와 같이 안쪽 방향으로 압축 응력이 작용할 수 있다. 패키지 부재(PAE-T) 및 지지 캐리어(SUC-T)는 화살표로 표시한 바와 같이 바깥쪽 방향으로 인장 응력이 작용할 수 있다. 이에 따라, 도 4의 (b)에 도시한 바와 같이 패키지 부재(PAE-T) 및 지지 캐리어(SUC-T)는 볼록 모양이 위쪽으로 형성되면서 휘어질 수 있다.
- [0055] 도 3 및 도 4에 설명한 것을 바탕으로 볼 때, 도 1 및 도 2에서 설명한 패키지 부재(PAE) 및 지지 캐리어(SUC) 상에 응력 조절층(SCL1-1, SCL1-2, SCL2-1, SCL2-2)을 형성함으로써 패키지 부재(PAE) 및 지지 캐리어(SUC)의 휘는 방향을 자유롭게 조절할 수 있다.
- [0056] 이하에서는 앞서와 같은 본 발명의 개념(기술적 사상)이 적용된 반도체 패키지 및 그 제조방법에 대하여 설명한다. 본 발명의 기술적 사상의 반도체 패키지는 필요에 따라 선택적으로 지지 캐리어(SUC) 상에 응력 조절층(SCL1-1, SCL1-2)을 형성하거나, 패키지 부재(PAE) 상에 응력 조절층(SCL2-1, SCL2-2)을 형성함으로써 워퍼지를 조절(또는 제어)할 수 있다.
- [0057] 도 5 내지 도 15는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 및 그 제조 방법을 설명하기 위한 도면들이다. 도 5 내지 도 15는 제1 칩들(100)을 포함하는 기저 웨이퍼(10) 상에 제2 칩(200)을 적층하는 COW(chip on wafer) 형태로 적층하여 반도체 패키지를 구현하는 것을 도시한 것이다.
- [0058] 도 5를 참조하면, 관통 실리콘 비아(Through silicon via(TSV), 130)가 형성된 칩(100)을 복수개 포함하는 기저 웨이퍼(10, base wafer)를 준비한다. 기저 웨이퍼(10)는 웨이퍼 레벨에서 TSV(130)를 구비한 칩(100)들을 동시에 형성하여 완성한다. 관통 실리콘 비아(130)는 칩 관통 비아 전극일 수 있다.
- [0059] 기저 웨이퍼(10)의 하면은 칩(100)을 구성하는 집적회로층 또는 활성 영역이 위치하는 전면(F1)이고, 상면은 칩(100)을 구성하는 집적회로층 또는 활성 영역이 위치하지 않는 후면(B1)일 수 있다. 기저 웨이퍼(10)에서, 칩 영역의 크기(size)는 CR1로 표시되어 있다. 칩 영역의 크기(CR1)는 폭 또는 길이일 수 있다. 칩(100)들 사이의 스크라이브 라인 영역의 크기는 SR1로 표시되어 있다. 스크라이브 라인 영역의 크기(SR1)는 폭 또는 길이일 수 있다.
- [0060] 기저 웨이퍼(10)에서 후 공정의 절단에 의해 완성되는 칩(100)의 크기는 CS1로 표시할 수 있다. 칩(100)의 크기(CS1)는 폭 또는 길이일 수 있다. 후 공정을 통해 스크라이브 라인 영역 내에서 블레이드(blade)에 의해 절단되는 크기는 S1로 표시되어 있다. 블레이드(blade)에 의해 절단되는 크기(S1)는 폭 또는 길이일 수 있다. 블레이드(blade)에 의해 절단되는 크기(S1)는 블레이드의 폭일 수 있다. 도면에서는 편의상 기저 웨이퍼(10)에 3개의 칩(100)이 도시되어 있지만 기저 웨이퍼(10)에 수십 내지 수백 개의 칩들이 형성되어 있을 수 있다.
- [0061] 기저 웨이퍼(10)는 바디층(110), 하부 절연층(120), TSV(130), 외부 연결 부재(140), 패키지용 제1 응력 조절층

(160, SCL2-1), 패키지용 제2 응력 조절층(124, SCL2-2) 및 상부 패드(170)를 포함할 수 있다. 바디층(110)은 실리콘 기판(미도시), 실리콘 기판 상에 형성된 집적 회로층(미도시) 및 상기 집적 회로층을 덮는 층간 절연층(미도시)을 포함할 수 있다. 하부 절연층(120)은 바디층(110)의 하부에 형성되고, 금속간 절연층(122, inter-metallic insulating layer) 및 패키지용 제2 응력 조절층(124, SCL2-2)을 포함할 수 있다. 금속간 절연층(122) 내부에는 다층 배선 패턴(미도시)이 형성될 수 있다.

[0062] TSV(130)는 바디층(110)을 관통하여, 하부 절연층(120)의 다층 배선 패턴에 연결될 수 있다. 외부 연결 부재(140)는 범프 패드(142) 및 범프(144)를 포함할 수 있다. 범프 패드(142)는 패키지용 제2 응력 조절층(124, SCL2-2) 상에 도전성 물질로 형성되며, 하부 절연층(120) 내의 다층 배선 패턴과 전기적으로 연결될 수 있다. 그에 따라, 범프 패드(142)는 다층 배선 패턴을 통해 TSV(130)에 전기적으로 연결될 수 있다.

[0063] 범프 패드(142) 상에는 UBM(Under Bump Metal, 미도시)이 형성될 수 있다. 범프 패드(142)는 알루미늄(Al)이나 구리(Cu) 등으로 형성될 수 있고, 펄스 도금이나 직류 도금 방법을 통해 형성될 수 있다. 그러나 범프 패드(142)가 상기 재질이나 방법에 한정되는 것은 아니다.

[0064] 범프(144)는 범프 패드(142) 상에 형성될 수 있다. 범프(144)는 도전성 재질 예컨대, 구리(Cu), 알루미늄(Al), 금(Au), 솔더 등으로 형성될 수 있다. 그러나 범프(144)의 재질이 그에 한정되는 것은 아니다. 범프(144)가 솔더로 형성되는 경우, 솔더 범프라고 부르기도 한다.

[0065] 패키지용 제1 응력 조절층(160, SCL2-1) 및 패키지용 제2 응력 조절층(124, SCL2-2)은 기저 웨이퍼(10)의 힘을 조절하는 역할을 할 수 있다. 패키지용 제1 응력 조절층(160, SCL2-1)은 바디층(110) 상면으로 형성되고, 절연성 물질로 형성되어 바디층(110)을 외부로부터 보호하는 보호층일 수 있다. 패키지용 제2 응력 조절층(124, SCL2-2)은 외부 연결 부재(140)를 절연하는 패시베이션층일 수 있다.

[0066] 패키지용 제1 응력 조절층(160, SCL2-1) 및 패키지용 제2 응력 조절층(124, SCL2-2)은 고밀도 플라즈마 화학기상 증착(HDP-CVD) 공정을 이용하여 형성할 수 있다. 이외에도 패키지용 제1 응력 조절층(160, SCL2-1) 및 패키지용 제2 응력 조절층(124, SCL2-2)은 화학기상증착법(CVD), 스펀 코팅법 또는 물리화학기상증착법(PVD) 등을 이용하여 형성할 수 있다.

[0067] 패키지용 제1 응력 조절층(160, SCL2-1) 및 패키지용 제2 응력 조절층(124, SCL2-2)은 산화층, 질화층, 폴리머층 또는 이들의 조합층으로 형성될 수 있다. 패키지용 제1 응력 조절층(160, SCL2-1) 및 패키지용 제2 응력 조절층(124, SCL2-2)은 1nm 내지 1mm의 두께로 형성할 수 있다.

[0068] 상부 패드(170)는 패키지용 제1 응력 조절층(160, SCL2-1) 상에 형성될 수 있고, TSV(130)와 연결될 수 있다. 상부 패드(170)는 앞서 범프 패드(142)와 같이 알루미늄이나 구리 등으로 형성될 수 있다.

[0069] 도 6을 참조하면, 지지 캐리어(800, supporting carrier)를 준비한다. 지지 캐리어(800)의 전면(표면) 및 후면에는 각각 캐리어용 제1 응력 조절층(802, SCL1-1) 및 캐리어용 제2 응력 조절층(804, SCL1-2)이 형성되어 있다. 캐리어용 제1 응력 조절층(802, SCL1-1) 및 캐리어용 제2 응력 조절층(804, SCL1-2)은 기저 웨이퍼(10)의 워피지를 제어하는 역할을 수행할 수 있다.

[0070] 캐리어용 제1 응력 조절층(802, SCL1-1) 및 캐리어용 제2 응력 조절층(804, SCL1-2)은 산화층(oxide layer), 질화층(nitride layer), 폴리머층(polymer layer) 또는 이들의 조합층으로 형성할 수 있다. 캐리어용 제1 응력 조절층(802, SCL1-1) 및 캐리어용 제2 응력 조절층(804, SCL1-2)은 화학기상증착법(CVD), 스펀 코팅법 또는 물리화학기상증착법(PVD) 등을 이용하여 형성할 수 있다. 캐리어용 제1 응력 조절층(802, SCL1-1) 및 캐리어용 제2 응력 조절층(804, SCL1-2)은 1nm 내지 1mm의 두께로 형성할 수 있다.

[0071] 캐리어용 제1 응력 조절층(802, SCL1-1) 및 캐리어용 제2 응력 조절층(804, SCL1-2)의 내부 응력은 -1GPa 내지 1GPa일 수 있다. 이에 따라, 캐리어용 제1 응력 조절층(802, SCL1-1) 및 캐리어용 제2 응력 조절층(804, SCL1-2)은 -1mm 내지 +1mm의 워피지를 보상할 수 있다. 캐리어용 제1 응력 조절층(802, SCL1-1) 및 캐리어용 제2 응력 조절층(804, SCL1-2)은 서로 다른 종류로 형성할 수 있다. 지지 캐리어(800)의 캐리어용 제1 응력 조절층(802, SCL1-1) 상에는 접착 부재(820)가 형성될 수 있다. 지지 캐리어(800)는 실리콘, 게르마늄, 실리콘-게르마늄, 갈륨-비소(GaAs), 유리, 금속, 플라스틱, 세라믹 기판 등으로 형성될 수 있다.

[0072] 본 실시예에서는 지지 캐리어(800)는 실리콘 기판 또는 유리 기판으로 형성될 수 있다. 접착 부재(820)는 NCF(Non-Conductive Film), ACF(Anisotropic Conductive Film), UV 필름, 순간 접착제, 열경화성 접착제, 레이저 경화형 접착제, 초음파 경화형 접착제, NCP(Non-Conductive Paste) 등으로 형성될 수 있다.

- [0073] 기저 웨이퍼(10)는 지지 캐리어(800)의 캐리어용 제1 응력 조절층(802, SCL1-1) 상에 접착 부재(820)를 통해 접촉된다. 기저 웨이퍼(10)는 외부 연결 부재(140)가 지지 캐리어(800)를 향하도록 접촉될 수 있다. 지지 캐리어(800)는 기저 웨이퍼(10)의 준비 전에, 또는 기저 웨이퍼(10) 준비 후 기저 웨이퍼(10)의 지지 캐리어(800) 접촉 전에 준비될 수도 있다.
- [0074] 도 7을 참조하면, 제2 칩(200)을 준비한다. 제2 칩(200)은 바디층(210), 하부 절연층(220) 및 내부 연결 부재(240)를 포함할 수 있다. 바디층(210)은 제1 칩(100)과 마찬가지로 실리콘 기판(미도시), 실리콘 기판 상에 형성된 집적 회로층(미도시) 및 집적 회로층을 덮는 층간 절연층(미도시)을 포함할 수 있다.
- [0075] 바디층(210)의 후면(B2)은 외부로 노출될 수 있다. 바디층(210)의 후면(B2)은 집적 회로층이 형성되는 실리콘 기판의 전면(F2)에 대항하는 면일 수 있다. 그에 따라, 실리콘 기판의 실리콘이 외부로 노출될 수 있다. 하부 절연층(220)은 바디층(210) 하부로 형성되고, 금속간 절연층(222) 및 패시베이션층(224)을 포함할 수 있다. 금속간 절연층(222) 내부에는 다층 배선 패턴(미도시)이 형성될 수 있다.
- [0076] 내부 연결 부재(240)는 범프 패드(242) 및 범프(244)를 포함할 수 있다. 범프 패드(242)는 패시베이션층(224) 상에 도전성 물질로 형성되며, 하부 절연층(220) 내의 다층 배선 패턴과 전기적으로 연결될 수 있다. 범프 패드(242) 상에는 UBM(Under Bump Metal, 미도시)이 형성될 수 있다. 범프 패드(242)는 앞서 외부 연결 부재(140)의 범프 패드(142)와 동일 재질 또는 다른 재질로 형성될 수 있고, 또한 형성 방법도 동일 또는 다르게 형성될 수 있다.
- [0077] 범프(244)는 범프 패드(242) 상에 형성될 수 있다. 범프(244)는 도전성 재질로 형성되며, 외부 연결 부재(140)의 범프(144)와 같이, 구리(Cu), 알루미늄(Al), 금(Au), 솔더(solder) 등으로 형성될 수 있다. 그러나 범프(244)의 재질이 그에 한정되는 것은 아니다. 제2 칩(200)은 제1 칩(100)과 달리 바디층(210)을 관통하는 TSV가 형성되지 않을 수 있다. 그에 따라, 상부 패드도 형성되지 않을 수 있다.
- [0078] 제1 칩들(100) 각각의 상면으로 제2 칩(200)을 적층하여 적층칩(1100)을 형성할 수 있다. 이에 따라, 기저 웨이퍼(10)에 형성되어 있는 칩(100)은 제1 칩이라 칭할 수 있다. 적층은 제2 칩(200)의 내부 연결 부재(240)를 제1 칩(100)의 상부 패드(170) 상에 열 압착 방법을 통해 접촉함으로써 이루어질 수 있다. 내부 연결 부재(240)는 제1 칩(100)의 상부 패드(170)에 연결될 수 있다. 그에 따라, 내부 연결 부재(240)를 통해 제2 칩(200)의 다층 배선 패턴이 제1 칩(100)의 TSV(130)에 전기적으로 연결될 수 있다.
- [0079] 제2 칩(200)의 내부 연결 부재(240)의 배치는 제1 칩(100)의 상부 패드(170)의 배치에 대응하여 위치할 경우 제2 칩(200)을 제1 칩(100) 상에 적층할 수 있다. 따라서, 제2 칩(200)은 제1 칩(100)과 이종의 칩일 수 있다. 제2 칩(200)은 제1 칩(100)과 동종의 칩일 수도 있다.
- [0080] 제2 칩(200)은 도 5와 동일한 기저 웨이퍼를 절단하여 획득할 수 있으며, 이때 제2 칩들(200)에는 TSV가 형성되지 않을 수 있다. 그러나, 도 7과 다르게 제2 칩들(200) 내에 TSV가 형성될 수도 있다. 그에 따라, 제2 칩들(200)은 제1 칩(100)과 동일한 기저 웨이퍼로부터 분리하여 획득한 칩일 수도 있다.
- [0081] 제2 칩(200)의 크기는 CS2로 표시되어 있다. 제2 칩(200)의 크기(CS2)는 폭 또는 길이일 수 있다. 제2 칩(200)의 크기(CS2)는 제1 칩(100)의 크기(CS1)보다 작을 수 있다. S2는 제2 칩용 웨이퍼(미도시)의 스크라이브 라인 영역 내에서 블레이드(blade)에 의해 절단되는 크기로서 폭 또는 길이일 수 있고, S1보다는 크게 형성한다. S2는 블레이드의 폭일 수 있다. 제2 칩(200)의 크기(CS2)를 제1 칩(100)의 크기(CS1)보다 작게 하고, 블레이드에 의해 절단되는 크기(S2)를 S1보다 크게 하기 때문에 후의 언더필 공정 및 절단 공정을 용이하게 수행할 수 있다.
- [0082] 도 8을 참조하면, 적층칩(1100)의 제1 칩(100)과 제2 칩(200)의 연결 부분을 채우는 밀봉재로서 언더필(310)을 형성한다. 앞서 설명한 바와 같이 제1 칩(100) 상에 적층되는 제2 칩(200)의 크기를 작게 하여 고집적화된 웨이퍼에서 스크라이브 라인 영역의 크기, 예컨대 폭이 좁더라도 언더필 공정을 용이하게 수행할 수 있다. 언더필(310)을 형성할 때, 지지 캐리어(800)의 전면(표면) 및 후면에 각각 형성된 캐리어용 제1 응력 조절층(802, SCL1-1) 및 캐리어용 제2 응력 조절층(804, SCL1-2)을 이용하여 적층칩(1100)이나 기저 웨이퍼(10)의 휘어짐을 조절할 수 있다.
- [0083] 언더필(310)은 제1 칩(100) 및 제2 칩(200)의 연결 부분, 즉 제1 칩(100)의 상부 패드(170)와 내부 연결 부재(240)가 연결되는 부분을 채울 수 있다. 언더필(310)은 에폭시 수지와 같은 언더필 수지로 형성될 수 있고, 실리콘 필러(filler)나 플럭스(flux) 등이 포함될 수 있다. 언더필(310)은 후에 형성되는 몰딩재와 다른 재질로

형성될 수 있지만 동일 재료로 형성될 수도 있다.

- [0084] 도시된 바와 같이, 언더필(310)은 제1 칩(100) 및 제2 칩(200)의 연결 부분뿐만 아니라, 연결 부분에서 확장하여 제2 칩(200)의 측면 및 제2 칩(200)의 상면(후면, B2) 일부분을 밀봉시킬 수 있다. 즉, 언더필(310)은 제1 칩(100)과 제2 칩(200)의 연결 부분만을 채울 수도 있지만, 도시된 바와 같이 제1 칩(100)과 제2 칩(200)의 연결 부분을 채우면서 제2 칩(200)의 측면을 감싸도록 형성될 수도 있다.
- [0085] 언더필(310)은 인접하는 언더필(310)과 겹쳐지도록 형성될 수도 있다. 이와 같이 언더필(310)이 제2 칩(200)의 측면을 감싸게 되면, 반도체 패키지 완성 후에, 언더필(310)이 측면으로 노출될 수도 있다. MUF(molded underfill) 공정을 이용하는 경우에는 본 단계의 언더필 공정은 생략될 수도 있다.
- [0086] 도 9를 참조하면, 지지 캐리어(800) 상부에 접착된 적층칩들(1100)을 몰딩하는 몰딩재(320)를 형성한다. 몰딩재(320)는 레진과 같은 폴리머로 형성될 수 있다. 예컨대, 몰딩재(320)는 EMC(Epoxy Molding Compound)로 형성될 수 있다. 몰딩재(320)를 형성할 때, 지지 캐리어(800)의 전면(표면) 및 후면에 각각 형성된 캐리어용 제1 응력 조절층(802, SCL1-1) 및 캐리어용 제2 응력 조절층(804, SCL1-2)을 이용하여 적층칩(1100)이나 기저 웨이퍼(10)의 휘어짐을 조절할 수 있다.
- [0087] 적층칩들(1100)은 언더필(310)과 몰딩재(320)로 봉지되는 밀봉재(330)가 형성된다. 밀봉재(330)는 각 적층칩들(1100)의 제1 칩(100) 및 제2 칩(200)의 측면들 및 상면(후면, B2)들을 밀봉할 수 있다. 언더필(310)의 존재로 인해 몰딩재(320)는 언더필(310)의 측면을 밀봉할 수 있다.
- [0088] 도 10을 참조하면, 밀봉재(330) 상면을 그라인딩하여, 적층칩들(1100) 각각의 제2 칩(200)의 상면(후면, B2)을 노출시킬 수 있다. 밀봉재(330)의 상면은 제2 칩(200)의 상면(후면, B2)과 동일 수평면을 구성할 수 있다. 제2 칩(200)에 TSV가 형성되지 않은 경우에, 제2 칩(200) 상면은, 집적 회로층이 형성되지 않는 반도체 기판(즉 실리콘 기판)의 후면(B2)일 수 있고, 그에 따라, 반도체 기판의 후면(B2)의 실리콘이 외부로 노출될 수 있다.
- [0089] 제2 칩(200)의 표면 및 밀봉재(330)의 표면에 패키지용 제3 응력 조절층(332, SCL2-3)을 형성한다. 패키지용 제3 응력 조절층(332, SCL2-3)은 밀봉재(330)의 형성후에 적층칩들(1100)이나 기저 웨이퍼(10)의 발생할 수 있는 휘어짐을 조절(또는 제어)하기 위하여 형성할 수 있다. 패키지용 제3 응력 조절층(332, SCL2-3)은 산화층, 질화층, 폴리머층 또는 이들의 조합층으로 형성될 수 있다.
- [0090] 도 11을 참조하면, 캐리어용 제1 및 제2 응력 조절층(802, 804)이 형성된 지지 캐리어(800)를 기저 웨이퍼(10)로부터 분리하고, 접착 부재(820)를 기저 웨이퍼(10)로부터 제거함으로써, 적층칩들(1100) 각각의 제1 칩(100)의 외부 연결 부재(140)가 외부로 노출될 수 있다.
- [0091] 캐리어용 제1 및 제2 응력 조절층(802, 804)이 형성된 지지 캐리어(800)와 접착 부재(820)는 나누어 제거할 수도 있다. 경우에 따라, 캐리어용 제1 및 제2 응력 조절층(802, 804)이 형성된 지지 캐리어(800)와 접착 부재(820)는 동시에 제거될 수도 있다. 예컨대, 지지 캐리어(800)는 투명한 재질, 예컨대 유리 기판으로 형성되고, 접착 부재(820)가 UV 필름으로 형성된 경우, UV 조사에 의해 지지 캐리어(800)와 접착 부재(820)가 동시에 기저 웨이퍼(10)로부터 분리될 수 있다.
- [0092] 도 12를 참조하면, 적층칩(1100)이 부착된 기저 웨이퍼(10)를 뒤집은 후 지지 캐리어(900)를 다시 부착한다. 지지 캐리어(900)의 전면(표면) 및 후면에는 각각 캐리어용 제3 응력 조절층(902, SCL1-3) 및 캐리어용 제4 응력 조절층(904, SCL1-4)이 형성되어 있다. 캐리어용 제3 응력 조절층(902, SCL1-3) 및 캐리어용 제4 응력 조절층(904, SCL1-4)은 적층 칩(1100)이나 기저 웨이퍼(10)의 워피지를 제어(또는 조절)하는 역할을 수행할 수 있다.
- [0093] 지지 캐리어(900)는 실리콘, 게르마늄, 실리콘-게르마늄, 갈륨-비소(GaAs), 유리, 플라스틱, 금속, 세라믹 기판 등으로 형성될 수 있고, 접착 부재(920)는 NCF, ACF, UV 필름, 순간 접착제, 열경화성 접착제, 레이저 경화형 접착제, 초음파 경화형 접착제, NCP 등으로 형성될 수 있다.
- [0094] 본 실시예에서, 지지 캐리어(900)는 유리 기판으로 형성될 수 있고, 접착 부재는 UV 필름으로 형성될 수 있다. 캐리어용 제3 응력 조절층(902, SCL1-3) 및 캐리어용 제4 응력 조절층(904, SCL1-4)은 앞서 캐리어용 제1 응력 조절층(802, SCL1-1) 및 캐리어용 제2 응력 조절층(804, SCL1-2)과 동일한 물질로 형성할 수 있다. 캐리어용 제3 응력 조절층(902, SCL1-3) 및 캐리어용 제4 응력 조절층(904, SCL1-4)은 서로 다른 종류의 물질로 형성할 수 있다.
- [0095] 도 13을 참조하면, 지지 캐리어(900)를 이용하여, 적층칩(1100) 각각에 대한 EDS(Electrical Die Sorting) 테스트를 수행한다. EDS 테스트는 프로브 카드(930) 등을 이용하여 수행할 수 있다. 프로브 카드(930)에는 몸체부

(920) 및 단자 핀(910)을 포함할 수 있다. 단자 핀(910)은 예컨대 포고 핀들일 수 있다. 이러한 포고 핀들이 대응하는 외부 연결 부재(140)에 콘택되고 전기적 신호가 인가됨으로써 EDS 테스트가 수행될 수 있다.

- [0096] EDS 테스트를 통해 적층칩(1100)의 양호 또는 불량 여부를 판단한다. 이와 같이 적층칩(1100)의 EDS 테스트를 통해 양호 또는 불량 여부가 판단되고 불량에 속하는 적층칩(1100)은 폐기되게 된다. 따라서, 본 실시예에 따른 최종적인 반도체 패키지는 EDS 테스트를 통과한 칩들이 적층된 패키지이다. 그에 따라, 본 실시예에 따른 최종적인 반도체 패키지는 KGDS(Known Good Die Stack) 패키지로 부를 수 있다.
- [0097] 도 14를 참조하면, EDS 테스트 후, 기저 웨이퍼(10) 및 밀봉재(330)를 소딩(sawing, 절단)하여 각각의 반도체 패키지(1000)로 분리한다. 접착 부재(920)는 소잉에 의해 일부가 제거될 수도 있다. 도면에 도시된 바와 같이 제1 칩(100)의 폭(CS1)을 기준으로 기저 웨이퍼(10) 및 밀봉재(330)를 절단할 수 있다. S2보다 작은 S1의 블레이드 폭을 기준으로 기저 웨이퍼(10)와 제2 칩들(200) 사이의 밀봉재(330)를 절단하기 때문에 매우 용이하게 절단 공정을 수행할 수 있다. 이렇게 될 경우, 밀봉재(330), 즉 언더필(310)을 포함하는 제2 칩(200)의 크기는 CS2에서 CS2'로 약간 크게 될 수 있다.
- [0098] 도 15를 참조하면, 지지 캐리어(900) 및 접착 부재(920)를 제거함으로써, 각각의 반도체 패키지(1000)를 완성한다. 지지 캐리어(900) 및 접착 부재(920)의 제거는 순차적으로 수행될 수도 있고 동시에 수행될 수도 있다. 앞서와 같이 절단 공정을 통하여 개개의 반도체 패키지(1000)를 형성하고 나면, 제1 칩(100)의 양측면이 노출될 수 있다. 이렇게 할 경우, 반도체 패키지(1000)를 보드 기판 상에 실장하여 재차 몰딩할 경우 추가 몰딩재가 제1 칩(100)의 측면과 잘 결합 및 부착될 수 있다.
- [0099] 본 실시예의 반도체 패키지 제조 방법에 따르면, 제1 칩(100)의 전면 및 후면에 패키지용 제1 응력 조절층(160, SCL2-1), 패키지용 제2 응력 조절층(124, SCL2-2)을 형성하여 기저 웨이퍼(10)의 휘어짐을 방지할 수 있다.
- [0100] 본 실시예의 반도체 패키지 제조 방법에 따르면, 언더필(310) 및 몰딩재(320)를 포함하는 밀봉재(330)를 형성할 때, 지지 캐리어(800)의 전면(표면) 및 후면에 각각 형성된 캐리어용 제1 응력 조절층(802, SCL1-1) 및 캐리어용 제2 응력 조절층(804, SCL1-2)을 이용하여 적층칩(1100)이나 기저 웨이퍼(10)의 휘어짐을 조절할 수 있다.
- [0101] 본 실시예의 반도체 패키지 제조 방법에 따르면, EDS 테스트를 위해 지지 캐리어(900)의 전면(표면) 및 후면에 각각 형성된 캐리어용 제3 응력 조절층(902, SCL1-3) 및 캐리어용 제4 응력 조절층(904, SCL1-4)을 이용하여 적층칩(1100)이나 기저 웨이퍼(10)의 휘어짐을 조절할 수 있다.
- [0102] 본 실시예의 반도체 패키지 제조 방법에 따르면, 제2 칩(200)의 표면 및 밀봉재(330)의 표면에 형성된 패키지용 제3 응력 조절층(332, SCL2-3)은 밀봉재(330)의 형성후에 적층칩들(1100)이나 기저 웨이퍼(10)의 발생할 수 있는 휘어짐을 조절할 수 있다.
- [0103] 본 실시예의 반도체 패키지 제조 방법에 따르면, TSV(130)가 형성된 제1 칩(100)을 복수개 포함하는 기저 웨이퍼(10) 상에, 적층칩(1100)이 탑재된 상태에서 EDS(Electrical Die Sorting) 테스트를 수행한다. 따라서, PCB 기판이나 인터포저 없이 양호 또는 불량 여부가 판단된 적층칩(1100)을 얻을 수 있다.
- [0104] 여기서, 도 15를 참조하여 앞서 반도체 패키지의 제조 방법에 의해 제조된 반도체 패키지(1000)의 구조 및 특징에 대하여 간단히 설명한다.
- [0105] 구체적으로, 반도체 패키지(1000)는 제1 칩(100) 및 제2 칩(200)을 포함하고, 제1 칩(100) 및 제2 칩(200)을 밀봉하는 밀봉재(330)를 포함하는 패키지 부재(PAE)를 가질 수 있다. 패키지 부재(PAE)의 일 표면(B2)에는 응력 조절층(332, SCL2-3)이 형성될 수 있다.
- [0106] 패키지 부재(PAE)는 앞서의 제조 과정 중에 제1 워피지를 가질 수 있지만, 패키지 부재(PAE)의 일 표면(B2) 상에 제1 워피지를 상쇄할 수 있는 제2 워피지를 갖게 응력 조절층(332, SCL2-3)이 형성될 수 있다. 예컨대, 패키지 부재(PAE)의 제1 워피지는 양의 값 또는 음의 값을 가지며, 응력 조절층(332, SCL2-3)의 제2 워피지는 제1 워피지의 값과 각각 반대의 음의 값 또는 양의 값을 가질 수 있다.
- [0107] 반도체 패키지(1000)는 제1 칩(100), 제2 칩(200) 및 밀봉재(330)를 포함하고, 양호한 적층칩(1100)을 얻을 수 있다. 제1 칩(100)은 바디층(110), 하부 절연층(120), TSV(130), 외부 연결 부재(140), 패키지용 제1 응력 조절층(160, SCL2-1), 패키지용 제2 응력 조절층(124, SCL2-2) 및 상부 패드(170)를 포함할 수 있다. 제1 칩(100)의 하부는 범프(144)가 외부로 노출되어 있다.
- [0108] 제2 칩(200)은 바디층(210), 하부 절연층(220), 내부 연결 부재(240) 및 패키지용 제3 응력 조절층(332, SCL2-

3)을 포함할 수 있다. 제2 칩(200)은 TSV를 포함하지 않을 수 있고, 필요에 따라 TSV를 포함할 수 있다. 제1 칩(100)의 비액티브면(후면, B1) 상에 제2 칩(200)의 액티브면(전면, F2)이 탑재되어 적층칩을 구성하며, 내부 연결 부재(240)는 제1 칩(100)의 상부 패드(170)에 연결될 수 있다. 그에 따라, 내부 연결 부재(240)를 통해 제2 칩(200)이 제1 칩(100)의 TSV(130)에 전기적으로 연결될 수 있다.

- [0109] 밀봉재(330)는 제1 칩(100) 및 제2 칩(200)의 연결 부분, 즉 제1 칩(100)의 상부 패드(170)와 내부 연결 부재(240)가 연결되는 부분에 채워져 있다. 밀봉재(330)는 제2 칩(200)의 양측면을 둘러싸도록 형성된다. 따라서, 제2 칩(200)의 양측면에 형성된 밀봉재(330)와 제1 칩(100) 및 제2 칩(200)의 연결 부분에 형성된 밀봉재(330)와 동일한 소재로 이루어질 수도 있다.
- [0110] 제2 칩(200)의 상면(후면, B2)은 밀봉재(330)가 형성되지 않고 패키지용 제3 응력 조절층(332, SCL2-3)이 형성되어 있다. 제1 칩(100)의 양측면은 밀봉재가 형성되어 있지 않아 노출되어 있다. 이에 따라, 반도체 패키지(1000)를 메인칩이나 보드 기관 상에 실장하여 재차 몰딩할 경우 추가 몰딩재가 제1 칩(100)의 측면과 잘 결합 및 부착될 수 있다.
- [0111] 앞서 설명한 바와 같이 제2 칩(200)의 양측면을 둘러싸도록 형성된 밀봉재(330)의 양단부가 제1 칩(100)의 모서리와 수직적으로 일치되는 구조를 갖는다. 다시 말해, 밀봉재(330)를 포함하는 제2 칩(200)의 크기(CS2')는 제1 칩(100)의 크기(CS1)와 동일하게 할 수 있다.
- [0112] 도 16 및 도 17은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 및 그 제조 방법을 설명하기 단면도들이다.
- [0113] 구체적으로, 도 16 및 도 17의 실시예는 도 5 내지 도 15의 실시예와 비교할 때, 기저 웨이퍼(10) 및 밀봉재(330)의 절단 공정을 제외하고는 동일할 수 있다.
- [0114] 먼저, 도 5 내지 도 13에 도시한 제조 공정을 수행한다. 이렇게 되면, 캐리어용 제3 응력 조절층(902, SCL1-3) 및 캐리어용 제4 응력 조절층(904, SCL1-4)이 형성된 지지 캐리어(900) 상에 밀봉재(330)로 밀봉된 복수개의 제2 칩(200)들이 위치한다. 제2 칩(200)들 상에는 제1 칩(100)을 포함하는 기저 웨이퍼(10)가 부착될 수 있다.
- [0115] 도 16을 참조하면, 제2 칩(200)의 폭(CS2)을 기준으로 기저 웨이퍼(10) 및 밀봉재(330)를 절단한다. 앞서 설명한 바와 같이 S2는 블레이드 폭일 수 있고, S2의 블레이드 폭을 기준으로 기저 웨이퍼(10)를 용이하게 절단할 수 있다. 이렇게 될 경우, 제1 칩(100)의 크기는 CS1에서 CS1'으로 약간 작게 된다.
- [0116] 도 17을 참조하면, 캐리어용 제3 응력 조절층(902, SCL1-3) 및 캐리어용 제4 응력 조절층(904, SCL1-4)이 형성된 지지 캐리어(900) 및 접착 부재(920)를 제거함으로써, 각각의 반도체 패키지(1000a)를 완성한다. 지지 캐리어(900) 및 접착 부재(920)의 제거는 순차적으로 수행될 수도 있고 동시에 수행될 수도 있다. 앞서의 절단 공정을 통하여 개개의 반도체 패키지(1000a)를 형성하고 나면, 제1 칩(100) 및 제2 칩(200)의 양측면이 노출된다.
- [0117] 도 16 및 도 17에 도시한 실시예의 반도체 패키지 제조 방법에 따르면, 제2 칩(200)의 상면 및 제1 칩(100)의 양측면을 노출시킨다. 이렇게 할 경우, 반도체 패키지(1000)를 보드 기관 상에 실장하여 재차 몰딩할 경우 추가 몰딩재가 제1 칩(100) 및 제2 칩(200)의 측면과 잘 결합 및 부착될 수 있다.
- [0118] 여기서, 도 17을 참조하여 앞서 반도체 패키지의 제조 방법에 의해 제조된 반도체 패키지의 구조 및 특징에 대하여 간단히 설명한다.
- [0119] 구체적으로, 앞서 설명한 바와 같이 반도체 패키지(1000)는 제1 칩(100) 및 제2 칩(200)을 포함하고, 제1 칩(100) 및 제2 칩(200)을 밀봉하는 밀봉재(330)를 포함하는 패키지 부재(PAE)를 가질 수 있다. 패키지 부재(PAE)의 일 표면(B2)에는 응력 조절층(332, SCL2-3)이 형성될 수 있다.
- [0120] 패키지 부재(PAE)는 앞서의 제조 과정 중에 제1 워피지를 가질 수 있지만, 패키지 부재(PAE)의 일 표면(B2) 상에 제1 워피지를 상쇄할 수 있는 제2 워피지를 갖게 응력 조절층(332, SCL2-3)을 형성할 수 있다. 예컨대, 패키지 부재(PAE)의 제1 워피지는 양의 값 또는 음의 값을 가지며, 응력 조절층(332, SCL2-3)의 제2 워피지는 1 워피지의 값과 각각 반대의 음의 값 또는 양의 값을 가질 수 있다.
- [0121] 도 17의 반도체 패키지(1000a)는 제2 칩(200)의 양측면이 노출된 것을 제외하고는 도 15의 반도체 패키지(1000)와 동일할 수 있다. 밀봉재(330)는 제1 칩(100) 및 제2 칩(200)의 연결 부분, 즉 제1 칩(100)의 상부 전극(170)과 내부 연결 부재(240)가 연결되는 부분을 채워져 있으나, 제2 칩(200)의 양측면에는 형성되어 있지 않다. 물론, 제1 칩(100)의 양측면도 밀봉재(330)가 형성되어 있지 않아 노출되어 있다.

- [0122] 이에 따라, 반도체 패키지(100a)를 보드 기판 상에 실장하여 재차 몰딩할 경우 추가 몰딩재가 제2 칩(200)의 상면이나 제1 칩(100)의 측면과 잘 결합 및 부착될 수 있다. 그리고, 제2 칩(200)의 양단부가 제1 칩(100)의 모서리와 수직적으로 일치되는 구조를 갖는다. 다시 말해, 제2 칩(200)의 크기(CS2)는 제1 칩(100)의 크기(CS1)와 동일한 크기를 갖는다.
- [0123] 도 18 및 도 19는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 제조 방법에 이용되는 제2 칩의 제조 방법을 설명하기 단면도들이다.
- [0124] 도 18을 참조하면, 다수의 제2 칩들(200)을 포함한 웨이퍼(20)를 준비한다. 웨이퍼(20)는 지지 캐리어(840) 상에 접착 부재(860)를 통해 접착되어 준비될 수 있다. 지지 캐리어(840)의 전면(표면) 및 후면에는 각각 캐리어용 제5 응력 조절층(842, SCL1-5) 및 캐리어용 제6 응력 조절층(844, SCL1-6)이 형성되어 있다. 캐리어용 제5 응력 조절층(842, SCL1-5) 및 캐리어용 제6 응력 조절층(844, SCL1-6)은 웨이퍼(20)의 워피지를 제어(또는 조절)하는 역할을 수행할 수 있다.
- [0125] 웨이퍼(20)에서, 칩 영역의 크기(size)는 제1 칩(100)과 마찬가지로 CR1로 표시되어 있다. 칩 영역의 크기(CR1)는 폭 또는 길이일 수 있다. 제2 칩(100)들 사이의 스크라이브 라인 영역의 크기도 제1 칩(100)과 마찬가지로 SR1로 표시되어 있다. 스크라이브 라인 영역의 크기(SR1)는 폭 또는 길이일 수 있다.
- [0126] 지지 캐리어(840)는 앞서 설명한 바와 같이 실리콘, 게르마늄, 실리콘-게르마늄, 갈륨-비소(GaAs), 유리, 플라스틱, 세라믹 기판 등으로 형성될 수 있다. 접착 부재(860)는 NCF, ACF, 순간 접착제, 열경화성 접착제, 레이저 경화형 접착제, 초음파 경화형 접착제, NCP 등으로 형성될 수 있다. 웨이퍼(20)는 내부 연결 부재(240)가 지지 캐리어(840)를 향하도록 접착될 수 있다.
- [0127] 도 19를 참조하면, 웨이퍼(20)의 스크라이브 라인 영역을 따라 소잉(sawing, 절단)하여 각각의 제2 칩(200)들로 분리한다. 웨이퍼(20)에서 후 공정의 절단에 의해 완성되는 제2 칩(200)의 크기는 CS2로 표시할 수 있다. 제2 칩(200)의 크기(CS1)는 폭 또는 길이일 수 있다. 스크라이브 라인 영역 내에서 블레이드(blade)에 의해 절단되는 크기는 S2로 도시되어 있다. 블레이드(blade)에 의해 절단되는 크기(S2)는 폭 또는 길이일 수 있다. 블레이드(blade)에 의해 절단되는 크기(S2)는 블레이드의 폭일 수 있다.
- [0128] 도 20 및 도 21은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 제조 방법에 이용되는 제2 칩의 제조 방법을 설명하기 단면도들이다.
- [0129] 구체적으로, 도 20 및 도 21에 도시한 제2 칩(200a)은 도 18 및 도 19와 비교할 때 TSV(230)가 형성된 것을 제외하고는 동일할 수 있다.
- [0130] 도 20을 참조하면, TSV(230)가 각각 형성된 다수의 제2 칩들(200a)을 포함한 웨이퍼(20)를 준비한다. 웨이퍼(20)는 지지 캐리어(840) 상부에 접착 부재(860)를 통해 접착되어 준비될 수 있다.
- [0131] 도 21을 참조하면, 웨이퍼(20)의 스크라이브 라인 영역을 따라 소잉(sawing, 절단)하여 각각의 제2 칩(200a)들로 분리한다. 웨이퍼(20)에서 절단에 의해 완성되는 제2 칩(200)의 크기는 CS2로 표시할 수 있다. 제2 칩(200a)의 크기(CS2)는 폭 또는 길이일 수 있다. 스크라이브 라인 영역 내에서 블레이드(blade)에 의해 절단되는 크기는 S2로 도시되어 있다. 블레이드(blade)에 의해 절단되는 크기(S2)는 폭 또는 길이일 수 있다.
- [0132] 도 22 및 도 23은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 제조 방법을 설명하기 단면도들이다.
- [0133] 구체적으로, 도 22 및 도 23의 실시예는 앞서 실시예와 비교할 때, 기저 웨이퍼(10) 상에 접착 부재(420)를 형성하고 언더필(310)을 형성하지 않는 것을 제외하고는 동일하다.
- [0134] 도 22를 참조하면, 도 1에 도시한 바와 같은 기저 웨이퍼(10)는 상면으로 패키지용 제1 응력 조절층(160, SCL2-1)과 상부 패드(170)를 덮는 접착 부재(420)를 형성한다. 접착 부재(420)는 NCF, 또는 ACF일 수 있고, 본 실시예에서는 NCF를 채용할 수 있다. 접착 부재(420)는 패키지용 제1 응력 조절층(160, SCL2-1) 및 상부 패드(170) 형성 후에, 기저 웨이퍼(10) 전면으로 NCF를 접착함으로써 형성될 수 있다.
- [0135] NCF는 보통의 접착 필름으로서, 절연성을 갖는 필름이다. 이러한 NCF를 이용하면, 압착하는 방식으로 제2 칩(200)을 제1 칩(100)에 적층할 수 있다. 한편, ACF는 이방성 전도 필름으로, 절연 접착 필름 내에 도전성 입자가 분산되어 있는 구조를 가지며, 접속 시, 전극 방향, 즉 수직 방향으로만 통전이 되도록 하며, 전극과 전극 사이 방향, 즉 수평 방향으로 절연되는 이방성의 전기적 특성을 가질 수 있다. 이러한, ACF는 열과 압력을 가

하여 접착제를 용융시키면, 도전입자는 대치하는 전극 사이에 배열되어 도전성이 발생하는 반면, 인접하는 전극 사이에는 접착제가 충전되어 절연되게 된다.

- [0136] 도 23을 참조하면, 제1 칩(100)을 포함하는 기저 웨이퍼(10) 상의 접착 부재(420) 상에 제2 칩(200)을 적층하여 적층칩(1100)을 형성한다. 적층은 제2 칩(200)의 내부 연결 부재(240)를 제1 칩(100)의 상부 패드(170) 상에 압착 방법을 통해 접착함으로써 이루어질 수 있다. 내부 연결 부재(240)는 제1 칩(100)의 상부 패드(170)에 연결될 수 있다.
- [0137] 제2 칩(200)을 제1 칩(100) 상에 적층할 경우, 적층칩(1100)의 제1 칩(100)과 제2 칩(200)의 연결 부분은 앞서와 같이 언더필로 채우지 않고 접착 부재(420)로 채우게 된다. 이렇게 할 경우, 언더필 공정을 생략할 수 있어 제조 공정상 매우 유리하다. 계속하여, 앞서 제조 공정에서 설명된 몰딩, 테스트 및 절단 공정을 통하여 반도체 패키지를 완성할 수 있다.
- [0138] 도 24 내지 도 26은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 제조 방법을 설명하기 단면도들이다.
- [0139] 구체적으로, 도 24 내지 도 26의 실시예는 앞서 실시예와 비교할 때, 언더필(310)을 형성하지 않고 몰딩재(320)로 밀봉재(330)를 형성하는 것을 제외하고는 동일하다.
- [0140] 먼저, 도 5 내지 도 7의 제조 공정을 진행한다. 이렇게 되면, 제1 칩(100)을 포함하는 기저 웨이퍼(10) 상의 접착 부재(420) 상에 제2 칩(200)을 적층하여 적층칩(1100)을 형성한다.
- [0141] 도 24를 참조하면, 적층칩(1100)의 제1 칩(100)과 제2 칩(200)의 연결 부분을 채우면서 제2 칩(200)의 양측면 및 상부를 밀봉하는 몰딩재(320)를 형성하여 밀봉재(330)를 형성한다. 몰딩재(320)는 제1 칩(100) 및 제2 칩(200)의 연결 부분, 즉 제1 칩(100)의 상부 패드(170)와 내부 연결 부재(240)가 연결되는 부분을 채울 수 있다.
- [0142] 몰딩재(320)는 앞서 설명한 바와 같이 레진과 같은 폴리머로 형성될 수 있다. 예컨대, 몰딩재(320)는 EMC(Epoxy Molding Compound)로 형성될 수 있다. 밀봉재(330)는 각 적층칩들(1100)의 제1 및 제2 칩(100, 200)의 측면들 및 상면들을 밀봉할 수 있다.
- [0143] 도 25를 참조하면, 밀봉재(330) 상면을 그라인딩하여, 적층칩들(1100) 각각의 제2 칩(200)의 상면을 노출시킬 수 있다. 이렇게 되면, 적층칩들(1100)은 몰딩재(320)로 구성되는 밀봉재(330)로 봉지된다. 밀봉재(330)는 각 적층칩들(1100)의 제1 칩(100) 및 제2 칩(200)의 측면들을 밀봉할 수 있다.
- [0144] 다음에, 제2 칩(200)의 표면 및 밀봉재(330)의 표면에 패키지용 제3 응력 조절층(332, SCL2-3)을 형성한다. 패키지용 제3 응력 조절층(332, SCL2-3)은 밀봉재(330)의 형성후에 적층칩들(1100)이나 기저 웨이퍼(10)의 발생할 수 있는 휘어짐을 조절(또는 제어)하기 위하여 형성할 수 있다.
- [0145] 도 26을 참조하면, 앞서 제조 공정에서 설명한 바와 같이 테스트 공정 및 절단 공정을 통하여 반도체 패키지(1000b)를 완성한다. 도 26의 반도체 패키지(1000b)는 도 15의 반도체 패키지(1000)와 비교할 때 밀봉재(330)를 몰딩재(320)로 형성한 것을 제외하고는 동일할 수 있다.
- [0146] 앞서 설명한 바와 같이 반도체 패키지(1000b)는 제1 칩(100) 및 제2 칩(200)을 포함하고, 제1 칩(100) 및 제2 칩(200)을 밀봉하는 밀봉재(330)를 포함하는 패키지 부재(PAE)를 가질 수 있다. 패키지 부재(PAE)의 일 표면(B2)에는 응력 조절층(332, SCL2-3)이 형성될 수 있다.
- [0147] 패키지 부재(PAE)는 앞서의 제조 과정 중에 제1 워피지를 가질 수 있지만, 패키지 부재(PAE)의 일 표면(B2) 상에 제1 워피지를 상쇄할 수 있는 제2 워피지를 갖게 응력 조절층(332, SCL2-3)이 형성될 수 있다.
- [0148] 도 27은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 제조 방법을 설명하기 단면도이다.
- [0149] 구체적으로, 도 27의 실시예는 앞서 실시예와 비교할 때, 기저 웨이퍼(10)의 제1 칩들(100)을 각각의 상부로 복수개의 제2 칩(200)들을 적층하여 적층칩(1100a)을 형성하는 것을 제외하고는 동일하다.
- [0150] 기저 웨이퍼(10)의 제1 칩들(100) 각각의 상부로 n개(n은 2 이상의 양의 정수), 즉 적어도 2개의 제2 칩(200)을 적층하여 적층칩(1100a)을 형성한다. 기저 웨이퍼(10)의 제1 칩(100) 하나당 제2 칩(200)을 복수개 적층할 수도 있다.
- [0151] 제1 칩(100)과 제2 칩(200)간의 적층 부분, 즉 연결 부분은 NCF와 같은 접착 부재(420)로 채워질 수 있다. 제2 칩(200)들 간의 적층 부분도 NCF와 같은 접착 부재(420)로 채워질 수 있다. 접착 부재(420)는 최상부의 칩(N번

칩 칩) 상면에는 형성되지 않을 수 있고, 최상부의 칩은 TSV가 형성되지 않는다.

- [0152] 앞서 설명한 바와 같이 제1 칩(100)과 제2 칩(200)간의 적층 부분은 언더필(310)이나 몰딩재(320)와 같은 밀봉재(330)로 채워질 수도 있다. 기저 웨이퍼(10)에 구현된 칩은 제1 칩(100)일 수 있고, 최상부의 제2 칩(220, N 번째 칩)은 제1 칩(100) 상에 바로 위치하는 중간 칩들(220)을 통하여 제1 칩(100)과 연결될 수 있다.
- [0153] 도 28 내지 도 33은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 및 그 제조 방법을 설명하기 단면도들이다.
- [0154] 구체적으로, 도 28 내지 도 33은 칩 내부 및 칩 외곽부에 재배선층을 연장하는 동시에 연장된 부분에 외부 연결부재(또는 외부 연결 단자)를 형성하는 웨이퍼 레벨 팬 아웃 패키지(waferlevel fan-out package) 및 그 제조 방법의 일 예를 도시한 것이다
- [0155] 도 28을 참조하면, 지지 캐리어(1002)의 접착 부재(1008) 상에 웨이퍼 상태에서 분리된 개개의 칩(1010)을 일정한격으로 부착시킨다. 칩(1010)을 부착할 때, 칩(1010)의 전기적 신호 입출력을 위한 본딩 패드(1012)가 있는 전면(F)을 지지 캐리어(1002)의 접착 부재(1008) 상에 부착한다. 이에 따라, 칩(1010)의 양측면 및 후면(B)은 외부로 노출될 수 있다.
- [0156] 지지 캐리어(1002)는 실리콘, 게르마늄, 실리콘-게르마늄, 갈륨-비소(GaAs), 유리, 금속, 플라스틱, 세라믹 기판 등으로 형성될 수 있다. 접착 부재(1008)는 NCF(Non-Conductive Film), ACF(Anisotropic Conductive Film), UV 필름, 순간 접착제, 열경화성 접착제, 레이저 경화형 접착제, 초음파 경화형 접착제, NCP(Non-Conductive Paste) 등으로 형성될 수 있다.
- [0157] 도 29를 참조하면, 지지 캐리어(1002) 상에 부착된 개개의 칩(1010) 모두를 한꺼번에 몰딩하여 밀봉재(1014)를 형성한다. 밀봉재(1014)는 몰딩재로 형성할 수 있다. 몰딩재는 레진과 같은 폴리머로 형성될 수 있다. 예컨대, 몰딩재는 EMC(Epoxy Molding Compound)로 형성될 수 있다.
- [0158] 밀봉재(1014)는 개개 칩(1010)의 후면(B) 및 양측면이 일정 두께로 밀봉되게 형성될 수 있다. 밀봉재(1014)의 두께는 칩(1010)의 두께에 비하여 2배 이상 두껍게 할 수 있다.
- [0159] 도 30을 참조하면, 지지 캐리어(1002)를 개개의 칩(1010)과 밀봉재(1014)로부터 분리한다. 이렇게 되면, 각 칩(1010)의 전면(F)과 밀봉재(1014)의 저면이 외부로 노출되는 상태가 된다. 필요에 따라서, 밀봉재(1014)의 저면이 고른 면이 되도록 그라인딩 공정을 수행하고, 칩(1010)의 전면(F)에 대한 세정 공정이 수행될 수 있다. 이와 같은 공정을 통하여 개개의 칩(1010)을 밀봉하는 밀봉재(1014)를 포함하는 패키지 부재(PAE)를 얻을 수 있다. 패키지 부재(PAE)는 밀봉재(1014)로 인하여 휘어질 수 있다. 예컨대, 패키지 부재(PAE)는 제1 워피지를 가질 수 있다.
- [0160] 도 31을 참조하면, 지지 캐리어(1016)를 준비한다. 지지 캐리어(1016)는 앞서의 실시예에서 설명한 지지 캐리어(1002)와 동일 물질로 형성할 수 있다. 지지 캐리어(1016)의 전면(표면) 및 후면에 각각 형성된 캐리어용 제1 응력 조절층(1018, SCL1-1) 및 캐리어용 제2 응력 조절층(1020, SCL1-2)을 형성한다.
- [0161] 캐리어용 제1 응력 조절층(1018, SCL1-1) 및 캐리어용 제2 응력 조절층(1020, SCL1-2)은 산화층(oxide layer), 질화층(nitride layer), 폴리머층(polymer layer) 또는 이들의 조합층으로 형성할 수 있다. 캐리어용 제1 응력 조절층(1018, SCL1-1) 및 캐리어용 제2 응력 조절층(1020, SCL1-2)은 화학기상증착법(CVD), 스핀 코팅법 또는 물리화학기상증착법(PVD) 등을 이용하여 형성할 수 있다.
- [0162] 캐리어용 제1 응력 조절층(1018, SCL1-1) 및 캐리어용 제2 응력 조절층(1020, SCL1-2)은 서로 다른 종류로 형성할 수 있다. 캐리어용 제1 응력 조절층(1018, SCL1-1) 및 캐리어용 제2 응력 조절층(1020, SCL1-2)은 1nm 내지 1mm의 두께로 형성할 수 있다. 캐리어용 제1 응력 조절층(1018, SCL1-1) 및 캐리어용 제2 응력 조절층(1020, SCL1-2)의 내부 응력은 -1GPa 내지 1GPa일 수 있다. 이에 따라, 캐리어용 제1 응력 조절층(1018, SCL1-1) 및 캐리어용 제2 응력 조절층(1020, SCL1-2)는 -1mm 내지 +1mm의 워피지를 보상할 수 있다.
- [0163] 칩(1010)의 전면(F)이 위로 가도록 뒤집은 후에, 지지 캐리어(1016)의 제1 응력 조절층(1018, SCL1-1) 상에 칩(1010) 및 밀봉재(1014)를 포함하는 패키지 부재(PAE)를 접착시킨다. 지지 캐리어(1016)와 패키지 부재(PAE)는 접착 부재(1022)를 이용하여 접착시킨다. 접착 부재(1022)는 앞서 설명한 접착 부재(1008)와 동일한 물질로 형성할 수 있다.
- [0164] 지지 캐리어(1016)와 패키지 부재(PAE)를 접착시킬 때, 지지 캐리어(1016)의 전면(표면) 및 후면에 각각 형성된

캐리어용 제1 응력 조절층(1018, SCL1-1) 및 캐리어용 제2 응력 조절층(1020, SCL1-2)을 이용하여 패키지 부재(PAE)의 휘어짐을 조절할 수 있다. 예컨대, 패키지 부재(PAE)가 제1 워피지를 가질 경우, 캐리어용 제1 응력 조절층(1018, SCL1-1) 및 캐리어용 제2 응력 조절층(1020, SCL1-2)은 제1 워피지의 일부 또는 전부를 상쇄할 수 있는 제2 워피지를 가질 수 있다.

- [0165] 밀봉재(1014)의 표면 및 칩(1010)의 전면(F) 상에 본딩 패드(1012)를 노출하는 패키지용 제1 응력 조절층(1024, SCL2-1)을 형성한다. 이어서, 패키지용 제1 응력 조절층 및 밀봉재(1014) 상에서 각 칩(1010)의 본딩 패드(1012)로부터 밀봉재(1014)의 원하는 위치까지 상부 재배선층(1026, Redistribution wiring layer)을 형성한다.
- [0166] 상부 재배선층(1026) 상에는 칩(1010)의 외곽부에 외부 접속홀(1030)을 갖는 패키지용 제2 응력 조절층(1028, SCL2-2)을 형성한다. 패키지용 제1 응력 조절층(1024, SCL2-1) 및 패키지용 제2 응력 조절층(1028, SCL2-2)은 산화층, 질화층, 폴리머층 또는 이들의 조합층으로 형성될 수 있다. 패키지용 제1 응력 조절층(1024, SCL2-1) 및 패키지용 제2 응력 조절층(1028, SCL2-2)의 내부 응력은 -1GPa 내지 1GPa일 수 있다. 이에 따라, 패키지용 제1 응력 조절층(1024, SCL2-1) 및 패키지용 제2 응력 조절층(1028, SCL2-2)은 -1mm 내지 +1mm의 워피지를 보상할 수 있다.
- [0167] 다시 말해, 패키지용 제1 응력 조절층(1024, SCL2-1) 및 패키지용 제2 응력 조절층(1028, SCL2-2)은 패키지 부재(PAE)의 휘어짐을 조절할 수 있다. 예컨대, 패키지 부재(PAE)가 제1 워피지를 가질 경우, 패키지용 제1 응력 조절층(1024, SCL2-1) 및 패키지용 제2 응력 조절층(1028, SCL2-2)은 제1 워피지의 일부 또는 전부를 상쇄할 수 있는 제2 워피지를 가질 수 있다. 패키지용 제1 응력 조절층(1024, SCL2-1) 및 패키지용 제2 응력 조절층(1028, SCL2-2)은 칩(1010)을 보호하는 패시베이션층으로 명명될 수 있다.
- [0168] 도 32를 참조하면 외부 접속홀(1030) 상에는 외부 연결 부재(1032), 예컨대 솔더볼을 형성할 수 있다. 도 32에서는 외부 연결 부재(1032)를 칩(1010)의 외곽부에 도시하였지만 칩(1010)의 내부에도 형성될 수 있다. 칩(1010)의 외곽부에 외부 연결 부재(1032)를 형성할 경우, 외부 연결 부재들끼리 서로 닿아 발생하는 전기적 쇼트 현상을 해결할 수 있다.
- [0169] 계속하여, 개개의 칩들(1010) 별로 절단함으로써 도 33과 같은 반도체 패키지(1090)가 완성될 수 있다. 여기서, 도 33의 반도체 패키지(1090)의 구성을 간단히 살펴본다.
- [0170] 앞서 설명한 바와 같이 반도체 패키지(1090)는 칩(1010)을 포함하고, 칩(1010)의 후면(B) 및 측면을 밀봉하고 칩의 전면(F)을 노출하는 밀봉재(1014)를 포함하는 패키지 부재(PAE)를 가질 수 있다. 외부 연결 부재(1032)는 칩(1010)의 전면측에 형성되어 있다. 외부 연결 부재(1032)는 도 33에서 칩(1010)의 외곽부에 형성하였지만 칩(1010)의 내부에도 형성될 수 있다.
- [0171] 패키지 부재(PAE)의 일 표면에는 패키지용 제1 응력 조절층(1024, SCL2-1) 및 패키지용 제2 응력 조절층(1028, SCL2-2)이 형성될 수 있다. 칩(1010)의 전면 및 밀봉재(1014)의 표면에 패키지용 제1 응력 조절층(1024, SCL2-1) 및 패키지용 제2 응력 조절층(1028, SCL2-2)이 형성되어 있다. 패키지용 제1 응력 조절층(1024, SCL2-1) 및 패키지용 제2 응력 조절층(1028, SCL2-2)은 밀봉재(1014)에 의해 생길 수 있는 워피지를 조절할 수 있다.
- [0172] 예컨대, 패키지 부재(PAE)는 앞서의 제조 과정 중에 제1 워피지를 가질 수 있지만, 패키지 부재(PAE)의 일 표면 상에 제1 워피지를 일부 또는 전부를 상쇄할 수 있는 제2 워피지를 갖게 패키지용 제1 응력 조절층(1024, SCL2-1) 및 패키지용 제2 응력 조절층(1028, SCL2-2)이 형성될 수 있다.
- [0173] 도 34는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 및 그 제조 방법을 설명하기 단면도이다.
- [0174] 구체적으로, 도 34의 반도체 패키지(1090a)는 도 33과 비교할 때 외부 연결 부재(1032a)가 칩(1010)의 후면측에 형성된 것을 제외하고는 거의 동일할 수 있다. 도 34에서, 도 33과 동일한 부재는 간단히 설명하거나 생략한다.
- [0175] 반도체 패키지(1090a)는 밀봉재(1014) 내에 밀봉 관통 비아홀(1033)이 형성되어 있다. 밀봉 관통 비아홀(1033)은 밀봉재(1014)를 상하로 관통하는 비아홀일 수 있다. 밀봉 관통 비아 홀(1033) 내에는 밀봉 관통 비아 전극(1035)이 형성되어 있다. 밀봉 관통 비아 전극(1035)은 패키지 부재(PAE)의 표면에 형성된 상부 재배선층(1026)과 연결될 수 있다.
- [0176] 밀봉 관통 비아 전극(1035)은 패키지 부재(PAE)의 후면, 즉 밀봉재(1014)의 후면에 재배선된 하부 재배선층(1026a)과 연결될 수 있다. 하부 재배선층(1026a)은 밀봉 관통 비아 전극(1035)으로부터 밀봉재(1014)의 원하는

위치까지 재배선한 물질층일 수 있다. 패키지 부재(PAE)의 하면의 밀봉 관통 비아 전극(1035) 및 하부 재배선층(1026a) 상에는 외부 접속홀(1037)을 갖는 재배선 절연층(1039)이 형성되어 있다. 하부 재배선층(1026a) 및 외부 접속홀(1037) 상에는 외부 연결 부재(1032a)가 형성되어 있다.

- [0177] 결과적으로, 외부 연결 부재(1032a)는 밀봉재(1014)에 형성된 밀봉 관통 비아 전극(1035) 및 밀봉 관통 비아 전극(1035)과 연결되면서 밀봉재(1014)의 후면에 형성된 하부 재배선층(1026a)을 통해 칩(1010)의 후면측에 형성될 수 있다. 도 34에서 외부 연결 부재(1032a)는 칩(1010)의 내부에 형성하였지만 칩(1010)의 외곽부에 형성할 수도 있다.
- [0178] 도 35 내지 도 43은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 및 그 제조 방법을 설명하기 단면도들이다. 도 35 내지 도 43은 지지 캐리어(1112) 상에서 베이스 밀봉재에 의하여 밀봉된 제1 칩들(1120) 상에 제2 칩(1150)을 COC(chip on chip) 형태로 적층하여 반도체 패키지를 구현하는 것을 도시한 것이다.
- [0179] 도 35를 참조하면, 집적회로가 형성되는 액티브면(1104)과 집적회로가 형성되지 않는 비액티브면(1106)을 갖는 베이스 기판(1102)을 준비한다. 액티브면(1104)은 전면(F)이고, 비액티브면(1106)은 후면(B)일 수 있다. 베이스 기판(1102)은 웨이퍼 레벨, 즉 웨이퍼 상태의 기판을 도시한 것이다. 베이스 기판(1102)은 실리콘 기판, 즉 실리콘 웨이퍼로 형성된다. 베이스 기판(1102)에는 복수개의 칩들이 형성되어 있다. 베이스 기판(1102) 내에 베이스 관통 비아 전극(1108) 및 베이스 관통 비아 전극(1108)에 연결되는 베이스 패드(1110)를 형성한다.
- [0180] 도 35의 베이스 관통 비아 전극(1108)은 베이스 기판(102) 전체를 관통하지 않고 일부 깊이로 형성되며, 후공정에서 베이스 기판(1102) 전체를 관통한다. 베이스 관통 비아 전극(1108)은 금속층, 예컨대 알루미늄층, 구리층 등으로 형성한다.
- [0181] 베이스 패드(1110)는 베이스 관통 비아 전극(1108)과 동시에 형성될 수도 있고, 동시에 형성되지 않을 수도 있다. 베이스 패드(1110)는 베이스 관통 비아 전극(1108)과 마찬가지로 금속층, 예컨대 알루미늄층, 구리층 등으로 형성한다. 베이스 패드(1110)는 베이스 기판(1102) 상에 형성된 재배선층(미도시)을 이용한 재배선 패드일 수도 있다. 계속하여, 베이스 패드(1110) 상에 제1 외부 연결 부재(1114)를 형성한다. 제1 외부 연결 부재(1114)는 솔더볼로 형성할 수 있다.
- [0182] 도 36을 참조하면, 베이스 기판(1102)의 액티브면(1104), 베이스 패드(1110) 및 제1 외부 연결 부재(1114)를 보호하는 베이스 밀봉재(1116)를 형성한다. 베이스 밀봉재(1116)는 다양한 몰딩 방법, 예컨대 액상의 수지를 금형 내에 침투시키고 고체화시키는 방법이나, 필름 형태의 수지를 라미네이션(lamination)한 후 고체화시키는 방법이나, 스프레이(spray)로 수지를 분사시켜 고체화하는 방법 등을 이용할 수 있다.
- [0183] 도 37을 참조하면, 제1 외부 연결 부재(1114)와 베이스 밀봉재(1116)를 연마하여 평탄화한다. 제1 외부 연결 부재(1114) 및 베이스 밀봉재(1116)를 연마하여 평탄화하는 이유는 후공정에서 베이스 기판(1102)의 배면, 즉 비액티브면(1106, B)을 식각하여 얇게 하기 위한 공정의 신뢰성을 확보하기 위함이다.
- [0184] 웨이퍼 레벨에서 베이스 기판(1102)의 후면, 즉 비액티브면(1106, B)을 식각하여 베이스 기판(1102)의 두께를 얇게 한다. 이에 따라, 베이스 기판(1102)의 배면보다 돌출되어 노출된 베이스 관통 비아 전극(1108)이 형성된다. 도 35 내지 도 37의 도면에서, 양측을 과단선으로 도시한 것은 웨이퍼 레벨(상태)을 의미하는 것이다.
- [0185] 베이스 기판(1102)의 후면(1106, B) 및 베이스 밀봉재(1116)의 표면(전면)에는 각각 패키지용 제1 응력 조절층(1117, SCL2-1) 및 패키지용 제2 응력 조절층(1119, SCL2-2)을 형성한다. 패키지용 제1 응력 조절층(1117, SCL2-1) 및 패키지용 제2 응력 조절층(1119, SCL2-2)은 산화층, 질화층, 폴리머층 또는 이들의 조합층으로 형성될 수 있다. 패키지용 제1 응력 조절층(1117, SCL2-1) 및 패키지용 제2 응력 조절층(1119, SCL2-2)은 화학기상증착법(CVD), 스펀 코팅법 또는 물리화학기상증착법(PVD) 등을 이용하여 형성할 수 있다.
- [0186] 패키지용 제1 응력 조절층(1117, SCL2-1) 및 패키지용 제2 응력 조절층(1119, SCL2-2)은 1nm 내지 1mm의 두께로 형성할 수 있다. 패키지용 제1 응력 조절층(1117, SCL2-1) 및 패키지용 제2 응력 조절층(1119, SCL2-2)의 내부 응력은 -1GPa 내지 1GPa일 수 있다. 이에 따라, 패키지용 제1 응력 조절층(1117, SCL2-1) 및 패키지용 제2 응력 조절층(1119, SCL2-2)은 -1mm 내지 +1mm의 워피지를 보상할 수 있다.
- [0187] 결과적으로, 패키지용 제1 응력 조절층(1117, SCL2-1) 및 패키지용 제2 응력 조절층(1119, SCL2-2)은 베이스 밀봉재(1116) 형성 후에 베이스 기판(1102)의 휘어짐을 조절(또는 제어)하기 위하여 형성할 수 있다.
- [0188] 도 38을 참조하면, 베이스 밀봉재(1116)를 아래면으로 웨이퍼 레벨의 베이스 기판(1102) 및 베이스 밀봉재(1116)를 절단하여 개별(또는 단위) 베이스칩들(1120)을 복수개 마련한다. 다시 말해, 웨이퍼 상태로 형성된 베

이스 기판(1102) 및 베이스 밀봉재(1116)를 절단하여 개개의 베이스칩들(1120)을 형성하는 개별화 공정(singulation process)을 수행한다. 베이스칩(1120)은 비액티브면(1106, B)이 위쪽으로 위치한다. 도 38에서는 편의상 하나의 베이스칩(1120)만을 도시한다.

- [0189] 도 39를 참조하면, 지지 캐리어(1122) 상에 접착 부재(1124)를 매개로 제2 응력 조절층(1119, SCL2-2)을 부착면으로 하여 복수개의 베이스칩들(1120)을 개별로 부착하여 재배치(reconfiguration)한다. 웨이퍼 크기의 지지 캐리어(1122) 상에 후공정의 적층칩들을 용이하게 적층하기 위하여 베이스칩들(1120)을 재배치한다.
- [0190] 지지 캐리어(1122)의 전면(표면) 및 후면에는 각각 캐리어용 제1 응력 조절층(1123, SCL1-1) 및 캐리어용 제2 응력 조절층(1125, SCL1-2)이 형성되어 있다. 캐리어용 제1 응력 조절층(1123, SCL1-1) 및 캐리어용 제2 응력 조절층(1125, SCL1-2)은 산화층(oxide layer), 질화층(nitride layer), 폴리머층(polymer layer)또는 이들의 조합층으로 형성할 수 있다. 캐리어용 제1 응력 조절층(1123, SCL1-1) 및 캐리어용 제2 응력 조절층(1125, SCL1-2)은 서로 다른 종류로 형성할 수 있다.
- [0191] 캐리어용 제1 응력 조절층(1123, SCL1-1) 및 캐리어용 제2 응력 조절층(1125, SCL1-2)의 내부 응력은 -1GPa 내지 1GPa일 수 있다. 이에 따라, 캐리어용 제1 응력 조절층(1123, SCL1-1) 및 캐리어용 제2 응력 조절층(1125, SCL1-2)은 -1mm 내지 +1mm의 워피지를 보상할 수 있다. 결과적으로, 캐리어용 제1 응력 조절층(1123, SCL1-1) 및 캐리어용 제2 응력 조절층(1125, SCL1-2)은 베이스 기판(1102)의 워피지를 제어(또는 조절)하는 역할을 수행할 수 있다.
- [0192] 도 40을 참조하면, 웨이퍼 레벨에서 지지 캐리어(1122)에 재배치된 베이스칩들(1120) 상에 접착 부재들(1126)을 매개로 복수개의 칩들(1150)을 적층하여 부착한다. 도 40에서는 편의상 세 개의 칩들(1150)만 적층한 예를 도시한다. 칩들(1150)을 부착하는 방법은 베이스칩들(1120) 상에 칩(1150)을 적층한 후 레진 등의 접착 부재(1126)를 주입하여 수행하거나, 미리 접착 부재(1126)를 부착한 후, 칩(1150)을 부착하여 수행할 수 있다.
- [0193] 칩(1150)은 칩 패드(1140)와 기판(1132)을 관통하여 칩 패드(1140)와 연결된 칩 관통 비아 전극(1138)을 구비한다. 칩(1150)을 구성하는 기판(1132)은 집적 회로가 형성되는 액티브면(1134)과 집적회로가 형성되지 않는 비액티브면(1136)을 갖는다. 칩(1150)은 기판(1132)의 액티브면(1134)에 칩 패드(1140)가 형성되고, 비액티브면(1136)으로부터 돌출되어 칩 관통 비아 전극(1138)이 형성된다.
- [0194] 베이스 밀봉재에 의해 밀봉된 칩은 제1 칩(1120)일 수 있고, 최상부의 제2 칩(1150)은 제1 칩(1120) 상에 바로 위치하는 중간 칩들(1150)을 통하여 제1 칩(1120)과 연결될 수 있다.
- [0195] 도 41을 참조하면, 지지 캐리어(1122) 상에 형성된 베이스칩(1120) 및 적층된 칩들(1150)을 보호하도록 밀봉재(1142)를 형성한다. 밀봉재(1142)는 앞서의 베이스 밀봉재(1116)에 형성 공정에서 설명한 바와 같은 다양한 몰딩 방법을 이용하여 형성할 수 있다.
- [0196] 계속하여, 필요에 따라서 밀봉재(1142) 상에 패키지용 제3 응력 조절층(1143, SCL2-3)을 형성할 수 있다. 패키지용 제3 응력 조절층(1143, SCL2-3)은 산화층, 질화층, 폴리머층 또는 이들의 조합층으로 형성될 수 있다. 패키지용 제3 응력 조절층(1143, SCL2-3)은 1nm 내지 1mm의 두께로 형성할 수 있다. 패키지용 제3 응력 조절층(1143, SCL2-3)은 칩(1150)이나 베이스 기판(1102)의 워피지를 제어(또는 조절)하는 역할을 수행할 수 있다.
- [0197] 도 42 및 도 43을 참조하면, 접착 부재(1124)를 제거하여 지지 캐리어(1122)로부터 밀봉재(1142)가 형성된 베이스칩(1120) 및 적층된 칩들(1150)을 분리한다. 이어서, 웨이퍼 레벨로 베이스 패드(1110)와 연결된 제1 외부 연결 부재(1114) 상에 솔더볼을 형성함으로써 제2 외부 연결 부재(1144)를 형성한다. 이에 따라, 제1 외부 연결 부재(1114)와 연결된 제2 외부 연결 부재(1144)로 구성되는 외부 연결 부재(1146)가 형성된다.
- [0198] 계속하여, 도 43에 도시한 바와 같이 웨이퍼 레벨로 밀봉재(1142)를 절단하여 반도체 패키지(1200)를 제조한다. 도 43의 반도체 패키지(1200)의 구조를 간단히 살펴보면, 반도체 패키지(1200)는 제1 칩(1120) 및 제2 칩(1150)을 포함하고, 제1 칩(1120) 및 제2 칩(1150)을 밀봉하는 밀봉재(1142)를 포함하는 패키지 부재(PAE)를 가질 수 있다. 제1 칩(1120)은 베이스 밀봉재(1116)에 의하여 밀봉되어 있다. 제2 칩(1150)은 칩 관통 비아 전극(1138)에 의하여 제1 칩(1120)과 연결될 수 있다.
- [0199] 패키지 부재(PAE)의 일 표면에는 응력 조절층(1143, SCL2-3)이 형성될 수 있다. 패키지 부재(PAE)는 앞서의 제조 과정 중에 제1 워피지를 가질 수 있지만, 패키지 부재(PAE)의 일 표면 상에 제1 워피지를 상쇄할 수 있는 제2 워피지를 갖게 응력 조절층(1143, SCL2-3)이 형성될 수 있다. 예컨대, 패키지 부재(PAE)의 제1 워피지는 양의 값 또는 음의 값을 가지며, 응력 조절층(1143, SCL2-3)의 제2 워피지는 1 워피지의 값과 각각 반대의 음의 값

또는 양의 값을 가질 수 있다.

- [0200] 도 44는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지 및 그 제조 방법을 설명하기 단면도이다.
- [0201] 구체적으로, 도 44의 반도체 패키지(1200a)는 도 43과 비교할 때 외부 연결 부재(1152)의 구조가 다른 것을 제외하고는 동일할 수 있다. 도 44에서, 도 33과 동일한 부재는 간단히 설명하거나 생략한다.
- [0202] 반도체 패키지(1200a)는 베이스 밀봉재(1116) 내에 베이스 패드(1110)를 노출하는 홀(1148)이 형성되어 있고, 홀(1148) 내에서 베이스 패드(1110)와 연결되고 베이스 밀봉재(1116)보다 돌출되어 외부 연결 부재(1152)가 형성되어 있다. 따라서, 반도체 패키지(1200a)는 도 43의 반도체 패키지(1200)와 비교하여 하나의 솔더볼로 외부 연결 부재(1152)를 간단하게 구성할 수 있다.
- [0203] 도 45는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지의 제조 방법을 설명하기 흐름도이다.
- [0204] 구체적으로, 반도체 패키지 제조 방법은 칩을 포함하는 패키지 부재를 준비하는 단계를 포함한다(S100). 패키지 부재는 앞서 설명한 바와 같이 반도체 웨이퍼(또는 반도체 기관)에 구현된 칩을 포함할 수 있다. 패키지 부재는 앞서 설명한 바와 같이 칩을 복수개 구비할 수 있다. 패키지 부재는 앞서 설명한 바와 같이 제1 칩 상에 내부 연결 부재 또는 칩 관통 비아 전극을 통하여 전기적으로 연결된 제2 칩이 적층된 적층칩일 수 있다.
- [0205] 필요에 따라서 선택적으로 패키지 부재의 일 표면에 패키지용 제1 응력 조절층을 형성한다(S150). 패키지용 제1 응력 조절층은 인장 응력을 갖는 인장층 또는 압축 응력을 갖는 압축층일 수 있다. 패키지용 제1 응력 조절층은 산화층, 질화층, 폴리머층 또는 이들의 조합층으로 형성될 수 있다.
- [0206] 패키지 부재를 지지하기 위한 지지 캐리어를 준비한다(S200). 필요에 따라서 선택적으로 지지 캐리어의 일 표면에 캐리어용 응력 조절층을 형성한다(S250). 캐리어용 응력 조절층은 인장 응력을 갖는 인장층 또는 압축 응력을 갖는 압축층일 수 있다. 캐리어용 응력 조절층은 앞서 다양하게 설명한 바와 같이 지지 캐리어의 전면 및 후면중에서 적어도 일면에 형성할 수 있다.
- [0207] 캐리어용 응력 조절층은 산화층, 질화층, 폴리머층 또는 이들의 조합층으로 형성될 수 있다. 캐리어용 응력 조절층은 지지 캐리어의 전면 및 후면에 각각 종류가 다른 제1 응력 조절층 및 제2 응력 조절층을 형성할 수 도 있다.
- [0208] 지지 캐리어 상에 패키지 부재를 부착한다(S300). 패키지 부재를 밀봉하는 밀봉재를 형성한다(S350). 패키지 부재가 제1 칩 상에 제2 칩이 적층된 적층칩일 경우, 밀봉재는 제1 칩과 제2 칩 사이, 또는 제1 칩 및 제2 칩의 표면 및 측면을 감싸도록 형성할 수 있다.
- [0209] 필요에 따라서 선택적으로 밀봉재의 일 표면에 패키지용 제2 응력 조절층을 형성한다(S400). 패키지용 제2 응력 조절층은 인장 응력을 갖는 인장층 또는 압축 응력을 갖는 압축층일 수 있다. 패키지용 제2 응력 조절층은 산화층, 질화층, 폴리머층 또는 이들의 조합층으로 형성될 수 있다.
- [0210] 계속하여, 밀봉재가 형성된 패키지 부재를 테스트 공정 및 개별화 공정 등의 추가 공정을 진행함으로써 반도체 패키지를 완성할 수 있다(S450).
- [0211] 상술한 반도체 패키지 제조 공정을 진행할 때, 패키지 부재는 칩의 제조 과정중 또는 상기 밀봉재 형성 과정중에 제1 워피지가 형성될 수 있다. 지지 캐리어 및 상기 패키지 부재중 적어도 일 표면에 형성된 패키지용 제1 응력 조절층, 패키지용 제2 응력 조절층 또는 캐리어용 응력 조절층은 상기 제1 워피지를 상쇄할 수 있는 제2 워피지를 가질 수 있다.
- [0212] 패키지용 제1 응력 조절층, 패키지용 제2 응력 조절층 또는 캐리어용 응력 조절층에 구현되는 제2 워피지는 응력 조절층들의 내부 응력 및 두께에 따라 조절될 수 있다. 이에 따라, 최종적으로 제조되는 반도체 패키지는 휘어짐이 억제될 수 있다.
- [0213] 도 46은 본 발명의 기술적 사상의 일 실시예에 의한 반도체 패키지를 포함하는 반도체 모듈을 개략적으로 도시한 평면도이다.
- [0214] 구체적으로, 반도체 모듈(1300)은 모듈 기관(1352), 모듈 기관(1352) 상에 배치된 복수개의 반도체 패키지들(1354), 모듈 기관(1352)의 한 모서리(edge)에 나란히 형성되고 반도체 패키지들(1354)과 전기적으로 각각 연결되는 모듈 접촉 단자들(1358)을 포함한다.
- [0215] 모듈 기관(1352)은 인쇄 회로 기관(PCB, printed circuit board)일 수 있다. 모듈 기관(1352)은 양면이 모두

사용될 수 있다. 즉, 모듈 기판(1352)의 앞면 및 뒷면에 모두 반도체 패키지들(1354)이 배치될 수 있다. 모듈 기판(1352)의 앞면에 8개의 반도체 패키지들(1354)이 배치된 것을 도시하였으나 이것은 예시적인 것이다. 반도체 모듈(1300)에는 반도체 패키지들(1354)을 컨트롤하기 위한 별도의 반도체 패키지를 더 포함할 수 있다.

- [0216] 반도체 패키지들(1354)은 적어도 하나가 앞서 설명한 본 발명의 기술적 사상의 실시예들에 의한 것일 수 있다. 모듈 접촉 단자들(1358)은 금속으로 형성될 수 있고, 내산화성을 가질 수 있다. 모듈 접촉 단자들(1358)은 반도체 모듈(1300)의 표준 규격에 따라 다양하게 설정될 수 있다. 그러므로, 도시된 모듈 접촉 단자들(1358)의 개수는 특별한 의미를 갖지 않는다.
- [0217] 도 47은 본 발명의 기술적 사상에 의한 일 실시예에 따른 반도체 패키지를 포함하는 카드를 보여주는 개략도이다.
- [0218] 구체적으로, 카드(1400)는 회로 기판(1402) 상에 배치된 컨트롤러(1410)와 메모리(1420)를 포함할 수 있다. 컨트롤러(1410)와 메모리(1420)는 전기적인 신호를 교환하도록 배치될 수 있다. 예를 들어, 컨트롤러(1410)에서 명령을 내리면, 메모리(1420)는 데이터를 전송할 수 있다. 메모리(1420) 또는 컨트롤러(1410)에는 본 발명의 실시예들에 의한 반도체 패키지를 포함할 수 있다. 이러한 카드(1400)는 다양한 종류의 카드, 예를 들어 메모리 스틱 카드(memory stick card), 스마트 미디어 카드(smart media card; SM), 씨큐어 디지털 카드(secure digital; SD), 미니 씨큐어 디지털 카드(mini secure digital card; mini SD), 또는 멀티 미디어 카드(multi media card; MMC)일 수 있다.
- [0219] 도 48은 본 발명의 기술적 사상의 일 실시예에 의한 반도체 패키지를 포함하는 전자 회로 기판을 개략적으로 도시한 블록 다이어그램이다.
- [0220] 구체적으로, 전자 회로 기판(1500, electronic circuit board)은 회로 기판(1525, circuit board) 상에 배치된 마이크로프로세서(1530, microprocessor), 마이크로프로세서(1530)와 통신하는 주 기억 회로(1535, main storage circuit) 및 부 기억 회로(1540, supplementary storage circuit), 마이크로프로세서(1530)로 명령을 보내는 입력 신호 처리 회로(1545, input signal processing circuit), 마이크로프로세서(1530)로부터 명령을 받는 출력 신호 처리 회로(1550, output signal processing circuit) 및 다른 회로 기판들과 전기 신호를 주고 받는 통신 신호 처리 회로(1555, communicating signal processing circuit)를 포함한다. 화살표들은 전기적 신호가 전달될 수 있는 경로를 의미하는 것으로 이해될 수 있다.
- [0221] 마이크로프로세서(1530)는 각종 전기 신호를 받아 처리 하고 처리 결과를 출력할 수 있으며, 전자 회로 기판(1500)의 다른 구성 요소들을 제어할 수 있다. 마이크로프로세서(1530)는 예를 들어, 중앙 처리 장치(CPU: central processing unit), 및/또는 주 제어 장치(MCU: main control unit) 등으로 이해될 수 있다.
- [0222] 주 기억 회로(1535)는 마이크로프로세서(1530)가 항상 또는 빈번하게 필요로 하는 데이터 또는 프로세싱 전후의 데이터를 임시로 저장할 수 있다. 주 기억 회로(1535)는 빠른 속의 응답이 필요하므로, 반도체 메모리 칩으로 구성될 수 있다. 보다 상세하게, 주 기억 회로(1535)는 캐시(cache)로 불리는 반도체 메모리일 수도 있고, SRAM(static random access memory), DRAM(dynamic random access memory), RRAM(resistive random access memory) 및 그 응용 반도체 메모리들, 예를 들어 Utilized RAM, Ferro-electric RAM, Fast cycle RAM, Phase changeable RAM, Magnetic RAM, 기타 다른 반도체 메모리로 구성될 수 있다.
- [0223] 부가하여, 주 기억 회로(1535)는 휘발성/비휘발성과 관계가 없으며, 랜덤 액세스 메모리를 포함할 수 있다. 본 실시예에서, 주 기억 회로(1535)는 본 발명의 기술적 사상에 의한 반도체 패키지 또는 반도체 모듈을 적어도 하나 이상 포함할 수 있다. 부 기억 회로(1540)는 대용량 기억 소자이고, 플래시 메모리 같은 비휘발성 반도체 메모리이거나 마그네틱 필드를 이용한 하드 디스크 드라이브일 수 있다. 또는 빛을 이용한 콤팩트 디스크 드라이브일 수 있다. 부 기억 회로(1540)는 주 기억 회로(1535)에 비하여, 빠른 속도를 원하지 않는 대신, 대용량의 데이터를 저장하고자 할 경우 사용될 수 있다. 부 기억 회로(1240)는 랜덤/비랜덤과 관계가 없으며, 비휘발성 기억 소자를 포함할 수 있다.
- [0224] 부 기억 회로(1540)는 본 발명의 기술적 사상에 의한 반도체 패키지, 또는 반도체 모듈을 포함할 수 있다. 입력 신호 처리 회로(1545)는 외부의 명령을 전기적 신호로 바꾸거나, 외부로부터 전달된 전기적 신호를 마이크로프로세서(1530)로 전달할 수 있다.
- [0225] 외부로부터 전달된 명령 또는 전기적 신호는 동작 명령일 수도 있고, 처리해야 할 전기 신호일 수도 있고, 저장해야 할 데이터일 수도 있다. 입력 신호 처리 회로(1545)는 예를 들어 키보드, 마우스, 터치 패드, 이미지 인식 장치 또는 다양한 센서들로부터 전송되어 온 신호를 처리하는 단말기 신호 처리 회로(terminal signal

processing circuit), 스캐너 또는 카메라의 영상 신호 입력을 처리하는 영상 신호 처리 회로(image signal processing circuit) 또는 여러 가지 센서 또는 입력 신호 인터페이스 등일 수 있다. 입력 신호 처리 회로(1545)는 본 발명의 기술적 사상에 의한 반도체 패키지, 또는 반도체 모듈을 포함할 수 있다.

- [0226] 출력 신호 처리 회로(1550)는 마이크로 프로세서(1530)에서 처리된 전기 신호를 외부로 전송하기 위한 구성 요소일 수 있다. 예를 들어, 출력 신호 처리 회로(1550)는 그래픽 카드, 이미지 프로세서, 광학 변환기, 빔패널 카드, 또는 다양한 기능의 인터페이스 회로 등일 수 있다. 출력 신호 처리 회로(1550)는 본 발명의 기술적 사상에 의한 반도체 패키지, 또는 반도체 모듈을 포함할 수 있다.
- [0227] 통신 회로(1555)는 다른 전자 시스템 또는 다른 회로 기관과 전기적 신호를 입력 신호 처리 회로(1245) 또는 출력 신호 처리 회로(1250)를 통하지 않고 직접적으로 주고 받기 위한 구성 요소이다. 예를 들어, 통신 회로(1555)는 개인 컴퓨터 시스템의 모뎀, 랜카드, 또는 다양한 인터페이스 회로 등일 수 있다. 통신 회로(1555)는 본 발명의 기술적 사상에 의한 반도체 패키지, 또는 반도체 모듈을 포함할 수 있다.
- [0228] 도 49는 본 발명의 기술적 사상의 일 실시예에 의한 반도체 패키지를 포함하는 전자 시스템을 개략적으로 도시한 블록 다이어그램이다.
- [0229] 구체적으로, 전자 시스템(1600)은, 제어부(1665, control unit), 입력부(1670, input unit), 출력부(1675, output unit), 및 저장부(1680, storage unit)를 포함하고, 통신부(1685, communication unit) 및/또는 기타 동작부(1690, operation unit)를 더 포함할 수 있다.
- [0230] 제어부(1665)는 전자 시스템(1600) 및 각 부분들을 총괄하여 제어할 수 있다. 제어부(1665)는 중앙처리부 또는 중앙 제어부로 이해될 수 있으며, 본 발명의 기술적 사상의 일 실시예에 의한 전자 회로 기관(도 48의 1500)을 포함할 수 있다. 또, 제어부(1665)는 본 발명의 기술적 사상에 의한 반도체 패키지, 또는 반도체 모듈을 포함할 수 있다.
- [0231] 입력부(1670)는 제어부(1665)로 전기적 명령 신호를 보낼 수 있다. 입력부(1670)는 키보드, 키패드, 마우스, 터치 패드, 스캐너 같은 이미지 인식기, 또는 다양한 입력 센서들일 수 있다. 입력부(1670)는 본 발명의 기술적 사상에 의한 반도체 패키지 또는 반도체 모듈을 포함할 수 있다.
- [0232] 출력부(1675)는 제어부(1665)로부터 전기적 명령 신호를 받아 전자 시스템(1600)이 처리한 결과를 출력할 수 있다. 출력부(1675)는 모니터, 프린터, 빔 조사기, 또는 다양한 기계적 장치일 수 있다. 출력부(1675)는 본 발명의 기술적 사상에 의한 반도체 패키지, 또는 반도체 모듈을 포함할 수 있다.
- [0233] 저장부(1680)는 제어부(1665)가 처리할 전기적 신호 또는 처리한 전기적 신호를 임시적 또는 영구적으로 저장하기 위한 구성 요소일 수 있다. 저장부(1680)는 제어부(1665)와 물리적, 전기적으로 연결 또는 결합될 수 있다. 저장부(1680)는 반도체 메모리, 하드 디스크 같은 마그네틱 저장 장치, 콤팩트 디스크 같은 광학 저장 장치, 또는 기타 데이터 저장 기능을 갖는 서버일 수 있다. 또, 저장부(1680)는 본 발명의 기술적 사상에 의한 반도체 패키지 또는 반도체 모듈을 포함할 수 있다.
- [0234] 통신부(1685)는 제어부(1665)로부터 전기적 명령 신호를 받아 다른 전자 시스템으로 전기적 신호를 보내거나 받을 수 있다. 통신부(1685)는 모뎀, 랜카드 같은 유선 송수신 장치, 와이브로 인터페이스 같은 무선 송수신 장치, 또는 적외선 포트 등일 수 있다. 또, 통신부(1685)는 본 발명의 기술적 사상에 의한 반도체 패키지 또는 반도체 모듈을 포함할 수 있다.
- [0235] 기타 동작부(1690)는 제어부(1665)의 명령에 따라 물리적 또는 기계적인 동작을 할 수 있다. 예를 들어, 기타 동작부(1690)는 플로터, 인디케이터, 업/다운 오퍼레이터 등, 기계적인 동작을 하는 구성 요소일 수 있다. 본 발명의 기술적 사상에 의한 전자 시스템(1600)은 컴퓨터, 네트워크 서버, 네트워크 프린터 또는 스캐너, 무선 컨트롤러, 이동 통신용 단말기, 교환기, 또는 기타 프로그램된 동작을 하는 전자 소자일 수 있다.
- [0236] 또한, 전자 시스템(1600)은 모바일 폰(mobile phone), MP3 플레이어, 네비게이션(navigation), 휴대용 멀티미디어 재생기(portable multimedia player, PMP), 고상 디스크(solid state disk; SSD) 또는 가전 제품(household appliances)에 이용될 수 있다.
- [0237] 도 50은 본 발명의 기술적 사상에 의한 일 실시예에 의한 반도체 패키지를 포함하는 전자 시스템을 보여주는 개략도이다.
- [0238] 구체적으로, 전자 시스템(1700)은 컨트롤러(1710), 입/출력 장치(1720), 메모리(1730) 및 인터페이스(1740)를

포함할 수 있다. 전자 시스템(1700)은 모바일 시스템 또는 정보를 전송하거나 전송받는 시스템일 수 있다. 모바일 시스템은 PDA, 휴대용 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선 폰(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player) 또는 메모리 카드(memory card)일 수 있다.

[0239] 컨트롤러(1710)는 프로그램을 실행하고, 시스템(1700)을 제어하는 역할을 할 수 있다. 컨트롤러(1710)는 본 발명의 실시예에 의한 반도체 패키지를 포함할 수 있다. 컨트롤러(1710)는, 예를 들어 마이크로프로세서(microprocessor), 디지털 신호 처리기(digital signal processor), 마이크로컨트롤러(microcontroller) 또는 이와 유사한 장치일 수 있다.

[0240] 입/출력 장치(1720)는 전자 시스템(1700)의 데이터를 입력 또는 출력하는데 이용될 수 있다. 전자 시스템(1700)은 입/출력 장치(1720)를 이용하여 외부 장치, 예컨대 개인용 컴퓨터 또는 네트워크에 연결되어, 외부 장치와 서로 데이터를 교환할 수 있다. 입/출력 장치(1720)는, 예를 들어 키패드(keypad), 키보드(keyboard) 또는 표시 장치(display)일 수 있다.

[0241] 메모리(1730)는 컨트롤러(1710)의 동작을 위한 코드 및/또는 데이터를 저장하거나, 및/또는 컨트롤러(1710)에서 처리된 데이터를 저장할 수 있다. 메모리(1730)는 본 발명의 실시예에 따른 반도체 패키지를 포함할 수 있다. 인터페이스(1740)는 전자 시스템(1700)과 외부의 다른 장치 사이의 데이터 전송통로일 수 있다. 컨트롤러(1710), 입/출력 장치(1720), 메모리(1730) 및 인터페이스(1740)는 버스(1750)를 통하여 서로 통신할 수 있다.

[0242] 예를 들어, 이러한 전자 시스템(1700)은 모바일 폰(mobile phone), MP3 플레이어, 네비게이션(navigation), 휴대용 멀티미디어 재생기(portable multimedia player, PMP), 고상 디스크(solid state disk; SSD) 또는 가전 제품(household appliances)에 이용될 수 있다.

[0243] 도 51은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 패키지를 포함하는 전자 장치를 개략적으로 보여주는 사시도이다.

[0244] 구체적으로, 도 50의 전자 시스템(1700)이 모바일 폰(1800)에 적용되는 구체예를 보여주고 있다. 모바일 폰(1800)은 시스템 온 칩(1810)을 포함할 수 있다. 시스템 온 칩(1810)은 본 발명의 기술적 사상의 일 실시예에 의한 반도체 패키지를 포함할 수 있다. 모바일 폰(1800)은 상대적으로 고성능의 메인 기능 블록을 배치할 수 있는 시스템 온 칩(1810)이 포함될 수 있는 바, 상대적으로 고성능을 가질 수 있다. 또한 시스템 온 칩(1810)이 동일 면적을 가지면서도 상대적으로 고성능을 가질 수 있기 때문에, 모바일 폰(1800)의 크기를 최소화하면서도 상대적으로 고성능을 가지도록 할 수 있다.

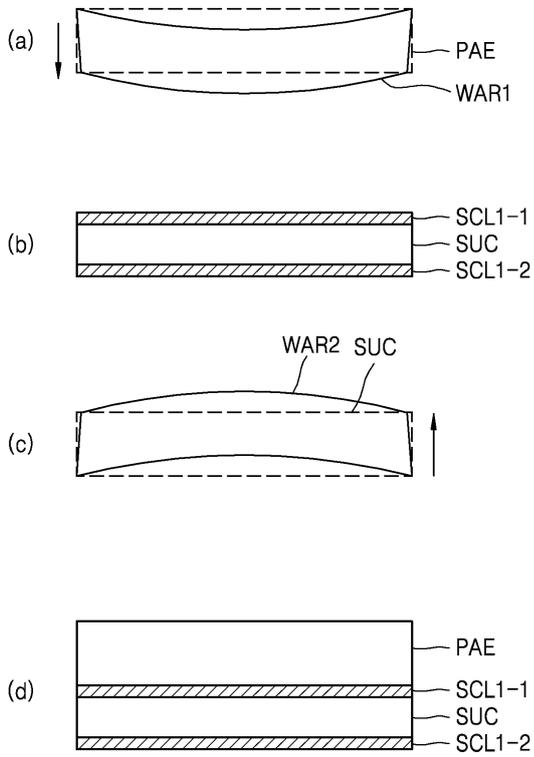
[0245] 이상 본 발명을 도면에 도시된 실시예를 참고로 설명하였으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형, 치환 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해하여야 한다. 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

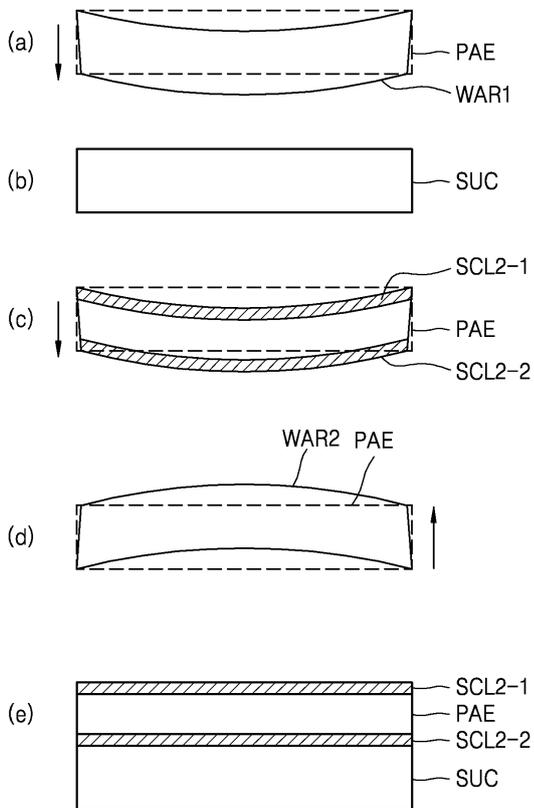
[0246] PAE: 패키지 부재, SUC: 지지 캐리어, SCL1, SCL2: 응력 조절층, 1000: 반도체 패키지, 100, 1120: 제1 칩, 200, 1150: 제2 칩, 330, 1142: 밀봉재, 1010: 칩, 1014: 밀봉재, 1026, 1026a: 재배선층, 1032, 1032a: 외부 연결 부재, 1116: 베이스 밀봉재, 1138: 칩 관통 비아 전극

도면

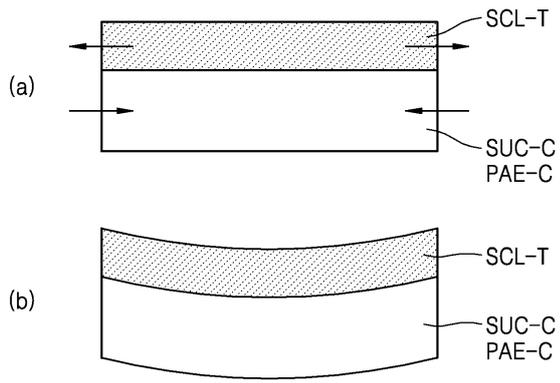
도면1



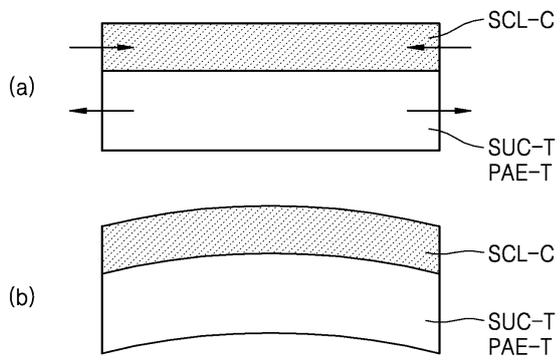
도면2



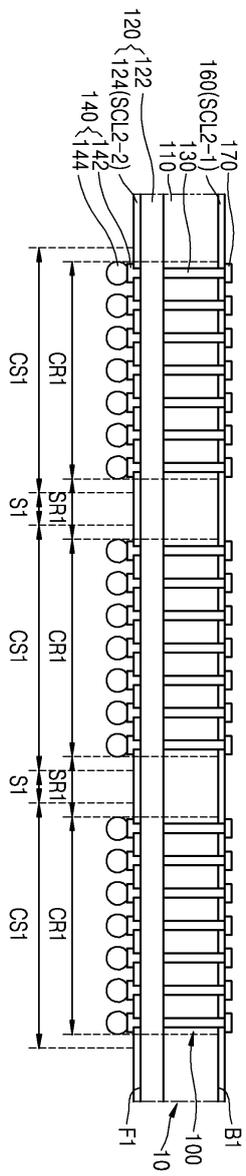
도면3



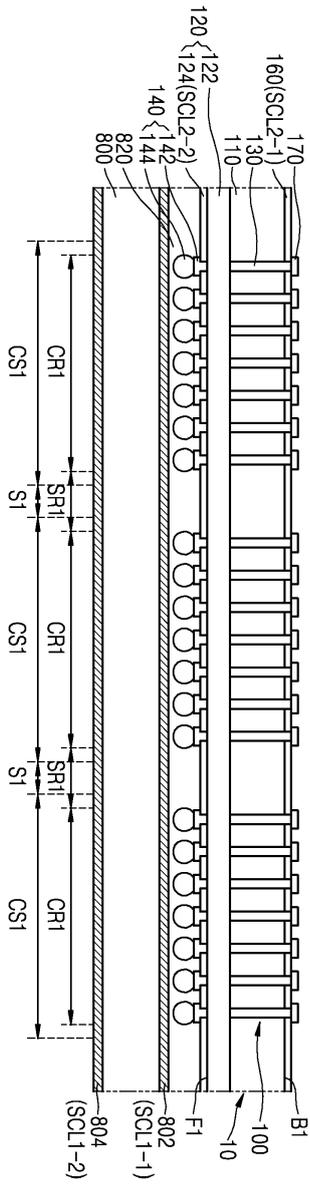
도면4



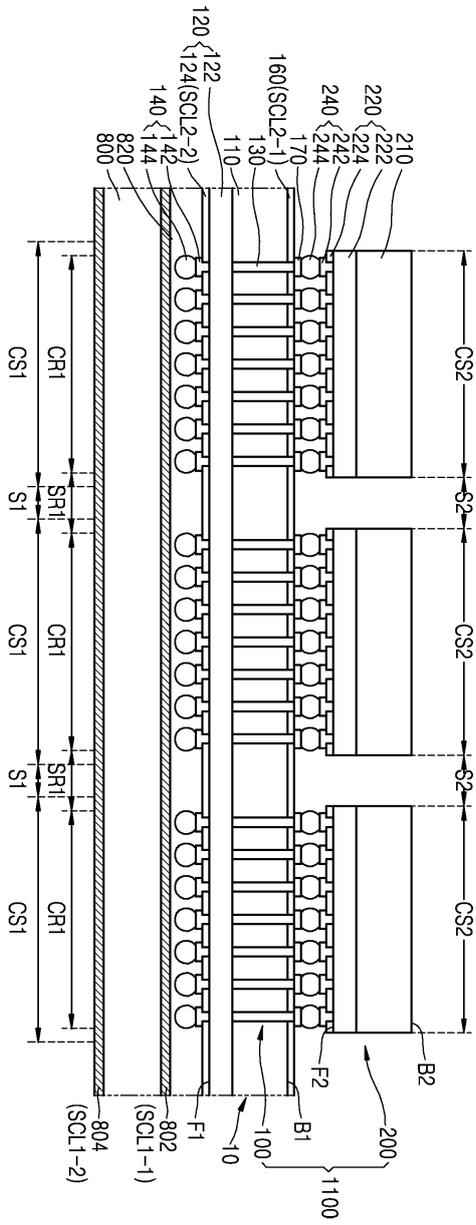
도면5



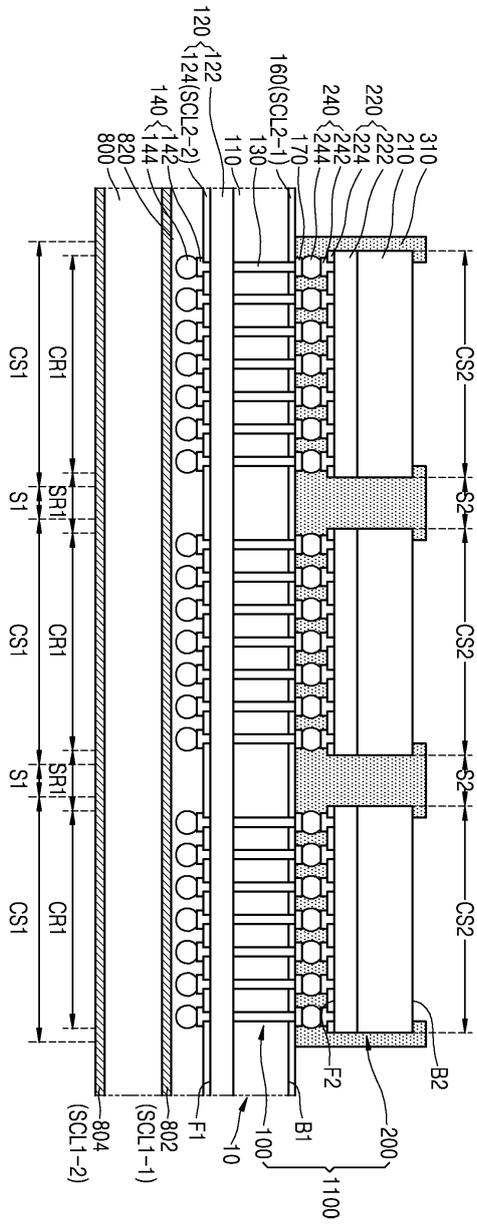
도면6



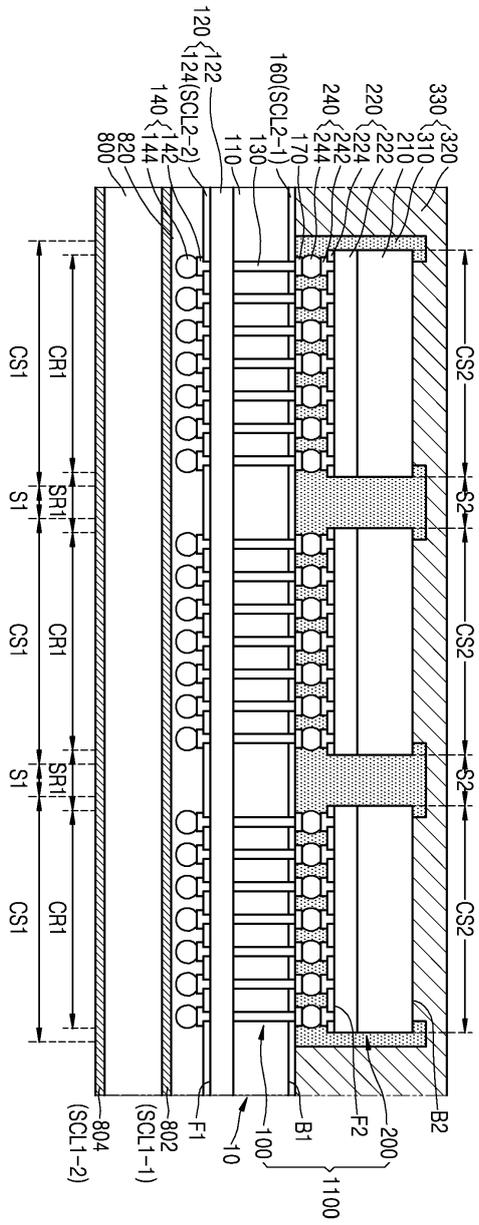
도면7



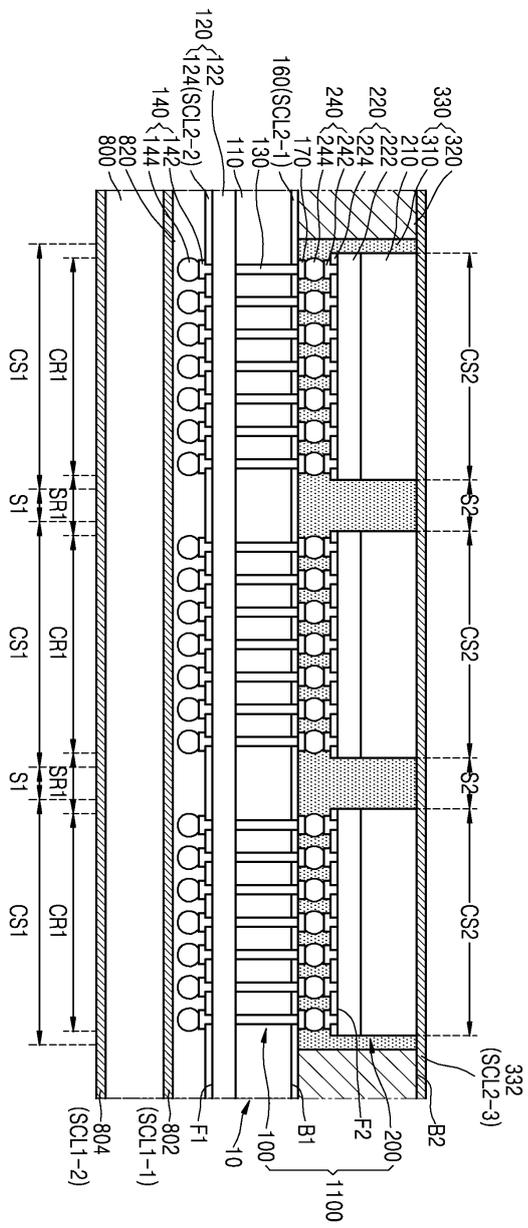
도면8



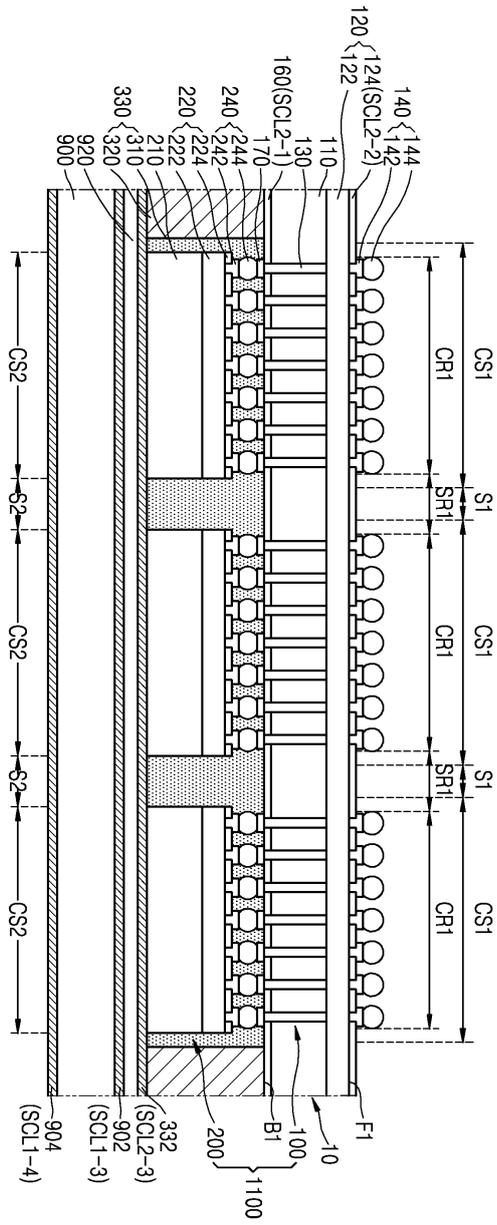
도면9



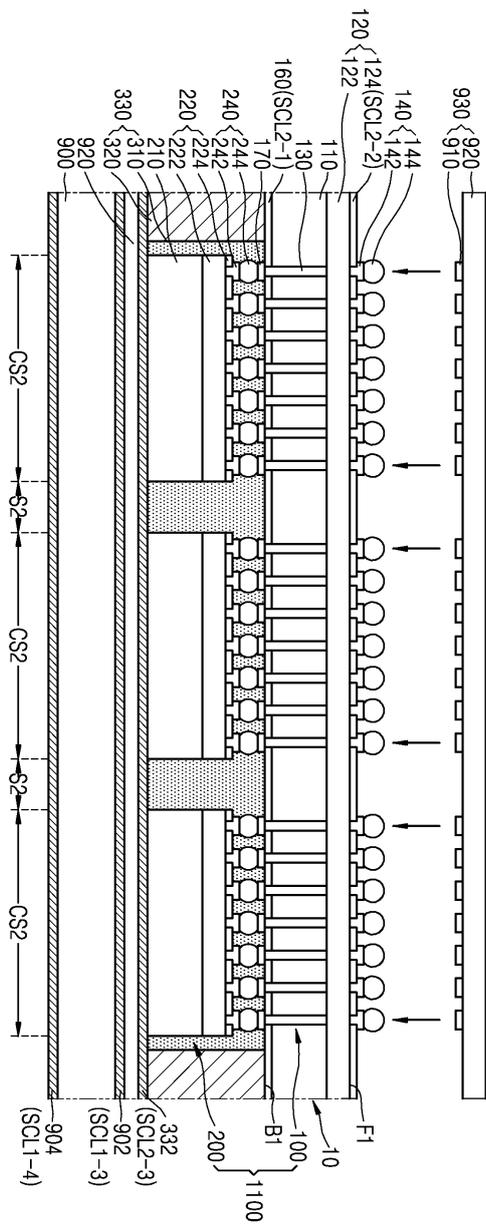
도면10



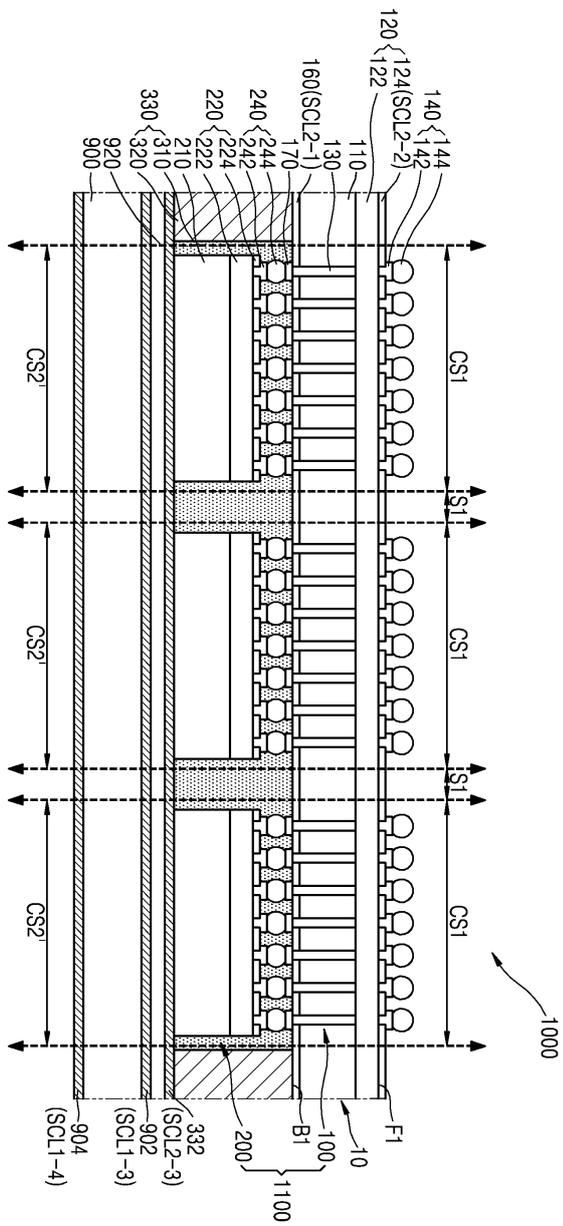
도면12



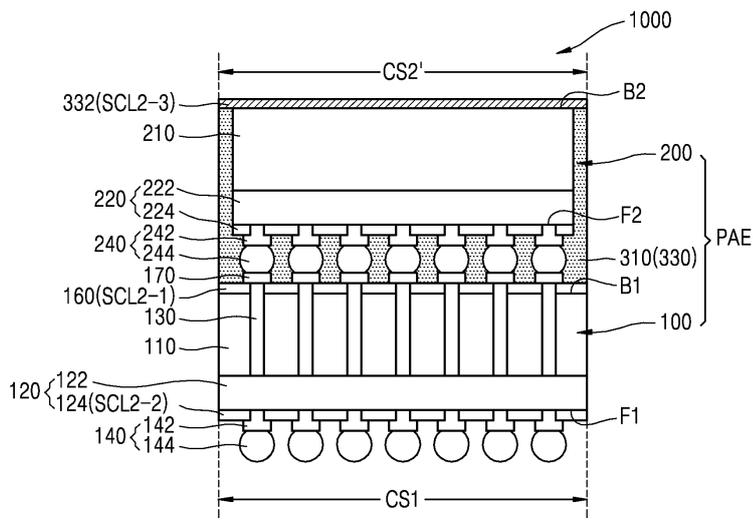
도면13



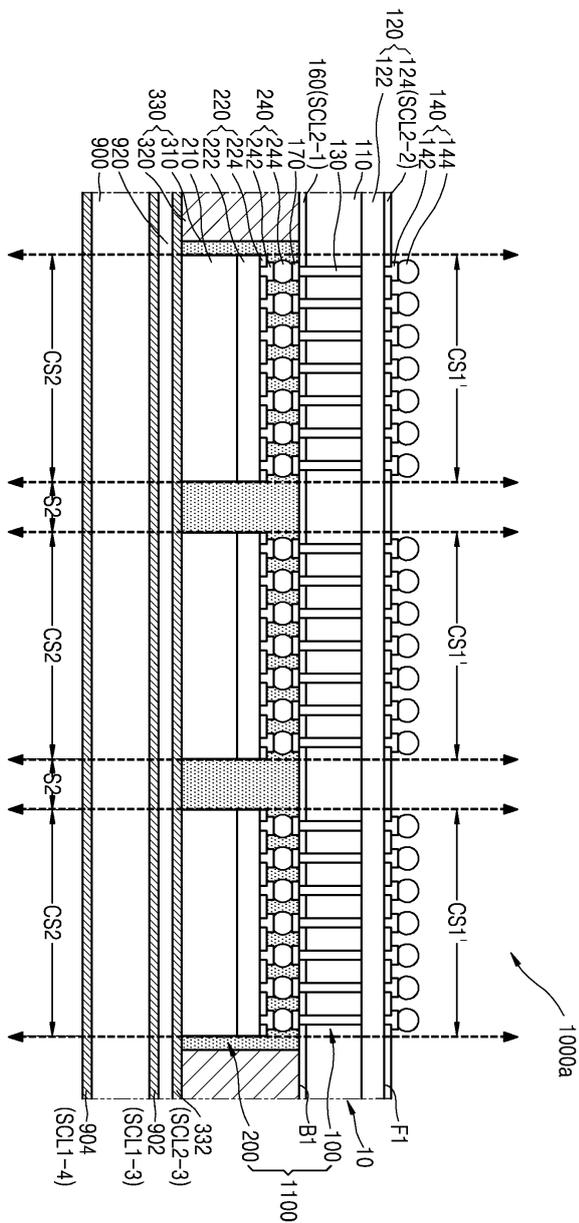
도면14



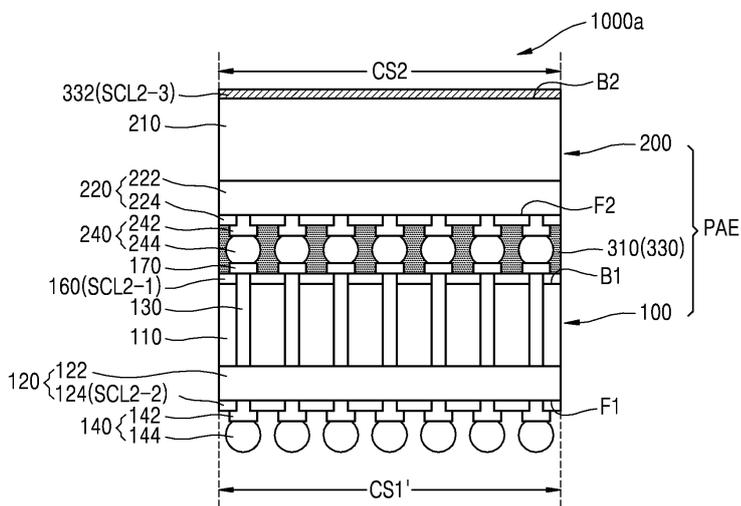
도면15



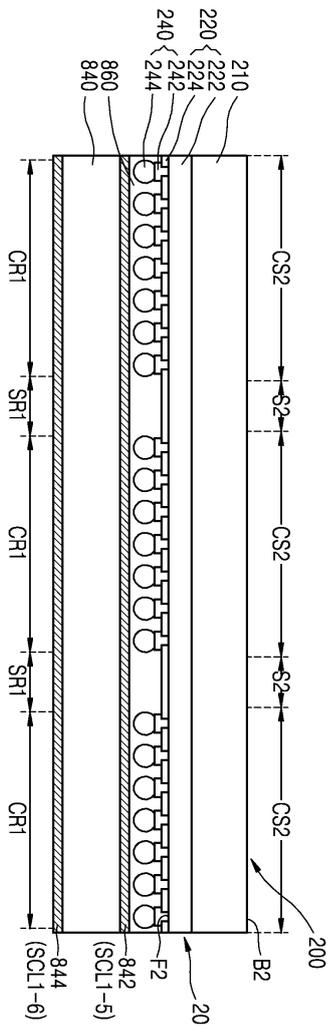
도면16



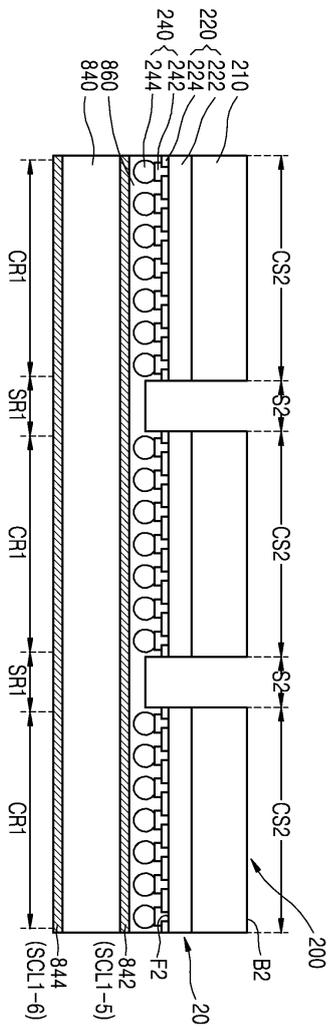
도면17



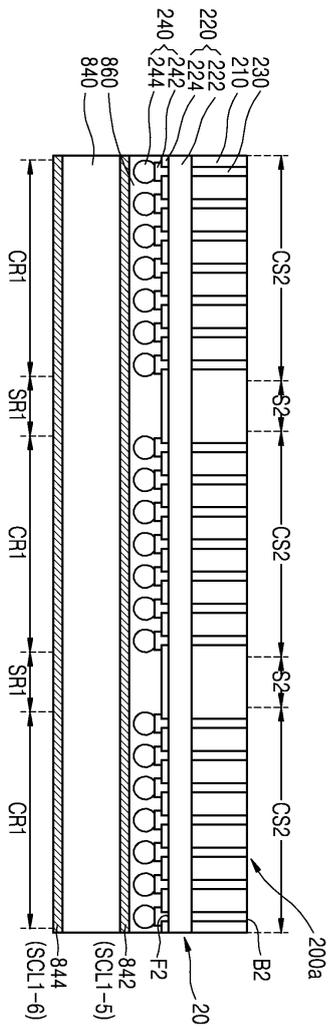
도면18



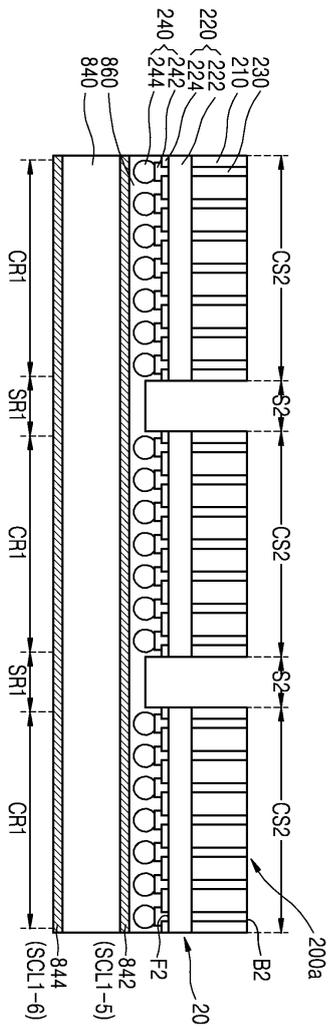
도면19



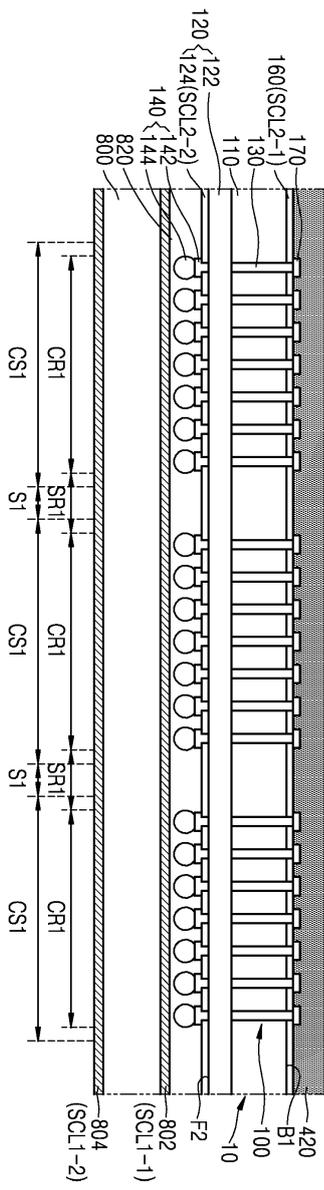
도면20



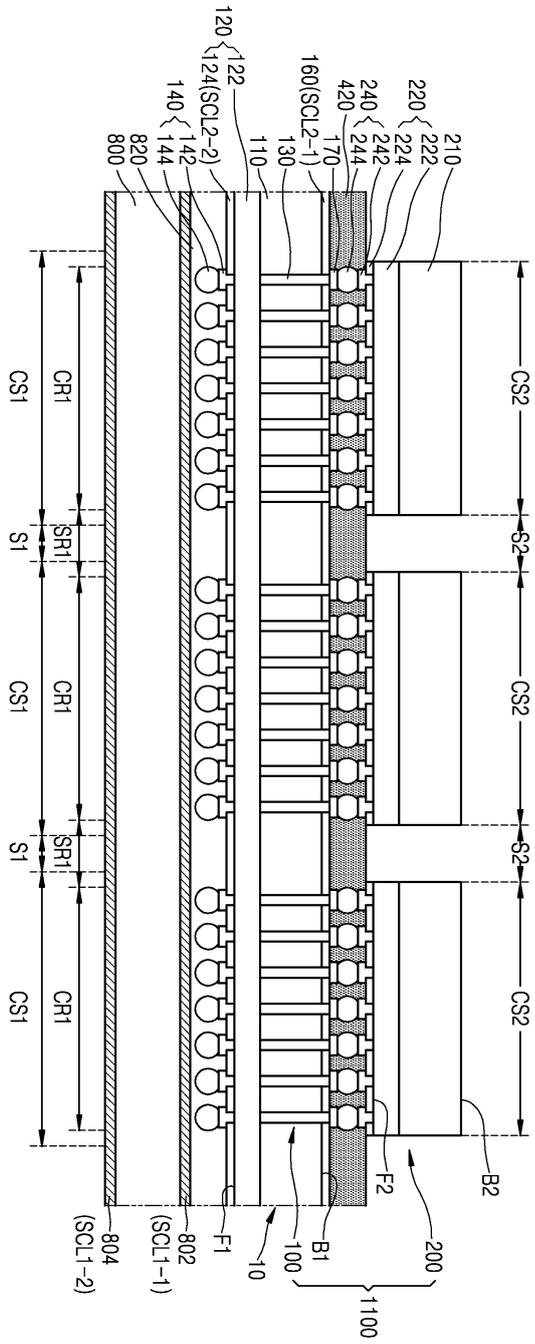
도면21



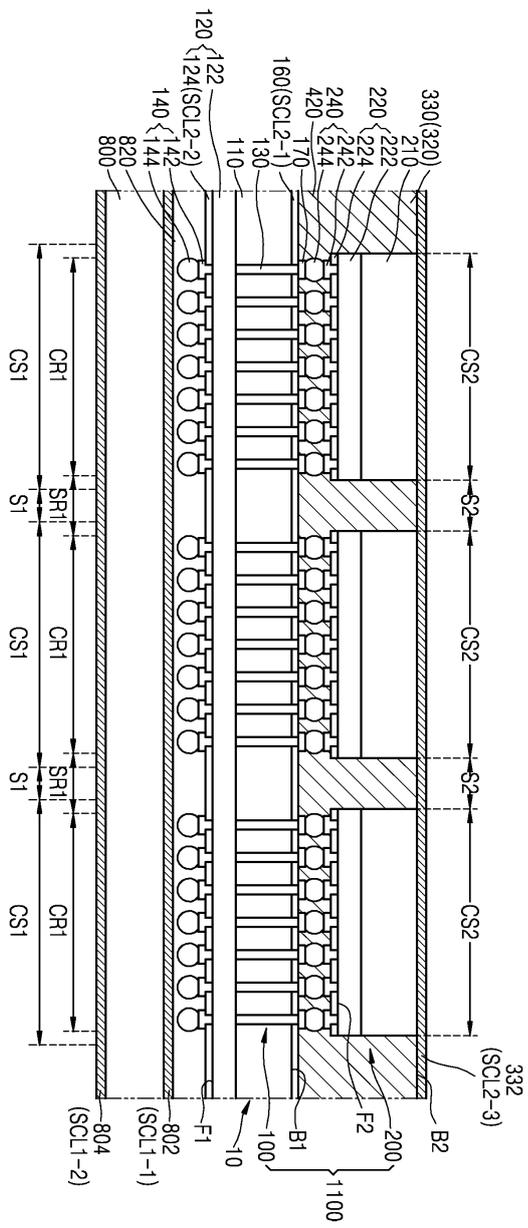
도면22



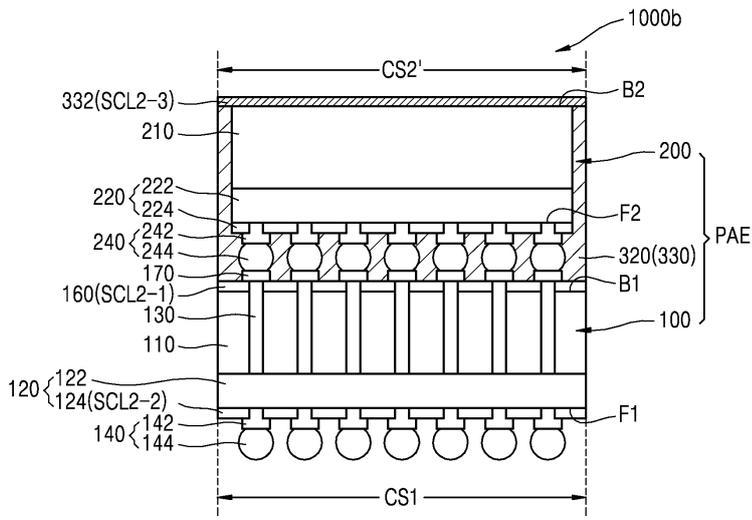
도면23



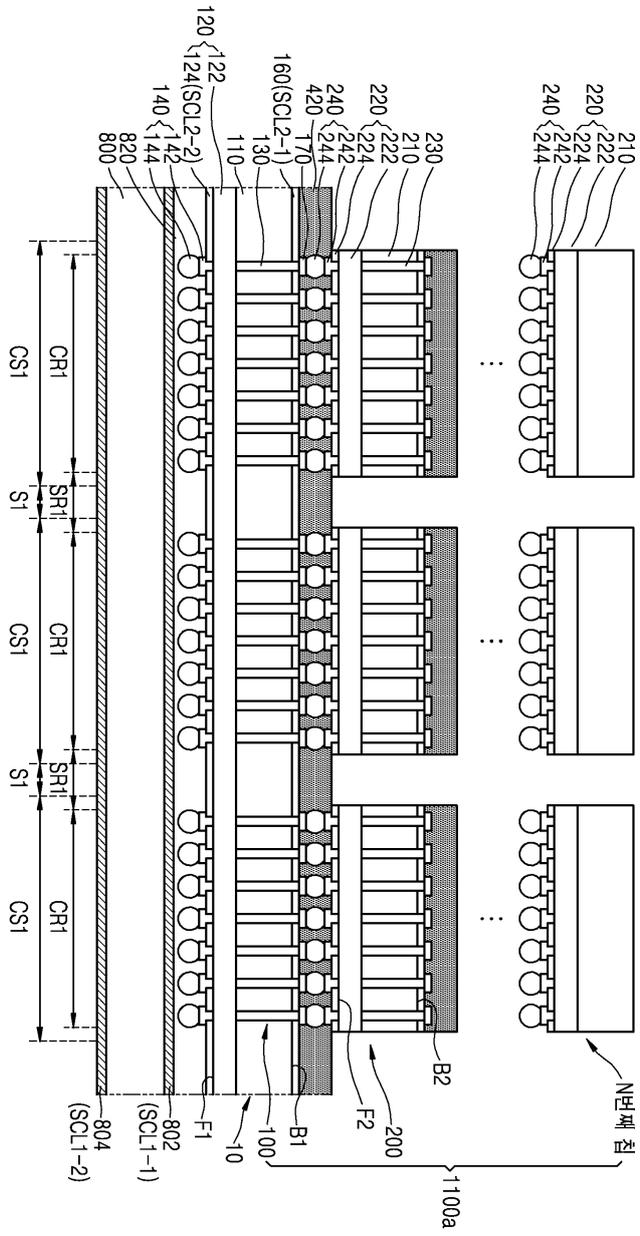
도면25



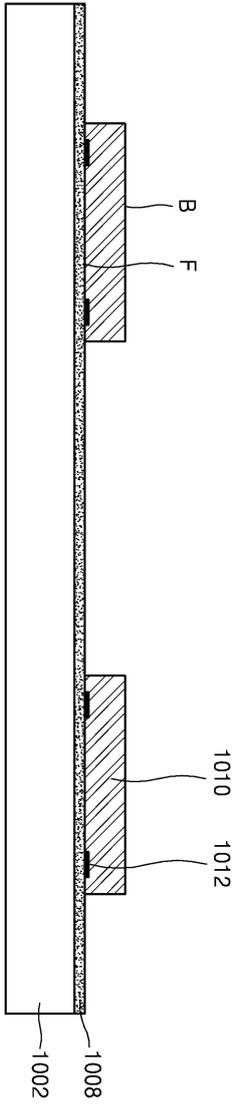
도면26



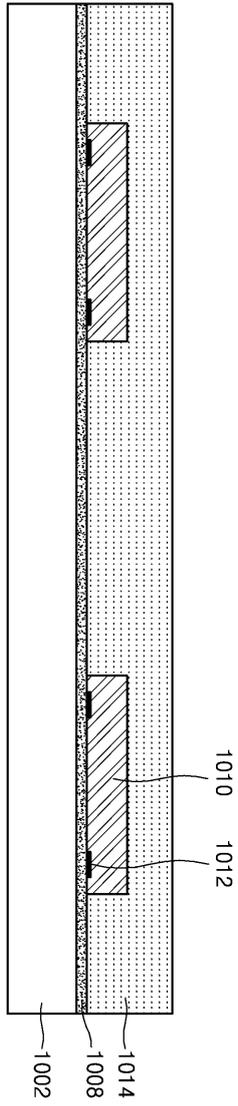
도면27



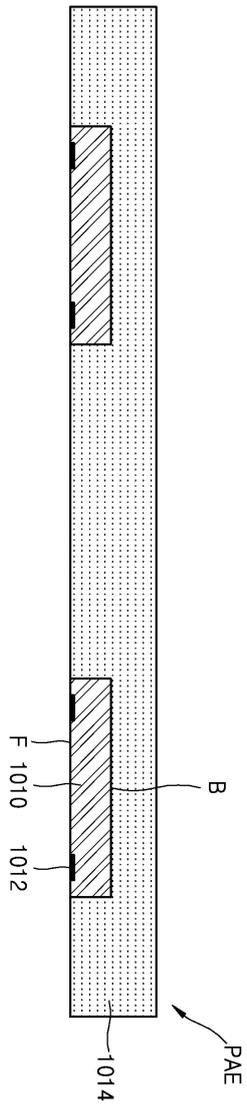
도면28



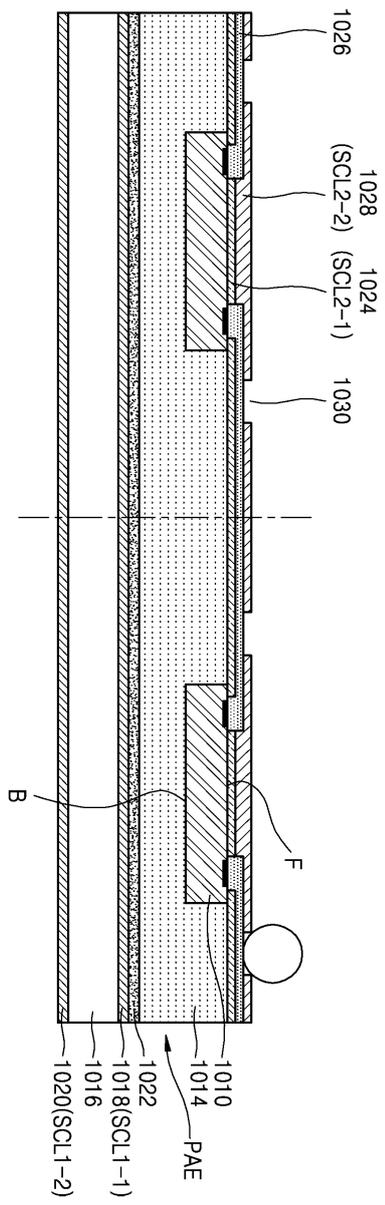
도면29



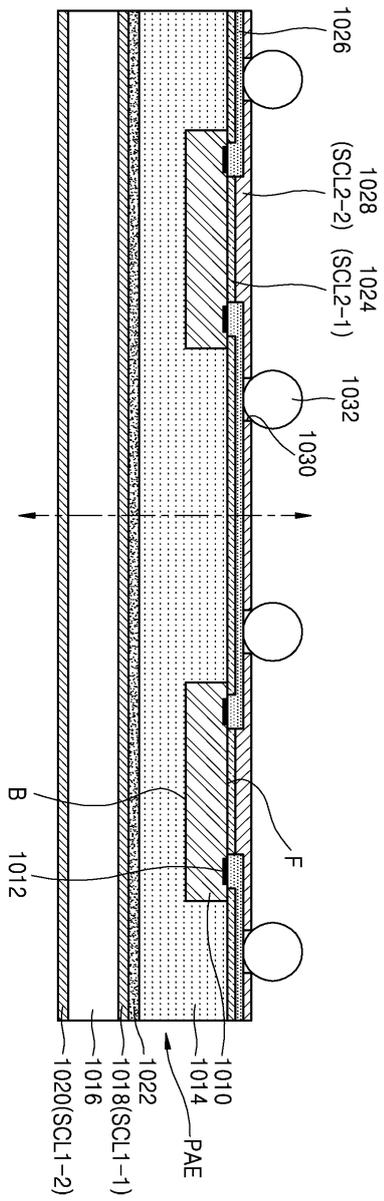
도면30



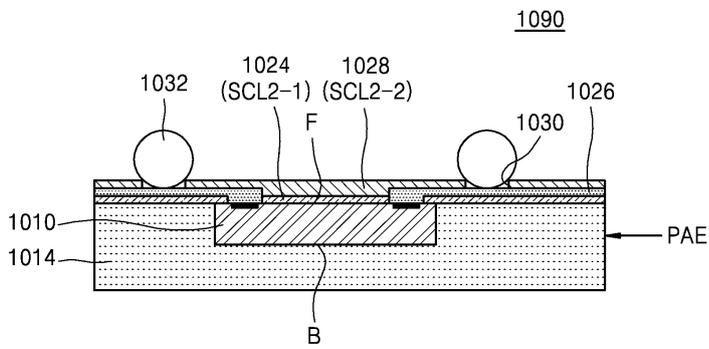
도면31



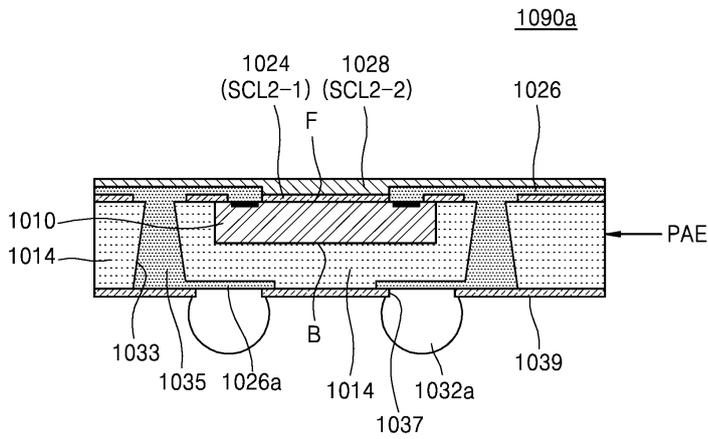
도면32



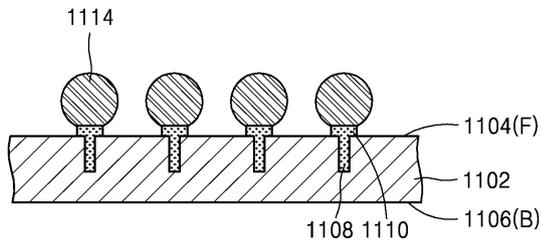
도면33



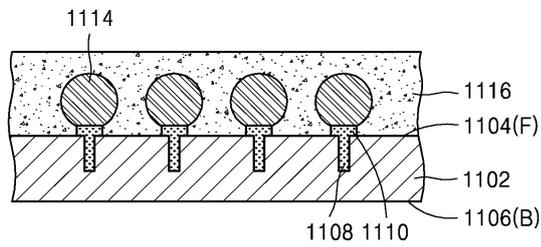
도면34



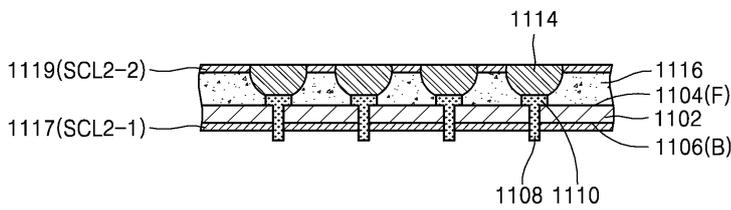
도면35



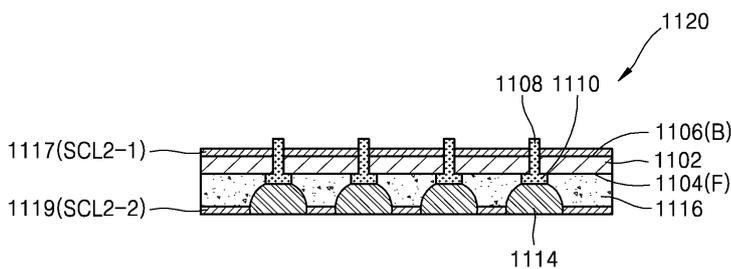
도면36



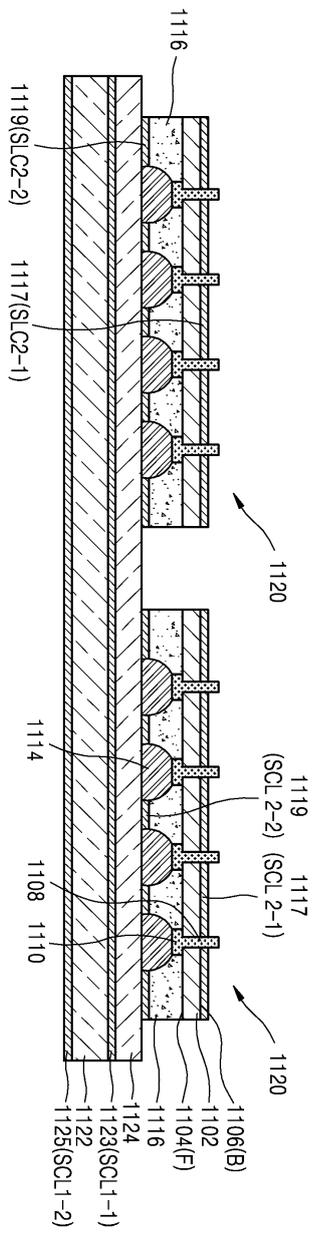
도면37



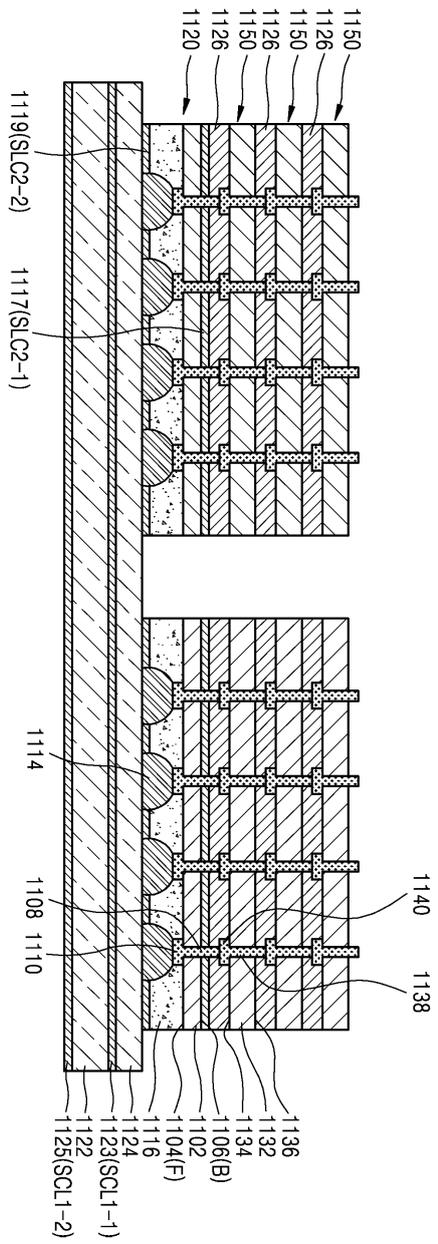
도면38



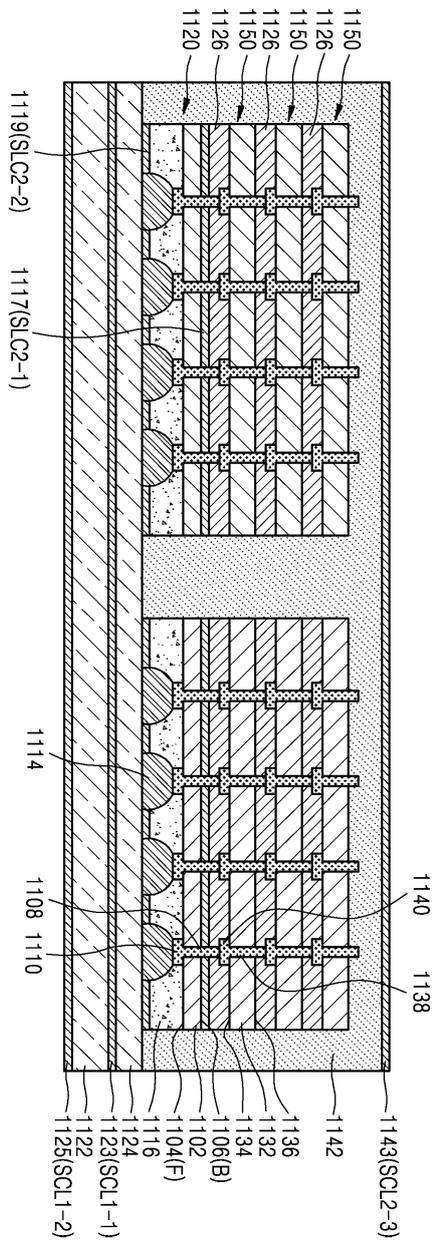
도면39



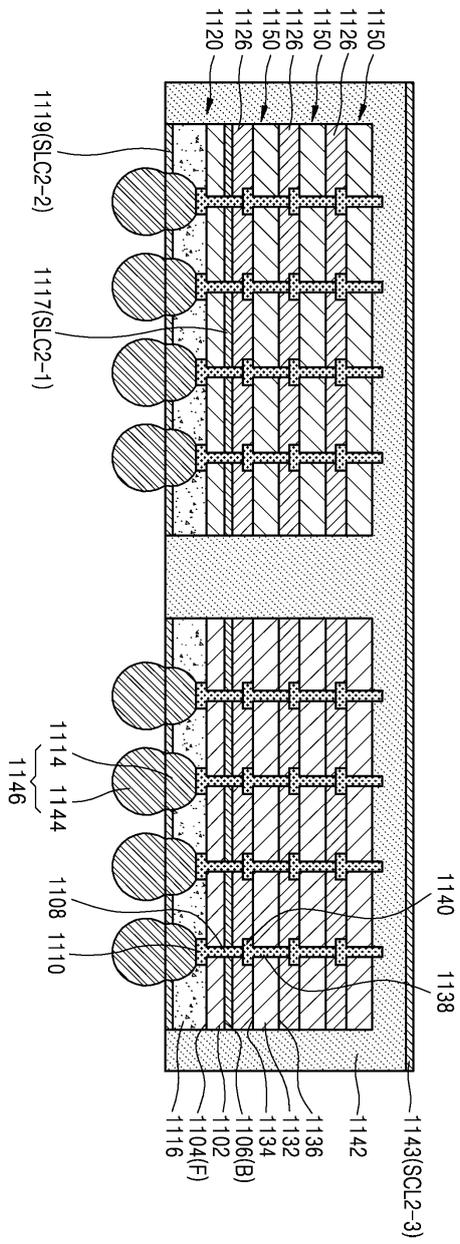
도면40



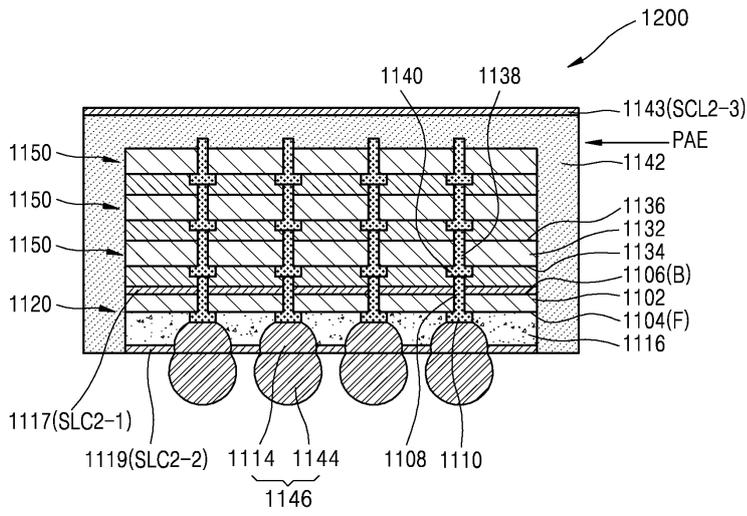
도면41



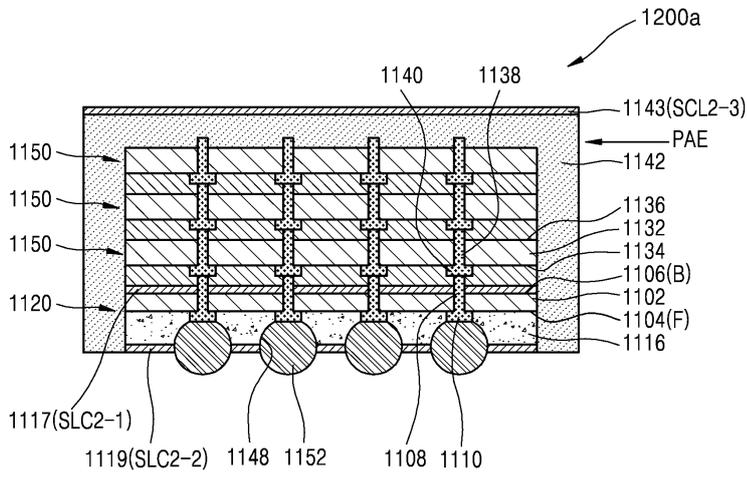
도면42



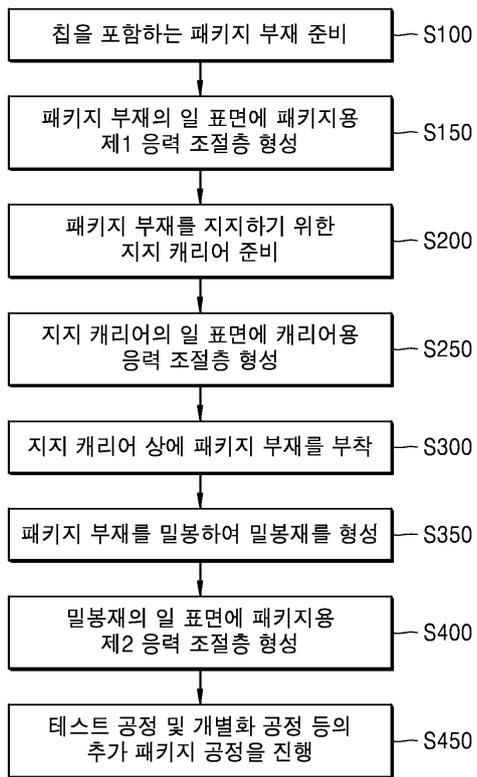
도면43



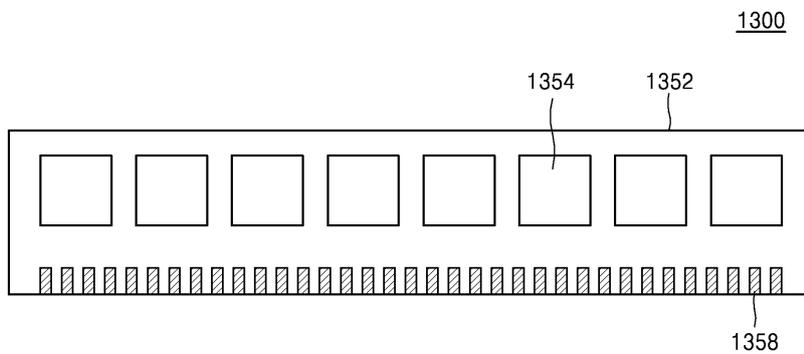
도면44



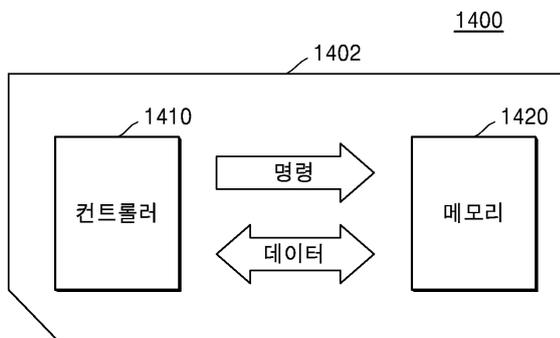
도면45



도면46

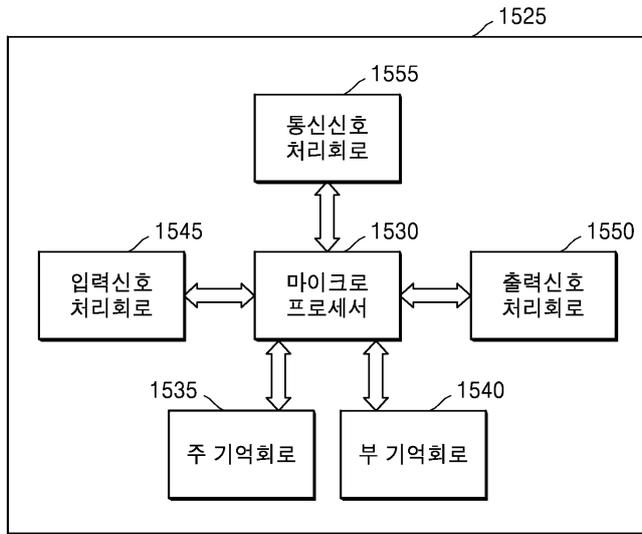


도면47



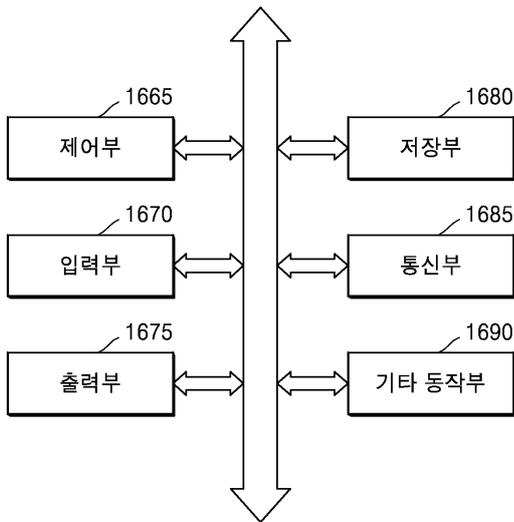
도면48

1500



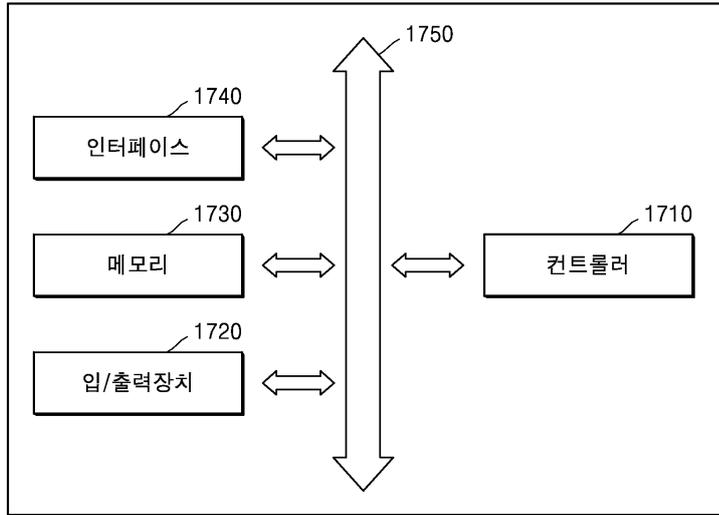
도면49

1600



도면50

1700



도면51

1800

