



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I571936 B

(45)公告日：中華民國 106 (2017) 年 02 月 21 日

(21)申請案號：100138825

(22)申請日：中華民國 100 (2011) 年 10 月 26 日

(51)Int. Cl. : **H01L21/336 (2006.01)****H01L21/265 (2006.01)****H01L29/78 (2006.01)**

(71)申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 3 號

(72)發明人：林建廷 LIN, CHIEN TING (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

US 2005/0218427A1

US 2005/0269629A1

US 2007/0004107A1

US 2010/0055886A1

US 2011/0121404A1

審查人員：王世賢

申請專利範圍項數：18 項 圖式數：12 共 33 頁

(54)名稱

具有鰭狀結構之場效電晶體的結構及其製作方法

STRUCTURE OF FIELD EFFECT TRANSISTOR WITH FIN STRUCTURE AND FABRICATING METHOD THEREOF

(57)摘要

一種具有鰭狀結構之場效電晶體的製作方法，包含提供一基底、形成一第一摻質濃度之離子井於基底內、形成至少一鰭狀結構，設置於基底上、進行至少一第一離子佈植製程，俾以形成一位於基底之第一導電型之抗貫穿離子佈植區，其中抗貫穿離子佈植區具有一第三摻質濃度，且第三摻質濃度大於該第一摻質濃度、在第一離子佈植製程之後，形成至少一通道層沿著鰭狀結構之至少一表面設置、形成一閘極，覆蓋住部分之鰭狀結構、以及形成一源極以及一汲極，設置於閘極之兩側之鰭狀結構中。

A method for fabricating a field effect transistor with fin structure includes the following steps. A substrate having an ion well with a first conductivity type is provided, wherein the ion well has a first doping concentration. At least a fin structure disposed on the substrate is formed. At least a first ion implantation is performed to form an anti-punch doped region with first conductivity type between the substrate and the channel layer, wherein the anti-punch doped region has a third doping concentration higher than the first doping concentration. At least a channel layer disposed along at least one surface of the fin structure is formed after the first ion implantation is performed. A gate covering part of the fin structure is formed. A source and a drain disposed in the fin structure beside the gate are formed, wherein the source and the drain have a second conductivity type.

指定代表圖：

符號簡單說明：

9 . . . 離子井

10 . . . 半導體基底

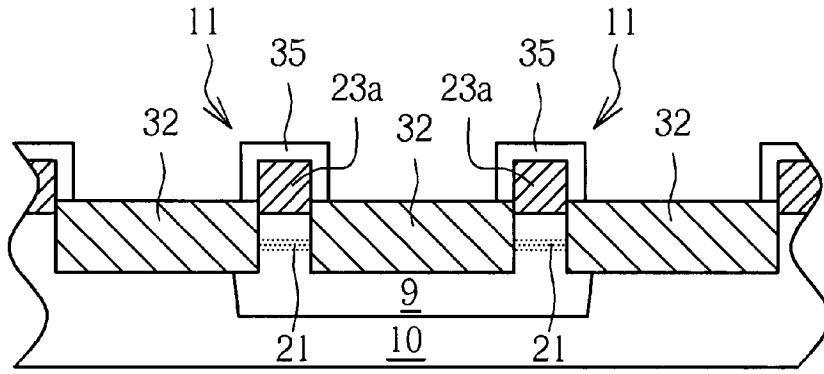
11 . . . 鰭狀結構

21 . . . 抗貫穿離子
佈植區

23a . . . 圖案化半導
體層

32 . . . 溝渠

35 . . . 通道層



第7圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：(101)38825
 ※申請日：100.10.26
 一、發明名稱：(中文/英文)

H01L 21/336 (2006.01)
 H01L 21/65 (2006.01)
 H01L 29/18 (2006.01)

具有鰭狀結構之場效電晶體的結構及其製作方法/STRUCTURE OF
 FIELD EFFECT TRANSISTOR WITH FIN STRUCTURE AND
 FABRICATING METHOD THEREOF

二、中文發明摘要：

一種具有鰭狀結構之場效電晶體的製作方法，包含提供一基底、形成一第一摻質濃度之離子井於基底內、形成至少一鰭狀結構，設置於基底上、進行至少一第一離子佈植製程，俾以形成一位於基底之第一導電型之抗貫穿離子佈植區，其中抗貫穿離子佈植區具有一第三摻質濃度，且第三摻質濃度大於該第一摻質濃度、在第一離子佈植製程之後，形成至少一通道層沿著鰭狀結構之至少一表面設置、形成一閘極，覆蓋住部分之鰭狀結構、以及形成一源極以及一汲極，設置於閘極之兩側之鰭狀結構中。

三、英文發明摘要：

A method for fabricating a field effect transistor with fin structure includes the following steps. A substrate having an ion well with a first conductivity type is provided, wherein the ion well has a first doping concentration. At least a fin structure disposed on the substrate is formed. At least a first ion implantation is performed to form an

anti-punch doped region with first conductivity type between the substrate and the channel layer, wherein the anti-punch doped region has a third doping concentration higher than the first doping concentration. At least a channel layer disposed along at least one surface of the fin structure is formed after the first ion implantation is performed. A gate covering part of the fin structure is formed. A source and a drain disposed in the fin structure beside the gate are formed, wherein the source and the drain have a second conductivity type.

四、指定代表圖：

(一)本案指定代表圖為：第 (7) 圖。

(二)本代表圖之元件符號簡單說明：

9	離子井	10	半導體基底
11	鰭狀結構	21	抗貫穿離子佈植區
23a	圖案化半導體層	32	溝渠
35	通道層		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種場效電晶體的結構及製作方法，特別是關於一種具有鰭狀結構之場效電晶體的結構及其製作方法。

【先前技術】

隨著場效電晶體(field effect transistors, FETs)元件尺寸持續地縮小，習知平面式(planar)場效電晶體元件之發展已面臨製程上之極限。為了克服製程限制，以非平面(non-planar)之場效電晶體元件，例如鰭狀場效電晶體(fin field effect transistor, Fin FET)元件取代平面電晶體元件已成為目前之主流發展趨勢。由於鰭狀場效電晶體元件的立體結構可增加閘極與鰭狀結構的接觸面積，因此，可進一步增加閘極對於載子通道區域的控制，從而降低小尺寸元件面臨的由源極引發的能帶降低(drain induced barrier lowering, DIBL)效應，並可以抑制短通道效應(short channel effect, SCE)。且由於鰭狀場效電晶體元件在同樣的閘極長度下，具有更寬的通道寬度，因而可獲得加倍的汲極驅動電流。甚至，電晶體元件的臨界電壓(threshold voltage)也可藉由調整閘極的功函數而被加以調控。

在習知的鰭狀場效電晶體元件的製程中，在鰭狀結構形成之後，通常會再施行一抗貫穿(anti-punch)離子佈植製程，俾以防止源/汲極間或對基底的貫穿效應(punch-through effect)的產生。然

而，對於頂面被圖案化遮罩層覆蓋之鰭狀結構而言，由於鰭狀結構之側壁並未被遮蔽，因此在抗貫穿離子佈植製程中，摻質不僅會被植入於源/汲極之下方，同時也會被植入於鰭狀結構側面之載子通道區域，造成載子通道區域之摻質濃度產生無法控制之變異，此變異會影響鰭狀場效電晶體元件之電性表現，使得製程良率大幅降低。

【發明內容】

本發明係提供一種具有鰭狀結構之場效電晶體的結構及其製作方法，以避免通道區域之摻質濃度產生無法控制之變異。

為達到上述目的，根據本發明之一實施例，係提供一種具有鰭狀結構之場效電晶體的製作方法，包含提供一基底、形成一第一導電型之離子井於基底內，且第一導電型之離子井具有一第一摻質濃度、形成至少一鰭狀結構，設置於基底上、進行至少一第一離子佈植製程，俾以形成一位於基底之第一導電型之抗貫穿

(anti-punch) 離子佈植區，其中抗貫穿離子佈植區具有一第三摻質濃度，且第三摻質濃度大於該第一摻質濃度、在第一離子佈植製程之後，形成至少一通道層沿著鰭狀結構之至少一表面設置、形成一閘極，覆蓋住部分之鰭狀結構、以及形成一源極以及一汲極，設置於閘極之兩側之鰭狀結構中。

根據本發明之另一實施例，係提供一種具有鰭狀結構之場效電晶體的結構，包含有一基底、一第一導電型離子井，設置於基底中，其中該第一導電型離子井具有一第一摻質濃度、至少一鰭狀結構，設置於基底上、至少一通道層，沿著鰭狀結構之至少一表面設置，其中通道層具有一第二摻雜濃度，第二摻雜濃度之最高濃度小於第一摻質濃度、至少一第一導電型之抗貫穿離子佈植區，設置於基底以及通道層之間，其中抗貫穿離子佈植區具有一第三摻質濃度，且第三摻質濃度大於第一摻質濃度、一閘極，覆蓋住部分之鰭狀結構、以及一源極以及一汲極，設置於閘極兩側之鰭狀結構中，其中源極以及汲極具有一第二導電型。

【實施方式】

為使熟習本發明所屬技術領域之一般技藝者能更進一步了解本發明，下文特列舉本發明之較佳實施例，並配合所附圖式，詳細說明本發明的構成內容及所欲達成之功效。

第 1 圖是根據本發明不同實施態樣之具有鰭狀結構之場效電晶體的製備流程圖。其製備流程依序為：形成鰭狀結構 1a、形成絕緣層 1b、實施平坦化製程 1c、實施回蝕刻製程 1d 以及移除圖案化硬遮罩 1e。此外，本發明另包含形成抗貫穿 (anti-punch) 離子佈植區之第一離子佈植製程 2 以及形成通道層 3 之製程。在此需注意的是，本發明之技術特徵係在於形成通道層 3 之時點必定遲於施行第一離子佈植 2 之時點。舉例而言，當施行第一離子佈植製程之時點如第

一離子佈植製程 2a、2b、2c、2d、2e、2f 所示時，形成通道層之時點較佳在形成通道層 3b 所示處。然而當施行第一離子佈植製程之時點如第一離子佈植製程 2a、2b 所示時，形成通道層之時點較佳另可在形成通道層 3b 所示處。為使上述之製備流程更容易被理解，以下就不同之實施態樣加以詳細陳述：

第一實施態樣：

請參考第 1 圖至第 8 圖，其中，第 2 圖至第 8 圖為本發明一較佳實施例之形成一鰭狀結構的示意圖。在第一實施態樣中，施行第一離子佈植製程 2 之時點係在形成鰭狀結構 1a 之前。如第 2 圖所示，首先提供一覆蓋有一圖案化光阻層 18 之半導體基底 10，其中，圖案化光阻層 18 係用以定義離子井 9 以及抗貫穿離子佈植區 21 之位置，亦即，離子井 9 以及抗貫穿離子佈植區 21 之製程可共用同一道光罩製程。然而，根據其他實施例，離子井 9 以及抗貫穿離子佈植區 21 亦可透過不同道光罩分別製得。接著，在半導體基底 10 內形成一第一導電型(例如 P 型)之離子井 9，此離子井 9 具有一濃度介於 10^{12} - 10^{13} 原子/平方公分 (atoms/cm²) 之第一摻質濃度。此外，在半導體基底 10 內另可存在有一第二導電型(例如 N 型)之離子井(圖未示)，使得上述之離子井分別對應至 N 型金氧半導體電晶體(NMOS)區(圖未示)以及 P 型金氧半導體電晶體(PMOS)區(圖未示)。半導體基底 10 可包含一塊矽(bulk silicon)基底或絕緣層上覆矽(silicon-on-insulator, SOI)基底，其中絕緣層上覆矽(silicon-on-insulator, SOI)基底可提供較好的散熱與接地效果，及有

助於降低成本與抑制雜訊。

接著，在圖案化光阻層 18 之覆蓋下，繼以進行一第一離子佈植製程 2，俾以於離子井 9 內形成至少一具有第一導電型之抗貫穿離子佈植區 21，其中抗貫穿離子佈植區 21 具有一第三摻質濃度，且第三摻質濃度高於離子井 9 之第一摻質濃度。在此須注意的是，第一離子佈植製程可包含多道離子佈植製程。此外，根據本實施例，於半導體基底 10 表面另包含有一氧化層 16，以防止高能離子直接撞擊半導體基底 10 表面而產生缺陷。

接著，如第 3 圖所示，去除圖案化光阻層 18 以及氧化層 16，以暴露出半導體基底 10 之表面。繼以選擇性地進行一磊晶成長 (epitaxial growth) 製程，於半導體基底 10 的表面形成一半導體層 23，其可包含矽、碳化矽、矽化鍺或元素週期表中的 III-V 族化合物，但不限於此。此外，根據不同製程需求，更可形成具有適當應力（伸張或壓縮）或是摻雜濃度的半導體層 23，藉以調整載子通道層之電性表現。

接著，如第 4 圖所示，於半導體層 23 上形成一包含有至少一圖案化應力緩衝層 25 以及至少一圖案化硬遮罩層 27 之第二圖案化遮罩層 29，用以定義出各鰭狀結構 11 之位置。其中圖案化應力緩衝層 25 包含氧化矽，且圖案化硬遮罩層 27 包含氮化矽。接著，進行一蝕刻製程，形成至少一鰭狀結構 11 於半導體基底 10 上，且各鰭

狀結構 11 間係以淺溝渠 13 隔絕。此時，圖案化半導體層 23a 之頂面 12 係設置有第二圖案化遮罩層 29，且圖案化半導體層 23a 之下方具有一抗貫穿離子佈植區 21，其中，抗貫穿離子佈植區 21 與頂面 12 之距離較佳小於 400 埃。

接著，如第 5 圖所示，於半導體基底 10 上形成一絕緣層 31，例如二氧化矽層，絕緣層 31 係覆蓋住各鰭狀結構 11 並填滿各淺溝渠 13。上述形成絕緣層 31 之製程可包含高密度電漿化學氣相沈積(high density plasma CVD, HDPCVD)、次常壓化學氣相沈積(sub atmosphere CVD, SACVD) 或旋塗式介電材料(spin on dielectric, SOD)等製程。之後，如第 6 圖所示，對絕緣層 31 施行一回蝕刻製程 1d，用以移除部分之絕緣層 31，直至絕緣層 31 之頂面低於鰭狀結構 11 之頂面 12。此外，在回蝕刻之前可選擇性地進行一平坦化製程 1c，使絕緣層 31 與第二圖案化遮罩層 29 等高或略低。因此於各鰭狀結構 11 間的半導體基底 10 上形成至少一淺溝渠絕緣結構 33。

如第 7 圖所示，進行一蝕刻製程以將第二圖案化遮罩層 29 去除。於本發明一實施例中，當第二圖案化遮罩層 29 包含氮化矽時，可利用熱磷酸加以去除，此為習知技藝，在此不多贅述。接著，利用磊晶製程，分別形成一通道層 35 覆蓋於各鰭狀結構 11 表面。根據不同製程需求，可選擇性地再對通道層 35 進行一第二離子佈植製程，其可包含斜向離子佈植(tilted-angle ion implantation)等製程，俾以調

控通道層 35 之摻雜濃度，進而調整電晶體的臨界電壓(threshold voltage, V_{th})。上述之通道層 35 包含矽、矽化鍺或其他可作為載子通道之半導體材料。在此需注意的是，根據本發明之其他實施例，亦可採用離子佈植之方式，直接將通道層 35 設置在鰭狀結構 11 表面內側(圖未示)，亦即，通道層 35 並非覆蓋於鰭狀結構 11 表面。

之後，如第 8 圖所示，於半導體基底上 10 依序形成至少一介電層 37、一覆蓋各鰭狀結構 11 之閘極材料層 39。根據不同之製程需求，上述之介電層 37 可包含氧化矽(SiO_2)、氮化矽(Si_3N_4)、氮氧化矽(SiON)等之介電材料或其他高介電常數材料。而閘極材料層 39 可包含多晶矽材料、金屬矽化物或金屬等。

在此須注意的是，上述之通道層 35 形成之時點係在絕緣層 31 填滿淺溝渠 13 後。然而，在另一實施例中，形成通道層 35 之時點係接續於形成鰭狀結構 1a 之後。根據此實施例，可透過一磊晶成長製程，在形成各鰭狀結構 11 後以及絕緣層 31 填滿淺溝渠 13 前的時點，形成至少一通道層 35 於鰭狀結構 11 之表面，此時由於鰭狀結構 11 之頂面 12 受到第二圖案化遮罩層 29 之覆蓋，因此通道層 35 只會形成於鰭狀結構 11 之側壁(圖未示)。另根據不同製程需求，可選擇性地對通道層 35 進行一第二離子佈植製程，俾以調控通道層 35 之摻雜濃度。

第二實施態樣：

請參照第 1 圖、第 3 圖至第 8 圖，第二實施態樣之實施方式類似如第一實施態樣，其差別僅在於：在第二實施態樣中，係在形成鰭狀結構 1a 之後以及形成絕緣層 1b 之前始進行第一離子佈植製程 2。類似如第 3 圖所示，提供一半導體基底 10，此半導體表面上可選擇性地被覆蓋有一層半導體層 23，且此時半導體基底 10 仍無抗貫穿離子佈植區。接著，類似如第 4 圖所示，形成一第二圖案化遮罩層 29 於半導體層 23 上，用以定義出各鰭狀結構 11 之位置。進行一蝕刻製程，形成至少一鰭狀結構 11 於基底 10 上，且鰭狀結構 11 間係以淺溝渠 13 隔絕。此時，圖案化半導體層 23a 之頂面 12 係設置有圖案化遮罩層 29。接著，進行一第一離子佈植製程 2，俾以於圖案化半導體層 23a 之下方形成一抗貫穿離子佈植區 21。根據本發明之另一實施例，若半導體基底 10 在形成各鰭狀結構 11 前並未覆蓋有半導體層 23，則此時抗貫穿離子佈植區 21 則會存在於鰭狀結構 11 中。接著，類似第一實施態樣，分別形成一絕緣層 31、進行一平坦化製程 1c、施行一回蝕刻製程 1d、去除第二圖案化遮罩層 29、磊晶成長通道層 35，該些製程以及後續的製程係相對應於第一實施態樣之第 5 圖到第 8 圖，在此便不加以贅述。此外，類似如第一實施態樣，磊晶成長通道層 35 之時點可提前至進行第一離子佈植製程 2 後以及形成絕緣層 1b 前的時點。

在此需注意的是，在第二實施態樣中，由於第一離子佈植製程係在鰭狀結構 11 形成後始進行，為了避免載子通道的摻質濃度受到第一離子佈植製程之影響，通道層 35 較佳以磊晶製程之方式另外覆蓋

於鰭狀結構 11 表面，而不以離子佈植之方式設置在鰭狀結構 11 表面內側（圖未示）。另根據不同製程需求，可選擇性地對通道層 35 進行一第二離子佈植製程，俾以調控通道層 35 之摻雜濃度。

第三實施態樣：

請參照第 1 圖、第 3 圖至第 8 圖，第三實施態樣類似如第二實施態樣，其差別在於：在第三實施態樣中，係在形成絕緣層 1b 之後以及平坦化製程 1c 之前始進行第一離子佈植製程 2。類似如第 3 圖至第 4 圖，形成至少一鰭狀結構 11 於半導體基底 10 上，此時並未有任何抗貫穿離子佈植區 21 存在於半導體基底 10 中。接著，類似如第 5 圖所示，於基底 10 上形成一絕緣層 31，例如二氧化矽層，絕緣層 31 係覆蓋住鰭狀結構 11 並填滿淺溝渠 13。接著，進行一第一離子佈植製程 2，俾以形成一抗貫穿離子佈植區 21 於圖案化半導體層 23a 之下方。根據本發明之另一實施例，若在形成鰭狀結構 11 前，半導體基底 10 上並未覆蓋有半導體層 23，此時抗貫穿離子佈植區 21 則會存在於鰭狀結構 11 中。接著，類似第二實施態樣，進行一平坦化製程 1c、施行一回蝕刻製程 1d、去除第二圖案化遮罩層 29、磊晶成長通道層 35，該些製程以及後續的製程係相對應於第二實施態樣之第 6 圖到第 8 圖，在此便不加以贅述。

在此需注意的是，類似如第二實施態樣，由於第一離子佈植製程 2 係在鰭狀結構 11 形成後始進行，為了避免載子通道的摻質濃度受到第一離子佈植製程之影響，通道層 35 較佳以磊晶製程之方式另外

覆蓋於鰭狀結構 11 表面，而不以離子佈植之方式設置在鰭狀結構 11 表面內側（圖未示）。另根據不同製程需求，可選擇性地對通道層 35 進行一第二離子佈植製程，俾以調控通道層 35 之摻雜濃度。

第四實施態樣：

請參照第 1 圖、第 3 圖至第 8 圖，第四實施態樣之實施方式同樣地類似如第二實施態樣，其差別在於：在第四實施態樣中，係在平坦化製程 1c 之後以及在回蝕刻製程 1d 之前始進行第一離子佈植製程 2。類似如第 3 圖至第 5 圖所示，形成至少一鰭狀結構 11 於半導體基底 10 上，並於半導體基底 10 上形成一絕緣層 31，絕緣層 31 係覆蓋住鰭狀結構 11 並填滿淺溝渠 13。在此須注意的是，此時並未有任何抗貫穿離子佈植區存在於鰭狀結構 11 中。

之後，類似如第 6 圖所示，在平坦化製程之後，進行一第一離子佈植製程 2，俾以形成一抗貫穿離子佈植區 21 於圖案化半導體層 23a 之下方。根據本發明之另一實施例，若在形成各鰭狀結構 11 前，半導體基底 10 上並未覆蓋有半導體層 23，此時抗貫穿離子佈植區 21 則會存在於鰭狀結構 11 中。此外，在上述之實施例，抗貫穿離子佈植區 21 與頂面 12 之距離較佳小於 400 埃。之後，再進行一回蝕刻製程 1d、去除第二圖案化遮罩層 29 以及磊晶成長通道層 35，該些製程以及後續的製程係相對應於第二實施態樣之第 6 圖到第 8 圖，在此便不加以贅述。

同樣地，在第四實施態樣中，由於第一離子佈植製程 2 係在鰭狀結構 11 形成後始進行，為了避免載子通道的摻質濃度受到第一離子佈植製程之影響，通道層 35 較佳以磊晶製程之方式另外覆蓋於鰭狀結構 11 表面，而不以離子佈植之方式設置在鰭狀結構 11 表面內側（圖未示）。另根據不同製程需求，可選擇性地對通道層 35 進行一第二離子佈植製程，俾以調控通道層 35 之摻雜濃度。

第五實施態樣：

請參照第 1 圖、第 3 圖至第 8 圖，第五實施態樣類似如第二實施態樣，其差別在於：在第五實施態樣中，係在回蝕刻製程之後以及移除第二圖案化遮罩層 29 之前始進行第一離子佈植製程。類似如第 3 圖至第 6 圖所示，形成至少一鰭狀結構 11 於半導體基底 10 上，並於基底 10 上形成一絕緣層 31，絕緣層 31 係覆蓋住鰭狀結構 11 並填滿淺溝渠 13。接著，對絕緣層 31 施行一回蝕刻製程 1d，用以移除部分之絕緣層 31，直至絕緣層 31 之頂面低於鰭狀結構 11 之頂面 12。此外，在回蝕刻製程 1d 之前可選擇性地進行一平坦化製程 1c，使絕緣層 31 與第二圖案化遮罩層 29 等高或略低。在此須注意的是，此時並未有任何抗貫穿離子佈植區存在於鰭狀結構 11 中。

接著，仍類似如第 6 圖所示，進行一第一離子佈植製程 2，俾以形成一抗貫穿離子佈植區 21 於圖案化半導體層 23a 之下方。根據本發明之另一實施例，若在形成鰭狀結構 11 前，半導體基底 10 上並未覆蓋有半導體層 23，此時抗貫穿離子佈植區 21 則會存在於鰭狀

結構 11 中。之後，移除第二圖案化遮罩層 29 並磊晶成長通道層 35。

同樣地，在第五實施態樣中，由於第一離子佈植製程 2 係在鰭狀結構 11 形成後始進行，為了避免載子通道的摻質濃度受到第一離子佈植製程之影響，通道層 35 較佳另外以磊晶製程之方式覆蓋於鰭狀結構 11 表面，而不以離子佈植之方式設置在鰭狀結構 11 表面內側（圖未示）。另根據不同製程需求，可選擇性地對通道層 35 進行一第二離子佈植製程，俾以調控通道層 35 之摻雜濃度。

第六實施態樣：

請參照第 1 圖、第 3 圖至第 8 圖，第六實施態樣類似如第二實施態樣，其差別在於：在第六實施態樣中，係在去除第二圖案化遮罩層 29 之後始進行第一離子佈植製程。類似如第 3 圖至第 6 圖所示，形成至少一鰭狀結構 11 於半導體基底 10 上，並於基底 10 上形成一絕緣層 31，例如二氧化矽層，絕緣層 31 係覆蓋住鰭狀結構 11 並填滿淺溝渠 13。接著，對絕緣層 31 施行一平坦化製程以及一回蝕刻製程，用以移除部分之絕緣層 31，直至絕緣層 31 之頂面低於鰭狀結構 11 之頂面 12。在此須注意的是，此時並未有任何抗貫穿離子佈植區存在於鰭狀結構 11 中。

類似如第 7 圖所示，進行一蝕刻製程以將第二圖案化遮罩層 29 去除。接著，進行一第一離子佈植製程，俾以形成一抗貫穿離子佈植區 21 於圖案化半導體層 23a 之下方。接著，利用磊晶製程，形成

一通道層 35 覆蓋於鰭狀結構 11 表面。根據不同製程需求，可選擇性地對通道層 35 進行一離子佈植製程，俾以調控通道層 35 之摻雜濃度。

在此需注意的是，在第六實施態樣中，由於第一離子佈植製程 2 係在形成鰭狀結構 1a 後始進行，為了避免載子通道的摻質濃度受到抗貫穿製程之影響，通道層 35 較佳另外以磊晶製程之方式覆蓋於鰭狀結構 11 表面，而不以離子佈植之方式設置在鰭狀結構 11 表面內側（圖未示）。另根據不同製程需求，可選擇性地對通道層 35 進行一第二離子佈植製程，俾以調控通道層 35 之摻雜濃度。

此外，根據上述之第一實施態樣至第六實施態樣，半導體基底 10 之表面係具有一半導體層 23，該半導體層 23 可具有適當應力（伸張或壓縮）或具有適當之摻雜濃度，藉以調整載子通道層之電性表現。然而，根據本發明之另一較佳實施例，半導體基底 10 之表面不存在有半導體層 23，而鰭狀結構 11 內之圖案化半導體層 23a 係被一突出部 36 所取代，其中，突出部 36 係由蝕刻半導體基底 10 而得。因此，通道層 35 係沿著突出部 36 之表面而設置，其結構可參照第 9 圖。

第七實施態樣：

類似如第一實施態樣，在本實施態樣中，鰭狀結構 11 係以磊晶成長（epitaxial growth）的方式形成於半導體基材 10 上。其製程步

驟類似如第 1 圖、第 3 圖至第 9 圖所示，而下文僅對差異處加以描述。首先，如第 10 圖所示，提供一覆蓋有圖案化遮罩層 15 之半導體基底 10，用以定義出後續各鰭狀結構 11 的位置。半導體基底 10 中具有一第一導電型(例如 P 型)之離子井 9，此離子井 9 具有一濃度介於 10^{12} - 10^{13} 原子/平方公分 (atoms/cm²) 之第一摻質濃度。且在半導體基底 10 內另可存在有一第二導電型(例如 N 型)之離子井(圖未示)，使得上述之離子井分別對應至 N 型金氧半導體電晶體(NMOS)區(圖未示)以及 P 型金氧半導體電晶體(PMOS)區(圖未示)。此外，上述之圖案化遮罩層 15 包含多層結構，其包含至少一應力緩衝層 16，例如氧化矽，以及至少一硬遮罩層 18，例如氮化矽。

接著，仍如第 10 圖所示，進行第一離子佈植製程 2，俾以形成一具有第一導電型之抗貫穿離子佈植區 21，且抗貫穿離子佈植區 21 的摻質濃度高於離子井 9 之第一摻質濃度。此外，在進行一第一離子佈植製程 2 前，可先行在半導體基底 10 表面形成一氧化層(圖未示)，防止高能離子直接撞擊基底 10 表面而產生缺陷。在本實施例中，係藉由圖案化遮罩層 15 定義出抗貫穿離子佈植區 21 之區域，然而，根據其他較佳實施例，抗貫穿離子佈植區 21 可與離子井 9 共用同一道光罩，亦即，圖案化遮罩層 15 非用以定義抗貫穿離子佈植區 21 之區域。

接著，如第 11 圖所示，進行一選擇性磊晶成長製程，以暴露出於圖案化遮罩層 15 的基底 10 表面為晶種層，形成鰭狀結構 11 於各

溝渠 32 中。各鰭狀結構 11 會由溝渠 32 底部之半導體基底 10 表面成長，並向上成長而突出於圖案化遮罩層 15 之頂面。根據製程需求，在選擇性磊晶成長完畢後，另可進行一循環退火製程(cyclic thermal annealing, CTA)，俾以減少鰭狀結構 11 內之缺陷。上述之鰭狀結構 11 可包含矽層(Si)、矽鍺層(SiGe)或上述的組合。在此需注意的是，由於本實施態樣中，鰭狀結構 11 頂面 12 無覆蓋遮罩層(圖未示)，因此不需進行去除遮罩層之製程。此外，根據其他較佳實施例，若抗貫穿離子佈植區 21 與離子井 9 係共用同一道光罩而製得，則需另外形成一圖案化遮罩層(圖未示)俾以定義出鰭狀結構 11 之形成區域。後續的製程，類似如相對應的第 4 圖到第 8 圖，在此便不加以贅述。

此外，本實施態樣亦可應用至相對應之第二實施態樣至第五實施態樣，亦即，在磊晶成長鰭狀結構 11 於半導體基底 10 上後，施行第一離子佈植製程 2 之時點可分別於：形成鰭狀結構 1a 之後、形成絕緣層 1b 之後、平坦化製程 1c 之後或回蝕刻製程 1d 之後。為了簡潔起見，該些相類似之製程可相對應於第 4 圖到第 9 圖，在此便不加以贅述。

在完成上述第一至第七實施態樣後，可接著進行各式所需之半導體製程，例如具有多晶矽閘極或金屬閘極等之 MOS 製程。如第 12 圖所示，根據本發明之一實施例，係為一整合於閘極優先(gate first)製程之多閘極場效電晶體結構示意圖。首先，於具有金屬成分之閘

極材料層 39 上形成一圖案化蓋層 46，用以定義至少一 NMOS 區(圖未示)與至少一 PMOS 區(圖未示)中各閘極的位置。隨後，利用圖案化蓋層 46 當作蝕刻遮罩來蝕刻閘極材料層 39 與具有高介電常數之介電層 37，而於半導體基底 10 上形成至少一覆蓋部分各鰭狀結構 11 的閘極結構 28。接著，於未被閘極覆蓋之鰭狀結構 11 中分別選擇性形成一輕摻雜源極/汲極區(圖未示)。然後，於閘極結構 28 的周圍側壁形成一側壁子 47，側壁子 47 可為單一層或多層結構，或可包括襯層(liner)等一起組成。之後，以側壁子 47 及蓋層 46 為遮罩，進行離子佈植製程，摻入適當的摻質。其中，摻質可包括 N 型或 P 型摻質，以於 NMOS 區與 PMOS 區中之閘極結構 28 兩側暴露出來的鰭狀結構 11 上分別植入相對應電性之源極/汲極摻質，並搭配一退火製程以活化形成源極/汲極區(圖未示)。雖然本實施例較佳為依序形成輕摻雜源極/汲極區、側壁子 27 及源極/汲極區，但不侷限於此，本發明又可依據製程上的需求任意調整上述形成側壁子及摻雜區的順序，此均屬本發明所涵蓋的範圍。

根據本發明之另一實施例，仍類似如第 12 圖所示，係為一金屬閘極之閘極後置 (gate last) 多閘極場效電晶體之製作方法。當前述之第 8 圖所示之閘極材料層 39 為多晶矽時，閘極後置製程係則承接上述之多晶矽閘極之閘極優先 (gate first) 製程。在取代閘極結構 28 的多晶矽閘極為一金屬閘極之後，鰭狀結構 11 之通道區域(圖未示)之上方依序覆蓋有至少一高介電常數閘極介電層(圖未示)、至少一功函數金屬層(圖未示)、以及至少一金屬導電層(圖未示)。而無論

是閘極後置製程或閘極優先製程，其中之高介電常數閘極介電層之材料皆可選自例如氧化鈦(hafnium oxide, HfO_2)、矽酸鈦氧化合物(hafnium silicon oxide, HfSiO_4)、矽酸鈦氮氧化合物(hafnium silicon oxynitride, HfSiON)、氧化鋁(aluminum oxide, Al_2O_3)、氧化釧(lanthanum oxide, La_2O_3)、氧化鉭(tantalum oxide, Ta_2O_5)、氧化鈮(yttrium oxide, Y_2O_3)、氧化鋯(zirconium oxide, ZrO_2)、鈦酸鋇(strontium titanate oxide, SrTiO_3)、矽酸鋯氧化合物(zirconium silicon oxide, ZrSiO_4)、鋯酸鈦(hafnium zirconium oxide, HfZrO_4)、鋇鉍鉭氧化物(strontium bismuth tantalate, $\text{SrBi}_2\text{Ta}_2\text{O}_9$, SBT)、鋯鈦酸鉛(lead zirconate titanate, $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$, PZT)與鈦酸鋇鋇(strontium titanate, $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$, BST)所組成之群組，但不限於此。而上述金屬導電層包含低電阻材料或其組合。此外，在功函數金屬層與高介電常數閘極介電層之間以及功函數金屬層與金屬導電層之間，也可以選擇性分別形成一包含鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)等材料之阻障層(barrier layer) (圖未示)。

藉由上述之閘極優先製程或閘極後置製程，實已完成一具有鰭狀結構之多閘極場效電晶體(multi-gate MOSFET)。在此需注意的是，在上述之實施例中，鰭狀結構 11 與介電層 37 之間係具有三直接接觸面，例如兩接觸側面(圖未示)及一接觸頂面(圖未示)，因而可被稱作三閘極場效電晶體(tri-gate MOSFET)。相較於平面場效電晶體，此三閘極場效電晶體係藉由上述之三直接接觸面作為載子流通

之通道，因此在同樣的閘極長度下具有較寬的載子通道寬度，使得在相同之驅動電壓下可獲得加倍的汲極驅動電流。然而，上述之多閘極場效電晶體並不侷限於三閘極場效電晶體，根據製程上之需求，鰭狀結構 11 之頂面 12 與介電層 37 之間亦可存有一圖案化硬遮罩層 15，亦即，僅鰭狀結構 11 兩面之側面 34 與介電層 37 之間有直接接觸面。因此，該具有兩直接接觸面之多閘極場效電晶體係構成一鰭式場效電晶體(fin field effect transistor, Fin FET)。

綜合上述，本發明係提供一種具有鰭狀結構之場效電晶體之製作方法，其中進行第一離子佈植製程 2 之時點係優先於形成通道層 3，亦即，抗貫穿離子佈植區之摻質不會影響通道層 35 內之摻質濃度分佈，因此可降低鰭狀場效電晶體元件電性之變異。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖係為具有鰭狀結構之場效電晶體的製備流程圖。

第 2 圖至第 12 圖繪示的是根據本發明較佳實施例之形成一種具有鰭狀結構的場效電晶體的製造方法示意圖。

【主要元件符號說明】

1a 形成鰭狀結構

1b 形成絕緣層

1c	平坦化製程	1d	回蝕刻製程
1e	移除圖案化硬遮罩	2	第一離子佈植製程
2a、2b	第一離子佈植製程	2c、2d	第一離子佈植製程
2e、2f	第一離子佈植製程	3	形成通道層
3a	形成通道層	3b	形成通道層
9	離子井	10	半導體基底
11	鰭狀結構	12	頂面
13	淺溝渠	15	圖案化遮罩層
16	氧化層	17	圖案化應力緩衝層
18	圖案化光阻層	19	圖案化硬遮罩層
21	抗貫穿離子佈植區	23	半導體層
23a	圖案化半導體層	25	圖案化應力緩衝層
27	圖案化硬遮罩層	28	閘極結構
29	第二圖案化遮罩層	31	絕緣層
32	溝渠	33	淺溝渠絕緣結構
34	側面	35	通道層
36	突出部	37	介電層
39	閘極材料層	46	圖案化蓋層
47	側壁子		

七、申請專利範圍：

1. 一種具有鰭狀結構之場效電晶體的製作方法，包含有：

提供一基底；

形成一第一導電型之離子井於該基底內，且該離子井具有一第一摻質濃度；

形成至少一鰭狀結構，設置於該基底上，其中形成該鰭狀結構之步驟包含有：

形成一磊晶半導體層於該基底上；以及

蝕刻該磊晶半導體層，俾以形成該鰭狀結構，其中該鰭狀結構上半部為該磊晶半導體層，下半部為該第一導電型離子井的一部分；

進行至少一第一離子佈植製程，俾以形成一第一導電型之抗貫穿（anti-punch）離子佈植區，其中該抗貫穿離子佈植區設置於該鰭狀結構下半部的該第一導電型離子井的該部分中且具有一第三摻質濃度，且該第三摻質濃度大於該第一摻質濃度；

在該第一離子佈植製程之後，形成至少一通道層沿著該鰭狀結構之至少一表面設置；

形成一閘極，覆蓋住部分之該鰭狀結構；以及

形成一源極以及一汲極，設置於該閘極之兩側之該鰭狀結構中。

2. 如申請專利範圍第 1 項所述之具有鰭狀結構之場效電晶體的

製作方法，其中形成該鰭狀結構後，另包含有：

- 形成一絕緣層，覆蓋該鰭狀結構；
- 對該絕緣層進行一研磨製程；以及
- 對該絕緣層進行一回蝕刻製程。

3. 如申請專利範圍第 2 項所述之具有鰭狀結構之場效電晶體的製作方法，其中在進行該回蝕刻製程之後，另包含有：
 - 移除一圖案化硬遮罩層，其中該圖案化硬遮罩層係製作於該基底之上。
4. 如申請專利範圍第 1 項所述之具有鰭狀結構之場效電晶體的製作方法，其中進行該第一離子佈植製程之時點係在形成該鰭狀結構之前。
5. 如申請專利範圍第 2 項所述之具有鰭狀結構之場效電晶體的製作方法，其中進行該第一離子佈植製程之時點係在形成該絕緣層以及進行該研磨製程之間。
6. 如申請專利範圍第 2 項所述之具有鰭狀結構之場效電晶體的製作方法，其中進行該第一離子佈植製程之時點係在進行該研磨製程以及進行該回蝕刻製程之間。
7. 如申請專利範圍第 3 項所述之具有鰭狀結構之場效電晶體的製

作方法，其中進行該第一離子佈植製程之時點係在進行該回蝕刻製程以及移除該硬遮罩層之間。

8. 如申請專利範圍第 3 項所述之具有鰭狀結構之場效電晶體的製作方法，其中進行該第一離子佈植製程之時點係在移除該硬遮罩層以及形成該通道層之間。
9. 如申請專利範圍第 1 項所述之具有鰭狀結構之場效電晶體的製作方法，其中該第一離子佈植製程包含多道離子佈植製程。
10. 如申請專利範圍第 1 項所述之具有鰭狀結構之場效電晶體的製作方法，其中該通道層係順向性地覆蓋於該鰭狀結構之表面上。
11. 如申請專利範圍第 1 項所述之具有鰭狀結構之場效電晶體的製作方法，其中該通道層係設置於該鰭狀結構之表面內側。
12. 如申請專利範圍第 1 項所述之具有鰭狀結構之場效電晶體的製作方法，其中該通道層係選自矽層、矽化鍍層、碳化矽層或上述之組合。
13. 如申請專利範圍第 1 項所述之具有鰭狀結構之場效電晶體的製作方法，其中形成該通道層後，另包含有：
進行一第二離子佈植製程，調控該通道層之摻質濃度。

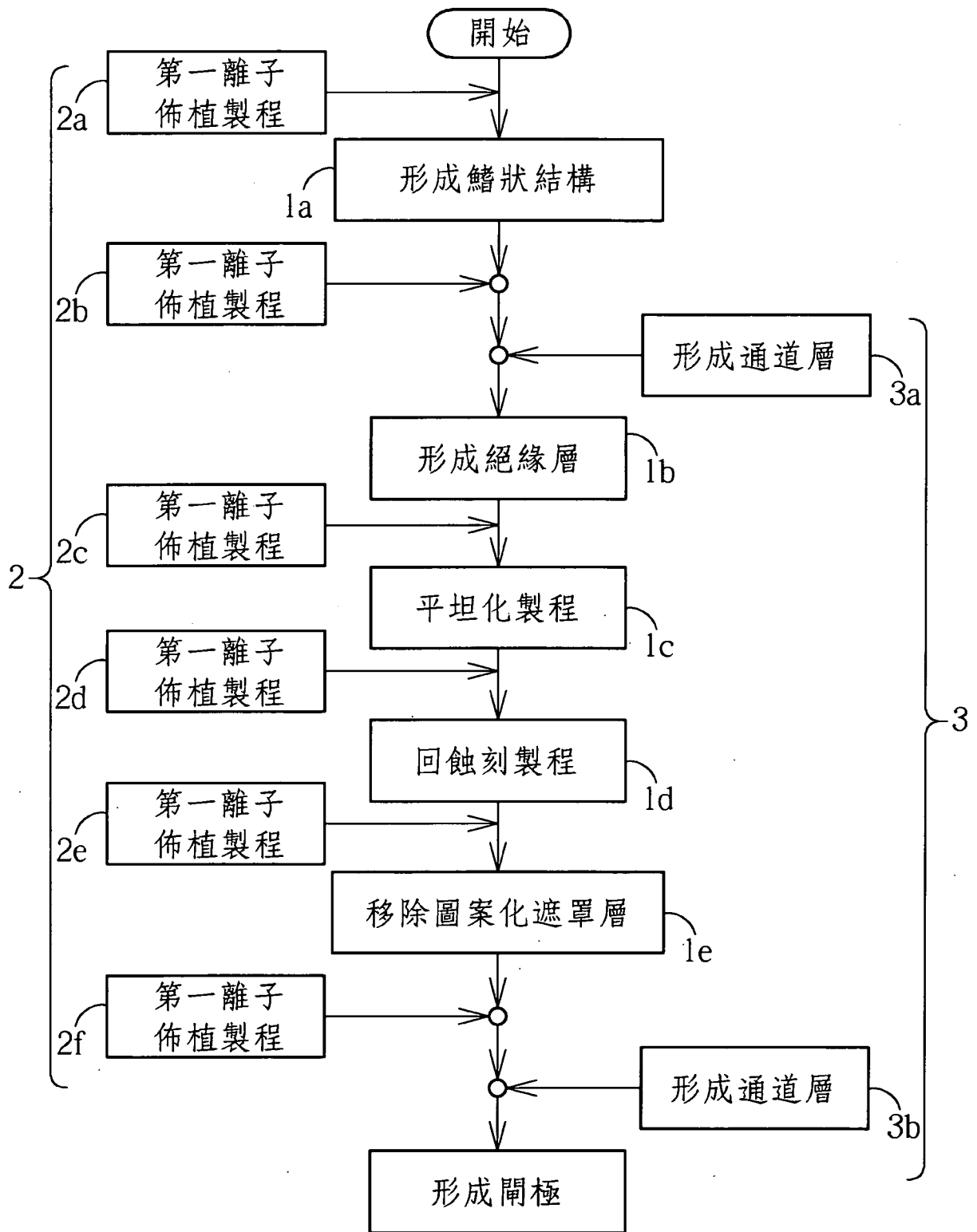
14. 如申請專利範圍第 13 項所述之具有鰭狀結構之場效電晶體的製作方法，其中該第二離子佈植製程包含斜向離子佈植(tilted-angle ion implantation) 製程。
15. 一種具有鰭狀結構之場效電晶體的結構，包含有：
- 一基底；
 - 一第一導電型離子井，設置於該基底中，其中該第一導電型離子井具有一第一摻質濃度；
 - 至少一鰭狀結構，設置於該基底上，其中該鰭狀結構上半部為一磊晶半導體層，下半部為該第一導電型離子井的一部分；
 - 至少一通道層，沿著該鰭狀結構之至少一表面設置，其中該通道層具有一第二摻雜濃度，該第二摻雜濃度之最高濃度小於該第一摻質濃度；
 - 至少一第一導電型之抗貫穿離子佈植區，設置於該鰭狀結構下半部的該第一導電型離子井的該部分中，其中該抗貫穿離子佈植區具有一第三摻質濃度，且該第三摻質濃度大於該第一摻質濃度；
 - 一閘極，覆蓋住部分之該鰭狀結構；以及
 - 一源極以及一汲極，設置於該閘極兩側之該鰭狀結構中，其中該源極以及該汲極具有一第二導電型。
16. 如申請專利範圍第 15 項所述之具有鰭狀結構之場效電晶體的結

構，其中該基底上包含有一絕緣層，鄰接該鰭狀結構。

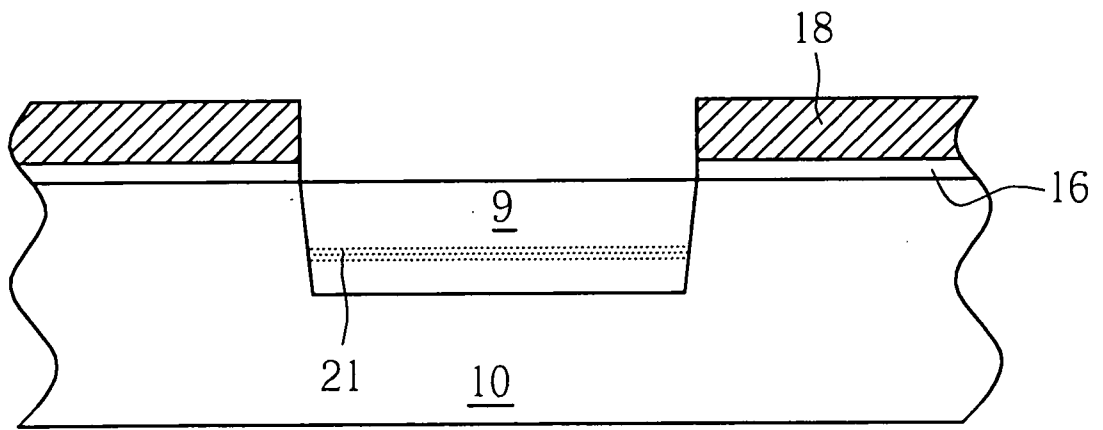
17. 如申請專利範圍第 15 項所述之具有鰭狀結構之場效電晶體的結構，其中該鰭狀結構之頂面與該抗貫穿離子佈植區之距離小於 400 埃。

18. 如申請專利範圍第 15 項所述之具有鰭狀結構之場效電晶體的結構，其中該第二摻雜濃度之最高濃度小於 10^{12} 原子/平方公分 (atoms/cm²)。

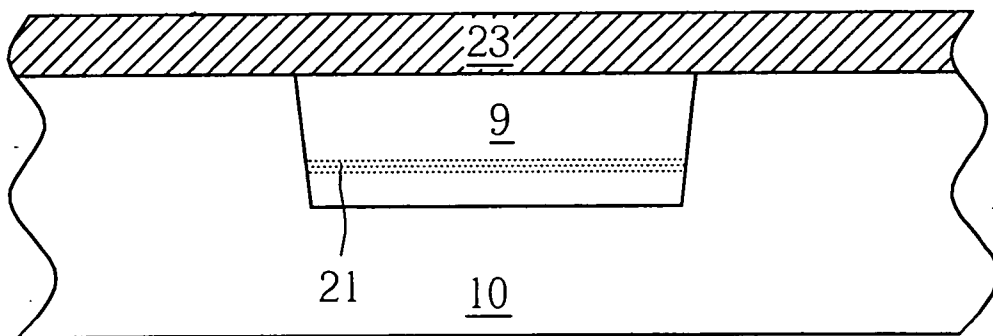
八、圖式：



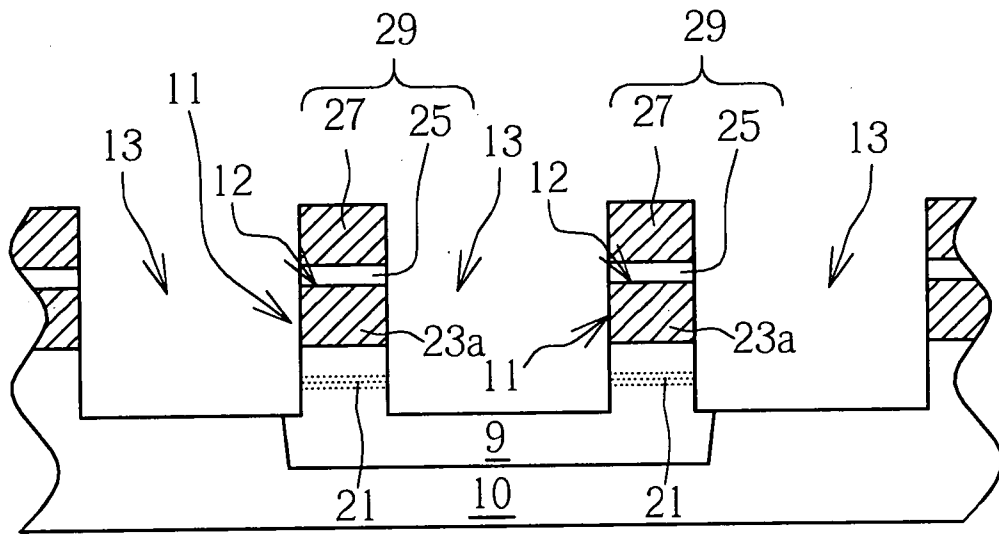
第1圖



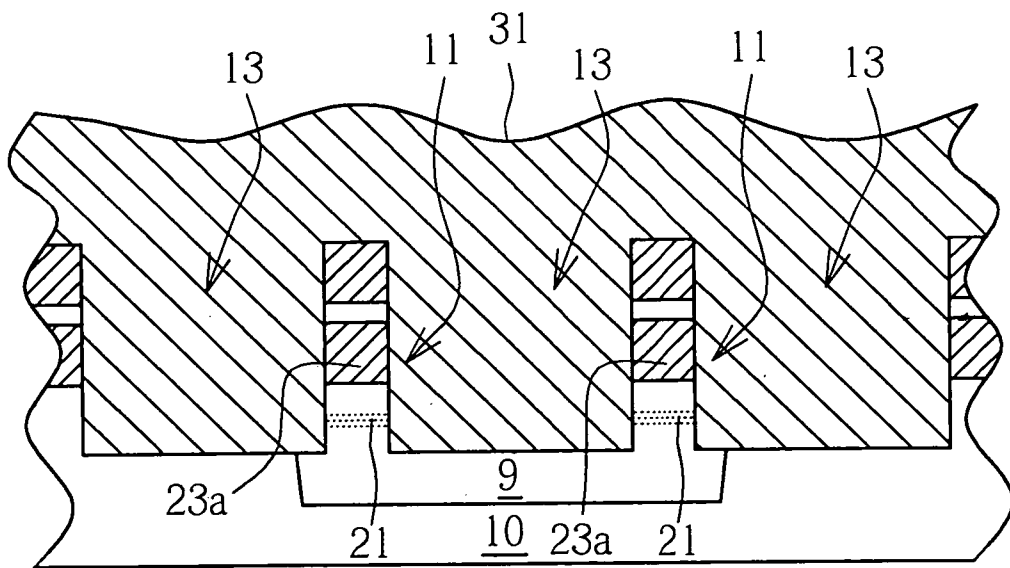
第2圖



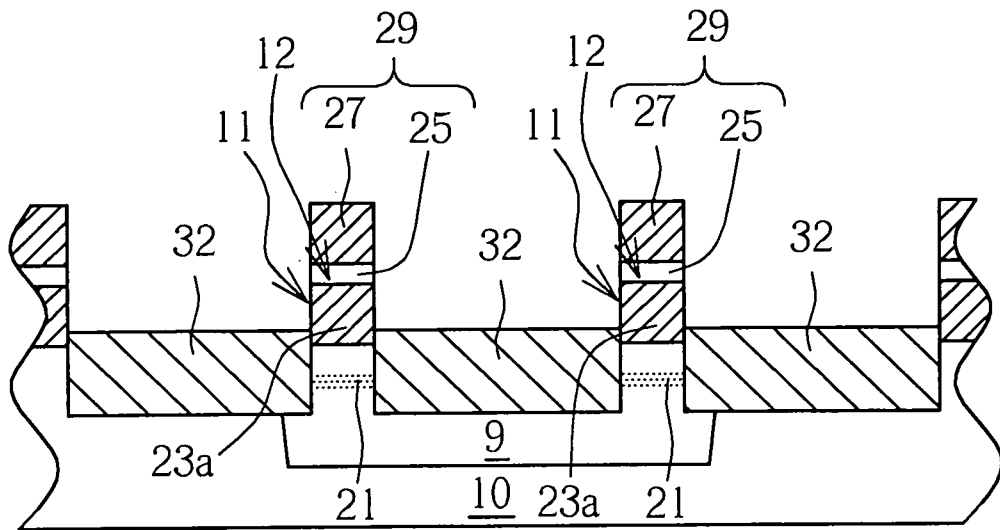
第3圖



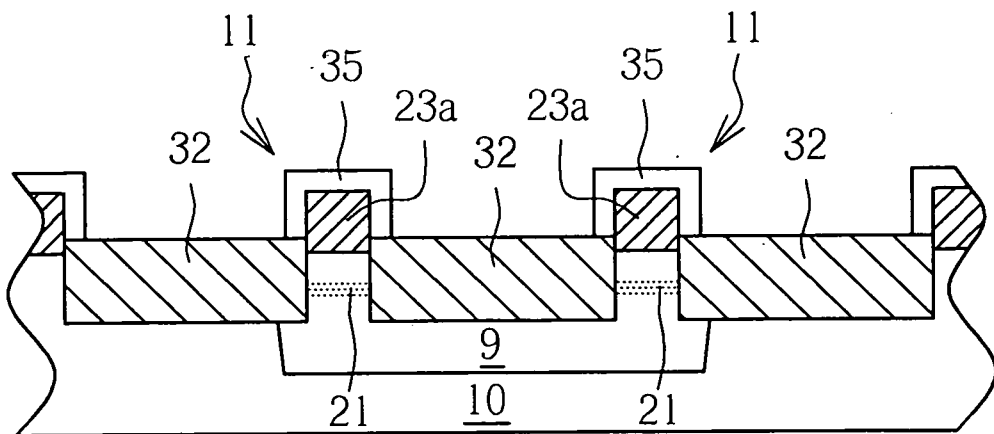
第4圖



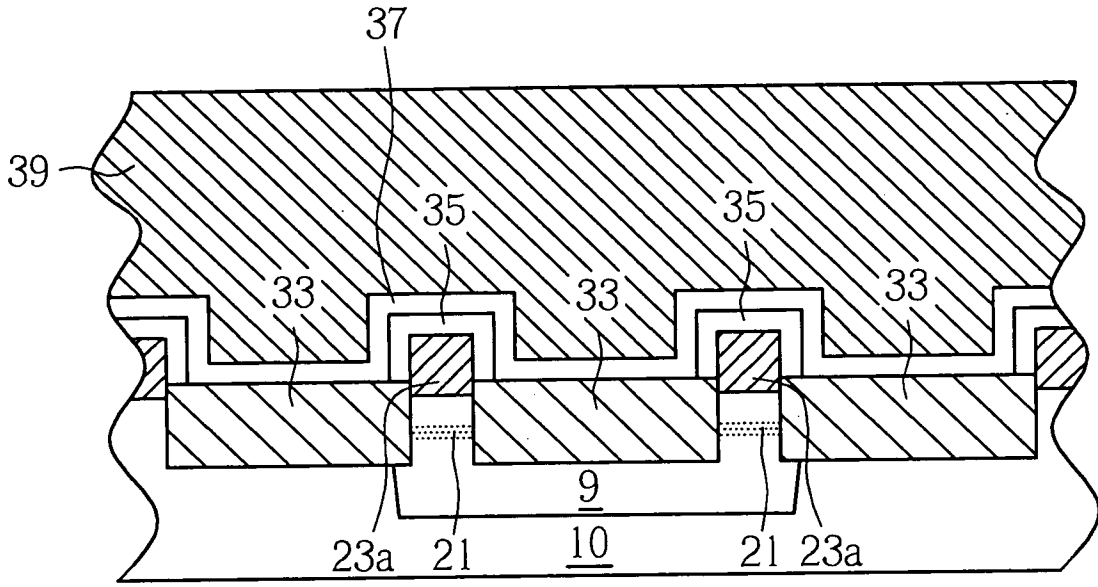
第5圖



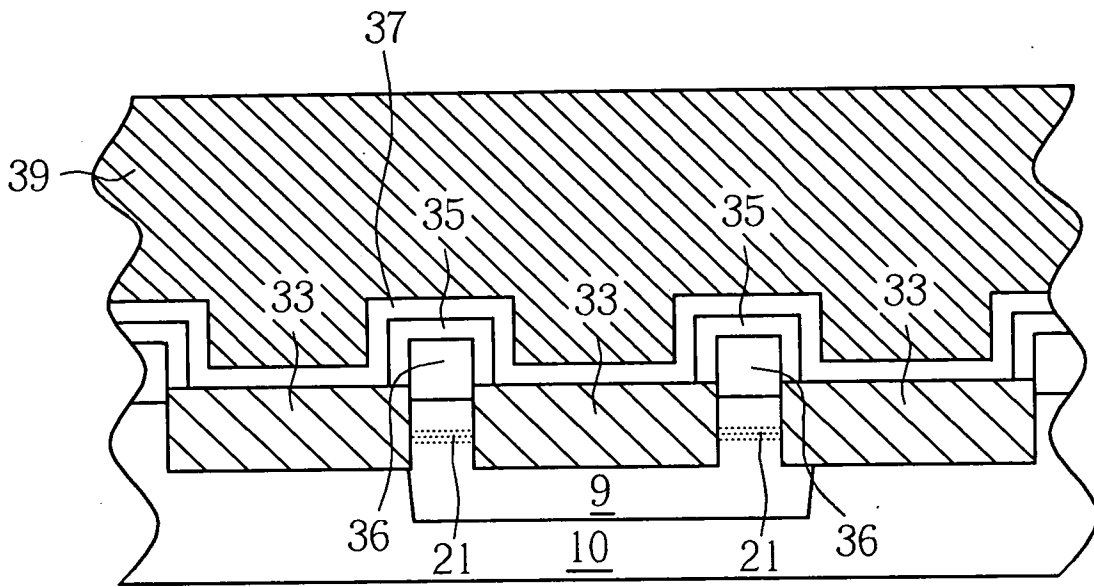
第6圖



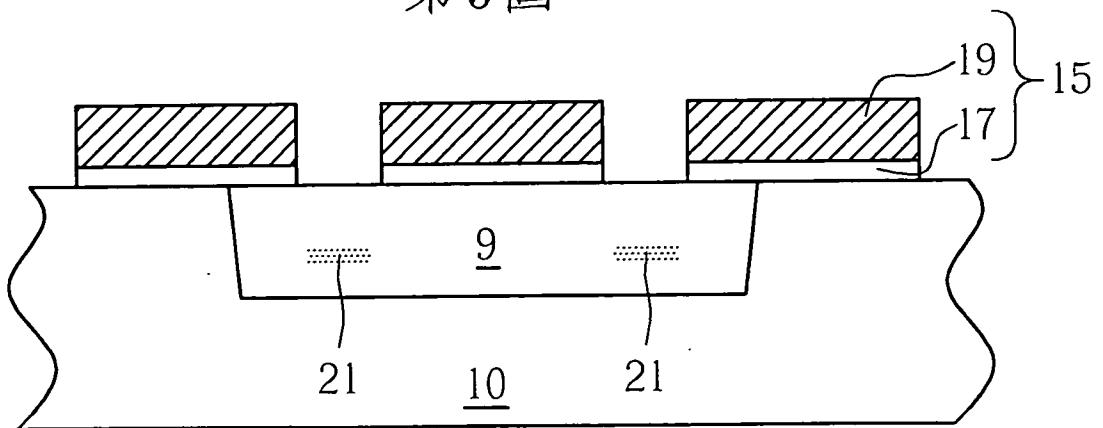
第7圖



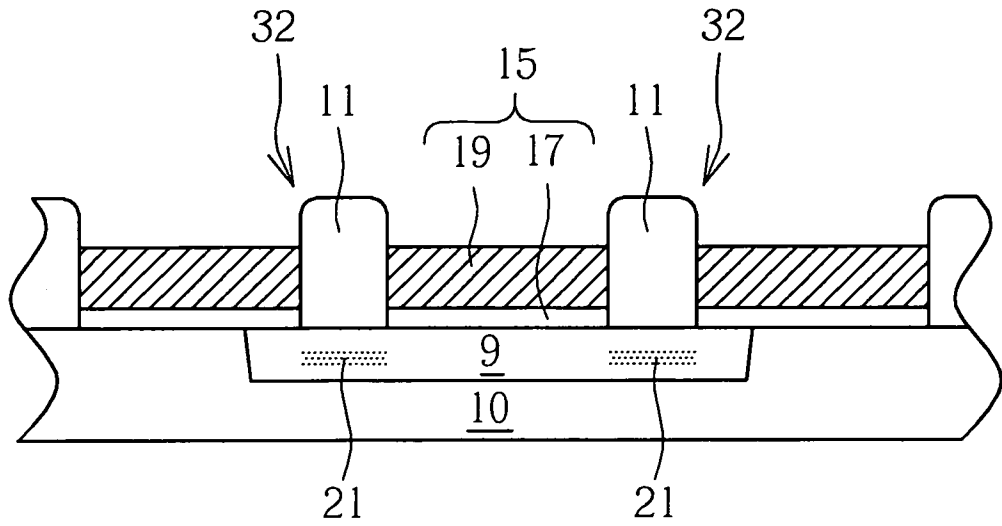
第8圖



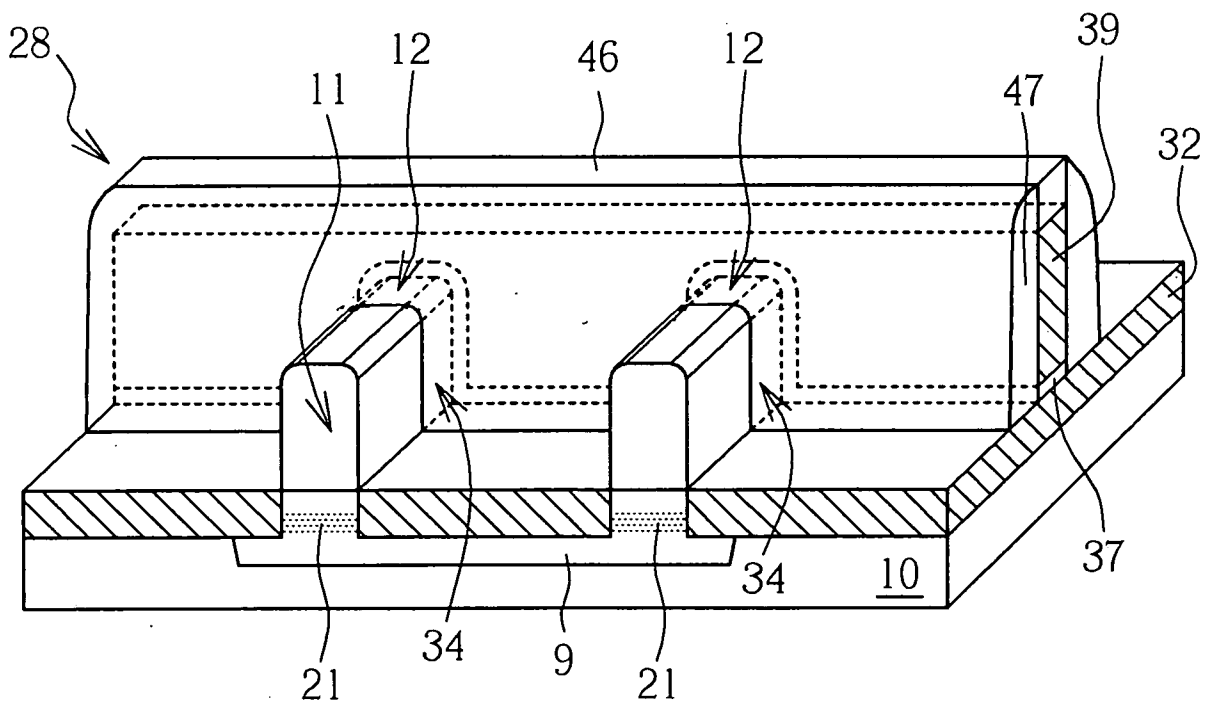
第9圖



第10圖



第11圖



第12圖