

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G06F 15/80	(45) 공고일자 1999년05월 15일	(11) 등록번호 10-0184865
(21) 출원번호 10-1990-0016356	(24) 등록일자 1998년12월22일	(65) 공개번호 특1991-0008566
(22) 출원일자 1990년10월 13일	(43) 공개일자 1991년05월31일	
(30) 우선권주장 421488 1989년10월 13일 미국(US)		
(73) 특허권자 미합중국 텍사스주 달라스 노스 센트랄 익스프레스웨이 13500 짐 차일더스		
(72) 발명자 미합중국 77489 텍사스주 포트 밴드 웨일 브라이어 16707 피터 레인백 미합중국 78644 텍사스주 록하트 박스 143 지 루트 1 히로시 미야구찌 일본국 156 도쿄 세따가야구 마쯔바라 4-29-11 유따까 타까하시 일본국 이바라끼췌 우시꾸시 우시꾸오췌 1174 우시꾸 미도리노 하이트 1-102		
(74) 대리인 장수길, 김성택		

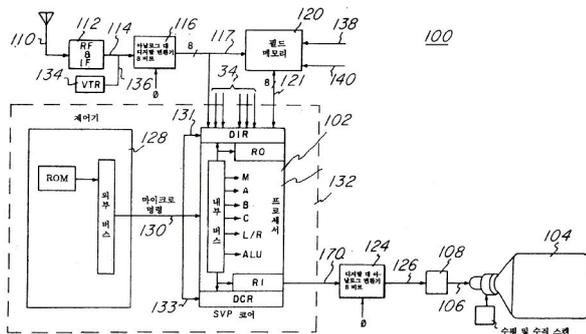
심사관 : 안철홍

(54) 데이터 프로세싱 디바이스

요약

다수의 1-비트 프로세서 소자(150)을 갖고 있는 동기 벡터 프로세서 SVP 디바이스(102)는 선형 어레이로 구성된다. 프로세서 소자는 병렬 프로세싱 디바이스로서 작동을 할 수 있도록 순차기, 상태 머신 또는 제어 회로(제어기)(128)에 의해 공통으로 모두 제어된다. 각각의 프로세서 소자(150)은 한 셋트의 입력 레지스터(154), 2셋트의 레지스터 파일(158,166), 한 셋트의 작동 레지스터(162), 1-비트 전자산기/감산기를 포함하는 산술 논리 유닛(164), 및 한 셋트의 출력 레지스터(1689)를 포함한다. 비디오 적용시, 각각의 프로세서 소자(150)은 1개의 화소의 수평 주사라인 상에 동작하고 비디오 신호의 실시간 디지털 프로세싱을 수행할 수 있다. SVP(102)는 그들의 제1 및 제2 인접하는 다른 측면상에 데이터를 전송하고 데이터로부터 데이터를 검색하기 위해 각각의 프로세서 소자들을 인에이블 하는 상호 접속부(16,308,310,312,322,324)를 포함한다. 칩에서, 레벨 외부 접속은 몇몇 SVP 디바이스의 캐스케이딩을 인에이블하도록 제공된다.

대표도



명세서

[발명의 명칭]

데이터 프로세싱 디바이스

[도면의 간단한 설명]

제1도는 동기 벡터 프로세서를 사용하는 비디오 시스템을 도시한 도면.

제2도는 제1도의 시스템에서 사용된 동기 벡터 프로세서를 상세하게 도시한 도면.

제3도는 제2도의 동기 벡터 프로세서를 한개의 프로세서 소자를 도시한 도면.  
제4도는 데이터 입력 레지스터 기입용 타이밍도.  
제5도는 제3도의 프로세서 소자의 논리도.  
제6도는 데이터 출력 레지스터 판독용 타이밍도.  
제7도는 제3도의 프로세서 소자의 상세도.  
제8도는 DOR 예비 충전 회로의 여러 노드에서의 전압 레벨을 도시한 도면.  
제9도는 제7도의 실시예의 교호 3-트랜지스터 DOR 셀을 도시한 도면.  
제10도는 DIR 노이즈 감소 회로를 도시한 도면.  
제11도는 제10도의 노이즈 감소 회로를 상세히 도시한 도면.  
제12도는 DIR 노이즈 감소 회로를 도시한 도면.  
제13도는 데이터 입력 제어 회로를 도시한 도면.  
제14도는 제13도 회로에 의해 전송된 데이터를 복구하는 방법을 도시한 도면.  
제15도는 전송된 데이터를 복구하는 다른 방법을 도시한 도면.  
제16도는 DOR 제어 회로를 도시한 도면.  
제17도는 DIR 제어 회로를 도시한 도면.  
제18도는 프로세서 소자 근접 상호 접속도를 도시한 도면.  
제19도는 전역(global) 출력에 대한 논리도.  
제20도는 다중 SVP 칩 상호 접속을 도시한 도면.  
제21도는 다른 다중 SVP 상호 접속을 도시한 도면.  
제22도는 단일 명령 모드에 대한 타이밍도.  
제23도는 이중 명령 모드에 대한 타이밍도.  
제24도는 대기-상태 단일 명령 모드에 대한 타이밍도.  
제25도는 아이들 명령 모드에 대한 타이밍도.  
제26도는 4개의 감지 증폭기를 갖고 있는 프로세서 소자를 도시한 도면.  
제27a도 및 제27b도는 제26도의 4개의 감지 증폭기를 프로세서 소자에 대한 판독/기입 싸이클을 도시한 도면.  
제28도는 이중 싸이클 명령을 사용하는 4-비트 가산기를 도시한 도면.  
제29도는 SVP 디바이스를 사용하는 디벨롭 시스템을 도시한 도면.  
제30도는 텔레비전 제어기를 도시한 도면.  
제31도는 SVP 비디오 시스템용 제어기를 도시한 도면.  
제32도는 제31도 제어기의 마스터 제어기 섹션을 도시한 도면.  
제33도는 제31도 제어기의 수직 타이밍 발생기 섹션을 도시한 도면.  
제34도는 제31도 제어기의 수평 타이밍 발생기 섹션을 도시한 도면.  
제35도는 제31도 제어기의 일정형 발생기 섹션을 도시한 도면.  
제36도는 제31도 제어기의 명령 발생기 섹션을 도시한 도면.  
제37도는 다른 명령 발생기를 도시한 도면.  
제38도는 다른 일정형 발생기를 도시한 도면.  
제39도는 제38도 순차 메모리의 내용을 도시한 도면.  
제40도는 제38도 루프 메모리의 내용을 도시한 도면.  
제41도는 제38도는 일정형 발생기의 흐름도.  
제42도는 유한 임펄스 응답 필터를 도시한 도면.  
제43도는 라인 메모리를 도시한 도면.  
제44a도는 SVP 레지스터 파일의 그래픽도.  
제44b도는 제44a도의 일 부분의 분해 및 재구성도.  
제45도는 구형 회전 회로를 도시한 도면.

제46a도 및 제46b도는 구형 회전 동작에 대한 동일한 흐름도의 일부분을 도시한 도면.

제47도는 신호 파이프라이닝 회로를 도시한 도면.

제48도는 제47도의 형태의 회로에 대한 여러 신호 입력 및 출력을 도시한 도면.

제49도는 제47도의 파이프라인 회로를 사용하는 신호 흐름의 타이밍도.

제50도는 다른 파이프라인 회로를 도시한 도면.

제51도는 구형 가변 분배 제어 회로를 도시한 도면.

제52도는 보조 레지스터 셋트 및 제어 회로를 도시한 도면.

제53도는 메모리 감소 제어 회로를 도시한 도면.

제54도는 다른 SVP 제어기/프로세서 시스템을 도시한 도면.

제55도는 SVP 비디오 테이프 레코더 시스템을 도시한 도면.

제56도는 SVP 기초 범용 디지털 신호 프로세싱 시스템을 도시한 도면.

제57도는 SVP 기초 그래픽/이미지 프로세싱 시스템을 도시한 도면.

제58도는 SVP 기초 가시 검사 시스템을 도시한 도면.

제59도는 SVP 기초 패턴 인식 시스템을 도시한 도면.

제60도는 예시적인 음성 신호를 도시한 도면.

제61도는 SVP 기초 레이더 프로세싱 시스템을 도시한 도면.

제62도는 SVP 기초 화상 전화기 시스템을 도시한 도면.

제63a도 및 제63b도는 SVP 기초 팩시밀리 시스템을 도시한 도면.

제64도는 SVP 기초 문서 스캐너를 도시한 도면.

제65도는 SVP 기초 안전 비디오 전송 시스템을 도시한 도면.

제66도는 제65도의 시스템에 대한 예시적인 비디오 신호를 도시한 도면.

제67도는 SVP 패키지로용으로 적합한 핀 그리드 어레이 패키지의 예를 도시한 도면.

\* 도면의 주요부분에 대한 부호의 설명

- 100 : 비디오 시스템
- 102 : 동기 벡터 프로세서 디바이스
- 104 : CRT
- 106 : 입력
- 108 : 아날로그 비디오 회로
- 110 : 안테나
- 112 : RF 및 IF 스테이지
- 116 : 아날로그-디지털 변환기
- 124 : 디지털-아날로그 변환기
- 128 : 제어기
- 132 : 유닛
- 134 : 비디오 테이프 레코더
- 150 : 프로세서 소자
- 154 : 40 비트 데이터 입력 레지스터
- 158 : 128 비트 레지스터 파일
- 162 : 동작 레지스터
- 164 : 산술 논리 유닛
- 167 : 제2판독/기입 회로
- 174 : 교환기
- 190 : 타이밍 신호 기입 인에이블
- 192 : 리셋트 기입
- 194 : 기입 클럭
- 260 : ALU
- 262 : SM

[발명의 상세한 설명]

본 발명은 일반적으로 단일 명령, 다중 데이터 프로세서에 관한 것이다. 보다 상세히 말하면, 본 발명은 선명도가 향상된 텔레비전(1DTV)과 같은 디지털 프로세싱에 특히 적합한 프로세싱 소자의 일차원 어레이를 갖고 있는 프로세서에 관련된다. 또한, 본 발명은 프로세서, 텔레비전 및 비디오 시스템의 개량 및 그외의 다른 개량된 이의 동작 및 제어 방법에 관련된다.

데이터 신호의 신속하고 정확한 실시간 프로세싱은 범용 디지털 신호 프로세싱, 소비 전자, 산업 전자, 그래픽 및 이미징, 계측, 의료 전자, 군사 전자, 통신 및 자동화 전자 분야 등에 광범위하게 적용된다. 일반적으로, 비디오 신호의 실시간 영상 프로세싱과 같은 비디오 비디오 신호 프로세싱은 짧은 시간 간격내에 대량의 데이터 처리 및 프로세싱을 필요로 한다. 영상 프로세싱은 Davis 등에 의한 1984년 10월 31일자 Electronic Design pp. 207-218에 설명되고 Electronic Design에 1984년 11월 15일자 pp. 289-300, 1984년 11월 29일자 pp. 257-266, 1984년 11월 13일자 pp. 217-226 및 1985년 1월 10일 pp. 349-356호에 발표되었다.

비디오 신호 프로세싱은 대부분의 데이터 프로세싱 응용시에 유한 임펄스 응답(Finite Impulse Response

; FIR) 디지털 필터들의 사용을 필요로 한다. 샘플링 주파수가 신중히 선택된 경우 필터의 계수는 2의 작은 비율의 제곱승이거나 최소한 2의 단순 조합의 제곱승일 수 있다. 실시간 비디오 신호 프로세싱은 동작 프로세싱 프로세서들이 극히 빠른 속도로 디지털 필터들을 에뮬레이트하기 위해 필요한 비디오 신호 및 데이터를 수신하여 프로세스한다. 종래 기술에서, 프로세싱 시간의 실질적인 부분은 어레이내의 인접 프로세서들로부터 샘플 데이터를 획득하는데 소모되었다. 예를 들어, 어레이내의 프로세서들은 이것이 어레이내의 바람직한 위치에 도달할 때까지 다음의 인접 프로세서내에 배치된 데이터를 어드레스, 판독 및 전달하기 위한 일련의 명령들을 수행하기 위한 것이다. 큰 어레이내에서 그것이 바람직한 위치에 도달할 때까지 한 프로세서로부터 다음 프로세서로 데이터를 전달하는 이 순차는 시간 낭비이다. 데이터를 수신하여 프로세서하기 위한 유한 시간이 존재하는 경우, 물론, 큰 데이터 검색 시간의 데이터를 프로세서하는 시간을 요한다. 그러므로 동기 벡터 프로세서내의 데이터 검색 시간을 줄이기 위한 기술이 이 분야의 기술에서 요구된다.

요약하면, 한 실시예에서, 본 발명은 상기 제어 및 어드레스 신호들의 엔트리에 대해 다른 프로세서 회로들의 각각의 데이터 프로세싱 유닛들의 디지털 입력과 공통으로 접속된 디지털 입력, 산술 논리 유닛을 포함하는 데이터 프로세싱 유닛 및 상기 데이터 저장 레지스터들이 접속된 데이터 멀티 플렉서들을 갖고 있는 데이터 프로세싱 유닛; 상기 제1디지털 데이터 신호의 병렬 엔트리에 대한 제1셋트의 비트 레지스터들은 포함하고, 제2셋트의 비트 레지스터들을 포함하는데, 상기 제1 및 제2셋트의 비트 레지스터들이 상기 프로세싱 유닛에 의해 액세스가능한 제1레지스터 인터페이스; 제3셋트의 비트 레지스터들을 포함하고, 프로세스된 디지털 데이터 신호를 발생시키기 위한 병렬 디지털 출력을 갖고 있는 제4셋트의 비트 레지스터들을 또한 갖고 있는데, 상기 제3 및 제4셋트의 비트 레지스터들이 상기 데이터 프로세싱 유닛에 의해 각각 액세스 가능한 제2레지스터 인터페이스; 각각의 프로세서 회로들 내의 제1레지스터 인터페이스에 제1공통 라인에 의해 접속되고 각각의 상기 제1레지스터 인터페이스의 동작을 선택적으로 순차적으로 동작시키기 위한 클럭 펄스들에 응답하는 제1순차기 회로; 및 각각의 프로세서 회로들내의 제2레지스터 인터페이스에 제2공통 라인에 의해 접속되고 각각의 상기 제2레지스터 인터페이스 동작을 선택적으로 순차적으로 동작시키기 위한 클럭 펄스들에 응답하는 제2순차기 회로를 포함하는 각각의 상기 프로세서 회로들이 직렬 체인으로 접속된 프로세서를 포함하여, 상기 데이터 프로세싱 유닛들이 상기 제어기에 의해 상기 제1 및 제2레지스터 인터페이스와 서로 상관적으로 또는 독립적으로 동작가능하다.

이하, 동일 요소에 동일 번호를 붙인 참조하여 본 발명의 특징 및 장점을 상세히 설명한다.

이하, 동일 요소에 동일 번호를 붙인 첨부한 도면을 참조하여 본 발명의 특징 및 장점을 상세히 설명한다. 양호한 실시예의 동기 벡터 프로세서(Synchronous Vector Processor ; SVP)는 선명도가 향상되고 확대된 텔레비전(IDTV 및 EDTV)에서 유용한 3-D 알고리즘을 실시간에서 실행할 수 있는 범용 마스크-프로그램가능 단일 명령, 다중 데이터, 감소된 명령 셋트 계산(SIMD-RISC) 디바이스이다. 본 발명의 SVP를 양호한 실시예에서 비디오 신호 프로세싱에 대해 설명하였으나, 특정 필터 또는 기능이 아닌 다수의 상이한 적용시 양호하게 동작하는 SVP의 하드웨어는 상기 구조물에 포함한다. 일반적으로, SVP는 다수의 인입 데이터가 병렬로 프로세스되고 소정의 상황에서 사용될 수 있다.

비디오 신호 프로세싱과 같은 전형적인 적용시, 입력 및 출력층을 데이터 소스(비디오 카메라, VCR, 수신기 등등) 및 데이터 싱크(래스터 디스플레이)과 각각 동기로 동작된다. 동시에, 계산층은 팩킷(packet)[통상적인 모든 샘플들이 단일 수평 디스플레이 라인을 포함하는 TV/비디오 환경에서 벡터(VECTOR)로 표기됨]의 모든 소자들과 동시에 프로그램가능 기능의 적용에 의해 요구된 전송을 수행한다. 그러므로 SVP는 동기 벡터 프로세싱을 위해 구조적으로 유선형이 된다. 제1도에서, TV 또는 비디오 시스템(100)은 동기 벡터 프로세서 디바이스(102)를 포함한다. 시스템(100)은 종래의 TV 수신기에 사용된 것과 같은 표준형 아날로그 비디오 회로(108)로부터 입력(106)에서 아날로그 비디오 신호를 수신하는 래스터-주사형의 CRT(104)를 포함한다. 안테나(110)으로부터의 비디오 신호는 라인(114)에서 아날로그 성분 또는 성분 비디오 신호를 발생시키는 튜너, IF 스트립 및 싱크 분리기 회로를 포함하는 RF 및 IF 스테이지(112)를 통해 통상적인 방법으로 증폭되고, 필터되며 헤테로다인된다(heterodyned). 주파수 변조(FM) 오디오 성분의 검출은 분리되어 수행되나 본 명세서에서는 설명하지 않는다. 수평 동기, 수직 동기 및 컬러 버스트는 SVP(102)에 타이밍을 제공하도록 제어기(128)에 의해 사용되므로 SVP의 데이터의 경로 부분이 아니다. 라인(114) 상의 아날로그 비디오 신호는 아날로그-디지털 변환기(116)에 의해 디지털로 변환된다. 디지털 비디오 신호는 동기 벡터 프로세서(102)에 입력용으로 라인(118)상에 제공된다.

프로세서(102)는 라인(118) 상에 제공된 디지털 비디오 신호를 프로세서하고 라인(170) 상에 프로세스된 디지털 신호를 제공한다. 다음, 프로세서된 비디오 신호는 표준형 아날로그 비디오 회로(108)에 라인(126)을 통해 제공되기 전에 디지털-아날로그 변환기(124)에 의해 아날로그로 변환된다. 비디오 신호들은 비디오 테이프 레코더(134)와 같이 레코딩되거나 다른 비표준 신호 소스로부터 아날로그-디지털 변환기(116)에 제공될 수 있다. VCR 신호는 라인(136) 및 바이 패스 튜너(112)에 제공된다. 프로세서(102)는 예시적으로 텍사스 인스트루먼트 모델 번호 TMS4C1060 필드 메모리 디바이스인 필드 메모리(120)내에 한개(또는 그 이상)의 비디오 프레임의 저장할 수 있다. 필드 메모리(120)은 제어기(128)로부터 라인(138 및 140)의 제어 및 클럭킹을 수신한다.

라인(114) 상의 비디오 신호 입력은 예를 들어 14.32MHz(컬러 서브캐리어 주파수 3.58MHz×4)의 샘플링 비에서 아날로그-디지털 변환기(116)에 의해 8-비트 디지털 비디오 데이터로 변환된다. SVP(102)에 전체 40개의 입력 라인이 있다. 상술한 바와 같이, 디지털 비디오 신호용으로 8개의 라인이 사용된다. 다른 라인들은 프레임 메모리 출력, 교호 TV 소스, 동등의 경우에 입력으로서 사용된다. 디지털-대-아날로그 변환기(124)는 또한 8-비트 프로세서 출력을 아날로그로 변환시키도록 14.32MHz의 비율로 재구성된다. 나머지 출력 라인들은 다른 신호용으로 사용될 수 있다. 다른 방법으로는, 디지털-아날로그 변환기(116 및 124)는 특정한 목적으로 필요한 상이한 샘플 비율로 동작할 수 있다.

프로세서(102)는 제어기(128)에 의해 제어된다. 제어기(128)에 라인(130) 상의 24 마이크로비트 제어 비트 및 14 어드레스 비트를 인가한다. 비교적 저속의 경우에, 제어기(128)은 예를 들어 시판중인 텍사스 인스트루먼트 모델번호 TMS 370C050과 같은 표준형 마이크로프로세서 또는 마이크로프로세서 디바이스

가 적합하다. 고속의 경우에, 고속 제어기는 RAM 또는 ROM에 소프트웨어 코드를 저장하거나, 또는 상태 기기 또는 순차기가 사용된다. 제어기(128)은 특히, 어드레스 카운터에 관련된 ROM에 저장된 코드만을 포함하는 경우에, 제1도의 유닛(132)을 형성하는 프로세서(102)와 동일한 반도체 칩에 적합하게 배치된다. 마이크로 명령은 단일 사이클내에 7개의 기본(또는 일차) 케이팅 및 ALU 기능의 동작을 제어한다. 모든 PE들이 동일한 명령으로 제어되므로, 구조적 형태는 단일 명령 다중 데이터(SIMD)의 형태가 된다.

제2도의 양호한 실시예에서, SVP 디바이스(102)는 1024 1-비트 프로세싱 소자(103)(PE)를 갖고 있는 일차원 어레이를 포함한다.

각각의 프로세서 소자(150)이 제3도에 도시되었다. 각각의 프로세서 소자(150)은 40×1로 구성된 40-비트 데이터 입력 레지스터(DIR)(154); 128×1로 구성된 제1 128-비트 레지스터 파일(RF0)(158); 동작 레지스터(A,B,C 및 M)(162); 1-비트 전(full) 가산기/감산기를 포함하는 산술 논리 유닛(164); 128×1로 구성된 제2 128-비트 레지스터 파일(RF1)(166); 및 24×1로 구성된 24-비트 데이터 출력 레지스터(DOR)(168)을 포함한다. 제3도에 도시한 프로세서(102)는 DIR/RF0 레지스터(154/158) 및 동작 레지스터(A,B,C 및 M)(162)와 산술 논리 유닛(164) 사이에 데이터의 판독 및 기입을 제어하기 위한 제1 판독/기입 회로(156)을 포함한다. 제2판독/기입 회로(167)은 DOR/RF1 레지스터(166/168) 및 동작 레지스터(A,B,C 및 M)(162)와 산술 논리 유닛(164) 사이에 데이터의 판독 및 기입을 제어하기 위해 제공된다.

PE내에서의 데이터 흐름은 입력, 출력 및 계산을 모두 동시에 수행하는, 3개층 또는 파이프라인 단계에서 파이프라인된다. 입력층에서, 데이터 입력 레지스터(DIR)는 데이터 워드 직렬의 팩킷을 포착하거나 누산(accumulates)한다. 계산층에서, 프로그램된 동작들은 워드당 프로세서를 통해 이미 포착된 팩킷의 모든 소자에서 동시에 수행된다. 출력층은 다시 워드 직렬로 데이터 출력 레지스터(DOR)로부터 출력 핀에 또 다른 팩킷을 전송한다.]

계산층 파이프라인의 각각의 위상내에서, 다수의 사이클/명령은 요구된 동작을 수행한다. 입력 및 출력층 또는 파이프라인 단계는 사이클 당 한개의 데이터를 누산하나, 데이터의 전체 팩킷을 전송하도록 다중 사이클을 사용함으로써 I/O된 요구 조건을 최소화한다. 팩킷당 데이터 워드의 숫자는 각각의 적용시 설정된 하드웨어 또는 소프트웨어 또는 프로세서 소자 어레이의 크기가 제약되는데, 양호한 실시예에서는 1024개이다.

계산층 또는 파이프라인 단계는 데이터를 동작시키기 위해 다중 사이클을 사용한다. 각각의 데이터 워드에 제공된 ALU 및 데이터 경로는 1 비트 폭이다. 그러므로 다중 비트 워드의 함수는 다중 사이클에서 계산될 수 있다.

DIR(154)는 인에이블 신호가 입력(151)에 인가될 때 라인(118)로부터 디지털 비디오 신호를 로드한다. 이 인에이블 신호는 1-대-1024 교환기, 순차 또는 링 카운터(148)에 의해 공급된다. 표준형 비디오 신호가 라인(118)에 제공될 때, 교환기(148)은 수평 블랭킹 주기의 종료부에서 개시하도록 트리거되고 아날로그-디지털 변환기(116)의 샘플링 비(주파수)와 동기된 최대 1024 사이클(14.32MHz에서)까지 연속된다. 유사하게, 인에이블 신호가 입력(172)에 인가될 때, DOR(168)은 라인(170)에 프로세서된 비디오 신호를 제공한다. 이 인에이블 신호는 다른 1-대-1024 교환기, 순차기 또는 링 카운터(174)로부터 수신된다. 교환기(174)는 수평 블랭킹 주기의 종료시 개시되도록 트리거되고 아날로그-디지털 변환기(124)의 샘플링 비와 동기된 1024 사이클 동안 계속된다.

각각의 PE는 4개의 가장 인접한(2개는 우측, 2개는 좌측) PE와 직접 통신한다. 각각의 2개의 PE는 2개의 상이한 RF 위치가 산술 논리 유닛(ALU)에 의해 동작된 데이터 및 단일 클럭 사이클에서 레지스터 파일 RF0 또는 RF1들 중 1개의 레지스터 파일에 다시 기입된 결과를 판독할 수 있다.

외부 라인은 제3도의 프로세서 어레이에서 모든 프로세서의 소자 PE(150)에 공통으로 접속된다. 이 라인들은 보다 상세히 후술되나, 40개의 데이터 입력 라인(118), 7개의 DIR/RF0 어드레스 라인(131), 24개의 마스터 제어 라인(130), 클럭 및 리셋트 신호 라인(142 및 144), 2개의 테스트 라인(146), 7개의 DOR/RF1 어드레스 라인(133), 24개의 데이터 출력 라인(170) 및 1-비트 전역 출력(170)(G0) 라인을 포함한다.

[입력/출력]

SVP의 I/O 시스템은 데이터 입력 레지스터(154)(DIR) 및 데이터 출력 레지스터(168)(DOR)을 포함한다. DIR 및 DOR은 순차적으로 어드레스된 듀얼-포트 메모리이고 고속 전이 레지스터로써 작동한다.

DIR 및 DOR은 양호한 실시예에서 다이내믹 메모리이다. DIR 및 DOR이 일반적인 경우에 PE(150)에 동기되기 때문에, 소정 형태의 동기화는 데이터가 DIR/DOR과 PE(150) 사이에 전송되기 전에 발생해야 한다. 이것은 통상적으로 비디오 적용시 수평 블랭킹 주기중에 발생한다. 소정의 적용시, DIR, DOR 및 PE는 동기적으로 동작할 수 있으나, 소정의 경우에 레지스터들중 한개의 레지스터의 양쪽 포트에 동시에 판독 또는 기입되도록 재명령되지 않는다.

[데이터 입력 레지스터]

제2도를 다시 참조하면, 프로세서(102)의 DIR은 4096 비트 다이내믹 듀얼-포트메모리이다. 한 포트(119)는 각각 40 비트의 1024 워드로 구성되고 1024 워드 라인 메모리의 기입 포트를 기능적으로 모방한다. 제4도는 DIR 기입용 타이밍도를 도시한 것이다. 40 데이터 입력(118)(D10 내지 D139)는 타이밍 신호 기입 인에이블(190)(WE), 리셋트 기입(192)(RSTWH) 및 기입 클럭(194)(SWCK)와 관련하여 사용된다. WE(190)는 SWCK(194)와 동기적으로 기능을 증가시키는 기입 함수 및 어드레스 포인터(148)(교환기)를 모두 제어한다. 하이일 때, RSTWH(194) 라인은 SWCK의 다음 상승 연부에서 1024 워드 버퍼의 제1워드에 어드레스 포인트(148)를 리셋트시킨다. SWCK(194)는 연속 클럭 입력이다. 초기의 2개의 클럭 지연 후에, 데이터(198)의 1개의 40 비트 워드는 SWCK(194)의 각각의 후속 상승 연부에서 기입된다. 데이터 워드(0 내지 N)가 기입되는 경우, WE는 SWCK의 N+4 상승 연부 동안 하이를 유지한다. 어드레스 포인터(148)은

수평 블랭크 주기의 종료시 개시되도록 트리거되고 A-D 변환기(116)의 샘플링 주파수와 동기된 1024 싸이클 동안 계속되는 1-1024 교환기, 순차기 또는 링 카운터를 포함한다. 입력 교환기(148)은 수평 주사비의 1024배 이상으로 클럭된다. 출력 교환기(174)는 필수적인 것은 아니지만, 입력과 동일한 비로 클럭될 수 있다.

설명을 위해, 프로세서(102)가 1024 프로세서 소자를 갖고 있는 것으로 도시하였으나, 그 이상 또는 이하의 소자를 갖을 수 있다는 것을 알아야 한다. 실제수는 사용된 텔레비전 신호 전송 표준 시스템, 즉 NTSC, PAL 또는 SECAM, 또는 텔레비전 적용이 아닌 경우 요구된 시스템 또는 기능에 관련된다.

데이터 입력 레지스터(154)의 제2포트(121)은 각각의 비트가 프로세서 소자(150)에 대응하는 1024 비트의 40 워드로 구성된다. 포트(121)은 물리적으로 RF0의 일부분이고, RF0의 절대 어드레스 공간에 맵되므로(mapped), DIR 및 RF0는 상호 배타(mutually exclusive) 회로이다. 하나의 회로가 어셈블리 코드의 소정의 어셈블리 랭귀지 라인의 오퍼랜드(operand)에 의해 어드레스될 때, 다른 회로는 어드레스될 수 없다. 양쪽 모두에 대해 기준을 포함하는 어셈블리 랭귀지 라인은 어셈블리-시간에서 에러를 발생할 것이다. 이것은 보다 상세히 후술한다.

DIR(154)는 DOR(168)과는 독립적으로 동작하므로, 자체 어드레스 라인(131) 및 소정의 자체 제어 라인(135)을 갖는다. DIR(154)의 실행 가능은 여러 라인(C21,C8,C2,C1,C0), WRM(234)의 내용 및 어드레스(RFOA6 내지 RFOA0)에 의해 결정된다(제5도를 참조). 제어 라인 C2=1은 DIR(154)를 선택한다. 7개의 어드레스 라인(RFOA6-RFOA0)은 C1 및 C0가 기입 소스(판독 C 및 C1는 무관)를 선택할 때 판독 및 기입되는 40 비트 중 1개를 선택한다. 라인 C1 및 C0의 소정의 조합에서, DIR(154)용 기입 소스는 C21 및 C8의 상태 및 동작 레지스터(M234)의 내용에 따라 변한다. 이것들은 프로세서(102)가 보다 융통성이 있게 하는 명령 호출 M-중속 명령을 형성한다. 표 1은 DIR(154)에 대한 제어 라인 기능을 설명한 것이다.

[표 1]

C21	CB	C2	C1	C0	(WRM)	DIR 상의 동작
X	X	0	X	X	X	선택된 RFO
X	X	1	0	0	X	DIR(m) 내로 기입된 DIR(m) (재생)
X	X	1	1	0	X	DIR(m) 내로 기입된 SM
X	X	1	1	1	X	DIR(m) 내로 기입된 (WRM)
0	X	1	0	1	X	DIR(m) 내로 기입된 (WRC)
1	0	1	0	1	0	DIR(m)으로의 우측 PE의 L/R 라인
1	0	1	0	1	1	DIR(m)으로의 좌측 PE의 L/R 라인
1	1	1	0	1	0	DIR(m)으로의 제2 우측 PE의 L/R 라인
1	1	1	0	1	1	DIR(m)으로의 제2 좌측 PE의 L/R 라인

여기서, 'm'은 [RFOA6, RFOA5, ... RFOA0]의 2진 조합이고 0=m=39의 범위에 있다.

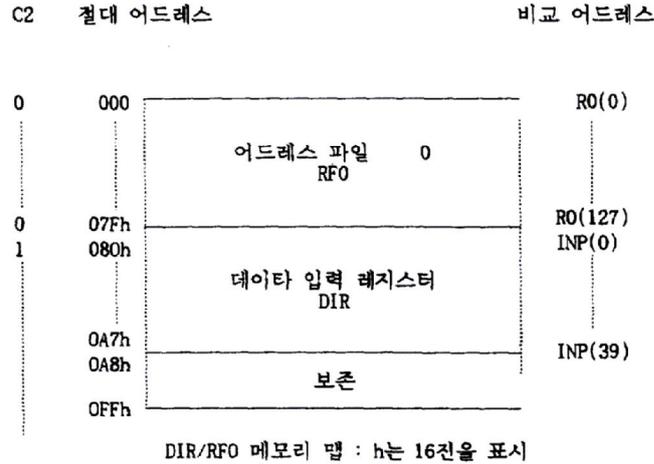
범위 40=m=127로 보전.

제5도의 프로세서 소자 논리도는 RF0(158) 및 DIR(154)의 상호 접속을 상세히 도시한 것이다. C21, C8, C2, C1, C0 및 RFOA6 내지 RFOA0는 모든 1024 PE에 공통인 제어/어드레스 라인이다. 신호C(280) 및 M(250)은 WRC(248) 및 WRM(234)로부터 각각 발생한다. SM(262)는 ALU(260)으로부터 발생한다. R(322), 2R(324), L(310) 및 2L(312)는 이 PE의 4개의 가장 인접한 PE들로부터의 신호이다. 40 DIR 워드는 복사된 키 연상(mnemonic), INP(m) 여기서 0≤m≤39 또는 XX INP(m) 여기서 XX는 최인접 옵션을 사용하는 명령에 의해 판독 또는 기입된다.

하드웨어를 보다 효율적으로 만들기 위해 동일한 어드레스 라인 및 다수의 동일한 하드웨어는 DIR(154) 및 RF0(158) 사이에 할당되었다.

아래 표 2의 메모리 맵은 8비트 어드레스를 요구한다. 이 어드레스는 MSB로서 최대 제어 라인 C2(RFOA7) 및 LSB로서 최대 어드레스 라인(RFOA6 내지 RFOA0)로 구성된다. C2는 DIR(154) 대 RF0(158)의 선택이 명령 연상에 포함되기 때문에 어드레스를 고려하지 않는다.

[표 2]



[데이터 출력 레지스터]

제3도를 다시 참조하면, DOR(168)은 24576비트 다이나믹 듀얼-포트 메모리이다. 한 포트(169)는 각각 24 비트의 1024 워드로 구성되어 1024 워드 라인 메모리의 판독 포트를 기능적으로 모방한다. 데이터 출력(D00 내지 D023)(170)은 제6도의 신호 판독 인에이블(RE), 리셋트 판독(ASTRH) 및 직렬 판독 클럭(SRCK)과 접속하여 사용된다. SRCK(496)은 연속 클럭 입력이다. RE(490)은 SRCK(496)과 동시에 판독 기능 및 어드레스 포인터 증가 기능 모두를 인에이블 및 디스에이블시킨다. 하이일 때, ASTRH 라인(494)은 SRCK(496)의 다음 상승 연부(498)상의 1024 워드 버퍼의 제1워드에 어드레스 포인터(교환기)를 리셋트시킨다. 초기 2 클럭 지연후에, 데이터의 한개의 24 비트의 워드는 SRCK의 각각의 후속 상승 연부후에 액세스 시간을 출력한다. 데이터 워드(0 내지 N)가 판독되면, RE는 SRCK의 N+3 상승 연부에서 하이로 유지되어야 한다. 상술한 바와 같이 DIR(154)를 참조하여, 어드레스 포인터(174)는 유사하게 1-1024 교환기 또는 링 카운터를 포함할 수 있다.

데이터 출력 레지스터(168)의 제2포트(167)은 각각의 비트가 프로세서 소자(150)에 대응하는 각각 1024 비트의 24 워드로 구성된다. DOR(168)의 포트(167)은 물리적으로 RF1(166)의 일부분이고, RF1(166)의 절대 어드레스 공간으로 맵되므로, DOR(168) 및 RF1(166)은 상호 배타 회로이다. 하나의 회로가 소정의 어셈블리 라인상의 오퍼랜드에 의해 어드레스될 때, 다른 회로는 어드레스될 수 없다. 양쪽 모두에 대해 기준을 포함하는 어셈블리 라인은 어셈블리-시간 오차를 발생시킨다. 이것은 보다 상세히 후술하겠다.

DOR(168)은 DIR(154)과는 독립적으로 동작하므로, 자체 어드레스 라인(133) 및 소정의 자체 제어 라인(137)을 갖는다. DOR(168)의 실행 함수는 여러 라인(C21, C5, C4, C3), WRM(234)의 내용 및 어드레스(RF1A6 내지 RF1A0)에 의해 결정된다(제5도를 참조). 제어 라인 C5=1은 DOR(168)을 선택한다. 7개의 어드레스 라인(133)은 C4 및 C3이 기입 소스를 선택할 때 판독 및 기입되는 24 비트 중 하나를 선택한다. 제어 라인 C4 및 C3의 소정의 조합에서, DIR(168)용 기입 소스는 C21의 상태 및 동작 레지스터(M234)의 내용에 따라 변한다. 이것들은 프로세서(102)가 보다 융통성이 있게 하는 명령 호출 M-종속 명령을 형성한다. 표 3은 DIR(168)에 대한 제어 라인(130) 기능을 설명한 것이다.

[표 3]

C21	C5	C4	C3	(WRM)	DOR 상의 동작
X	0	X	X	X	선택된 RF1
X	1	0	0	X	DOR(q) 내로 기입된 DOR(g) (재생)
X	1	0	1	X	DOR(q) 내로 기입된 (WRC)
X	1	1	0	X	DOR(q) 내로 기입된 SM
0	1	1	1	X	DOR(q) 내로 기입된 CY KCY - 조건 캐리:
1	1	1	1	0	DOR(q) 내에 기입된 DOR(q)
1	1	1	1	1	DOR(q) 내에 기입된 CY

여기서, 'q'은 [RF1A6, RF1A5, ... RF1A0]의 2진 조합이고 범위 0=q=23내에 있다.

범위 24=q=127로 보전.

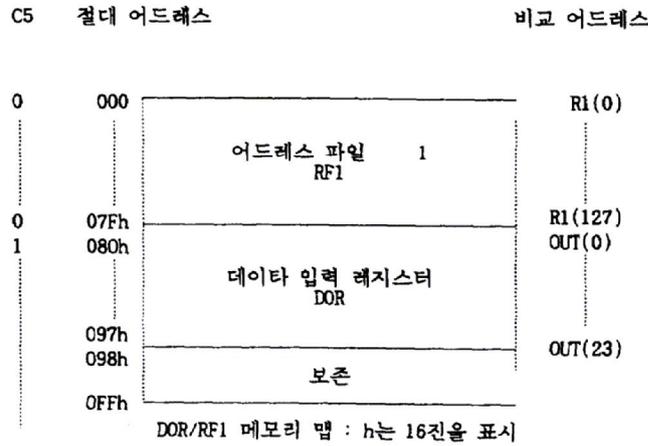
제5도의 논리도는 RF1 및 DOR의 상호 접속을 상세히 도시한 것이다. C21, C5, C4, C3 및 RF1A6 내지

RF1A0는 모든 1024 PE에 공통인 제어/어드레스/데이터 라인이다. 신호C(280) 및 M(250)은 WRC(248) 및 WRM(234)로부터 각각 발생한다. SM(262) 및 CY(264)는 ALU(260)으로부터 발생한다.

하드웨어를 보다 효율적으로 만들기 위해, 동일한 어드레스 라인(133) 및 다수의 동일한 하드웨어는 DOR(168) 및 RF1(166) 사이에 할당되었다.

아래 표 4의 메모리 맵은 8비트 어드레스를 요구한다. 이 어드레스는 MSB로서 최대 제어 라인 C5(RF1A7) 및 LSB로서 최대 어드레스 라인(RF1A6 내지 RF1A0)(133)로 구성된다. C5는 DOR(168) 대 RF1(166)의 선택 이 비트 C5에 의한 명령 연상에 포함되기 때문에 어드레스를 고려하지 않았다.

[표 4]



[PE 레지스터 파일]

제3도에서, 각각의 PE(150)은 2개의 레지스터 파일 RF0(158) 및 RF1(166)을 포함한다. 각각의 RF는 PE(150)당 총 256비트의 경우에 판독/기입 메모리의 1비트에 128 워드를 포함한다.

프로세서 어레이(105)에는 2개의 어드레싱 구조가 있다. 즉 RF0(158)용 구조(131)은 모두 1024 PE를 커버하고, RF1(166)용 구조(133)은 모두 1024 PE를 커버한다. 두개의 레지스터 파일은 독립 어드레스, 선택 및 이에 관련된 명령 라인을 갖고 있으나, 동일한 제어(130) 및 타이밍(142) 회로를 할당한다. 이것은 2개의 레지스터 파일이 동시에 데이터를 판독하고, 전기 효율을 위해 서로 독립적으로 기입한다는 것을 의미한다.

RF0(158) 및 RF1(166)은 판독-전용이거나, C(248) 또는 M(234) 레지스터를 포함하는 여러 소스로부터 기입되거나, 또는 ALU(260)의 SM(262) 출력에 의해 직접 기입될 수 있다. 또한, M-종속 명령은 조건부로 CY(264)와 같은 데이터 소스가 ALU(260) 또는 인접한(160)으로부터 직접 출력되게 한다. 아래의 표5에서 'X'는 인접한 좌측(310) 또는 우측(322)를 나타내고, 'X2'는 WRM(234)의 값에 따라 인접한 제2좌측(312) 또는 제2우측(324)를 나타낸다. 다른 데이터는 이 위치들중 한 위치에 먼저 통과함으로써 기입될 수 있다.

표 5는 각각의 레지스터 파일의 경우에 가능한 기입 데이터 소스를 도시한 것이다.

[표 5]

레지스터 파일	기입 데이터 소스							SM	CY	KCY
	RF0	RF1	M	C	X	X2				
RF0	*		*	*	*	*	*			
RF1		*		*			*	*	*	

그러므로, 상술한 바와 같이, 레지스터 파일 RF0 및 RF1은 독립적으로 어드레스 가능하므로, 1 비트 다중-누산 동작은 단일 프로세서 사이클로 수행될 수 있다. 즉, 다음의 산술 표현은 1 클럭 사이클로 각각의 PE에 의해 계산될 수 있다.

$$R1(p)' = (R0(n) \times M) + R1(p)$$

여기서, M=WRM(동작 레지스터 M)에 포함된 값

R0(n)=어드레스 n에서 RF0에 포함된 값

R1(p)=어드레스 p에서 RF1에 포함된 값

R1(p)'=어드레스 p에서 RF1에 다시 기입되는 값

양호한 실시예에서, 레지스터 파일, 데이터 입력 레지스터 및 데이터 출력 레지스터는 다이나믹 판독 전용 메모리이고 실행 프로그램에 의해 절대적으로 재생되는 경우가 아니면 주기적으로 재생된다. (디지털 TV와 같은) 여러 작용시, 프로그램은 소프트웨어 루프가 재생 주기보다 매우 주기적으로 반복되는 경우에 재생된 RF를 유지하게 된다. 이것은 재생된 프로그램에 의해 사용되는 소정의 메모리 위치를 유지시키나, 사용되지 않은 비트들은 재생되지 않은채 유지되게 한다. 또한, 프로그램은 재생 주기 내에 모든 관심 위치를 간단하게 판독함으로써 두 RF를 분명하게 재생시킬 수 있다.

[레지스터 파일 0(RF0)]

DIR(158)는 DOR(166)에 독립적으로 동작하므로, 자체 어드레스 라인(131) 및 소정의 자체 제어 라인을 갖는다. RF0(158)의 실행 기능은 여러 라인(C21,C8,C2,C1,C0), WRM(234)의 내용 및 어드레스(RF0A6 내지 RF0A0)에 의해 결정된다(제5도를 참조). 제어 라인 C2=0은 RF0(158)을 선택한다. 7개의 어드레스 라인(131)은 C1 및 C0가 기입 소스를 선택할 때 판독 및 기입되는 128 비트 중 하나를 선택한다. 라인 C1 및 C0의 소정의 조합에서, RF0(158)용 기입 소스는 C21 및 C8의 상태 및 작동 레지스터(M234)의 내용에 따라 변한다. 이것들은 프로세서(102)가 보다 융통성이 있게 하는 명령 호출 M-중속 명령을 형성한다. 표 6은 레지스터 파일 0(158)에 대한 제어 라인 기능을 설명한 것이다.

[표 6]

C21	CB	C2	C1	C0	(WRM)	DIR 상의 동작
X	X	1	X	X	X	선택된 DIR
X	X	0	0	0	X	RF0(n) 내로 기입된 RF0(n) (재생)
X	X	0	1	0	X	RF0(n) 내로 기입된 SM
X	X	0	1	1	X	RF0(n) 내로 기입된 (WRM)
0	X	0	0	1	X	RF0(n) 내로 기입된 (WRC)
1	0	0	0	1	0	RF0(n)으로의 우측 PE의 (L/R 라인)
1	0	0	0	1	1	RF0(n)으로의 좌측 PE의 (L/R 라인)
1	1	0	0	1	0	RF0(n)으로의 제2 우측 PE의 (L/R 라인)
1	1	0	0	1	1	RF0(n)으로의 제2 좌측 PE의 (L/R 라인)

여기서, 'm'은 [RF0A6, RF0A5, ... RF0A0]의 2진 조합이고, 범위 0=n=127이다.

제5도의 논리도는 RF0(158) 및 DIR(154)의 상호 접속을 상세히 도시한 것이다. C21, C8, C2, C1, C0 및 RF0A6 내지 RF0A0는 모든 1024 PE에 공통인 제어/어드레스 라인이다. 신호C(280) 및 M(250)은 WRC(248) 및 WRM(234)로부터 각각 발생한다. SM(262)는 ALU(260)으로부터 발생한다. R(322), 2R(324), L(310) 및 2L(312)는 이 PE의 4개의 가장 인접한 PE들로부터의 신호이다.

하드웨어를 보다 효율적으로 만들기 위해, 동일한 어드레스 라인 및 다수의 동일한 하드웨어는 DIR(154) 및 RF0(158) 사이에 할당되었다. 아래 표 2의 메모리 맵은 8비트 어드레스를 요구한다. 이 어드레스는 MSB로서 최대 제어 라인 C2 및 LSB로서 어드레스 라인(RF0A6 내지 RF0A0)로 구성된다. C2는 DIR 대 RF0의 선택이 명령 연상에 포함되기 때문에 어드레스를 고려하지 않는다. 다른 레지스터들은 보존된 표 2의 메모리 맵에서 소위 모든 미확정 메모리 공간인 메모리 공간 C로 맵된다.

[레지스터 파일 1(RF1)]

RF1(166)은 RF0(158)에 독립적으로 동작하므로, 자체 어드레스 라인(133) 및 소정의 자체 제어 라인을 갖는다. RF1(166)의 실행 기능은 여러 라인(C21,C5,C4,C3), WRM(234)의 내용 및 어드레스(RF1A6 내지 RF1A0)에 의해 결정된다. 제어 라인 C5=0은 RF1을 선택한다. 7개의 어드레스 라인(133)은 C4 및 C3이 기입 소스를 선택할 때 판독 및 기입되는 128 비트 중 하나를 선택한다. 라인 C4 및 C3의 소정의 조합에서, 기입 소스는 C21의 상태 및 동작 레지스터(M234)의 내용에 따라 변한다. 이것들은 프로세서가 보다 융통성이 있게 하는 명령 호출 M-중속 명령을 형성한다. 표 8은 RF1에 대한 제어 라인 기능을 설명한 것이다.

[표 8]

C21	C5	C4	C3	(WRM)	DOR 상의 동작
X	1	X	X	X	선택된 DOR
X	0	0	0	X	RF1(p) 내로 기입된 RF1(p) (재생)
X	0	0	1	X	RF1(p) 내로 기입된 (WRC)
X	0	1	0	X	RF1(p) 내로 기입된 SM
0	0	1	1	X	RF1(p) 내로 기입된 CY
1	0	1	1	0	KCY - 조건 캐리: RF1(p) 내로 기입된 RF1(p)
1	0	1	1	1	RF1(p) 내로 기입된 CY

여기서, 'm'은 [RFOA6, RFOA5, ... RFOA0]의 2진 조합이고, 범위 0=n=127이다.

제5도의 논리도는 RF1(166) 및 DOR(168)의 상호 접속을 상세히 도시한 것이다. C21, C5, C4, C3 및 RF1A6 내지 RF1A0는 모든 1024 PE에 공통인 제어/어드레스 라인이다. 신호 C(280) 및 M(250)은 WRC(248) 및 WRM(234)로부터 각각 발생한다. SM(262)는 ALU(260)으로부터 발생한다.

하드웨어를 보다 효율적으로 만들기 위해, 동일한 어드레스 라인(133) 및 다수의 동일한 하드웨어는 DOR(168) 및 RF1(166) 사이에 할당되었다. 표 4의 메모리 맵은 8비트 어드레스를 요구한다. 이 어드레스는 MSB로서 제어 라인(C5) 및 LSB로서 어드레스 라인(RF1A6 내지 RF1A0)로 구성된다. C5는 DOR 대 RF1의 선택이 명령 연상에 포함되기 때문에 어드레스를 고려하지 않았다. 다른 레지스터들은 보존된 표 4의 메모리 맵에서 소위 모든 미확정 메모리 공간인 메모리 공간으로 맵된다.

[판독/기입 회로]

제3도에서, 판독/기입 회로로 라벨된 블럭(156 및 169)는 하나 이상의 감지 증폭기를 포함한다. 제7도는 1×128로 구성된 128-비트 다이나믹 랜덤 액세스 메모리를 포함하는 RF0를 도시한 것이다. 실제로, RF0 데이터 메모리(158) 및 DIR 입력 레지스터(154)는 동일한 1×168 DRAM행의 일부분이나, DIR(154)는 DIR(154)가 이력 D10-39 40비트로부터 병렬로 기입될 수 있는 RF0(158)과 상이하다. 유사한 배열은 DOR/RF1의 경우에 존재한다. 그러나, 단지 24(D00-23) 병렬 출력 라인은 DOR에 제공된다. 한 실시예에서, 프로세서 소자(150)당 2개의 감지 증폭기가 있다. 한 증폭기(156)은 DIR/RF0용이고 다른 증폭기(167)은 DOR/RR1용이다. 각각의 감지 증폭기는 데이터 레지스터(154 또는 168), 또는 레지스터 파일(158 또는 166)의 어드레스된 부분에 데이터를 판독하거나 기입한다. 감지된 데이터는 제7도의 레지스터와 멀티플렉서(508) 및 I/O 라인(500, 502, 504 및 506)을 통해 메모리 뱅크 DIR/RF0과 DOR/RF1 사이에 전송된다. DRAM 행의 1×128 메모리 RF0(158) 부분에 어드레스되는 특정 비트는 모두 1024 프로세서 소자(150)에 의해 분할된 128 워드 라인(160)에 의해 선택된다. 제어기(128)은 64개 중 1개의 어드레스(7 번째 비트는 =0 DIR 선택, =1 DIR 비선택)으로 디코드된다. 선택을 위해 어드레스 비트(131A)를 DIR(154)에 제공하고, 128개 중 1개의 어드레스 선택을 위해 RF0(158)에 7개의 어드레스 비트(131B)를 제공한다. 동일한 어드레스 선택은 모두 1024 프로세서 소자(150)의 RF0 또는 DIR에 제공된다. 유사하게, RF1로 표시된 제2 1-비트 광 다이나믹 메모리(166)은 프로세서(102)의 출력단에서 사용되고, 128개 중 1개의 어드레스 선택용으로 7개의 어드레스 비트(133B)를 다시 수신한다. RF1(166) 메모리는 DOR로 명명된 24-비트 데이터 출력 레지스터(168)에 관련되고, 32개 중 1개의 어드레스 선택용으로 5개의 어드레스 비트(133A)를 수신한다. 입력 교환기(148)는 수평 주사비의 1024배 이상에서 클럭되므로, 입력 레지스터(154)의 모든 1024는 수평 주사 주기동안 로드될 수 있다. 출력 교환기(174)는 입력에서 동일한 비율로 클럭될 필요는 없다.

교환기(148)로부터의 포인터 입력(151)은 다이나믹 메모리 셀(518)에 40개의 데이터 라인(118)(병렬 입력 D10-D13P로부터)을 접속시키는 한 셋트의 40개의 입력 트랜지스터(516)를 구동시킨다는 것을 알 수 있다. 이 셀들은 듀얼-포트이고, 액세스 트랜지스터(520)를 통해 기입 또는 판독되고, 워드 라인(526)에 의해 어드레스될 때 감지 증폭기(156)에 접속된 비트 라인(522 및 524)를 접지시킨다. 이 168-비트 다이나믹 랜덤 액세스(DRAM) 행의 DIR 부분에서 40 워드 라인(526) 및 RF0 부분에서 128 워드 라인(160)이 있다.

상술한 바와 같이, DIR 2-트랜지스터 듀얼 포트 셀이다. 판독 및 기입은 각각의 포트에서 실행될 수 있다. DIR은 고속 다이나믹 전이 레지스터로써 동작한다. 듀얼 포트 특성은 DIR의 데이터 입력 및 출력 비동기 통신을 하게 한다. 다이나믹 셀들을 사용하므로써, 전이 레지스터 배열은 매우 감소된다. 모조 셀이 사용될 수 있으나, 이것은 셀 동작을 위한 요구 조건이 아니다.

데이터 출력 레지스터는 3-트랜지스터 듀얼 포트 이득 셀을 사용한다. 대부분의 응용시, 판독 및 기입은 포트(167)에서 허용되나, 판독만은 제2포트로부터 실행된다. DOR(168)은 고속 다이나믹 전이 레지스터로써 동작한다. 이득 트랜지스터 회로를 갖고 있는 DOR은 저장된 전하를 파괴하지 않고 캐패시터(519)의 판독을 허용한다. 동작 중, 셀(519)의 논리 1이 트랜지스터(1640)의 1V 보다 크면, 선택 T 라인(172)가 턴온될 때, 라인(1642)는 동일하게 논리 0 또는 0볼트로 강하된다. 셀(519)의 전하가 1V(즉, 논리 0 또는 로우)보다 낮으면, T 라인(1642) 상의 전하는 예비충전 값으로 유지된다. 트랜지스터(1642)는 셀 판독 선택 트랜지스터이다. 모두 24개의 데이터 출력라인(56)은 트랜지스터(1642)에 의해 동시에 감지된다(즉, 트랜지스터(1642)는 프로세서 소자 셀을 선택한다). 도시한 바와 같이 노드(1650)은 격리된다. 이 접속은 다른 프로세서 소자 셀을 판독하여 발생된 노이즈로부터 셀의 데이터가 손실될 가능성을 감소시킨다. 각각의 128 셀 섹션은 신호를 감지하도록 출력 라인상에 비교기(1634)를 갖고 있다.

기준 전압은 비교기 입력(1636)에 인가된다. 트랜지스터(1630)의 소스(1636)은 V에 접속된다. 이것은 요구 조건은 아니나, 소스(1638)은 다른 전압 레벨에 접속될 수 있다.

제8a-d도는 DOR 회로의 여러 라인 및 노드에서 전압 레벨을 도시한 것이다.

제9도는 다른 방법에서 DOR 셀을 도시한 것이다.

상술한 바와 같이, 비디오 적용의 경우에 PE(150)의 양호한 실시예는 40-비트광(wide) 입력 데이터 버스(118) 및 24 비트 광 출력 데이터 버스(170)를 사용한다. 8 fsc(35ns)의 고속 클럭킹 속도로 통신하는 버스폭은 1024 DIR(154) 또는 DOR(168)의 전체 버스폭이 전체 클럭킹 주기동안 파워-업(powered up)되어야 하는 경우에 버스 라인에 큰 전력 드레인 및 노이즈를 발생시킨다. 그러나, 각각의 DIR(또는 DOR)만이 클럭킹 주기의 소정의 특정 부분으로 판독 또는 기입되기 때문에, 소정의 시간에서 기입되는 DIR을 포함하는 DIR 직렬 어레이의 일부분에 기입되는 DIR(168)만을 파워-업시키는 것이 가능하다.

제10도는 SVP(102) 입력 버스 라인(118) 전력 드레인 및 노이즈 감소 제어 회로(580)을 도시한 것이다.

회로(580)은 DIR(154)의 기입 중에 SVP(102)의 노이즈 및 전력 요구량을 감소시킨다. 설명 및 도시를 위해, 1024 대 40 DIR 어레이(154)는 각각 128 PE(150)를 포함하는 8 세그먼트 또는 부분(586a-h)로 세그먼트된다. 데이터는 대응 제어 유닛(602)의 제어하에 동작하는 교환기(148)의 세그먼트에 의해 각각 128 DIR 세그먼트(586)의 메모리 위치로 클럭된다. 제어 유닛(1)(602a)은 라인(118)의 입력 비디오 데이터 신호의 수평 주사비와 동기 상태로 시간이 정해진 클럭 입력(608)의 세그먼트를 갖는다. 각각의 8 제어 유닛(602)는 리셋트 신호(610)를 수신하도록 접속된다. 리셋트 신호는 제1제어 유닛(602a)가 나머지 유닛(602b-h)를 전력 상승 및 전력 하강하게 한다. 제어 유닛(602) 출력 신호는 상술한 바와 같은 동작을 위해, 교환기(588)를 인에이블링하기 위한 교환기 인에이블 신호(151)를 포함한다. 또한 각각의 제어 유닛(602) 출력 신호는 이미 동작하는 섹션으로 기입되는 데이터 신호가 거의 완료될 때 작동을 하기 위해 다음 인접 제어 유닛의 전력을 상승시키기 위해 전력 상승 출력 신호(606)를 포함한다. 예를 들어, 라인(118)로부터 DIR 섹션(586a)까지의 데이터 판독이 거의 완료될 때, 다음 인접 제어 유닛(602b)는 데이터 기입을 위해 준비된 교환기 세그먼트(588b)를 인에이블시킨다. 세그먼트(602b)가 교환기 섹션(588b)를 인에이블시키면, 라인(604a) 상의 신호는 세그먼트(586a)에 대한 데이터 기입이 완료될 때 이전의 제어 유닛(602a)의 전력을 하강시킨다. 이 전력 상승/전력 하강 제어 순차는 모든 1024 DIR이 로드될 때까지 각각의 섹션에서 반복된다. 이 형태에서, 기입되는 DIR의 그룹용 교환기만이 클럭 싸이클의 일부분 중에 전력이 상승한다. 상술한 SVP(102) 동작에 따라 비디오 데이터 신호 주사 라인 수평 블랭킹 주기 중에, 모든 섹션(586a-h)의 DIR 데이터는 RF0로 클럭되고, 제1제어 유닛(602a)이 작동되고 새로운 주사 라인은 입력을 위해 준비된다.

제11도를 참조하면, 제10도에 도시된 전력 드레인 및 노이즈 감소 제어 회로(580)의 양호한 실시예의 논리 블록도를 보다 상세히 도시한 것이다. 제11도에서, 제어 회로(580)은 플립-플롭(614, 620 및 622)를 포함하는 서브회로를 포함하는 것으로 도시되었다.

동작 중 입력(610)에서의 리셋트 신호는 S를 트리거시키거나 플립-플롭(614 및 620a)의 입력을 셋트시킨다. 동일한 리셋트 신호(610)은 플립-플롭(620b-620g)에 대한 클리어 입력을 트리거시키고 플립-플롭(622)에 대한 리셋트 입력을 트리거시킨다. 플립-플롭(620a)의 셋트 입력이 트리거되면 Q 출력은 구동기(628)를 인에이블시키도록 동작된다. 구동기(628)이 인에이블되면, 입력에서의 클럭 신호는 교환기(588a) 입력에 제공된다. 동작용 교환기(588a)의 전력 상승은 플립-플롭(614)의 Q 출력 신호의 하이 레벨에서 개시된다. 교환기 인에이블 신호(151)는 제1DIR 메모리 위치로 라인(118)에 제공된 비디오 데이터 신호의 제1 40-비트의 전단부를 트리거한다. 교환기(588a)가 종료된 후에 라인(604)의 신호는 플립-플롭(614)를 리셋트한다.

클럭 신호(608)은 상술한 바와 같이, 인입 비디오 신호비에 의해 시간이 정해진 교환기(588)를 트리거한다. 동일한 클럭 신호들은 동시에 모든 클럭 입력(608)에 제공된다. 그러나, 구동기(608b-608h)가 디스에이블되기 때문에, 이에 해당하는 교환기(588b-588h)는 동작하지 않는다. 교환기(588a)는 순차적으로 제1세그먼트의 DIR 메모리 위치(0-127)에 대응하는 각각의 신호 라인(151 내지 151)을 인에이블시킨다. 신호 라인(151)이 DIR(127) 기입을 위해 인에이블되기 때문에, 인에이블 신호는 플립-플롭(620b)의 셋트 입력에 제공되고 교환기(588b)를 파워 업시키도록 라인(606)을 통해 제공된다. 플립-플롭(620b)의 셋트 또는 Q 출력은 교환기(588a)에 관련하여 기술한 바와 같이 동작 중에 교환기(588b)에 클럭 신호를 통과시키도록 구동기(608b)를 작동시킨다. 신호 라인(151)이 교환기(588b)에 의해 동작되기 때문에, 신호는 구동기(628a)를 동작시키지 않도록 플립-플롭(620a)의 리셋트 입력에 교환기를 파워-다운시키도록 라인(604)을 통해 제공된다. 구동기(628a)의 비동작은 데이터의 40 비트가 DIR(127)로 입력된 후에 발생한다. 모든 교환기(588a-588h)가 DIR 위치(0-1023)를 로드시키도록 동작할 때까지 파워 업 또는 파워 다운 순차는 계속된다. 플립-플롭(622)는 교환기(588h)의 동작이 완료된 후에 리셋트 신호(610)에 의해 리셋트된다.

제어 회로(580)은 기입되는 회로의 부분만을 파워 업시키므로써 전력 방출을 상당히 감소시킨다. 이것은 또한 데이터 라인에 다른 방법으로 제공될 수 있는 노이즈를 감소시키는 작용을 한다.

제12도는 프로세서(102)의 DOR(168) 또는 출력단에 사용하기 위한 전력 및 노이즈 감소 회로를 도시한 것이다. 제12도 회로는 제11도 회로와 유사하게 동작한다. 8 섹션으로의 DIR 및 DOR을 절단한 것은 단지 도시하기 위한 것이다. 칩 배열에 따라서, 22 이상의 섹션을 갖는 것이 가능하다. 부수적으로, 교환기는 다른 실시예에서 제어 유닛의 부분일 수 있다. 교환기 세그먼트(588)는 교환기를 분리하는 것과 같은 단일 교환기 기능의 일부분일 수 있거나 각각의 다수의 교환기일 수 있다.

[표준 및 비표준 신호]

TV는 많은 신호 소스를 가지고 있다. 이 소스들은 2가지 형태; 표준 및 비표준 신호로 분류될 수 있다. 표준 신호는 디지털 회로에서 이상적인 경우이고, 비-표준 신호는 디지털 텔레비전 시스템에서 많은 문제점을 발생시킨다. 표준 신호의 예는 TV 스테이션에서 컬러 버스트 주파수, 수평 및 수직 동기 주기 및 필수적으로 모두 불변인 이들 사이의 위상 관계이다. 가정용 VCR은 비-표준 신호 소스의 좋은 예이다. 수평 동기 펄스와 크로마 버스트(chroma burst) 사이의 정확한 관계는 레코드/재생 프로세스 동안 소멸되고, 타이프 지터(jitter)의 발생이 연속 필드 사이에서 타이밍 관계를 왜곡시키기 때문에 규격화된다.

비디오 데이터 신호들이 연속적으로 SVP(102)에 라인(118)에 제공되나, 어레이 데이터 입력 레지스터(109)는 한번에 한개의 비디오 주사 라인만을 보유한다. 상술한 바와 같이, 수평 블랭킹 주기중에, 이미 보유한 데이터의 주사선은 새로운 데이터의 주사선에서 입력 레지스터를 자유상태로 두도록 RF0 레지스터 파일로 전이된다.

새로운 주사선은 수평 블랭킹 주기후에 제공된다. 다음 블랭킹 주기 및 주사 라인 시간 중에, 레지스터 파일(RF0 및 RF1)에 이미 보유한 데이터는 PE에 의해 프로세스된다. 또한, 레지스터 파일 데이터는 근거리 통신망을 통해 다른 프로세서 소자에 전송될 수 있다. 일반적으로 실행되지 않음에도 불구하고, DIR 또는 DOR의 데이터는 프로세서 소자에 의해 직접 프로세스될 수 있다. 이 순차의 경우는 입력 신호의 포즈(수평 블랭크 주기)를 출력시키지 않는 비-표준 신호 적용시 바람직하지 않다. 이러한 적용의 예는 임

력 신호가 VCR 출력일 때의 예이다. 이 경우에서, 신호를 정지시키고 프로세서 소자 요소들 사이, 즉 DIR 대 RF0 및 RF1대 DOR 사이에 데이터를 전송할 시간이 없다. 이 문제점을 해결하기 위해, 제13도에 도시한 SVP 구조가 사용될 수 있다. 제13도에서, 1024 데이터 입력 레지스터(154)는 다수의 세그먼트로 분할된다. 이 예에서, DIR은 2개의 세그먼트, 즉, 좌측(650) 및 우측(652)로 분할된다. 많은 세그먼트들이 필요한 만큼 발생될 수 있다는 것을 알아야 한다. 각각의 세그먼트(650 및 652)는 전체 프로세서 소자의 1/2(512)를 포함한다. 단지 설명 및 도시하는데 용이하도록 좌측으로부터 한개의 프로세서 소자 및 우측으로부터 한개의 프로세서 소자만을 도시하였다. 동작 중, 라인(118)의 데이터 신호들은 세그먼트(650)의 DIR에 전송되고, 세그먼트(652)에 이미 저장된 데이터는 레지스터 파일(656)에 동시에 전송된다. DIR 세그먼트(652)로부터의 데이터가 레지스터 파일(656)에 전송된 후에, 세그먼트(650)의 DIR은 레지스터 파일(654)에 데이터를 전송시키고, 세그먼트 DIR(652)는 새로운 데이터를 로드시킨다. 이 형태에서, 프로세서의 DIR의 단지 1/2만이 레지스터 파일에 전이된다.

세그먼트 선택 및 동작을 제어하기 위한 제어 회로(688)의 예는 제13도에 도시되어 있다. 제어 회로(658)는 좌측 절반에 대한 트랜지스터(670 및 672)와 우측 절반에 대한 트랜지스터(674 및 676)과 같은 DIR 선택 트랜지스터를 포함한다. 선택 트랜지스터(670)는 프로세서 소자 감지 증폭기(678)과 DIR 사이에 접속된 자체 소스 및 드레인을 갖고 있다. 트랜지스터(670)의 게이트는 AND 게이트(682)의 출력에 접속된다. AND 게이트(682)의 입력 리드(692)는 XFERLEFT 또는 XFERRIGHT 신호를 수신한다. 입력 리드(690)은 마이크로코드 제어 비트 C2를 수신한다. C2=1일 때 DIR이 선택되고, C2=0일 때 PF0가 선택된다.

트랜지스터(672)는 DIR(650)과 감지 AMP(678) 사이에 유사한 방법으로 접속된다. 세그먼트(652)의 트랜지스터(674 및 676)은 유사하게 접속된다. 각각의 세그먼트 제어 회로의 각각의 DIR은 또한 감지 증폭기가 동작 중 요구된 바와 같이 공지된 상태로 되게 하는 2개의 트랜지스터 네트워크를 포함한다. 이것은 좌측 절반 DIR용 트랜지스터(662 및 664)와 우측 절반(DIR)용 트랜지스터(666 및 668)이다.

트랜지스터(662)는 트랜지스터(670)의 소스에 접속된 소스를 갖고, 드레인은 접지된다. 유사하게, 트랜지스터(664)의 소스는 트랜지스터(672)의 소스에 접속된다. 그러나, 트랜지스터(664)의 드레인은 V에 접속된다. 트랜지스터(662 및 664)의 게이트는 AND 게이트(684)의 출력에 접속된다. AND 게이트(684)는 2개의 입력을 갖는다. 입력(688)은 인버터(686)의 출력에 접속되고, 출력은 XFERLEFT/XFERRIGHT 신호에 접속된다. AND 게이트(684)의 입력(690)은 제어 비트 C2에 접속된다.

출력이 좌측 트랜지스터(662 및 664) 및 우측 트랜지스터(674 및 676)를 제어하도록, AND 게이트(684)로부터의 제어 출력은 세그먼트 절반(650)으로부터(652)에 교차 결합된다. AND 게이트(682)의 출력은 프로세서(102)의 좌측 및 우측 절반 사이에 유사하게 교차 결합된다. 좌측에서는 게이트(682) 출력은 트랜지스터(670 및 672)를 제어한다. 우측에서는 게이트(682)가 트랜지스터(666 및 668)을 제어한다.

동작 중 XFERLEFT의 하이 레벨 및 C2 신호는 AND 게이트(684)로부터 로우 신호를 발생시키고 AND 게이트(682)로부터 하이 신호를 발생시킨다. 이것은 RF0에 전송하기 위해 좌측 DIR의 내용을 선택하고 로딩을 하기 위해 우측 DIR을 동작시킨다. C2가 1일 때, 리드(692)의 로우 또는 XFERRIGHT 신호는 로딩용 좌측 DIR 및 RF0에 데이터를 전송하기 위한 우측 DIR을 선택한다. 이 순차는 DIR 주사가 유사한 피스톤 방법으로 선택적으로 데이터를 연속 수신 및 전송하도록 반복된다.

전체 주사선이 DIR에 로드되고 레지스터 파일에 전송된 후에, 프로세서(102)에 의해 실행된 소프트웨어 프로그램은 원래의 데이터를 재생하도록 제로를 갖는 데이터로 전송된 짝수 어드레스 데이터를 논리적으로 0시킨다. 전송된 홀수 어드레스 데이터는 원래 데이터를 재생하도록 1로 논리적으로 AND된다. 이것은 제14도에 도시되어 있다. 데이터 라인(118)로부터 수신된 데이터가 2개의 세그먼트 프로세싱으로부터 재생된 후에 상술한 바와 같이 개시될 수 있다.

제15도는 원래 전송된 데이터를 복구하기 위한 다른 방법의 체계를 도시한 것이다. 짝수 및 홀수 어드레스를 분리하여 재생하는 대신에, 제13도의 트랜지스터(664 및 668)의 드레인은 접지될 수 있고 짝수 및 홀수 어드레스는 동일하게 처리된다. 다음과 같이 발생할 수 있다. 입력 제1절반 : (XFERLEFT=1); M=1, A=INP(j), B=0, C=0, R1(n)=SM. 다음의 OR 제1데이터는 제1부분을 발생시킨다 : (XFERLEFT=0); M의, A=R1(n), B=INP(j), C=1, R1(n)=CY.

제16도는 제13도의 DIR 제어 회로를 보다 상세하고 약간 상이하게 도시한 것이다. 제17도는 제13도의 DOR 제어 회로를 보다 상세하고 약간 상이하게 도시한 것이다.

[레지스터 파일 재생]

상술한 바와 같이, 레지스터 파일은 이의 내용을 유지하기 위해 연속 재생 주기중에 적합하게 재생된 다이나믹 셀로 구성된다. 소프트웨어에 의해 사용된 어드레스들만이 재생될 필요가 있다. 나머지 모든 어드레스는 데이터가 필요없기 때문에 재생없이 진행할 수 있다.

재생 동작은 데이터 보유를 필요로 하는 각각의 어드레스에 대한 판독을 단순하게 하므로, 많은 적용시, 소프트웨어 프로그램은 소프트웨어 루프가 재생 주기보다 매우 주기적으로 반복되는 경우에 재생된 RF를 유지한다.

SVP(102)의 모든 256K 비트를 재생하는 데는 단지 64 싸이클이 요구된다. 이것은 각각의 RF가 실제적으로 판독하고 동시에(PE당 전체 4 비트동안) 2비트를 재생하기 때문이다. 모든 SVP(102)에 대해 완전한 재생을 실행하기 위해, 소정의 작동 레지스터에 각각의 RF를 판독하고, 각각의 시간에서 어드레스를 그만큼 증가시키고 64회 반복한다.

예 :

A = R0(0):            B = R1(0)        : 4 × 1024 비트 재생  
 A = R0(2):            B = R1(2)        : 어드레스를 2만큼 증가  
 :  
 :  
 A = R0(124):         B = R1(124)  
 A = R0(126):         B = R1(126)     : 재생 완료

제5도에서, ALU(164)는 간단한 전 가산기/감산기(260) 플러스 1-비트 곱셈기(258)(AND 게이트)로써 도시하였다. 입력은 WRM(234), WRA(238), WRB(242), WRC(248) 및 제어 라인 C21(252)로부터 입력된다. ALU(164)의 출력은 합(262)(SM), 캐리(264)(CY) 및 빌림(Borrow: 266)(BW)이다.

[ALU의 다이어그램]

제5도를 다시 참조하면, ALU(164)는 제어 라인 C21에 의해 제어된 2개의 동작모드를 갖는데, 한 모드는 곱셈기(258)이 인에이블되고, M-중속 명령이 디스에이블되며(C21=0) 그리고 제2모드는 곱셈기(258)이 통과(pass-thru)되거나 디스에이블되고 M-중속 명령은 인에이블된다(C21=1).

ALU(164)의 동작 모드 선택은 실행되는 프로그램 명령에만 종속한다. 즉, SVP 어셈블리는 소정의 어셈블리 라인의 명령이 'M-중속'을 요구한 경우 '인에이블된 M-중속 명령'에 ALU(164) 동작 모드를 셋트시키고, 다른 방법으로 동작 모드는 '디스에이블'에 셋트된다. 이것은 가산기/감산기(260)은 M-중속 서브-명령이 사용될 때 적절하게 기능하게 한다. 즉, 곱셈기(258) 및 M-중속 서브-명령의 전체 등급은 동작 레지스터 M(234)를 할당하므로, 상호 배타적이 된다.

표 10은 곱셈기(258)이 인에이블되거나 디스에이블되는지 여부에 따라 ALU(164)의 실행을 도시한 것이다.

[표 10]

C21	M	A	B	C	SM	CY	BW
0	0	X	0	0	0	0	0
0	0	X	0	1	1	0	1
0	0	X	1	0	1	0	1
0	0	X	1	1	0	1	1
X	X	0	0	0	0	0	0
X	X	0	0	1	1	0	1
X	X	0	1	0	1	0	1
X	X	0	1	1	0	1	1
X	1	1	0	0	1	0	0
X	1	1	0	1	0	1	0
X	1	1	1	0	0	1	0
X	1	1	1	1	1	1	1
1	X	1	0	0	1	0	0
1	X	1	0	1	0	1	0
1	X	1	1	0	0	1	0
1	X	1	1	1	1	1	1

ALU(164)는 M-중속 명령이 디스에이블될 때 표 11에 도시한 논리 동작을 실행한다. 소정의 어셈블리 라인에서 명령이 M-중속이 아니면, M-중속 명령은 전체 라인에서 모든 명령에 대해 디스에이블된다.

[표 11]

C21	M	A	B	C	SM	CY	BW
0	0	X	0	0	0	0	0
0	0	X	1	1	0	1	1
0	0	X	0	c	c	0	c
0	0	X	b	0	b	0	b
0	0	X	1	c	NOT c	c	1
0	0	X	b	1	NOT b	b	1
0	0	X	b	c	b XOR c	b AND c	b OR c
X	1	a	b	0	a XOR b	a AND b	(NOT a) AND b
X	1	a	0	c	a XOR c	a AND c	(NOT a) AND c
X	1	0	b	c	b XOR c	b AND c	b OR c
X	1	a	b	c	a XOR b XOR c	note [1]	note [2]
X	1	a	b	1	a XNOR b	a OR b	(NOT a) OR b
X	1	a	1	c	a XNOR c	a OR c	(NOT a) OR c
X	1	1	b	c	b XNOR c	b OR c	b AND c
1	X	a	b	0	a XOR b	a AND b	(NOT a) AND b
1	X	a	0	c	a XOR c	a AND c	(NOT a) AND c
1	X	0	b	c	b XOR c	b AND c	b OR c
1	X	a	b	c	a XOR b XOR c	note [1]	note [2]
1	X	a	b	1	a XNOR b	a OR b	(NOT a) OR b
1	X	a	1	c	a XNOR c	a OR c	(NOT a) OR c
1	X	1	b	c	b XNOR c	b OR c	b AND c
0	m	a	0	0	m AND a	0	0
0	m	a	0	1	m NAND a	m AND a	m NAND a
0	m	a	1	0	m NAND a	m AND a	m NAND a
0	m	a	1	1	m AND a	1	1
0	m	1	b	0	m XOR b	m AND b	(NOT m) AND b
0	m	1	b	1	m XNOR b	m OR b	(NOT m) OR b
0	m	1	0	c	m XOR c	m AND c	(NOT m) AND c
0	m	1	1	c	m XNOR c	m OR c	(NOT m) OR c

note [1]: CY = (C AND (a XOR b)) OR (a AND b)  
 note [2]: BW = (C AND NOT (a XOR b)) OR ((NOT a) AND b)

[PE 동작 레지스터]

제2도의 실시예에서, 프로세서 소자(150)(PE)당 4개의 작동 레지스터(162)(WR); WRM, WRA, WRB 및 WRCO 있다. 모두 4개의 레지스터는 데이터 소스 및 destinations이 상이한 것을 제외하고는 동일하다. 제5도에 도시한 바와 같이, 각각의 WR은 데이터 선택기 또는 멀티플렉서 및 플립/플롭을 포함한다. 모두 4개의 레지스터는 유효 데이터가 RF로부터 도착한 후에 바로 내부 SVP 타이밍 회로에 의해 동시에 클럭된다.

표 12는 각각의 4개의 작동 레지스터에 대한 데이터 소스를 도시한 것이다.

[표 12]

작동 레지스터	소스															
	M	A	B	C	RF0	RF1	L	R	L2	R2	CY	BW	KCB	0	1	
M	*			*	*	*	*	*	*	*					*	*
A		*		*	*	*	*	*	*						*	*
B			*	*	*	*	*	*	*						*	*
C			*	*	*	*					*	*	*		*	*

여기서, M, A, B 및 C는 동작 레지스터 RF0 및 RF1은 레지스터 파일 L, R, L2 및 R2는 인접 입력 CY 및 BW는 ALU로부터의 캐리 및 빌림 KCB는 상태 캐리/빌림(WRM의 기능) 1 및 0는 논리 레벨

[동작 레지스터 M(WRM)]

곱셈기 레지스터(WRM; 234)는 곱셈, 분할, 마스킹 동작, 소정의 논리 동작 및 종래의(M-종속) 동작에 사용된다. 부수적으로, WRM(234)는 ALU의 곱셈기 블록(258)의 2개의 입력들 중 하나의 입력이다. 조건 캐리/빌림(KCB) 명령을 제어하도록 라인(250)을 통해 분할 MUX에 접속되고 조건 캐리 기입(KCY) 명령을 제

어하도록 라인(382)를 통해 RF1 MUX1에 접속되며, 조건 지시 명령 XB, XR0(n), XR1(p), XINP(m) 및 XOUT(q)를 제어하도록 라인(406)을 통해 RFO MUX(1)에 접속된다. 또한, WRM(234)는 RFO에 직접 기입될 수 있도록 RFO MUX(2) 입력에 접속된다. 일반적으로, WRM(234)는 급셈기(258)이 ALU(164)의 가산기/감산기에 직접 WRA의 값을 통과시키도록 1로 로드되어야 한다.

데이터 선택기(232)(n-1 급셈기)는 표 13에 도시한 바와 같이 제어 라인(C20,C19,C18 및 C8)의 기능으로서 WRM(234)에 대한 데이터의 가능한 소스들 중 한개의 소스를 선택한다. 게다가, 라인(R,R2,L 및 L2)로부터 취해진 데이터는 선택된 인접(160)내의 4개 중 1개의 소스로부터 발생될 수 있다.

[표 13]

C20	C19	C18	C8	WRM 상의 동작
0	0	0	X	NOR 동작 안함
0	0	1	X	WRM 내로 기입된 RFO(n)
0	1	0	X	WRM 내로 기입된 RF1(p)
0	1	1	X	WRM 내로 로드된 L/R 라인 우측 PE
0	1	1	1	WRM 내로 로드된 L/R 라인 제2 우측 PE
1	0	0	0	WRM 내로 로드된 L/R 라인 좌측 PE
1	0	0	0	WRM 내로 로드된 L/R 라인 제2 좌측 PE
1	0	1	X	WRM 내로 로드된 (WRC)
1	1	0	X	WRM 내로 로드된 0
1	1	1	X	WRM 내로 로드된 1

[작동 레지스터 A(WRA)]

가수/감수 레지스터 WRA(238)는 범용 동작 레지스터이고, 대부분 ALU(164)에 관계된 동작에 사용된다. WRA는 ALU(164)의 급셈기 블록(258)에 2개의 입력의 제2입력(256)이고 정(+)항 인입 가산기/감산기 블록(260)이다. WRA는 또한 C MUX(244)에 대한 입력이다.

데이터 선택기(236)(n-1 멀티플렉서)는 표 14에 도시한 바와 같이 제어 라인(C17,C16,C15 및 C8)의 기능으로써 WRA(238)에 대한 데이터의 10개의 가능한 소스들 중 한개의 소스를 선택한다. 게다가 라인 R,R2,L 및 L2로부터 취해진 데이터는 선택된 인접(160)내의 4개 중 1개의 소스로부터 발생될 수 있다.

[표 14]

C17	C16	C15	C8	WRM 상의 동작
0	0	0	X	NOR 동작 안함
0	0	1	X	WRM 내로 기입된 RFO(n)
0	1	0	X	WRM 내로 기입된 RF1(p)
0	1	1	0	WRM 내로 로드된 L/R 라인 우측 PE
0	1	1	1	WRM 내로 로드된 L/R 라인 제2 우측 PE
1	0	0	0	WRM 내로 로드된 L/R 라인 좌측 PE
1	0	0	1	WRM 내로 로드된 L/R 라인 제2 좌측 PE
1	0	1	X	WRA 내로 로드된 (WRC)
1	1	0	X	WRA 내로 로드된 0
1	1	1	X	WRA 내로 로드된 1

[동작 레지스터 B(WRB)]

가수/감수 레지스터 WRB(242)는 범용 동작 레지스터이고, 대부분 ALU(164)에 관계된 동작에 사용된다. 감산 동작 중, WRB는 WRA(238)로부터 항상 감산된다. WRB는 또한 L/R MUX(305)에 대한 입력이다.

데이터 선택기(240)(n-1 멀티플렉서)는 표 15에 도시한 바와 같이 제어 라인(C14,C13,C12 및 C8)의 기능으로써 WRB에 대한 데이터의 10개의 가능한 소스들 중 한개의 소스를 선택한다. 게다가 라인 R, R2, L 및 L2로부터 취해진 데이터는 선택된 인접(160)내의 4개 중 1개의 소스로부터 발생될 수 있다.

[표 15]

C14	C13	C12	C8	WRM 상의 동작
0	0	0	X	NOR 동작 안함
0	0	1	X	WRB 내로 기입된 RFO(n)
0	1	0	X	WRB 내로 기입된 RF1(p)
0	1	1	0	WRB 내로 로드된 L/R 라인 우측 PE
0	1	1	1	WRB 내로 로드된 L/R 라인 제2 우측 PE
1	0	0	0	WRB 내로 로드된 L/R 라인 좌측 PE
1	0	0	0	WRB 내로 로드된 L/R 라인 제2 좌측 PE
1	0	1	X	WRB 내로 로드된 (WRC)
1	1	0	X	WRB 내로 로드된 0
1	1	1	X	WRB 내로 로드된 1

[동작 레지스터 C(WRC)]

캐리/빌림 레지스터(WRC; 248)은 ALU(164)에 대한 캐리(또는 빌림) 입력이다. 다중-비트 가산기, WRC(248)은 비트들 사이의 이전의 가산으로부터 CY(264)를 유지하고, 다중-비트 감산기, WRC(248)은 BW 266 비트를 유지한다. WRC 출력은 A, B 및 M 레지스터 및 RF MUX1로 진행한다.

데이터 선택기(244)(n-1 멀티플렉서)는 표 16에 도시한 바와 같이 WRM(234)의 내용에 의해 제어 라인(C21, C11, C10 및 C9)의 기능으로써 WRC(248)에 대한 데이터의 9개의 가능한 소스들 중 1개의 소스를 선택한다. 즉, 이들 4개의 제어 라인의 소정의 조합에 의해, WRC(248)로 진행되는 데이터는 동작 레지스터 M(234)의 내용에 따라 변한다. 이것은 프로세서(102)를 보다 가변성있게 하는 소위 M-종속 명령을 형성한다. WRC(248)은 오퍼랜드 지정기 KCB(조건 캐리/빌림)을 포함하는 소정의 M-종속 명령을 실행한다.

[표 16]

C21	C11	C10	C9	(WRM)	WRM 상의 동작
X	0	0	0	X	NOP 동작 안함
X	0	0	1	X	WRC 내로 기입된 RFO(n)
X	0	1	0	X	WRC 내로 기입된 RF1(p)
X	0	1	1	X	WRC 내로 기입된 (WRA)
0	1	0	0	X	WRC 내로 기입된 CY
1	0	0	0	0	WRC 내로 로드된 BW
1	0	0	0	1	WRC 내로 기입된 CY
1	0	1	X	X	WRC 내로 로드된 (WRC)
1	1	0	X	X	WRC 내로 로드된 0
1	1	1	X	X	WRC 내로 로드된 1

[근거리 통신(NEAR-NEIGHBOR COMMUNICATION) 및 전역(GLOBAL) 출력]

근거리 통신 시스템은 4개의 가장 인접한 PE들; 바로 이웃의 PE(150)에 대해 2개는 좌측 및 2개는 우측의 직접 메모리 및 레지스터 판독/기입할 수 있도록 각각의 PE(150)에 제공될 수 있다. 또한, 동일한 회로가 전역 플래그(flag)(GO) 또는 전역 출력(178)을 생성하는데 사용될 수 있다. (GO)(178) 신호는 DOR(168)을 로드 및 클럭 아웃시키지 않고 SVP의 외측에 대한 내부 경우의 플래깅 하는 방법이다.

[근거리 통신]

제2도를 다시 참조하며, 각각의 PE는 4개의 인접 PE에 팬 아웃(fan out)되는 소위 1개의 L/R(또는 좌/우) 출력(308)을 발생시킨다. 각각의 PE(150) 또한 4개의 인접 PE들로부터 각각 1개의 신호인 4개의 L/R 신호를 입력시킨다. 이것들은 L2(312)(좌측으로의 제2PE), L(310)(좌측에 대해 제1PE), R(322)(우측에 대해 제1PE) 및 R2(324)(우측에 대해 제2PE)로 명명되었다. 제15도는 다수의 프로세서 소자들이 연속 형태로 교차되는 상호 접속 시스템을 도시한 것이다.

데이터 선택기(305)(4-1 멀티플렉서)는 제어 라인 C7 및 C6의 기능으로써 L/R라인(308)에 대해 입력하도록 PE(n)내의 4개의 데이터 소스들 중 1개를 소스를 선택한다. 레지스터 파일 RFO(RAM0)(288) 또는 RF1(RAM1)(286)으로부터의 위치, 논리 ZERO(304), WRB(268)의 내용은 인접 프로세서 소자에 통신될 수 있다.

표 17에서 L/R에 대한 데이터 소스는 제어 라인의 기능으로서 리스트된다.