

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6013676号
(P6013676)

(45) 発行日 平成28年10月25日 (2016. 10. 25)

(24) 登録日 平成28年9月30日 (2016. 9. 30)

(51) Int. Cl.	F I				
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78	6 1 6 L			
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78	6 1 8 B			
HO 1 L 21/8242 (2006. 01)	HO 1 L 29/78	6 1 6 V			
HO 1 L 27/108 (2006. 01)	HO 1 L 27/10	3 2 1			
HO 1 L 21/8247 (2006. 01)	HO 1 L 27/10	6 7 1 C			
請求項の数 7 (全 42 頁) 最終頁に続く					

(21) 出願番号	特願2011-247279 (P2011-247279)	(73) 特許権者	000153878
(22) 出願日	平成23年11月11日 (2011. 11. 11)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-105814 (P2013-105814A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年5月30日 (2013. 5. 30)	(72) 発明者	遠藤 佑太
審査請求日	平成26年10月27日 (2014. 10. 27)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	野田 耕生
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		審査官	竹口 泰裕
最終頁に続く			

(54) 【発明の名称】 半導体装置及び半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

酸化物半導体膜と、
ゲート電極と、
前記酸化物半導体膜と前記ゲート電極との間に挟まれている領域を有するゲート絶縁膜と、
前記酸化物半導体膜と電氣的に接続される電極と、を有し、
前記酸化物半導体膜には、In - M - Zn - O系材料が用いられ、
前記酸化物半導体膜は、第1の領域を有し、
前記第1の領域は、前記電極と接する領域を有し、
前記第1の領域は、Inの濃度勾配を有し、
前記第1の領域は、前記酸化物半導体膜の表面から遠ざかるほどInの濃度が低く、
前記第1の領域は、前記酸化物半導体膜の表面から15nm以下の範囲であることを特徴とする半導体装置。

10

【請求項2】

請求項1において、
前記第1の領域は、Znの濃度勾配を有し、
前記第1の領域は、前記酸化物半導体膜の表面から遠ざかるほどZnの濃度が高いことを特徴とする半導体装置。

【請求項3】

20

請求項 1 又は請求項 2 において、
 M は、G a であり、
 前記第 1 の領域は、G a の濃度勾配を有し、
 前記第 1 の領域は、前記酸化物半導体膜の表面から遠ざかるほど G a の濃度が高いことを特徴とする半導体装置。

【請求項 4】

請求項 1 又は請求項 2 において、
 M は、G a であり、
 前記第 1 の領域は、G a の濃度勾配を有し、
 前記第 1 の領域は、前記酸化物半導体膜の表面から遠ざかるほど G a の濃度が低いこと 10
 を特徴とする半導体装置。

【請求項 5】

酸化物半導体膜と、
 ゲート電極と、
 前記酸化物半導体膜と前記ゲート電極との間に挟まれている領域を有するゲート絶縁膜と、
 前記酸化物半導体膜と電氣的に接続される電極と、を有し、
 前記酸化物半導体膜には、I n - M - Z n - O 系材料が用いられ、
 前記酸化物半導体膜は、第 1 の領域を有し、
 前記第 1 の領域は、前記電極と接する領域を有し、 20
 前記第 1 の領域は、I n の濃度勾配を有し、
 前記第 1 の領域は、前記酸化物半導体膜の表面から遠ざかるほど I n の濃度が低く、
 前記第 1 の領域は、前記酸化物半導体膜の表面から 15 nm 以下の範囲である半導体装置の作製方法であって、
 前記酸化物半導体膜は、加熱処理によって Z n を脱離させて相対的に I n の濃度を高める第 1 の工程を経て形成されたものであることを特徴とする半導体装置の作製方法。

【請求項 6】

酸化物半導体膜と、
 ゲート電極と、
 前記酸化物半導体膜と前記ゲート電極との間に挟まれている領域を有するゲート絶縁膜 30
 と、
 前記酸化物半導体膜と電氣的に接続される電極と、を有し、
 前記酸化物半導体膜には、I n - M - Z n - O 系材料が用いられ、
 前記酸化物半導体膜は、第 1 の領域を有し、
 前記第 1 の領域は、前記電極と接する領域を有し、
 前記第 1 の領域は、I n の濃度勾配を有し、
 前記第 1 の領域は、前記酸化物半導体膜の表面から遠ざかるほど I n の濃度が低く、
 前記第 1 の領域は、前記酸化物半導体膜の表面から 15 nm 以下の範囲である半導体装置の作製方法であって、
 前記酸化物半導体膜は、加熱処理によって Z n を脱離させて相対的に I n の濃度を高め 40
 る第 1 の工程を経て形成されたものであり、
 前記酸化物半導体膜は、酸素を供給することによって酸素欠損を低減する第 2 の工程を経て形成されたものであることを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 5 又は 6 において、
 前記加熱処理は、減圧状態で行われることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置およびその作製方法に関する。

【 0 0 0 2 】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能し得る装置全般をいい、電気光学装置、半導体回路および電子機器などは全て半導体装置である。

【 背景技術 】

【 0 0 0 3 】

絶縁表面を有する基板上に形成された半導体膜を用いて、トランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような半導体装置に広く応用されている。トランジスタに適用可能な半導体膜としてシリコン系半導体材料が知られているが、近年では酸化物系半導体材料が注目されている。

【 0 0 0 4 】

例えば、トランジスタの活性層として、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満であるインジウム、ガリウムおよび亜鉛を含む非晶質酸化物膜を用いたトランジスタが開示されている（特許文献1参照。）。 10

【 0 0 0 5 】

酸化物半導体膜を用いたトランジスタは、非晶質シリコン膜を用いたトランジスタと比べて酸化物半導体膜の電子移動度が高いため、動作速度を大幅に向上させることができる。また、非晶質シリコン膜を用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を押しえられるメリットもある。

【 0 0 0 6 】

また、酸化物半導体膜である In-Ga-Zn-O 系材料中の組成比とホール移動度およびキャリア密度の関係が開示されている（非特許文献1参照。）。 20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【特許文献1】特開2006-165528号公報

【 非特許文献 】

【 0 0 0 8 】

【非特許文献1】Toshio Kamiya, Kenji Nomura, and Hideo Hosono, "Origins of High Mobility and Low Operation Voltage of Amorphous Oxide TFTs: Electronic Structure, Electron Transport, Defects and Doping" Journal of Display Technology, vol. 5, No. 7, 2009, pp 273 - 288 30

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

酸化物半導体膜を用いたトランジスタにおいて高いオン特性を得ようとする場合、チャネル領域の抵抗よりも、ソース領域およびドレイン領域の抵抗の影響が大きくなる。これは、酸化物半導体膜自体が高抵抗であることに起因する。 40

【 0 0 1 0 】

そこで、酸化物半導体膜のソース領域およびドレイン領域の導電率を高めることで、高いオン特性を有する酸化物半導体膜を用いたトランジスタを提供することを課題の一とする。

【 0 0 1 1 】

また、当該酸化物半導体膜を用いたトランジスタを用い、高速動作が可能な半導体装置を提供することを課題の一とする。

【 課題を解決するための手段 】

【 0 0 1 2 】

本発明の一態様に係るトランジスタは、第1の領域および第2の領域を有し、少なくとも 50

インジウム (In) を含む酸化物半導体膜と、少なくとも酸化物半導体膜の第1の領域と重畳して設けられたゲート電極と、酸化物半導体膜およびゲート電極の間に設けられたゲート絶縁膜と、少なくとも一部が酸化物半導体膜の第2の領域と接して設けられた電極と、を有し、酸化物半導体膜は、電極との界面近傍のInの濃度が高く、界面から15nmの範囲で遠ざかるに従いInの濃度が低くなる。

【0013】

なお、酸化物半導体膜の第1の領域はトランジスタのチャンネル領域として機能し、第2の領域はトランジスタのソース領域、ドレイン領域として機能する。

【0014】

または、当該酸化物半導体膜は、電極との界面近傍の亜鉛 (Zn) の濃度が低く、界面から15nmの範囲で遠ざかるに従いZnの濃度が高くなるトランジスタである。

10

【0015】

または、当該酸化物半導体膜は、電極との界面近傍のガリウム (Ga) の濃度が低く、界面から15nmの範囲で遠ざかるに従いGaの濃度が高くなるトランジスタである。

【0016】

または、当該酸化物半導体膜は、電極との界面近傍のGaの濃度が高く、界面から15nmの範囲で遠ざかるに従いGaの濃度が低くなるトランジスタである。

【0017】

酸化物半導体膜は、概してInの濃度が高いほどホール移動度が高く、かつキャリア密度が高い。即ち、Inの濃度が高い酸化物半導体膜は導電率が高くなる。

20

【0018】

従って、トランジスタのオン特性を向上させるためには、トランジスタのソース領域およびドレイン領域のInの濃度が高いことが好ましい。

【0019】

また、トランジスタのオン特性を向上させるためには、トランジスタのソース領域およびドレイン領域とチャンネル領域との間にキャリアの移動を阻害する要因のないことが好ましい。

【0020】

発明者らは、酸化物半導体膜に対し加熱処理を行うことにより、酸化物半導体膜に含まれるIn以外の金属元素 (例えばGa、Znなど) の濃度が部分的に低減し、相対的にInの濃度が高まることを見出した。

30

【0021】

これは、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) による、精密な深さ方向分析によりわかったことである。

【0022】

具体的には、酸化物半導体膜に対し加熱処理を行った際の表面側 (加熱雰囲気暴露される側) でInの濃度がもっとも高く、表面から遠ざかるほどInの濃度は低くなる。また、表面から15nmより深い部分では一定のInの濃度となる。このように、Inが濃度勾配を有することにより、単に低抵抗の異種材料を用いた場合と比較して、酸化物半導体膜中でキャリアの移動が阻害されにくい。そのため、当該酸化物半導体膜を用いたトランジスタは、高いオン特性を得ることができる。

40

【0023】

また、トランジスタのチャンネル領域においてもInの濃度を高めた場合、キャリア密度が高まることによりトランジスタのしきい値電圧がマイナス側にシフトすることが懸念される。そのため、トランジスタのチャンネル領域のInの濃度が高くないことが好ましい。

【0024】

例えば、トランジスタのチャンネル領域を絶縁膜で覆った状態で加熱処理を行うことで、絶縁膜によってIn以外の金属元素の脱離を防ぐことができるため、トランジスタのチャンネル領域のInの濃度を高めないことが可能となる。または、トランジスタのチャンネル領域の表面を僅かにエッチングすることで、Inの濃度の高い層を除去することが可能となる

50

。

【発明の効果】

【0025】

酸化半導体膜のソース領域およびドレイン領域の導電率を高めることで、高いオン特性を有する、酸化半導体膜を用いたトランジスタを提供することができる。

【0026】

また、当該酸化半導体膜を用いたトランジスタを用い、高速動作が可能な半導体装置を提供することができる。

【図面の簡単な説明】

【0027】

【図1】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図2】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図3】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図4】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図5】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図6】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図7】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図8】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図9】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図10】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図11】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図12】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図13】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図14】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図15】本発明の一態様に係るトランジスタの作製方法の一例を示す断面図。

【図16】本発明の一態様に係るトランジスタを用いた液晶表示装置の一例を示す回路図

。

【図17】本発明の一態様に係るトランジスタを用いた半導体記憶装置の一例を示す回路図および電気的特性を示す図。

【図18】本発明の一態様に係るトランジスタを用いた半導体記憶装置の一例を示す回路図および電気的特性を示す図。

【図19】本発明の一態様に係るトランジスタを用いたCPUの具体例を示すブロック図およびその一部の回路図。

【図20】本発明の一態様に係る半導体装置を有する電子機器の一例を示す斜視図。

【図21】酸化半導体膜のTDS結果を示す図。

【図22】酸化半導体膜のSIMS結果を示す図。

【図23】酸化半導体膜のSIMS結果を示す図。

【発明を実施するための形態】

【0028】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0029】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0030】

10

20

30

40

50

(実施の形態1)

本実施の形態では、本発明の一態様に係るトランジスタについて図1乃至図3を用いて説明する。

【0031】

図1(A)は本発明の一態様に係るトランジスタの上面図である。図1(A)に示す一点鎖線A-Bに対応する断面図を図1(B)に示す。なお、簡単のため、図1(A)においては、保護絶縁膜118、ゲート絶縁膜112などを省略して示す。

【0032】

図1(B)に示すトランジスタは、基板100と、基板100上に設けられた下地絶縁膜102と、下地絶縁膜102上に設けられたゲート電極104と、少なくともゲート電極104を覆って設けられたゲート絶縁膜112と、ゲート絶縁膜112を介してゲート電極104と重畳して設けられた、第1の層106aおよび第2の層106bを有する酸化

10

物半導体膜106と、酸化物半導体膜106上に設けられた一对の電極116と、を有し、酸化物半導体膜106の第2の層106bは、一对の電極116との界面近傍に設けられる。なお、図1(B)に示すトランジスタは、少なくとも酸化物半導体膜106および一对の電極116を覆って設けられた保護絶縁膜118を有すると好ましい。

【0033】

なお、本明細書において、「Aを覆って設けられるB」とは、少なくともAの表面および側面に接してBが設けられることをいう。ただし、配線などの接続のために、Bが開口部を有し、Aの一部を露出している場合も構わない。

20

【0034】

なお、酸化物半導体膜106の第1の層106aは、酸化物半導体膜106を構成する金属元素および酸素の原子数比が均一な層である。

【0035】

また、酸化物半導体膜106の第2の層106bは、酸化物半導体膜106を構成する金属元素の濃度勾配を有する層である。ここでは、酸化物半導体膜106の表面の法線ベクトルに沿って金属元素の濃度勾配を有する。第2の層106bの厚さは15nm以下、10nm以下または5nm以下である。

【0036】

酸化物半導体膜106の材料として、例えば、In-M-Zn-O系材料を用いればよい。ここで、金属元素Mは酸素との結合エネルギーがInおよびZnよりも高い元素である。または、In-M-Zn-O系材料から酸素が脱離することを抑制する機能を有する元素である。金属元素Mの作用によって、酸化物半導体膜の酸素欠損の生成が抑制される。そのため、酸素欠損に起因するトランジスタの電気特性の変動を低減することができ、信頼性の高いトランジスタを得ることができる。

30

【0037】

金属元素Mは、具体的にはAl、Si、Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Ga、Ge、Y、Zr、Nb、Mo、Sn、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、TaまたはWとすればよく、好ましくはAl、Ti、Ga、Y、Zr、CeまたはHfとする。金属元素Mは、前述の元素から一種または二種以上選択すればよい。

40

【0038】

ここで、In-M-Zn-O系材料で表される酸化物半導体は、Inの濃度が高いほどキャリア移動度およびキャリア密度が高まる。結果、Inの濃度が高いほど導電率の高い酸化物半導体となる。

【0039】

一方、キャリア密度の高い酸化物半導体をチャネル領域に形成したトランジスタは、トランジスタをオフ状態とするためにゲート電極に負の電圧を印加しなくてはならなくなる。そのため、チャネル領域のキャリア密度が高いほど、トランジスタのしきい値電圧がマイナス方向へシフトしていくことになる。

50

【0040】

そこで、ソース領域およびドレイン領域（ここでは、酸化物半導体膜106において、一对の電極116と接する領域を指す。）にのみ、Inの濃度の高い酸化物半導体を用いればよい。具体的には、図1(B)に示すトランジスタにおいては、酸化物半導体膜106の第2の層106bを、第1の層106aよりもInの濃度の高い層とする。例えば、酸化物半導体膜106の第2の層106bは、第1の層106aよりも平均して5原子%以上、好ましくは10原子%以上、さらに好ましくは15原子%以上Inの濃度が高い。

【0041】

なお、酸化物半導体膜106の第2の層106bは、金属元素の濃度勾配を有する層である。より詳細には、酸化物半導体膜106の表面に近いほどInの濃度が高く、表面から遠ざかるほどInの濃度が低くなる。例えば、酸化物半導体膜106の第2の層106bは、第1の層106aよりも平均して5原子%以上、好ましくは10原子%以上、さらに好ましくは15原子%以上Inの濃度が高い。

10

【0042】

また、酸化物半導体膜106の第2の層106bは、表面に近いほどZnの濃度が低く、表面から遠ざかるほどZnの濃度が高くなる。例えば、酸化物半導体膜106の第2の層106bは、第1の層106aよりも平均して5原子%以上、好ましくは10原子%以上、さらに好ましくは15原子%以上Znの濃度が低い。

【0043】

また、酸化物半導体膜106の第2の層106bは、表面に近いほど金属元素Mの濃度が低く、表面から遠ざかるほど金属元素Mの濃度が高くなる。例えば、酸化物半導体膜106の第2の層106bは、第1の層106aよりも平均して1原子%以上、好ましくは2原子%以上、さらに好ましくは5原子%以上金属元素Mの濃度が低い。ただし、これに限定されず、酸化物半導体膜106の表面に近いほど金属元素Mの濃度が高く、表面から遠ざかるほど金属元素Mの濃度が低くなっても構わない。例えば、酸化物半導体膜106の第2の層106bは、第1の層106aよりも平均して1原子%以上、好ましくは2原子%以上、さらに好ましくは5原子%以上金属元素Mの濃度が高い。

20

【0044】

このように、酸化物半導体膜106の第2の層106bは、金属元素の濃度勾配を有する。そのため、単に低抵抗の異種材料を用いた場合と比較して、酸化物半導体膜106中でキャリアの移動が阻害されにくい。

30

【0045】

酸化物半導体膜106は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【0046】

好ましくは、酸化物半導体膜106は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜とする。

【0047】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因するキャリア移動度の低下が抑制される。

40

【0048】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面または表面に垂直な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に

50

配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。

【0049】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜106の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0050】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面または表面に垂直な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面または表面に垂直な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0051】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0052】

基板100に大きな制限はないが、少なくとも、後の熱処理に耐え得る程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板100として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI(Silicon On Insulator)基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板100として用いてもよい。

【0053】

また、基板100として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板100に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

【0054】

下地絶縁膜102は、基板100に起因する不純物が、酸化物半導体膜106に影響しないようにするために設ける。ただし、基板100が不純物を含まない場合は、下地絶縁膜102を設けなくても構わない。

【0055】

下地絶縁膜102としては、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層または積層して用いればよい。

【0056】

酸化窒化シリコンとは、その組成において、窒素よりも酸素の含有量が多いものを示し、例えば、酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、シリコンが25原子%以上35原子%以下、水素が0原子%以上10原子%以下の範囲で含まれるものをいう。また、窒化酸化シリコンとは、その組成において、酸素よりも窒素の含有量が多いものを示し、例えば、酸素が5原子%以上30原子%以下、窒素が20原子%以上55原子%以下、シリコンが25原子%以上35原子%以下、水素が10原子%以上25原子%以下の範囲で含まれるものをいう。ただし、上記範囲は、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spec

10

20

30

40

50

trometry)や、水素前方散乱法(HFS:Hydrogen Forward scattering Spectrometry)を用いて測定した場合のものである。また、構成元素の組成は、その合計が100原子%を超えない値をとる。

【0057】

ゲート電極104は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層または積層して用いられたい。または、少なくともInおよびZnを含む酸化物または酸窒化物を用いても構わない。例えば、In-Ga-Zn-O-N系材料などを用いられたい。

【0058】

ゲート絶縁膜112は酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層または積層して用いられたい。

10

【0059】

一对の電極116は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層または積層して用いられたい。

【0060】

保護絶縁膜118は、酸化アルミニウム、窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルを含む材料から一種以上選択して、単層または積層して用いられたい。

20

【0061】

なお、保護絶縁膜118は、比誘電率が低く、かつ十分な厚さを有すると好ましい。例えば、比誘電率が3.8程度である酸化シリコン膜を用い、200nm以上1000nm以下の厚さで設ければよい。保護絶縁膜118の表面は、大気成分などの影響で僅かに固定電荷を有し、その影響により、トランジスタのしきい値電圧が変動することがある。そのため、保護絶縁膜118は、表面に生じる電荷の影響が十分に小さくなるような範囲の比誘電率および厚さとすることが好ましい。同様の理由で、保護絶縁膜118上に樹脂膜を形成することで、表面に生じる電荷の影響を軽減しても構わない。

30

【0062】

以上に示すとおり、本発明の一態様に係るトランジスタは、ソース領域およびドレイン領域の導電率が高い、オン特性に優れたトランジスタである。

【0063】

以下に、図2および図3を用いて、図1(B)に示すトランジスタの作製方法を説明する。

【0064】

まず、基板100を準備し、基板100上に下地絶縁膜102を成膜する。下地絶縁膜102は、スパッタリング法、化学気相成長(CVD:Chemical Vapor Deposition)法、分子線エピタキシー(MBE:Molecular Beam Epitaxy)法、原子層堆積(ALD:Atomic Layer Deposition)法またはパルスレーザ堆積(PLD:Pulse Laser Deposition)法を用いて成膜すればよい。

40

【0065】

次に、ゲート電極104となる導電膜を成膜する。該導電膜は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。次に、ゲート電極104となる導電膜を加工し、ゲート電極104を形成する。

【0066】

なお、本明細書において、単に「加工する」と記載する場合、フォトリソグラフィ工程により形成したレジストマスクを用いて、膜を所望の形状にすることを示す。

50

【0067】

次に、ゲート絶縁膜112を成膜する。ゲート絶縁膜112は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0068】

ゲート絶縁膜112は、好ましくはスパッタリング法を用いて成膜する。この際、酸化性ガス(酸素、オゾンまたは亜酸化窒素)を5%以上、好ましくは10%以上、さらに好ましくは20%以上、さらに好ましくは50%以上含む成膜ガスを用いる。該成膜ガスとして、水素などの不純物濃度が低いガスを用いる。また、成膜時の基板温度は室温以上200以下、好ましくは室温以上150以下、さらに好ましくは室温以上120以下とする。以上のような方法を用いることで、水素などの不純物濃度が低く、かつ酸素を余剰に含みやすいため、加熱処理により酸素を放出するゲート絶縁膜112を成膜することができる。

10

【0069】

なお、ゲート絶縁膜112は、300以上450以下、好ましくは250以上700以下の温度における加熱処理により酸素を放出する絶縁膜を用いると好ましい。

【0070】

酸化物半導体膜を用いたトランジスタにおいて、酸化物半導体膜中の酸素欠損はドナーとなるため、トランジスタのしきい値電圧をマイナス方向へシフトさせる要因となる。また、ゲート絶縁膜と酸化物半導体膜との界面における酸素欠損は、トランジスタの動作などに起因して電荷を捕獲するため、トランジスタの電気特性を変動させる要因となる。従って、酸化物半導体膜中、および酸化物半導体膜とゲート絶縁膜との界面における酸素欠損を低減することは、酸化物半導体膜を用いたトランジスタの電気特性を安定させ、かつ信頼性を向上させることに繋がる。そのため、ゲート絶縁膜から酸素が放出されると、酸化物半導体膜中、および酸化物半導体膜とゲート絶縁膜との界面における酸素欠損を低減することができる。好ましい。

20

【0071】

「加熱処理により酸素を放出する」とは、TDSにて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以上、さらに好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上であることをいう。

30

【0072】

ここで、TDSにて、酸素原子に換算しての酸素の放出量の測定方法について、以下に説明する。

【0073】

TDSによる気体の放出量は、スペクトルの積分値に比例する。このため、測定したスペクトルの積分値と標準試料の基準値との比により、気体の放出量を計算することができる。標準試料の基準値は、所定の原子密度を有する試料において、スペクトルの積分値に対する原子密度の割合である。

【0074】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、および絶縁膜のTDS結果から、絶縁膜の酸素分子の放出量(N_{O_2})は、数式1で求めることができる。ここで、TDSで得られる質量電荷比(M/z)が32で検出されるスペクトルの全てが酸素分子由来と仮定する。 M/z が32のものとしてほかに CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である M/z が17の酸素原子および M/z が18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

40

【0075】

【数1】

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{H_2} \times S_{O_2} \times \alpha \quad (1)$$

【0076】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料を TDS によるスペクトルの積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、絶縁膜を TDS によるスペクトルの積分値である。 α は、TDS におけるスペクトル強度に影響する係数である。数式1の詳細に関しては、特開平6-275697公報を参照する。なお、上記絶縁膜の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置 EMD-WA1000S/W を用い、標準試料として 1×10^{16} atoms/cm³ の水素原子を含むシリコンウェハを用いて測定する。

10

【0077】

また、TDS において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【0078】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

20

【0079】

次に、ゲート絶縁膜112上に酸化物半導体膜136を成膜する(図2(A)参照。)。酸化物半導体膜136は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0080】

酸化物半導体膜136は、好ましくはスパッタリング法を用いて成膜する。この際、酸化性ガスを5%以上、好ましくは10%以上、さらに好ましくは20%以上、さらに好ましくは50%以上含む成膜ガスを用いる。該成膜ガスとして、水素などの不純物濃度が低いガスを用いる。

30

【0081】

酸化物半導体膜136の成膜後、酸化物半導体膜136の表面近傍に金属元素の濃度勾配を形成する処理を行う。例えば、減圧処理、加熱処理、プラズマ処理または薬液処理で行えばよく、好ましくは減圧状態で加熱処理で行う。なお、本明細書において、表面近傍とは、表面から15nm以下、10nm以下、または5nm以下の範囲をいう。

【0082】

酸化物半導体膜136の表面近傍に金属元素の濃度勾配を形成する処理は、酸化物半導体膜136の成膜後、大気に暴露せずに行ってもよい。例えば、スパッタリング装置の処理室で酸化物半導体膜136を成膜後、0.5分以上120分以下、好ましくは1分以上60分以下の時間、基板100を処理室に保持することで減圧処理を兼ねても構わない。

40

【0083】

または、酸化物半導体膜136の成膜時の基板温度を100℃以上400℃以下、好ましくは150℃以上350℃以下とすることで、酸化物半導体膜136の成膜後、大気に暴露せず減圧状態で加熱処理を行うことが可能となる。具体的には、酸化物半導体膜136の成膜後、0.5分以上120分以下、好ましくは1分以上60分以下の時間、基板100を処理室に保持すればよい。

【0084】

または、酸化物半導体膜136の成膜後、酸化物半導体膜136を成膜した成膜装置内の別の処理室に基板100を移動させ、減圧処理、加熱処理またはプラズマ処理を行っても

50

よい。

【0085】

このように、酸化物半導体膜136の表面近傍に金属元素の濃度勾配を形成する処理を、大気に暴露せずに行うことで、コストの低減および生産性の向上が可能となる。

【0086】

加熱処理は、不活性ガス（窒素、またはヘリウム、ネオン、アルゴン、クリプトン、キセノンなどの希ガス）雰囲気、酸化性ガスを10ppm以上、好ましくは1%以上、さらに好ましくは10%以上含む雰囲気、または減圧状態（10Pa以下、好ましくは1Pa以下、さらに好ましくは0.1Pa以下）において、50以上650以下、好ましくは100以上450以下の温度で行う。

10

【0087】

加熱処理によって、酸化物半導体膜136の表面近傍のInの濃度を高めることができる。

【0088】

酸化物半導体膜136として、In-M-Zn-O系材料を用いる場合、加熱処理によってZnが脱離し濃度が低くなる。その結果、相対的にInの濃度を高めることができる。

【0089】

また、金属元素Mの濃度は、酸化物半導体膜136の成膜条件、金属元素Mの種類または/および加熱処理の条件によって、高まることも、低まることもある。

【0090】

20

このように、酸化物半導体膜136の表面近傍に金属元素の濃度勾配を形成する処理を行うことで、第1の層137aおよび第2の層137bを有する酸化物半導体膜137を形成する（図2（B）参照。）。

【0091】

ここで、第1の層137aは、酸化物半導体膜136と同様の原子数比の層である。また、第2の層137bは、酸化物半導体膜136よりもInの濃度が高い層である。なお、第2の層137bは、表面側ほどInの濃度が高く、表面から15nm、10nmまたは5nmの範囲でInの濃度勾配を有する。

【0092】

次に、酸化物半導体膜137を加工し、島状の酸化物半導体膜107を形成する（図2（C）参照。）。なお、酸化物半導体膜107は、第1の層137aおよび第2の層137bに対応する第1の層107aおよび第2の層107bを有する。

30

【0093】

次に、導電膜117を成膜する（図3（A）参照。）。導電膜117は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0094】

次に、導電膜117を加工し、一对の電極116を形成する（図3（B）参照。）。

【0095】

導電膜117を加工するとともに、酸化物半導体膜107をエッチングし、第1の層106aおよび第2の層106bを有する酸化物半導体膜106を形成する。このような方法を用いることで、一对の電極116との界面近傍に、酸化物半導体膜106の第2の層106bを選択的に設けることができる。

40

【0096】

次に、保護絶縁膜118を成膜する（図3（C）参照。）。保護絶縁膜118は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0097】

以上のようにして、図1（B）に示すトランジスタを作製すればよい。

【0098】

図1（B）に示すトランジスタは、酸化物半導体膜106において、第1の層106aと第2の層106bとの間でキャリアの移動が阻害されにくく、高いオン特性を得ることが

50

できる。

【0099】

また、酸化物半導体膜の導電率を高めるために酸化物半導体膜中の金属元素の原子数比を調整していることにより、作製したトランジスタにおいて、酸化物半導体膜中の原子数比は、容易に変動し得ない。そのため、当該トランジスタは、長期的に安定な電気特性が得られる。

【0100】

本実施の形態により、ソース領域およびドレイン領域の導電率が高く、オン特性に優れ、信頼性の高いトランジスタを、低いコストで生産性高く提供することができる。

【0101】

本実施の形態は適宜他の実施の形態と組み合わせて用いることができる。

【0102】

(実施の形態2)

本実施の形態では、実施の形態1とは異なる構造のトランジスタについて図4乃至図6を用いて説明する。

【0103】

図4(A)は本発明の一態様に係るトランジスタの上面図である。図4(A)に示す一点鎖線A-Bに対応する断面図を図4(B)に示す。なお、簡単のため、図4(A)においては、保護絶縁膜214、ゲート絶縁膜112、下地絶縁膜102などを省略して示す。

【0104】

図4(B)に示すトランジスタは、基板100と、基板100上に設けられた下地絶縁膜102と、下地絶縁膜102上に設けられたゲート電極104と、少なくともゲート電極104を覆って設けられたゲート絶縁膜112と、ゲート絶縁膜112を介してゲート電極104と重畳して設けられた、第1の層206aおよび第2の層206bを有する酸化物半導体膜206と、酸化物半導体膜206を覆って設けられた、酸化物半導体膜206の一部を露出する開口部を有する保護絶縁膜214と、保護絶縁膜214の開口部を介して酸化物半導体膜206の第2の層206bと接して設けられた一对の電極216と、を有し、酸化物半導体膜206の第2の層206bは、一对の電極216との界面近傍に設けられる。

【0105】

なお、基板100、下地絶縁膜102、ゲート電極104およびゲート絶縁膜112の材料および形成方法は、実施の形態1の説明を参照する。

【0106】

なお、酸化物半導体膜206の第1の層206aは、酸化物半導体膜206を構成する金属元素および酸素の原子数比が均一な層である。

【0107】

また、酸化物半導体膜206の第2の層206bは、酸化物半導体膜206を構成する金属元素の濃度勾配を有する層である。ここでは、酸化物半導体膜206の表面の法線ベクトルに沿って金属元素の濃度勾配を有する。第2の層206bの厚さは15nm以下、10nm以下または5nm以下である。

【0108】

このように、酸化物半導体膜206の第2の層206bは、金属元素の濃度勾配を有する。そのため、単に低抵抗の異種材料を用いた場合と比較して、酸化物半導体膜206中でキャリアの移動が阻害されにくい。

【0109】

酸化物半導体膜206の材料は、酸化物半導体膜106と同様の材料を用いればよい。

【0110】

保護絶縁膜214は、保護絶縁膜118と同様の材料を用いればよい。

【0111】

一对の電極216は、一对の電極116と同様の材料を用いればよい。

10

20

30

40

50

【 0 1 1 2 】

以下に、図 5 および図 6 を用いて、図 4 (B) に示すトランジスタの作製方法を示す。

【 0 1 1 3 】

なお、図 5 (A) に示す、基板 1 0 0 上に下地絶縁膜 1 0 2 が設けられ、下地絶縁膜 1 0 2 上にゲート電極 1 0 4 が設けられ、ゲート電極 1 0 4 を覆ってゲート絶縁膜 1 1 2 が設けられ、ゲート絶縁膜 1 1 2 上に酸化物半導体膜 1 3 6 が成膜されるまでの作製方法については、実施の形態 1 に示した説明を参照する。

【 0 1 1 4 】

次に、酸化物半導体膜 1 3 6 を加工して島状の酸化物半導体膜 2 3 6 を形成する (図 5 (B) 参照。)。

10

【 0 1 1 5 】

次に、保護絶縁膜 2 1 5 を成膜する (図 5 (C) 参照。)。保護絶縁膜 2 1 5 は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【 0 1 1 6 】

次に、保護絶縁膜 2 1 5 を加工し、酸化物半導体膜 2 3 6 を露出する開口部を有する保護絶縁膜 2 1 4 を形成する (図 6 (A) 参照。)。

【 0 1 1 7 】

次に、酸化物半導体膜 2 3 6 の表面近傍に金属元素の濃度勾配を形成する処理を行う。例えば、減圧処理、加熱処理、プラズマ処理または薬液処理で行えばよく、好ましくは減圧状態で加熱処理で行う。

20

【 0 1 1 8 】

酸化物半導体膜 2 3 6 の表面近傍に金属元素の濃度勾配を形成する処理は、酸化物半導体膜 2 3 6 の露出後 (保護絶縁膜 2 1 4 の形成後)、大気に暴露せずに行ってもよい。例えば、ドライエッチング装置の処理室で保護絶縁膜 2 1 4 の形成後、0.5分以上120分以下、好ましくは1分以上60分以下の時間、基板 1 0 0 を処理室に保持することで減圧処理を兼ねても構わない。

【 0 1 1 9 】

または、保護絶縁膜 2 1 4 の形成時の基板温度を 1 0 0 以上 4 0 0 以下、好ましくは 1 5 0 以上 3 5 0 以下とすることで、酸化物半導体膜 2 3 6 の露出後、大気に暴露せず減圧状態で加熱処理を行うことが可能となる。具体的には、酸化物半導体膜 2 3 6 の露出後、0.5分以上120分以下、好ましくは1分以上60分以下の時間、基板 1 0 0 を処理室に保持すればよい。

30

【 0 1 2 0 】

または、酸化物半導体膜 2 3 6 の露出後、保護絶縁膜 2 1 4 を形成した装置にて、減圧処理、加熱処理またはプラズマ処理を行ってもよい。

【 0 1 2 1 】

このように、酸化物半導体膜 2 3 6 の表面近傍に金属元素の濃度勾配を形成する処理を、大気に暴露せずに行うことで、コストの低減および生産性の向上が可能となる。

【 0 1 2 2 】

加熱処理は、不活性ガス雰囲気、酸化性ガスを 1 0 p p m 以上、好ましくは 1 % 以上、さらに好ましくは 1 0 % 以上含む雰囲気、または減圧状態において、5 0 以上 6 5 0 以下、好ましくは 1 0 0 以上 4 5 0 以下の温度で行う。

40

【 0 1 2 3 】

加熱処理によって、酸化物半導体膜 2 3 6 の表面近傍の I n の濃度を高めることができる。

【 0 1 2 4 】

酸化物半導体膜 2 3 6 として、I n - M - Z n - O 系材料を用いる場合、加熱処理によって Z n が脱離し濃度が低くなる。その結果、相対的に I n の濃度を高めることができる。

【 0 1 2 5 】

また、金属元素 M の濃度は、酸化物半導体膜 2 3 6 の成膜条件、金属元素 M の種類または

50

/および加熱処理の条件によって、高まることも、低まることもある。

【0126】

このように、酸化物半導体膜236の表面近傍に金属元素の濃度勾配を形成する処理を行うことで、第1の層206aおよび第2の層206bを有する酸化物半導体膜206を形成する(図6(B)参照。)

【0127】

ここで、第1の層206aは、酸化物半導体膜136と同様の原子数比の層である。また、第2の層206bは、酸化物半導体膜136よりもInの濃度が高い層である。なお、第2の層206bは、表面側ほどInの濃度が高く、表面から15nm、10nmまたは5nmの範囲でInの濃度勾配を有する。

10

【0128】

次に、導電膜を成膜する。該導電膜は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0129】

次に、導電膜を加工し、一对の電極216を形成する(図6(C)参照。)

【0130】

以上のようにして、図4(B)に示すトランジスタを作製すればよい。

【0131】

図4(B)に示すトランジスタは、酸化物半導体膜206において、第1の層206aと第2の層206bとの間でキャリアの移動が阻害されにくく、高いオン特性を得ることができる。

20

【0132】

また、酸化物半導体膜の導電率を高めるために酸化物半導体膜中の金属元素の原子数比を調整していることにより、作製したトランジスタにおいて、酸化物半導体膜中の原子数比は、容易に変動し得ない。そのため、当該トランジスタは、長期的に安定な電気特性が得られる。

【0133】

本実施の形態により、ソース領域およびドレイン領域の導電率が高く、オン特性に優れ、信頼性の高いトランジスタを、低いコストで生産性高く提供することができる。

【0134】

なお、本実施の形態は適宜他の実施の形態と組み合わせて用いることができる。

30

【0135】

(実施の形態3)

本実施の形態では、実施の形態1および実施の形態2とは異なる構造のトランジスタについて図7乃至図9を用いて説明する。

【0136】

図7(A)は本発明の一態様に係るトランジスタの上面図である。図7(A)に示す一点鎖線A-Bに対応する断面図を図7(B)に示す。なお、簡単のため、図7(A)においては、ゲート絶縁膜312、下地絶縁膜102などを省略して示す。

【0137】

図7(B)に示すトランジスタは、基板100と、基板100上に設けられた下地絶縁膜102と、下地絶縁膜102上に設けられた第1の層306aおよび第2の層306bを有する酸化物半導体膜306と、酸化物半導体膜306上に設けられた一对の電極316と、酸化物半導体膜306および一对の電極316を覆って設けられたゲート絶縁膜312と、ゲート絶縁膜312を介して酸化物半導体膜306と重畳して設けられたゲート電極304と、を有し、酸化物半導体膜306の第2の層306bは、酸化物半導体膜306と一对の電極316との間に設けられる。

40

【0138】

なお、基板100および下地絶縁膜102の材料および形成方法は、実施の形態1の説明を参照する。

50

【 0 1 3 9 】

なお、酸化物半導体膜 3 0 6 の第 1 の層 3 0 6 a は、酸化物半導体膜 3 0 6 を構成する金属元素および酸素の原子数比が均一な層である。

【 0 1 4 0 】

また、酸化物半導体膜 3 0 6 の第 2 の層 3 0 6 b は、酸化物半導体膜 3 0 6 を構成する金属元素の濃度勾配を有する層である。ここでは、酸化物半導体膜 3 0 6 の表面の法線ベクトルに沿って金属元素の濃度勾配を有する。第 2 の層 3 0 6 b の厚さは 1 5 n m 以下、1 0 n m 以下または 5 n m 以下である。

【 0 1 4 1 】

このように、酸化物半導体膜 3 0 6 の第 2 の層 3 0 6 b は、金属元素の濃度勾配を有する。そのため、単に低抵抗の異種材料を用いた場合と比較して、酸化物半導体膜 3 0 6 中でキャリアの移動が阻害されにくい。

10

【 0 1 4 2 】

酸化物半導体膜 3 0 6 の材料は、酸化物半導体膜 1 0 6 と同様の材料を用いればよい。

【 0 1 4 3 】

一对の電極 3 1 6 は、一对の電極 1 1 6 と同様の材料を用いればよい。

【 0 1 4 4 】

ゲート絶縁膜 3 1 2 は、ゲート絶縁膜 1 1 2 と同様の材料を用いればよい。

【 0 1 4 5 】

ゲート電極 3 0 4 は、ゲート電極 1 0 4 と同様の材料を用いればよい。

20

【 0 1 4 6 】

以下に、図 8 および図 9 を用いて、図 7 (B) に示すトランジスタの作製方法を示す。

【 0 1 4 7 】

なお、基板 1 0 0 上に下地絶縁膜 1 0 2 が設けられるまでの作製方法については、実施の形態 1 に示した説明を参照する。

【 0 1 4 8 】

なお、下地絶縁膜 1 0 2 は十分な平坦性を有することが好ましい。そのため、下地絶縁膜 1 0 2 に対し、平坦化処理を行うと好ましい。平坦化処理としては、化学機械研磨 (C M P : C h e m i c a l M e c h a n i c a l P o l i s h i n g)、またはドライエッチング法を用いればよい。具体的には、平均面粗さ (R a) が 1 n m 以下、好ましくは 0 . 3 n m 以下、さらに好ましくは 0 . 1 n m 以下となるように下地絶縁膜 1 0 2 を設ける。上述の数値以下の R a とすることで、酸化物半導体膜に結晶領域が形成されやすくなる。また、下地絶縁膜 1 0 2 と酸化物半導体膜との界面の凹凸が小さくなることで、界面散乱の影響を小さくできる。なお、R a は、J I S B 0 6 0 1 で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、数式 2 にて定義される。

30

【 0 1 4 9 】

【数 2】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad (2)$$

40

【 0 1 5 0 】

なお、数式 2 において、 S_0 は、測定面 (座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) で表される 4 点によって囲まれる長方形の領域) の面積を指し、 Z_0 は測定面の平均高さを指す。R a は原子間力顕微鏡 (A F M : A t o m i c F o r c e M i c r o s c o p e) にて評価可能である。

【 0 1 5 1 】

50

次に、酸化物半導体膜 336 を成膜する（図 8（A）参照。）。酸化物半導体膜 336 は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0152】

酸化物半導体膜 336 は、好ましくはスパッタリング法を用いて成膜する。この際、酸化性ガスを 5%以上、好ましくは 10%以上、さらに好ましくは 20%以上、さらに好ましくは 50%以上含む成膜ガスを用いる。該成膜ガスとして、水素などの不純物濃度が低いガスを用いる。

【0153】

酸化物半導体膜 336 の成膜後、酸化物半導体膜 336 の表面近傍に金属元素の濃度勾配を形成する処理を行う。例えば、減圧処理、加熱処理、プラズマ処理または薬液処理で行えばよく、好ましくは減圧状態で加熱処理で行う。

10

【0154】

酸化物半導体膜 336 の表面近傍に金属元素の濃度勾配を形成する処理は、酸化物半導体膜 336 の成膜後、大気に暴露せずに行ってもよい。例えば、スパッタリング装置の処理室で酸化物半導体膜 336 を成膜後、0.5分以上120分以下、好ましくは1分以上60分以下の時間、基板 100 を処理室に保持することで減圧処理を兼ねても構わない。

【0155】

または、酸化物半導体膜 336 の成膜時の基板温度を 100 以上 400 以下、好ましくは 150 以上 350 以下とすることで、酸化物半導体膜 336 の成膜後、大気に暴露せず減圧状態で加熱処理を行うことが可能となる。具体的には、酸化物半導体膜 336 の成膜後、0.5分以上120分以下、好ましくは1分以上60分以下の時間、基板 100 を処理室に保持すればよい。

20

【0156】

または、酸化物半導体膜 336 の成膜後、酸化物半導体膜 336 を成膜した成膜装置内の別の処理室に基板 100 を移動させ、減圧処理、加熱処理またはプラズマ処理を行ってもよい。

【0157】

このように、酸化物半導体膜 336 の表面近傍に金属元素の濃度勾配を形成する処理を、大気に暴露せずに行うことで、コストの低減および生産性の向上が可能となる。

30

【0158】

加熱処理は、不活性ガス雰囲気、酸化性ガスを 10 ppm以上、好ましくは 1%以上、さらに好ましくは 10%以上含む雰囲気、または減圧状態において、50 以上 650 以下、好ましくは 100 以上 450 以下の温度で行う。

【0159】

加熱処理によって、酸化物半導体膜 336 の表面近傍の In の濃度を高めることができる。

【0160】

酸化物半導体膜 336 として、In-M-Zn-O系材料を用いる場合、加熱処理によって Zn が脱離し濃度が低くなる。その結果、相対的に In の濃度を高めることができる。

40

【0161】

また、金属元素 M の濃度は、酸化物半導体膜 336 の成膜条件、金属元素 M の種類または / および加熱処理の条件によって、高まることも、低まることもある。

【0162】

このように、酸化物半導体膜 336 の表面近傍に金属元素の濃度勾配を形成する処理を行うことで、第 1 の層 337 a および第 2 の層 337 b を有する酸化物半導体膜 337 を形成する（図 8（B）参照。）。

【0163】

ここで、第 1 の層 337 a は、酸化物半導体膜 336 と同様の原子数比の層である。また、第 2 の層 337 b は、酸化物半導体膜 336 よりも In の濃度が高い層である。なお、

50

第2の層337bは、表面側ほどInの濃度が高く、表面から15nm、10nmまたは5nmの範囲でInの濃度勾配を有する。

【0164】

なお、加熱処理によって、下地絶縁膜102から酸化物半導体膜336へ酸素を供給すると好ましい。その場合、下地絶縁膜102として、加熱処理により酸素を放出する絶縁膜を設ければよい。加熱処理により酸素を放出する絶縁膜を設けるためには、実施の形態1で示したゲート絶縁膜112の成膜方法を参照すればよい。

【0165】

酸化物半導体膜を用いたトランジスタにおいて、酸化物半導体膜中の酸素欠損はドナーとなるため、トランジスタのしきい値電圧をマイナス方向へシフトさせる要因となる。また、下地絶縁膜と酸化物半導体膜との界面における酸素欠損は、トランジスタの動作などに起因して電荷を捕獲するため、トランジスタの電気特性を変動させる要因となる。従って、酸化物半導体膜中、および酸化物半導体膜と下地絶縁膜との界面における酸素欠損を低減することは、酸化物半導体膜を用いたトランジスタの電気特性を安定させ、かつ信頼性を向上させることに繋がる。そのため、下地絶縁膜から酸素が放出されると、酸化物半導体膜中、および酸化物半導体膜と下地絶縁膜との界面における酸素欠損を低減することができて好ましい。

【0166】

次に、酸化物半導体膜337を加工し、島状の酸化物半導体膜307を形成する(図8(C)参照)。なお、酸化物半導体膜307は、第1の層337aおよび第2の層337bに対応する第1の層307aおよび第2の層307bを有する。

【0167】

次に、導電膜317を成膜する(図9(A)参照)。導電膜317は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0168】

次に、導電膜317を加工し、一对の電極316を形成する(図9(B)参照)。

【0169】

導電膜317を加工するとともに、酸化物半導体膜307をエッチングし、第1の層306aおよび第2の層306bを有する酸化物半導体膜306を形成する。このような方法を用いることで、一对の電極316との界面近傍に、酸化物半導体膜306の第2の層306bを選択的に設けることができる。

【0170】

次に、ゲート絶縁膜312を成膜する。ゲート絶縁膜312は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0171】

次に、ゲート電極304となる導電膜を成膜する。該導電膜は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。次に、ゲート電極304となる導電膜を加工し、ゲート電極304を形成する(図9(C)参照)。

【0172】

以上のようにして、図7(B)に示すトランジスタを作製すればよい。

【0173】

図7(B)に示すトランジスタは、酸化物半導体膜306において、第1の層306aと第2の層306bとの間でキャリアの移動が阻害されにくく、高いオン特性を得ることができる。

【0174】

また、酸化物半導体膜の導電率を高めるために酸化物半導体膜中の金属元素の原子数比を調整していることにより、作製したトランジスタにおいて、酸化物半導体膜中の原子数比は、容易に変動し得ない。そのため、当該トランジスタは、長期的に安定な電気特性が得られる。

【0175】

本実施の形態により、ソース領域およびドレイン領域の導電率が高く、オン特性に優れ、信頼性の高いトランジスタを、低いコストで生産性高く提供することができる。

【0176】

なお、本実施の形態は適宜他の実施の形態と組み合わせて用いることができる。

【0177】

(実施の形態4)

本実施の形態では、実施の形態1乃至実施の形態3とは異なる構造のトランジスタについて図10乃至図15を用いて説明する。

【0178】

図10(A)は本発明の一態様に係るトランジスタの上面図である。図10(A)に示す一点鎖線A-Bに対応する断面図を図10(B)に示す。なお、簡単のため、図10(A)においては、保護絶縁膜418、下地絶縁膜102などを省略して示す。

10

【0179】

図10(B)に示すトランジスタは、基板100と、基板100上に設けられた下地絶縁膜102と、下地絶縁膜102上に設けられた第1の層406aおよび第2の層406bを有する酸化物半導体膜406と、酸化物半導体膜406上に設けられたゲート絶縁膜412と、ゲート絶縁膜412と重畳して設けられたゲート電極404と、ゲート電極404および酸化物半導体膜406を覆って設けられた、酸化物半導体膜406の一部を露出する開口部を有する保護絶縁膜418と、保護絶縁膜418の開口部を介して酸化物半導体膜406の第2の層406bと接して設けられた一対の電極416と、を有し、酸化物半導体膜406の第2の層406bは、一対の電極416との界面近傍に設けられる。

20

【0180】

なお、図10(B)に示すトランジスタは、少なくともゲート電極404下に、ゲート絶縁膜412および酸化物半導体膜406が設けられる。

【0181】

なお、基板100および下地絶縁膜102の材料および形成方法は、実施の形態1の説明を参照する。

【0182】

なお、酸化物半導体膜406の第1の層406aは、酸化物半導体膜406を構成する金属元素および酸素の原子数比が均一な層である。

30

【0183】

また、酸化物半導体膜406の第2の層406bは、酸化物半導体膜406を構成する金属元素の濃度勾配を有する層である。ここでは、酸化物半導体膜406の表面の法線ベクトルに沿って金属元素の濃度勾配を有する。第2の層406bの厚さは15nm以下、10nm以下または5nm以下である。

【0184】

このように、酸化物半導体膜406の第2の層406bは、金属元素の濃度勾配を有する。そのため、単に低抵抗の異種材料を用いた場合と比較して、酸化物半導体膜406中でキャリアの移動が阻害されにくい。

【0185】

酸化物半導体膜406の材料は、酸化物半導体膜106と同様の材料を用いればよい。

40

【0186】

ゲート絶縁膜412は、ゲート絶縁膜112と同様の材料を用いればよい。

【0187】

ゲート電極404は、ゲート電極104と同様の材料を用いればよい。なお、ゲート電極404の側面に側壁絶縁膜が設けられても構わない。側壁絶縁膜を有することで、トランジスタのチャンネル領域近傍にオフセット領域を設けることができる。

【0188】

保護絶縁膜418は、保護絶縁膜118と同様の材料を用いればよい。

【0189】

50

一对の電極 4 1 6 は、一对の電極 1 1 6 と同様の材料を用いればよい。

【 0 1 9 0 】

以下に、図 1 1 および図 1 2 を用いて、図 1 0 (B) に示すトランジスタの作製方法を示す。

【 0 1 9 1 】

なお、図 1 1 (A) に示す、基板 1 0 0 上に下地絶縁膜 1 0 2 が設けられ、下地絶縁膜 1 0 2 上に酸化物半導体膜 3 3 6 が成膜されるまでの作製方法については、実施の形態 1 および実施の形態 3 に示した説明を参照する。

【 0 1 9 2 】

次に、ゲート絶縁膜 4 1 3 を成膜する。ゲート絶縁膜 4 1 3 は、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。

【 0 1 9 3 】

次に、導電膜 4 0 5 を成膜する (図 1 1 (B) 参照。) 。導電膜 4 0 5 は、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。

【 0 1 9 4 】

次に、導電膜 4 0 5 およびゲート絶縁膜 4 1 3 を加工し、ゲート電極 4 0 4 およびゲート絶縁膜 4 1 2 を形成する (図 1 1 (C) 参照。) 。なお、ゲート絶縁膜 4 1 2 は、ゲート電極 4 0 4 の加工に用いたレジストマスクを用いて加工してもよいし、該レジストマスクを除去した後に、ゲート電極 4 0 4 をマスクに用いて加工してもよい。このようにして酸化物半導体膜 3 3 6 の表面の一部を露出する。

【 0 1 9 5 】

次に、酸化物半導体膜 3 3 6 の表面近傍に金属元素の濃度勾配を形成する処理を行う。例えば、減圧処理、加熱処理、プラズマ処理または薬液処理で行えばよく、好ましくは減圧状態で加熱処理で行う。

【 0 1 9 6 】

酸化物半導体膜 3 3 6 の表面近傍に金属元素の濃度勾配を形成する処理は酸化物半導体膜 3 3 6 の露出後 (ゲート絶縁膜 4 1 2 の形成後) 、大気に暴露せずに行ってもよい。例えば、ドライエッチング装置の処理室で酸化物半導体膜 3 3 6 の露出後、0 . 5 分以上 1 2 0 分以下、好ましくは 1 分以上 6 0 分以下の時間、基板 1 0 0 を処理室に保持することで減圧処理を兼ねても構わない。

【 0 1 9 7 】

または、ゲート絶縁膜 4 1 2 の形成時の基板温度を 1 0 0 以上 4 0 0 以下、好ましくは 1 5 0 以上 3 5 0 以下とすることで、酸化物半導体膜 3 3 6 の露出後、大気に暴露せず減圧状態で加熱処理を行うことが可能となる。具体的には、酸化物半導体膜 3 3 6 の露出後、0 . 5 分以上 1 2 0 分以下、好ましくは 1 分以上 6 0 分以下の時間、基板 1 0 0 を処理室に保持すればよい。

【 0 1 9 8 】

または酸化物半導体膜 3 3 6 の露出後、ゲート絶縁膜 4 1 2 を形成した装置にて、減圧処理、加熱処理またはプラズマ処理を行ってもよい。

【 0 1 9 9 】

このように、酸化物半導体膜 3 3 6 の表面近傍に金属元素の濃度勾配を形成する処理を、大気に暴露せずに行うことで、コストの低減および生産性の向上が可能となる。

【 0 2 0 0 】

加熱処理は、不活性ガス雰囲気、酸化性ガスを 1 0 p p m 以上、好ましくは 1 % 以上、さらに好ましくは 1 0 % 以上含む雰囲気、または減圧状態において、5 0 以上 6 5 0 以下、好ましくは 1 0 0 以上 4 5 0 以下の温度で行う。

【 0 2 0 1 】

加熱処理によって、酸化物半導体膜 3 3 6 の表面近傍の I n の濃度を高めることができる。

【 0 2 0 2 】

10

20

30

40

50

酸化物半導体膜 336 として、In-M-Zn-O 系材料を用いる場合、加熱処理によって Zn が脱離し濃度が低くなる。その結果、相対的に In の濃度を高めることができる。

【0203】

また、金属元素 M の濃度は、酸化物半導体膜 336 の成膜条件、金属元素 M の種類または / および加熱処理の条件によって、高まることも、低まることもある。

【0204】

このように、酸化物半導体膜 336 の表面近傍に金属元素の濃度勾配を形成する処理を行うことで、第 1 の層 436 a および第 2 の層 436 b を有する酸化物半導体膜 436 を形成する (図 12 (A) 参照。)。

【0205】

ここで、第 1 の層 436 a は、酸化物半導体膜 336 と同様の原子数比の層である。また、第 2 の層 436 b は、酸化物半導体膜 336 よりも In の濃度が高い層である。なお、第 2 の層 436 b は、表面側ほど In の濃度が高く、表面から 15 nm、10 nm または 5 nm の範囲で In の濃度勾配を有する。

【0206】

なお、加熱処理によって、下地絶縁膜 102 から酸化物半導体膜 336 へ酸素を供給すると好ましい。その場合、下地絶縁膜 102 として、加熱処理により酸素を放出する絶縁膜を設ければよい。加熱処理により酸素を放出する絶縁膜を設けるためには、実施の形態 1 で示したゲート絶縁膜 112 の成膜方法を参照すればよい。

【0207】

次に、酸化物半導体膜 436 を加工し、島状の酸化物半導体膜 406 を形成する (図 12 (B) 参照。)。なお、酸化物半導体膜 406 は、第 1 の層 436 a および第 2 の層 436 b に対応する第 1 の層 406 a および第 2 の層 406 b を有する。

【0208】

なお、図に示さないが、次に、ゲート電極 404 をマスクとし、酸化物半導体膜 406 に不純物を添加しても構わない。不純物は、酸化物半導体膜を低抵抗化する不純物である。具体的には、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、アルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンから選ばれた一種以上を添加すればよい。なお、その方法は、イオン注入法、イオンドーピング法で行えばよい。または、酸化物半導体膜を低抵抗化する不純物を含む雰囲気でのプラズマ処理もしくは加熱処理を行えばよい。好ましくはイオン注入法を用いる。なお、イオン注入法にて酸化物半導体膜を低抵抗化する不純物を添加した後、加熱処理を行ってもよい。当該酸化物半導体膜への不純物の添加は、酸化物半導体膜 336 の表面近傍に金属元素の濃度勾配を形成する処理の前に行っても構わない。その場合、酸化物半導体膜 336 の表面近傍に金属元素の濃度勾配を形成するために加熱処理を適用することで、当該酸化物半導体膜への不純物添加後の加熱処理を兼ねることもできる。

【0209】

次に、酸化物半導体膜 406 およびゲート電極 404 上に保護絶縁膜 418 を成膜する。保護絶縁膜 418 は、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0210】

次に、保護絶縁膜 418 を加工して、酸化物半導体膜 406 の第 2 の層 406 b を露出する一対の開口部を形成する。該開口部の形成は、酸化物半導体膜 406 がなるべくエッチングされないような条件で行うが、これに限定されない。具体的には、該開口部を形成する際に、酸化物半導体膜 406 の第 2 の層 406 b の表面の一部をエッチングしてしまっても構わないし、第 2 の層 406 b を貫通し、第 1 の層 406 a を露出してしまっても構わない。

【0211】

次に、保護絶縁膜 418、および露出された酸化物半導体膜 406 上に、一対の電極 416 となる導電膜を成膜する。該導電膜は、スパッタリング法、CVD 法、MBE 法、AL

10

20

30

40

50

D法またはPLD法を用いて成膜すればよい。

【0212】

次に、一对の電極416となる導電膜を加工し、一对の電極416を形成する(図12(C)参照。)

【0213】

なお、酸化物半導体膜406の第2の層406bを貫通し、第1の層406aを露出してしまう場合、酸化物半導体膜406と第2の層406bは、第2の層406bの側面で接することになる。その場合、酸化物半導体膜406と一对の電極416との間に第2の層406bが設けられない構造となる。

【0214】

以上のようにして、図10(B)に示すトランジスタを作製すればよい。

【0215】

図10(B)に示すトランジスタは、酸化物半導体膜406において、第1の層406aと第2の層406bとの間でキャリアの移動が阻害されにくく、高いオン特性を得ることができる。

【0216】

また、図10と酸化物半導体膜の構成が異なるトランジスタについて、図13に示す。

【0217】

図13(A)は本発明の一態様に係るトランジスタの上面図である。図13(A)に示す一点鎖線A-Bに対応する断面図を図13(B)に示す。なお、簡単のため、図13(A)においては、保護絶縁膜468、下地絶縁膜102などを省略して示す。

【0218】

図13(B)に示すトランジスタは、基板100と、基板100上に設けられた下地絶縁膜102と、下地絶縁膜102上に設けられた第1の層456aおよび第2の層456bを有する酸化物半導体膜456と、酸化物半導体膜456上に設けられたゲート絶縁膜462と、ゲート絶縁膜462と重畳して設けられたゲート電極454と、ゲート電極454および酸化物半導体膜456を覆って設けられた、酸化物半導体膜456の一部を露出する開口部を有する保護絶縁膜468と、保護絶縁膜468の開口部を介して酸化物半導体膜456の第2の層456bと接して設けられた一对の電極466と、を有し、酸化物半導体膜456の第2の層456bは、一对の電極466との界面近傍に設けられる。

【0219】

なお、基板100および下地絶縁膜102の材料および形成方法は、実施の形態1の説明を参照する。

【0220】

なお、図13(B)に示すトランジスタは、酸化物半導体膜456の第2の層456bが、ゲート電極454と重畳する領域を除いた酸化物半導体膜456の表面および側面に設けられる点が図10(B)に示すトランジスタと異なる。

【0221】

そのほか、ゲート絶縁膜462、ゲート電極454、保護絶縁膜468および一对の電極466は、それぞれゲート絶縁膜412、ゲート電極404、保護絶縁膜468および一对の電極416と同様の材料および形成方法とする。なお、ゲート電極454の側面に側壁絶縁膜が設けられても構わない。側壁絶縁膜を有することで、トランジスタのチャンネル領域近傍にオフセット領域を設けることができる。

【0222】

なお、酸化物半導体膜456の第1の層456aは、酸化物半導体膜456を構成する金属元素および酸素の原子数比が均一な層である。

【0223】

また、酸化物半導体膜456の第2の層456bは、酸化物半導体膜456を構成する金属元素の濃度勾配を有する層である。ここでは、酸化物半導体膜456の表面の法線ベクトルに沿って金属元素の濃度勾配を有する。第2の層456bの厚さは15nm以下、1

10

20

30

40

50

0 nm以下または5 nm以下である。

【0224】

このように、酸化物半導体膜456の第2の層456bは、金属元素の濃度勾配を有する。そのため、単に低抵抗の異種材料を用いた場合と比較して、酸化物半導体膜456中でキャリアの移動が阻害されにくい。

【0225】

以下に、図14および図15を用いて、図13(B)に示すトランジスタの作製方法を示す。

【0226】

なお、図14(A)に示す、基板100上に下地絶縁膜102が設けられ、下地絶縁膜102上に酸化物半導体膜336が成膜されるまでの作製方法については、実施の形態1および実施の形態3に示した説明を参照する。

10

【0227】

次に、酸化物半導体膜336を加工し、島状の酸化物半導体膜457を形成する(図14(B)参照。)。

【0228】

次に、ゲート絶縁膜463を成膜する。

【0229】

次に、導電膜455を成膜する(図14(C)参照。)。

【0230】

次に、導電膜455およびゲート絶縁膜463を加工し、ゲート電極454およびゲート絶縁膜462を形成する(図15(A)参照。)。なお、ゲート絶縁膜462は、ゲート電極454の加工に用いたレジストマスクを用いて加工してもよいし、該レジストマスクを除去した後に、ゲート電極454をマスクに用いて加工してもよい。このようにして酸化物半導体膜457の表面の一部を露出する。

20

【0231】

次に、酸化物半導体膜457の表面近傍および側面近傍に金属元素の濃度勾配を形成する処理を行う。例えば、減圧処理、加熱処理、プラズマ処理または薬液処理で行えばよく、好ましくは減圧状態で加熱処理を行う。

【0232】

酸化物半導体膜457の表面近傍および側面近傍に金属元素の濃度勾配を形成する処理は酸化物半導体膜457の露出後(ゲート絶縁膜462の形成後)、大気に暴露せずに行ってもよい。例えば、ドライエッチング装置の処理室で酸化物半導体膜457の露出後、0.5分以上120分以下、好ましくは1分以上60分以下の時間、基板100を処理室に保持することで減圧処理を兼ねても構わない。

30

【0233】

または、ゲート絶縁膜462の形成時の基板温度を100 以上400 以下、好ましくは150 以上350 以下とすることで、酸化物半導体膜457の露出後、大気に暴露せず減圧状態で加熱処理を行うことが可能となる。具体的には、酸化物半導体膜457の露出後、0.5分以上120分以下、好ましくは1分以上60分以下の時間、基板100を処理室に保持すればよい。

40

【0234】

または酸化物半導体膜457の露出後、ゲート絶縁膜462を形成した装置にて、減圧処理、加熱処理またはプラズマ処理を行ってもよい。

【0235】

このように、酸化物半導体膜457の表面近傍および側面近傍に金属元素の濃度勾配を形成する処理を、大気に暴露せずに行うことで、コストの低減および生産性の向上が可能となる。

【0236】

加熱処理は、不活性ガス雰囲気、酸化性ガスを10 ppm以上、好ましくは1%以上、さ

50

らに好ましくは10%以上含む雰囲気、または減圧状態において、50以上650以下、好ましくは100以上450以下の温度で行う。

【0237】

加熱処理によって、酸化物半導体膜457の表面近傍のInの濃度を高めることができる。

【0238】

酸化物半導体膜457として、In-M-Zn-O系材料を用いる場合、加熱処理によってZnが脱離し濃度が低くなる。その結果、相対的にInの濃度を高めることができる。

【0239】

また、金属元素Mの濃度は、酸化物半導体膜457の成膜条件、金属元素Mの種類または/および加熱処理の条件によって、高まることも、低まることもある。

10

【0240】

このように、酸化物半導体膜457の表面近傍および側面近傍に金属元素の濃度勾配を形成する処理を行うことで、第1の層456aおよび第2の層456bを有する酸化物半導体膜456を形成する(図15(B)参照。)

【0241】

ここで、第1の層456aは、酸化物半導体膜457と同様の原子数比の層である。また、第2の層456bは、酸化物半導体膜457よりもInの濃度が高い層である。なお、第2の層456bは、表面側および側面側ほどInの濃度が高く、表面から15nm、10nmまたは5nmの範囲でInの濃度勾配を有する。

20

【0242】

なお、加熱処理によって、下地絶縁膜102から酸化物半導体膜457へ酸素を供給すると好ましい。その場合、下地絶縁膜102として、加熱処理により酸素を放出する絶縁膜を設ければよい。加熱処理により酸素を放出する絶縁膜を設けるためには、実施の形態1で示したゲート絶縁膜112の成膜方法を参照すればよい。

【0243】

なお、図に示さないが、次に、ゲート電極454をマスクとし、酸化物半導体膜456に不純物を添加しても構わない。不純物は、酸化物半導体膜を低抵抗化する不純物である。なお、その方法は、イオン注入法、イオンドーピング法で行えばよい。または、酸化物半導体膜を低抵抗化する不純物を含む雰囲気でのプラズマ処理もしくは加熱処理を行えばよい。好ましくはイオン注入法を用いる。なお、イオン注入法にて酸化物半導体膜を低抵抗化する不純物を添加した後、加熱処理を行ってもよい。当該酸化物半導体膜への不純物の添加は、酸化物半導体膜457の表面近傍および側面近傍に金属元素の濃度勾配を形成する処理の前に行っても構わない。その場合、酸化物半導体膜457の表面近傍および側面近傍に金属元素の濃度勾配を形成するための加熱処理により、当該酸化物半導体膜への不純物添加後の加熱処理を兼ねることもできる。

30

【0244】

次に、酸化物半導体膜456の第2の層456bを露出する開口部を有する保護絶縁膜468を形成する。

【0245】

次に、保護絶縁膜468、および露出された酸化物半導体膜456上に、一对の電極466を形成する(図15(C)参照。)

40

【0246】

以上のようにして、図13(B)に示すトランジスタを作製すればよい。

【0247】

図13(B)に示すトランジスタは、酸化物半導体膜456において、第1の層456aと第2の層456bとの間でキャリアの移動が阻害されにくく、高いオン特性を得ることができる。

【0248】

また、酸化物半導体膜の導電率を高めるために酸化物半導体膜中の金属元素の原子数比を

50

調整していることにより、作製したトランジスタにおいて、酸化物半導体膜中の原子数比は、容易に変動し得ない。そのため、当該トランジスタは、長期的に安定な電気特性が得られる。

【0249】

本実施の形態により、ソース領域およびドレイン領域の導電率が高く、オン特性に優れ、信頼性の高いトランジスタを、低いコストで生産性高く提供することができる。

【0250】

なお、本実施の形態は適宜他の実施の形態と組み合わせて用いることができる。

【0251】

(実施の形態5)

本実施の形態では実施の形態1乃至実施の形態4のいずれかに示すトランジスタを用いて作製した液晶表示装置について説明する。なお、本実施の形態では液晶表示装置に本発明の一形態を適用した例について説明するが、これに限定されるものではない。例えば、発光装置の一つであるEL(Electro Luminescence)表示装置に本発明の一形態を適用することも、当業者であれば容易に想到し得るものである。

【0252】

図16にアクティブマトリクス駆動方式の液晶表示装置の回路図を示す。液晶表示装置は、ソース線SL₁乃至SL_a、ゲート線GL₁乃至GL_bおよび複数の画素2200を有する。画素2200は、トランジスタ2230と、キャパシタ2220と、液晶素子2210と、を含む。こうした画素2200が複数集まって液晶表示装置の画素部を構成する。なお、単にソース線またはゲート線を指す場合には、ソース線SLまたはゲート線GLと記載することもある。

【0253】

トランジスタ2230は、実施の形態1乃至実施の形態4のいずれかに示すトランジスタを用いる。実施の形態1乃至実施の形態4に示すトランジスタは電気的特性が良好な酸化物半導体を用いたトランジスタであるため、表示品位の高い表示装置を得ることができる。

【0254】

ゲート線GLはトランジスタ2230のゲートと接続し、ソース線SLはトランジスタ2230のソースと接続し、トランジスタ2230のドレインは、キャパシタ2220の一方の容量電極および液晶素子2210の一方の画素電極と接続する。キャパシタ2220の他方の容量電極および液晶素子2210の他方の画素電極は、共通電極と接続する。なお、共通電極はゲート線GLと同一層かつ同一材料で設けてもよい。

【0255】

また、ゲート線GLは、ゲート駆動回路と接続される。ゲート駆動回路は、実施の形態1乃至実施の形態4のいずれかに示すトランジスタを含んでもよい。

【0256】

また、ソース線SLは、ソース駆動回路と接続される。ソース駆動回路は、実施の形態1乃至実施の形態4のいずれかに示すトランジスタを含んでもよい。

【0257】

なお、ゲート駆動回路およびソース駆動回路のいずれかまたは両方を、別途用意された基板上に形成し、COG(Chip On Glass)、ワイヤボンディング、またはTAB(Tape Automated Bonding)などの方法を用いて接続してもよい。

【0258】

また、トランジスタは静電気などにより破壊されやすいため、保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【0259】

ゲート線GLにトランジスタ2230のしきい値電圧以上になるように電圧を印加すると、ソース線SLから供給された電荷がトランジスタ2230のドレイン電流となってキャ

10

20

30

40

50

パシタ 2 2 2 0 に蓄積される。1 行分の充電後、該行にあるトランジスタ 2 2 3 0 はオフ状態となり、ソース線 S L から電圧が掛からなくなるが、キャパシタ 2 2 2 0 に蓄積された電荷によって必要な電圧を維持することができる。その後、次の行のキャパシタ 2 2 2 0 の充電に移る。このようにして、1 行から b 行の充電を行う。ドレイン電流は、トランジスタにおいてソースからチャンネルを介してドレインに流れる電流のことである。ドレイン電流はゲート電圧がしきい値電圧よりも大きいときに流れる。

【 0 2 6 0 】

なお、トランジスタ 2 2 3 0 はオフ電流が小さい。そのため、動きの少ない画像（静止画を含む。）では、表示の書き換え周波数を低減でき、さらなる消費電力の低減が可能となる。また、キャパシタ 2 2 2 0 の容量をさらに小さくすることが可能となるため、充電に必要な消費電力を低減することができる。

10

【 0 2 6 1 】

また、トランジスタ 2 2 3 0 はトランジスタの動作に起因する電気特性の変動が小さいため、信頼性の高い液晶表示装置を得ることができる。

【 0 2 6 2 】

以上のように、本発明の一態様によって、表示品位が高く、消費電力の小さい液晶表示装置を提供することができる。

【 0 2 6 3 】

本実施の形態は、他の実施の形態と適宜組み合わせる用いることができる。

【 0 2 6 4 】

（実施の形態 6 ）

本実施の形態では、実施の形態 1 乃至実施の形態 4 のいずれかに示すトランジスタを用いて、半導体記憶装置を作製する例について説明する。

20

【 0 2 6 5 】

揮発性半導体記憶装置の代表的な例としては、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y)、フリップフロップなどの回路を用いて記憶内容を保持する S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) がある。

【 0 2 6 6 】

不揮発性半導体記憶装置の代表例としては、トランジスタのゲートとチャンネル領域との間にノードを有し、当該ノードに電荷を保持することで記憶を行うフラッシュメモリがある。

30

【 0 2 6 7 】

上述した半導体記憶装置に含まれるトランジスタの一部に実施の形態 1 乃至実施の形態 4 のいずれかに示すトランジスタを適用することができる。

【 0 2 6 8 】

まずは、実施の形態 1 乃至実施の形態 4 のいずれかに示すトランジスタを適用した D R A M について図 1 7 を用いて説明する。

【 0 2 6 9 】

D R A M は、ビット線 B L と、ワード線 W L と、センスアンプ S A m p と、トランジスタ T r と、キャパシタ C と、を有する（図 1 7 (A) 参照。）。

40

【 0 2 7 0 】

キャパシタ C に保持された電圧の時間変化は、トランジスタ T r のオフ電流によって図 1 7 (B) に示すように徐々に低減していくことが知られている。当初 V 0 から V 1 まで充電された電圧は、時間が経過すると d a t a 1 を読み出す限界点である V A まで低減する。この期間を保持期間 T _ 1 とする。即ち、2 値 D R A M の場合、保持期間 T _ 1 の間にリフレッシュをする必要がある。

【 0 2 7 1 】

ここで、トランジスタ T r に実施の形態 1 乃至実施の形態 4 のいずれかに示すトランジス

50

タを適用すると、オフ電流が小さいため、保持期間 T_{1} を長くすることができる。即ち、リフレッシュの頻度を少なくすることが可能となるため、消費電力を低減することができる。例えば、オフ電流が 1×10^{-21} A以下、好ましくは 1×10^{-24} A以下となった酸化物半導体膜を用いたトランジスタでDRAMを構成すると、電力を供給せずに数日間から数十年間に渡ってデータを保持することが可能となる。

【0272】

また、トランジスタ T_r に実施の形態1乃至実施の形態4のいずれかに示すトランジスタを適用すると、該トランジスタはトランジスタの動作に起因する電気特性の変動が小さいため、信頼性の高い半導体記憶装置を得ることができる。

【0273】

以上のように、本発明の一態様によって、信頼性が高く、消費電力の小さいDRAMを得ることができる。

【0274】

次に、実施の形態1乃至実施の形態4のいずれかに示すトランジスタを適用した不揮発性メモリについて図18を用いて説明する。

【0275】

図18(A)は、不揮発性メモリの回路図である。不揮発性メモリは、トランジスタ T_{r1} と、トランジスタ T_{r1} のゲートと接続するワード線 W_{L1} と、トランジスタ T_{r1} のソースと接続するソース配線 S_{L1} と、トランジスタ T_{r2} と、トランジスタ T_{r2} のソースと接続するソース配線 S_{L2} と、トランジスタ T_{r2} のドレインと接続するドレイン配線 D_{L2} と、キャパシタ C と、キャパシタ C の一端と接続する容量配線 C_{L} と、キャパシタ C の他端、トランジスタ T_{r1} のドレインおよびトランジスタ T_{r2} のゲートと接続するノード N と、を有する。

【0276】

なお、本実施の形態に示す不揮発性メモリは、ノード N の電位に応じて、トランジスタ T_{r2} のしきい値電圧が変動することを利用したものである。例えば、図18(B)は容量配線 C_{L} の電圧 V_{CL} と、トランジスタ T_{r2} を流れるドレイン電流 I_{d2} との関係を説明する図である。

【0277】

ここで、ノード N は、トランジスタ T_{r1} を介して電圧を調整することができる。例えば、 S_{L1} の電位を V_{DD} とする。このとき、 W_{L1} の電位を T_{r1} のしきい値電圧 V_{th} に V_{DD} を加えた電位以上とすることで、ノード N の電圧をHIGHにすることができる。また、 W_{L1} の電位を T_{r1} のしきい値電圧 V_{th} 以下とすることで、ノード N の電位をLOWにすることができる。

【0278】

そのため、 $N = LOW$ で示した $V_{CL} - I_{d2}$ カーブと、 $N = HIGH$ で示した $V_{CL} - I_{d2}$ カーブのいずれかを得ることができる。即ち、 $N = LOW$ では、 $V_{CL} = 0V$ にて I_{d2} が小さいため、データ0となる。また、 $N = HIGH$ では、 $V_{CL} = 0V$ にて I_{d2} が大きいため、データ1となる。このようにして、データを記憶することができる。

【0279】

ここで、トランジスタ T_{r1} に実施の形態1乃至実施の形態4のいずれかに示すトランジスタを適用すると、該トランジスタはオフ電流を極めて小さくすることができるため、ノード N に蓄積された電荷がトランジスタ T_{r1} のソースおよびドレイン間を意図せずにリークすることを抑制できる。そのため、長期間に渡ってデータを保持することができる。また、本発明の一態様を用いることでトランジスタ T_{r1} のしきい値電圧が調整されるため、書き込みに必要な電圧を低減することが可能となり、フラッシュメモリなどと比較して消費電力を低減することができる。

【0280】

また、トランジスタ T_{r1} に実施の形態1乃至実施の形態4のいずれかに示すトランジ

10

20

30

40

50

スタを適用すると、該トランジスタはトランジスタの動作に起因する電気特性の変動が小さいため、信頼性の高い半導体記憶装置を得ることができる。

【0281】

なお、トランジスタTr_2に、実施の形態1乃至実施の形態4のいずれかに示すトランジスタを適用しても構わない。

【0282】

以上のように、本発明の一態様によって、長期間の信頼性が高く、消費電力の小さく、集積度の高い半導体記憶装置を得ることができる。

【0283】

本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

10

【0284】

(実施の形態7)

実施の形態1乃至実施の形態4のいずれかに示すトランジスタまたは実施の形態6に示した半導体記憶装置を少なくとも一部に用いてCPU(Central Processing Unit)を構成することができる。

【0285】

図19(A)は、CPUの具体的な構成を示すブロック図である。図19(A)に示すCPUは、基板1190上に、演算回路(ALU:Arithmetic Logic Unit)1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F)1198、書き換え可能なROM1199、およびROMインターフェース(ROM I/F)1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図19(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

20

【0286】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

30

【0287】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

40

【0288】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

【0289】

図19(A)に示すCPUでは、レジスタ1196に、記憶素子が設けられている。レジスタ1196の記憶素子には、実施の形態6に示す半導体記憶装置を用いることができる。

50

【0290】

図19(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作を行う。即ち、レジスタ1196が有する記憶素子において、位相反転素子によるデータの保持を行うか、キャパシタによるデータの保持を行う。位相反転素子によってデータが保持されている場合、レジスタ1196内の記憶素子への、電源電圧の供給が行われる。キャパシタによってデータが保持されている場合、キャパシタへのデータの書き換えが行われ、レジスタ1196内の記憶素子への電源電圧の供給を停止することができる。

【0291】

電源停止に関しては、図19(B)または図19(C)に示すように、記憶素子群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図19(B)および図19(C)の回路の説明を行う。

10

【0292】

図19(B)および図19(C)では、記憶素子への電源電位の供給を制御するスイッチング素子に実施の形態1乃至実施の形態4のいずれかに示すトランジスタ用いた構成の一例を示す。

【0293】

図19(B)に示す記憶装置は、スイッチング素子1141と、記憶素子1142を複数有する記憶素子群1143とを有している。具体的に、それぞれの記憶素子1142には、実施の形態6に示す半導体記憶装置を用いることができる。記憶素子群1143が有するそれぞれの記憶素子1142には、スイッチング素子1141を介して、ハイレベルの電源電位VDDが供給されている。さらに、記憶素子群1143が有するそれぞれの記憶素子1142には、信号INの電位と、ローレベルの電源電位VSSの電位が与えられている。

20

【0294】

図19(B)では、スイッチング素子1141として、酸化物半導体などのバンドギャップの大きい半導体を活性層に有するトランジスタを用いており、該トランジスタは、そのゲートに与えられる信号SigAによりスイッチングが制御される。

【0295】

なお、図19(B)では、スイッチング素子1141がトランジスタを一つだけ有する構成を示しているが、これに限定されず、トランジスタを複数有していてもよい。スイッチング素子1141が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

30

【0296】

また、図19(C)には、記憶素子群1143が有するそれぞれの記憶素子1142に、スイッチング素子1141を介して、ローレベルの電源電位VSSが供給されている、記憶装置の一例を示す。スイッチング素子1141により、記憶素子群1143が有するそれぞれの記憶素子1142への、ローレベルの電源電位VSSの供給を制御することができる。

40

【0297】

記憶素子群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設け、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPUの動作を停止することができ、それにより消費電力を低減することができる。

【0298】

ここでは、CPUを例に挙げて説明したが、DSP(Digital Signal P

50

rocessor)、カスタムLSI、FPGA(Field Programmable Gate Array)などのLSIにも応用可能である。

【0299】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0300】

(実施の形態8)

本実施の形態では、実施の形態1乃至実施の形態7の少なくともいずれかを適用した電子機器の例について説明する。

【0301】

図20(A)は携帯型情報端末である。図20(A)に示す携帯型情報端末は、筐体9300と、ボタン9301と、マイクロフォン9302と、表示部9303と、スピーカ9304と、カメラ9305と、を具備し、携帯型電話機としての機能を有する。本発明の一形態は、表示部9303およびカメラ9305に適用することができる。また、図示しないが、本体内部にある演算装置、無線回路または記憶回路に本発明の一形態を適用することもできる。

10

【0302】

図20(B)は、ディスプレイである。図20(B)に示すディスプレイは、筐体9310と、表示部9311と、を具備する。本発明の一形態は、表示部9311に適用することができる。本発明の一形態を適用することで、表示部9311のサイズを大きくしたときにも表示品位の高いディスプレイとすることができる。

20

【0303】

図20(C)は、デジタルスチルカメラである。図20(C)に示すデジタルスチルカメラは、筐体9320と、ボタン9321と、マイクロフォン9322と、表示部9323と、を具備する。本発明の一形態は、表示部9323に適用することができる。また、図示しないが、記憶回路またはイメージセンサに本発明の一形態を適用することもできる。

【0304】

図20(D)は2つ折り可能な携帯情報端末である。図20(D)に示す2つ折り可能な携帯情報端末は、筐体9630、表示部9631a、表示部9631b、留め具9633、操作スイッチ9638、を有する。本発明の一形態は、表示部9631aおよび表示部9631bに適用することができる。また、図示しないが、本体内部にある演算装置、無線回路または記憶回路に本発明の一形態を適用することもできる。

30

【0305】

なお、表示部9631aまたは/および表示部9631bは、一部または全部をタッチパネルとすることができ、表示された操作キーに触れることでデータ入力などを行うことができる。

【0306】

本発明の一形態に係る半導体装置を用いることで、電子機器の性能を高め、かつ信頼性を高めることができる。

【0307】

本実施の形態は、他の実施の形態と適宜組み合わせることで用いることができる。

40

【実施例1】

【0308】

本実施例では、ガラス上に設けられた酸化物半導体膜から、減圧状態における加熱処理によりZnが脱離することを確認するために、TDSによる放出量評価を行った。なお、TDSによる放出量評価は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用いた。

【0309】

TDSを行った試料の作製方法について以下に説明する。

【0310】

まずは、ガラス基板を準備した。

50

【0311】

次に、ガラス基板上に酸化物半導体膜を成膜した。

【0312】

酸化物半導体膜は、In-Ga-Zn-Oターゲット(In:Ga:Zn=1:1:1[原子数比])を用いたスパッタリング法により50nmの厚さで成膜した。そのほかの成膜条件は、成膜電力を500W(DC)とし、Arを30sccmおよびO₂を15sccm流し、処理室の圧力を0.4Paとした。

【0313】

ここで、酸化物半導体膜の成膜時の基板温度を室温または200とした。

【0314】

次に、試料を1辺が10mmの正形状に分断した。

【0315】

以上のようにして作製した10mm角の試料に対し、TDSによる放出量評価を行った。なお、図21に、TDSによる放出量評価時の基板表面温度とM/zが64(Znに相当)の検出量の関係を示す。ここで、図21(A)は、酸化物半導体膜の成膜時の基板温度が室温の試料のTDS結果を示し、図21(B)は、酸化物半導体膜の成膜時の基板温度が200の試料のTDS結果を示す。

【0316】

図21に示すように、基板表面温度の増大に伴い、酸化物半導体膜に含まれるZnが脱離していくことがわかった。特に、基板表面温度が300以上では、酸化物半導体膜に含まれるZnの脱離が顕著になった。Znが脱離することにより、酸化物半導体膜中のZnの濃度が低くなり、相対的にInの濃度が高くなることわかる。

【0317】

また、酸化物半導体膜の成膜時の基板温度が室温の試料(図21(A)参照。)と200の試料(図21(B)参照。)と、を比較すると、成膜時の基板温度が200の試料において、Znの脱離量が大きいことがわかった。Znの脱離量が大きいということは、それだけ酸化物半導体膜中のZnの濃度が低くなり、相対的にInの濃度が高くなるといえる。

【実施例2】

【0318】

本実施例では、減圧処理または/および加熱処理による、ガラス上に設けられた酸化物半導体膜の原子数比の変化を、SIMSによって評価した。SIMSには、アルバック・ファイ株式会社製四重極型二次イオン質量分析装置PHI ADEPT1010を用いた。なお、Cs⁺を一次イオンとして照射した。

【0319】

SIMSを行った試料の作製方法について以下に説明する。

【0320】

まずは、ガラス基板を準備した。

【0321】

次に、ガラス基板上に酸化物半導体膜を成膜した。

【0322】

酸化物半導体膜は、In-Ga-Zn-Oターゲット(In:Ga:Zn=1:1:1[原子数比])を用いたスパッタリング法により100nmの厚さで成膜した。そのほかの成膜条件は、成膜電力を500W(DC)とし、Arを30sccmおよびO₂を15sccm流し、処理室の圧力を0.4Paとした。

【0323】

ここで、酸化物半導体膜の成膜時の基板温度を室温または200とした。

【0324】

なお、酸化物半導体膜を室温で成膜した試料は、酸化物半導体膜の成膜後、室温かつ 5×10^{-5} Pa以下の減圧状態で10分間以上保持した。

10

20

30

40

50

【0325】

同様に、酸化物半導体膜を200の基板温度で成膜した試料は、基板温度を200、圧力を 4×10^{-4} Pa以下の減圧状態に15秒間保持した後、室温かつ 5×10^{-5} Pa以下の減圧状態で10分間以上保持した。

【0326】

以上のようにして作製した試料に対し、SIMSによる質量数が115 (^{115}In に相当。以下Inと表記する。)、質量数が84 (^{66}Zn および ^{16}O に相当。以下Zn+Oと表記する。)、質量数が71 (^{71}Ga に相当。以下Gaと表記する。)、質量数が16 (^{16}O に相当。以下Oと表記する。)の二次イオン強度の深さ方向分析を行った。なお、図22は、酸化物半導体膜を室温で成膜した試料のSIMS結果を示し、図23は、酸化物半導体膜を200の基板温度で成膜した試料のSIMS結果を示す。

10

【0327】

ここで、深さとは、試料表面を基準としたときの深さをいう。

【0328】

図22より、In、Zn+OおよびGaにおける深さ12nm程度と深さ2nm程度(表面近傍)の二次イオン強度を比較した。Inは、深さ11.79nmにおける二次イオン強度は5942個/秒であったが、深さ2.06nmにおける二次イオン強度は9503個/秒と大きい値であった。同様に、Zn+Oは、深さ11.68nmにおける二次イオン強度は220867個/秒であったが、深さ1.95nmにおける二次イオン強度は83817個/秒と小さい値であった。同様に、Gaは、深さ11.59nmにおける二次イオン強度は1224個/秒であったが、深さ1.86nmにおける二次イオン強度は593個/秒と小さい値であった。

20

【0329】

従って、酸化物半導体膜を室温で成膜し、その後、 5×10^{-5} Pa以下の減圧状態で10分間以上保持した試料は、基板表面近傍で金属元素の濃度勾配を有することがわかった。具体的には、基板表面近傍の深さ2nm程度の二次イオン強度と、深さ12nm程度の二次イオン強度を比較すると、Inは基板表面近傍で濃度が高く、Znは基板表面近傍で濃度が低く、かつGaは基板表面近傍で濃度が低くなることがわかった。

【0330】

また、図23より、In、Zn+OおよびGaにおける深さ15nm程度と深さ5nm程度(表面近傍)の二次イオン強度を比較した。Inは、深さ15.0nmにおける二次イオン強度は5084個/秒であったが、深さ5.01nmにおける二次イオン強度は13919個/秒と大きい値であった。同様に、Zn+Oは、深さ14.9nmにおける二次イオン強度は188969個/秒であったが、深さ4.89nmにおける二次イオン強度は26571個/秒と特に小さい値であった。同様に、Gaは、深さ14.8nmにおける二次イオン強度は1109個/秒であったが、深さ4.78nmにおける二次イオン強度は1378個/秒とやや大きい値であった。

30

【0331】

従って、酸化物半導体膜を200の基板温度で成膜し、その後、基板温度を200、圧力を 4×10^{-4} Pa以下の減圧状態に15秒間保持した後、 5×10^{-5} Pa以下の減圧状態で10分間以上保持した試料は、基板表面近傍で金属元素の濃度勾配を有することがわかった。具体的には、基板表面近傍の深さ5nm程度の二次イオン強度と、深さ15nm程度の二次イオン強度を比較すると、Inは基板表面近傍で濃度が高く、Znは基板表面近傍で濃度が特に低く、かつGaは基板表面近傍で濃度がやや高くなることがわかった。

40

【0332】

なお、図22および図23において、基板表面近傍とした深さが異なるが、これはOの二次イオン強度が大きく変化する深さからおおよその基板表面を決定し、そこを基準としているためである。

【0333】

50

以上に示すように、本実施例で評価した試料である酸化物半導体膜中の金属元素は、表面近傍において濃度勾配を有することがわかった。一方、表面から15nm以上の深さにおいては、濃度勾配はほとんど見られないことがわかった。

【0334】

本実施例より、酸化物半導体膜の成膜後、減圧処理または/および加熱処理を行うことで、酸化物半導体膜の表面近傍のInの濃度が高まることわかる。

【符号の説明】

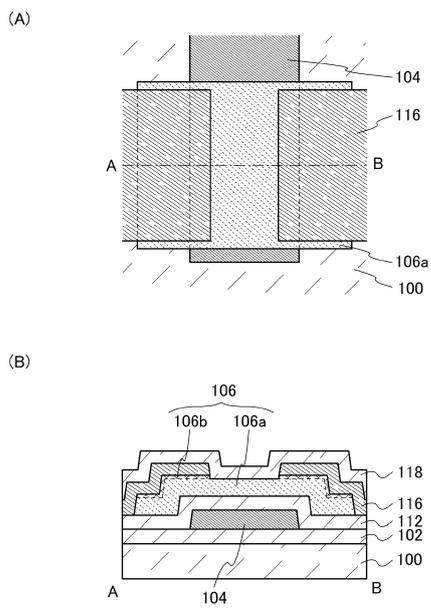
【0335】

100	基板	
102	下地絶縁膜	10
104	ゲート電極	
106	酸化物半導体膜	
106a	第1の層	
106b	第2の層	
107	酸化物半導体膜	
107a	第1の層	
107b	第2の層	
112	ゲート絶縁膜	
116	電極	
117	導電膜	20
118	保護絶縁膜	
136	酸化物半導体膜	
137	酸化物半導体膜	
137a	第1の層	
137b	第2の層	
206	酸化物半導体膜	
206a	第1の層	
206b	第2の層	
214	保護絶縁膜	
215	保護絶縁膜	30
216	電極	
236	酸化物半導体膜	
304	ゲート電極	
306	酸化物半導体膜	
306a	第1の層	
306b	第2の層	
307	酸化物半導体膜	
307a	第1の層	
307b	第2の層	
312	ゲート絶縁膜	40
316	電極	
317	導電膜	
336	酸化物半導体膜	
337	酸化物半導体膜	
337a	第1の層	
337b	第2の層	
404	ゲート電極	
405	導電膜	
406	酸化物半導体膜	
406a	第1の層	50

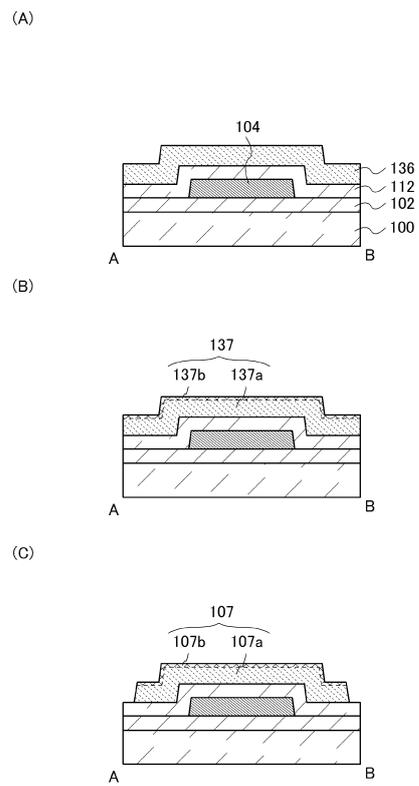
4 0 6 b	第 2 の層	
4 1 2	ゲート絶縁膜	
4 1 3	ゲート絶縁膜	
4 1 6	電極	
4 1 8	保護絶縁膜	
4 3 6	酸化物半導体膜	
4 3 6 a	第 1 の層	
4 3 6 b	第 2 の層	
4 5 4	ゲート電極	
4 5 5	導電膜	10
4 5 6	酸化物半導体膜	
4 5 6 a	第 1 の層	
4 5 6 b	第 2 の層	
4 5 7	酸化物半導体膜	
4 6 2	ゲート絶縁膜	
4 6 3	ゲート絶縁膜	
4 6 6	電極	
4 6 8	保護絶縁膜	
1 1 4 1	スイッチング素子	
1 1 4 2	記憶素子	20
1 1 4 3	記憶素子群	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	30
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
2 2 0 0	画素	
2 2 1 0	液晶素子	
2 2 2 0	キャパシタ	
2 2 3 0	トランジスタ	
9 3 0 0	筐体	
9 3 0 1	ボタン	
9 3 0 2	マイクロフォン	
9 3 0 3	表示部	40
9 3 0 4	スピーカ	
9 3 0 5	カメラ	
9 3 1 0	筐体	
9 3 1 1	表示部	
9 3 2 0	筐体	
9 3 2 1	ボタン	
9 3 2 2	マイクロフォン	
9 3 2 3	表示部	
9 6 3 0	筐体	
9 6 3 1 a	表示部	50

- 9 6 3 1 b 表示部
- 9 6 3 3 留め具
- 9 6 3 8 操作スイッチ

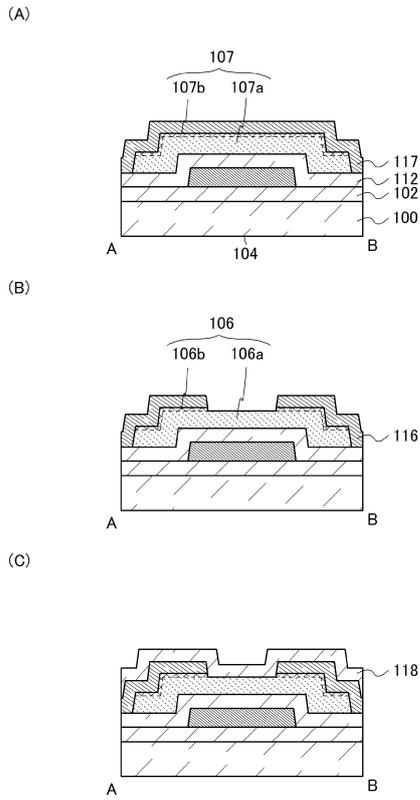
【図1】



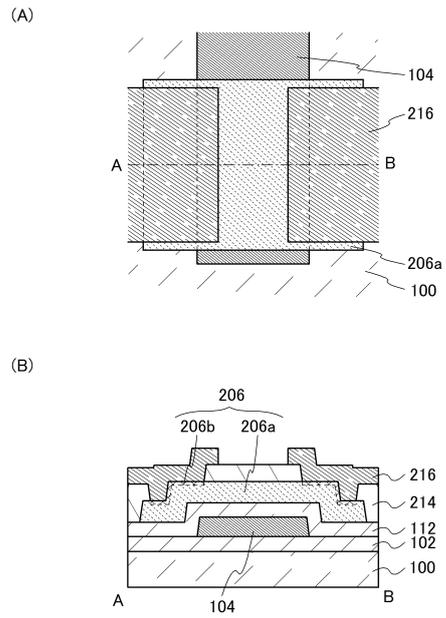
【図2】



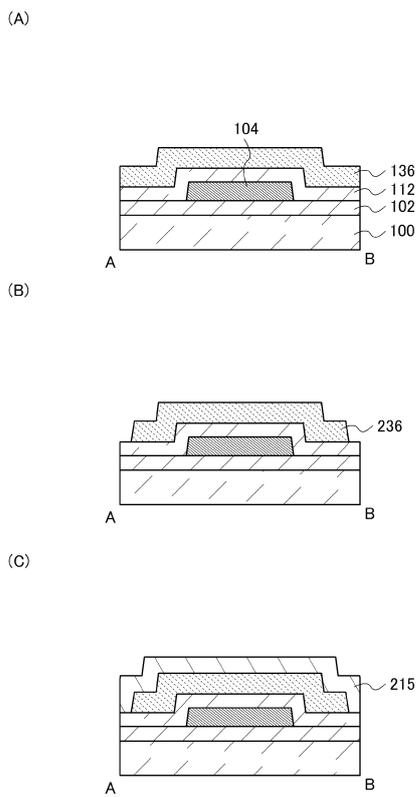
【図3】



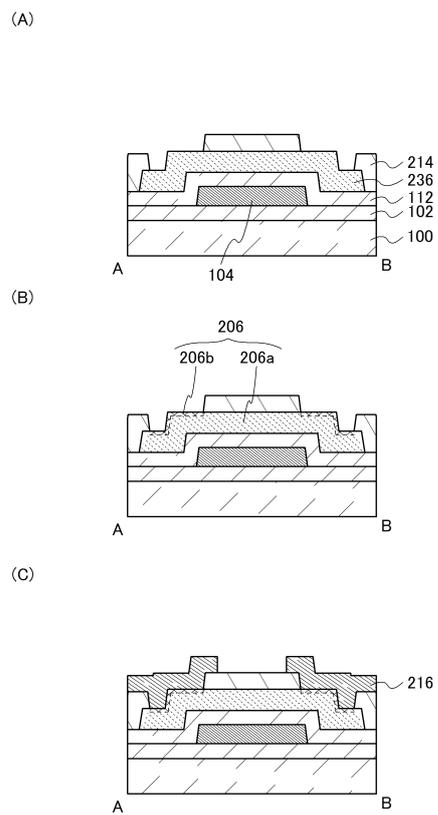
【図4】



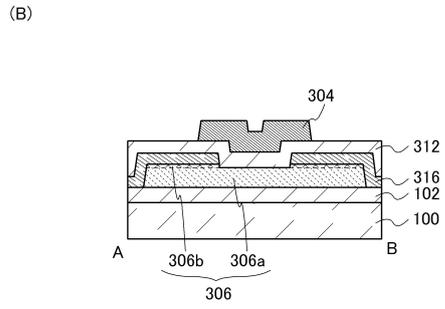
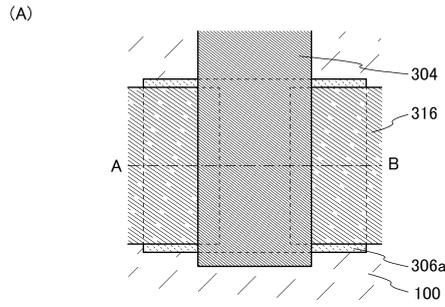
【図5】



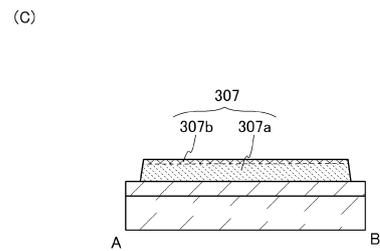
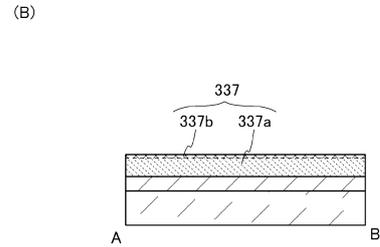
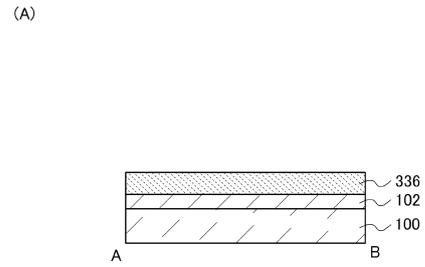
【図6】



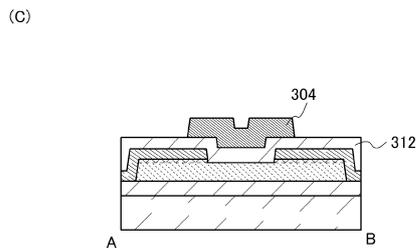
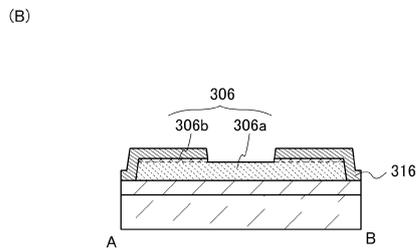
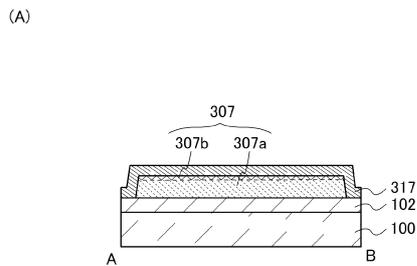
【図 7】



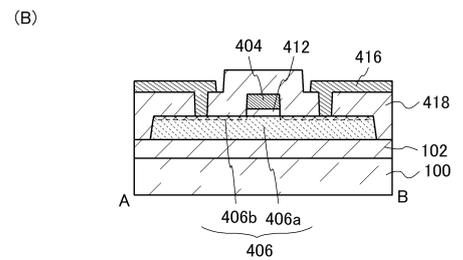
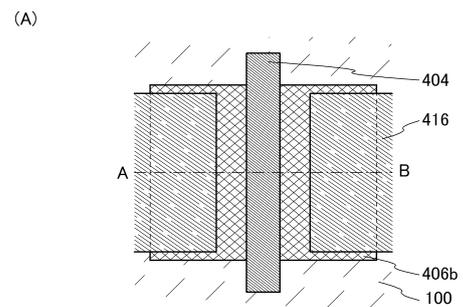
【図 8】



【図 9】

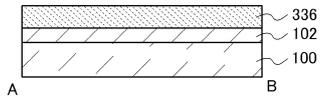


【図 10】

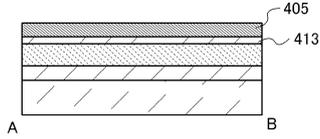


【 1 1 】

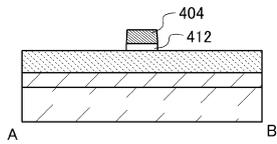
(A)



(B)

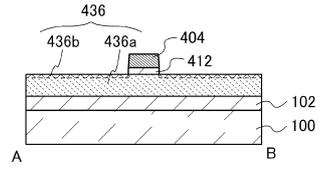


(C)

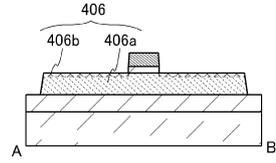


【 1 2 】

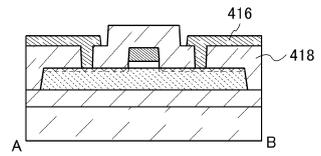
(A)



(B)

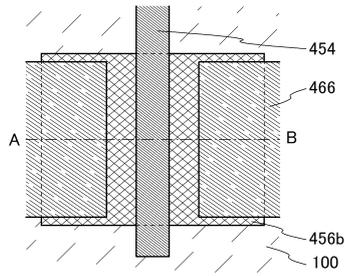


(C)

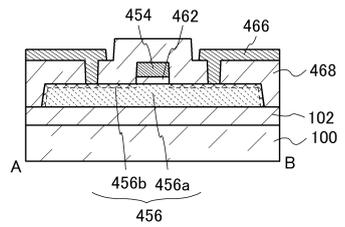


【 1 3 】

(A)

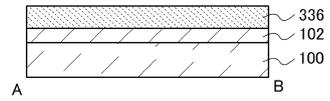


(B)

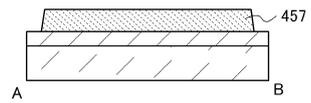


【 1 4 】

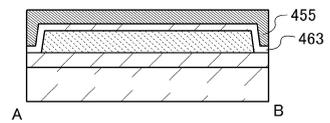
(A)



(B)

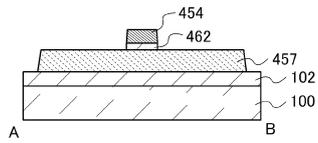


(C)

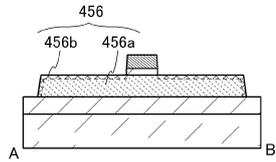


【 図 1 5 】

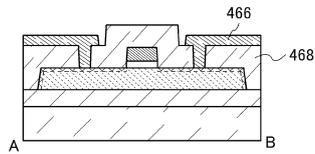
(A)



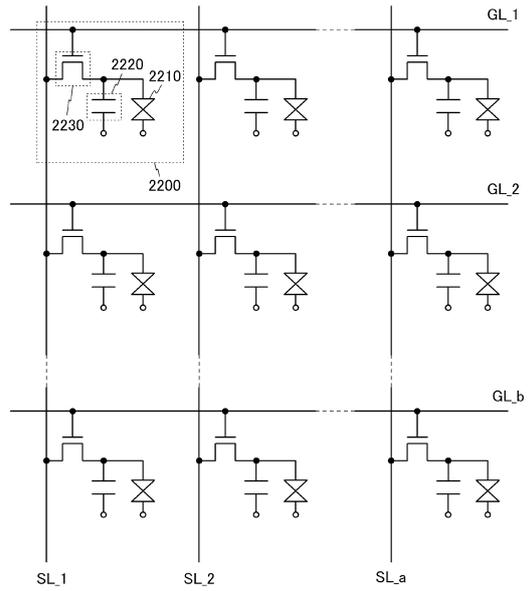
(B)



(C)

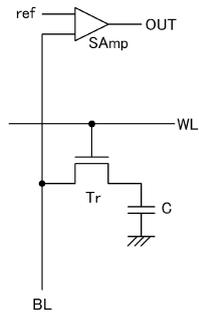


【 図 1 6 】

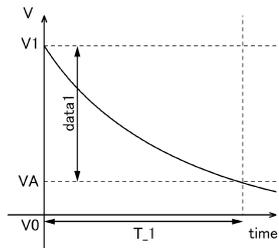


【 図 1 7 】

(A)

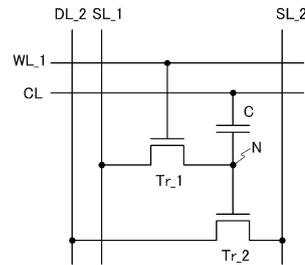


(B)

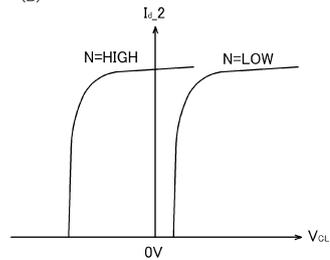


【 図 1 8 】

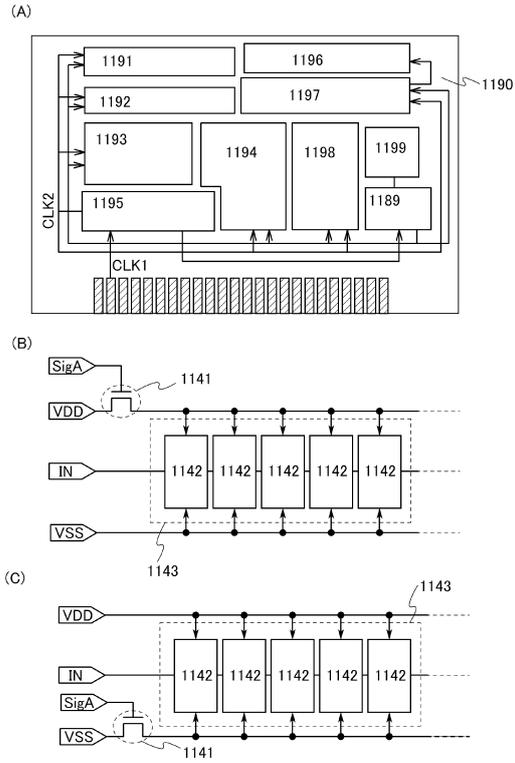
(A)



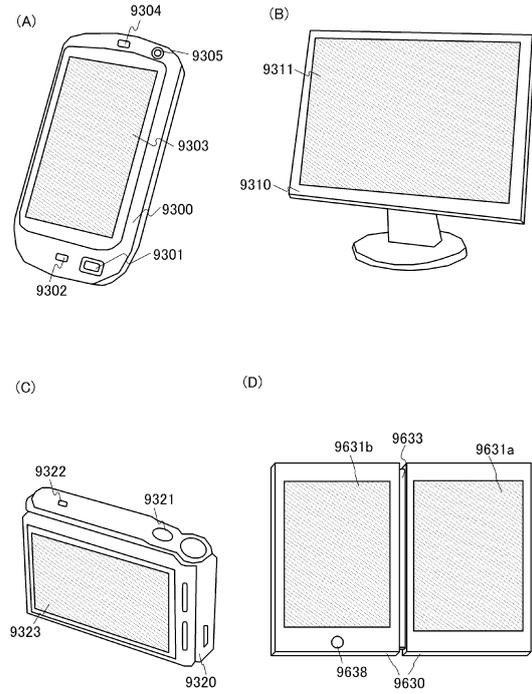
(B)



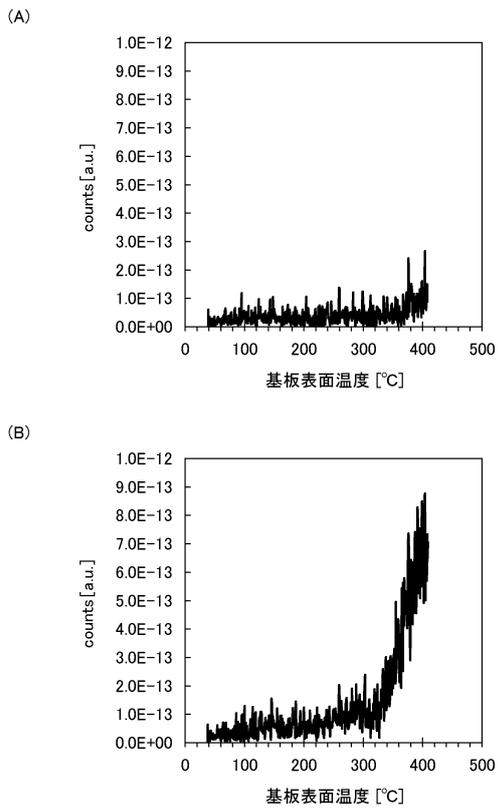
【図19】



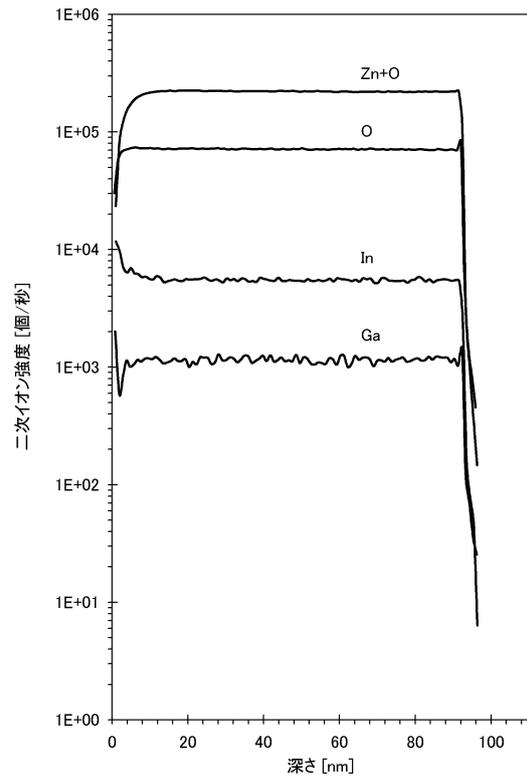
【図20】



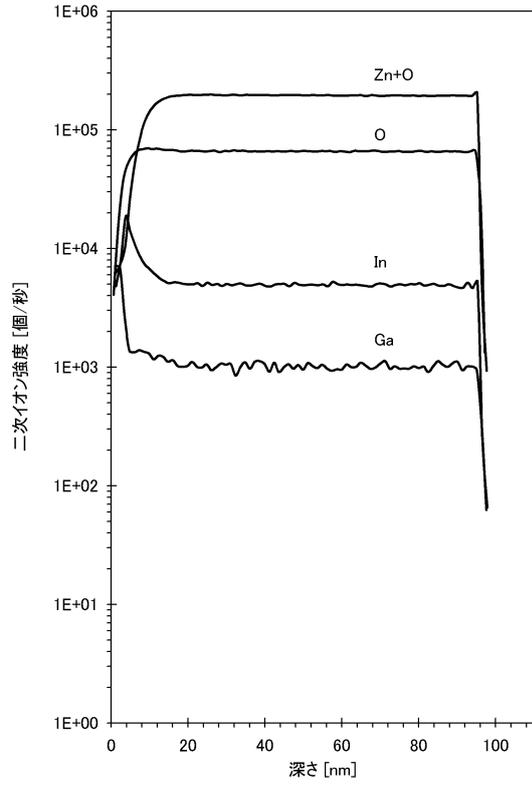
【図21】



【図22】



【 図 2 3 】



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L 27/115 (2006.01)</i>		<i>H 0 1 L 27/10</i>		<i>6 7 1 Z</i>
<i>H 0 1 L 29/788 (2006.01)</i>		<i>H 0 1 L 27/10</i>		<i>4 3 4</i>
<i>H 0 1 L 29/792 (2006.01)</i>		<i>H 0 1 L 29/78</i>		<i>3 7 1</i>
<i>H 0 1 L 27/10 (2006.01)</i>		<i>H 0 1 L 27/10</i>		<i>4 8 1</i>
<i>G 0 2 F 1/1368 (2006.01)</i>		<i>H 0 1 L 27/10</i>		<i>4 6 1</i>
<i>H 0 1 L 21/477 (2006.01)</i>		<i>G 0 2 F 1/1368</i>		
		<i>H 0 1 L 21/477</i>		

(56)参考文献 特開2010-199307(JP,A)
特開2010-287735(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 6、2 9 / 7 8 6