

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4501048号
(P4501048)

(45) 発行日 平成22年7月14日(2010.7.14)

(24) 登録日 平成22年4月30日(2010.4.30)

(51) Int.Cl.	F I	
G 1 1 C 19/28 (2006.01)	G 1 1 C	19/28 D
G 1 1 C 19/00 (2006.01)	G 1 1 C	19/00 J
G 0 9 G 3/20 (2006.01)	G 1 1 C	19/00 G
G 0 9 G 3/36 (2006.01)	G 0 9 G	3/20 6 2 2 E
	G 0 9 G	3/20 6 2 3 H

請求項の数 12 (全 57 頁) 最終頁に続く

(21) 出願番号	特願2000-400899 (P2000-400899)	(73) 特許権者	000001443
(22) 出願日	平成12年12月28日(2000.12.28)		カシオ計算機株式会社
(65) 公開番号	特開2002-197885 (P2002-197885A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成14年7月12日(2002.7.12)	(74) 代理人	100096699
審査請求日	平成17年12月28日(2005.12.28)		弁理士 鹿嶋 英實
		(72) 発明者	角 忍
			東京都八王子市石川町2951番地の5
			カシオ計算機株式会 社 八王子研究所内
		審査官	堀田 和義
		(56) 参考文献	特開昭62-119797 (JP, A)
			特開昭62-118390 (JP, A)
			特開昭58-29200 (JP, A)
			最終頁に続く

(54) 【発明の名称】 シフトレジスタ回路及びその駆動制御方法並びに表示駆動装置、読取駆動装置

(57) 【特許請求の範囲】

【請求項1】

直列に接続された複数の信号保持手段を備えたシフトレジスタ回路において、
前記信号保持手段は、
 第1の信号タイミングで入力信号を取り込み、該入力信号に基づく信号レベルを保持する入力制御部と、
 前記保持された信号レベルに基づいて、ハイレベル又はローレベルを有する第1の出力信号を出力する出力制御部と、
 第2の信号タイミングで前記保持された信号レベルを放電する放電制御部と、
 を備え、
所定の周期を有するハイレベルとローレベルのクロック信号とハイレベルとローレベルの第2の電圧信号が、前記出力制御部に供給され、
 前記複数の信号保持手段を介して、初段の前記信号保持手段に入力された前記入力信号を、順次、次段以降の前記信号保持手段にシフトしつつ、前記信号保持手段の各々から前記ハイレベルの前記クロック信号に基づく信号レベルを有する第1の出力信号を順次出力し、前記ハイレベルの前記クロック信号に基づく信号レベルを有する第1の出力信号を出力していない信号保持手段では、前記ローレベルの前記第2の電圧信号に基づいた第1の出力信号を出力する第1の信号出力動作と、
 前記ハイレベルの前記第2の電圧信号を所定の出力制御信号として入力することにより、前記複数の信号保持手段の各々から、前記第1の信号出力動作によって出力された前記

第 1 の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベル及び信号幅を有する第 2 の出力信号を同時に出力する第 2 の信号出力動作と、
を選択的に実行し、

前記複数の信号保持手段の各々において、

前記入力制御部は、

入力制御信号が印加される前記第 1 の信号タイミングでオン動作し、前記入力信号を電圧保持接点側に取り込む第 1 のトランジスタを備え、

前記出力制御部は、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、所定の負荷を介して、所定の高い信号レベルを有する第 5 の電圧信号から供給される信号レベルを放電する第 2 のトランジスタと、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、前記クロック信号に基づいて前記第 1 の出力信号を出力する第 3 のトランジスタと、

前記第 2 のトランジスタのオフ動作時に、前記負荷を介して、前記第 5 の電圧信号から供給される高い信号レベルに基づいてオン動作し、前記第 2 の電圧信号に基づいて前記第 2 の出力信号を出力する第 4 のトランジスタと、

を備え、

前記放電制御部は、

次段の前記信号保持手段から出力される前記第 1 又は第 2 の出力信号の信号レベルに基づいてオン動作し、前記電圧保持接点側の信号レベルを放電する第 5 のトランジスタを備え、

前記第 4 のトランジスタは制御端子に接続され、前記制御端子には、前記第 1 の信号出力動作において前記ローレベルの前記第 2 の電圧信号が印加され、前記第 2 の信号出力動作において前記第 1 の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベルの前記第 2 の電圧信号が印加され、

前記第 4 のトランジスタは、前記第 1 の信号出力動作において前記ローレベルの前記第 2 の電圧信号に基づいて前記第 1 の出力信号を出力し、前記第 2 の信号出力動作において前記第 1 の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベルの電圧に基づいて前記第 2 の出力信号を出力することを特徴とするシフトレジスタ回路。

【請求項 2】

直列に接続された複数の信号保持手段を備えたシフトレジスタ回路において、

前記複数の信号保持手段の各々は、

第 1 の信号タイミングで前記入力信号を取り込み、該入力信号に基づく信号レベルを保持する入力制御部と、

所定の周期を有するハイレベルとローレベルのクロック信号とハイレベルとローレベルの第 2 の電圧信号が供給され、前記保持された信号レベルに基づいて、ハイレベル又はローレベルを有する第 1 の出力信号を出力する出力制御部と、

第 2 の信号タイミングで前記保持された信号レベルを放電する放電制御部と、
を備え、

前記複数の信号保持手段を介して、初段の前記信号保持手段に入力された入力信号を、順次、次段以降の前記信号保持手段にシフトしつつ、前記信号保持手段の各々から前記ハイレベルの前記クロック信号に基づく信号レベルを有する前記第 1 の出力信号を順次出力し、前記ハイレベルの前記クロック信号に基づく信号レベルを有する第 1 の出力信号を出力していない信号保持手段では、前記ローレベルの前記第 2 の電圧信号に基づいた第 1 の出力信号を出力する第 1 の信号出力動作と、

前記ハイレベルの前記第 2 の電圧信号を所定の出力制御信号として入力することにより、前記複数の信号保持手段の各々から、前記第 1 の信号出力動作によって出力された前記第 1 の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベル及び信号幅を有する第 2 の出力信号を同時に出力する第 2 の信号出力動作と、

を選択的に実行し、

10

20

30

40

50

前記第 2 の信号出力動作の際、前記ハイレベルの前記第 2 の電圧信号を前記出力制御信号として入力することにより、前記ハイレベルの前記第 2 の電圧信号に基づいて前記第 2 の出力信号を出力する第 1 の出力状態と、前記ハイレベルの前記クロック信号に基づいて前記第 2 の出力信号を出力する第 2 の出力状態と、を切り換えて、所定の信号レベル及び信号幅を有する前記第 2 の出力信号を出力し、

前記入力制御部は、

前記入力信号が印加される前記第 1 の信号タイミングでオン動作し、前記入力信号を電圧保持接点側に取り込む第 1 のトランジスタを備え、

前記出力制御部は、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、
所定の負荷を介して、所定の高い信号レベルを有する第 5 の電圧信号から供給される信号レベルを放電する第 2 のトランジスタと、

10

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、
前記ハイレベルの前記クロック信号に基づいて前記第 1 の信号出力動作に前記ハイレベルの前記第 1 の出力信号を出力し、前記第 2 の信号出力動作に、前記第 1 の信号出力動作によって出力された前記第 1 の出力信号の信号レベルの時間積分値の極性の偏りを調整する前記ハイレベルの第 2 の出力信号を出力する第 3 のトランジスタと、

前記第 2 のトランジスタのオフ動作時に、前記負荷を介して、前記第 5 の電圧信号から供給される高い信号レベルに基づいてオン動作し、前記第 2 の電圧信号に基づいて前記第 2 の出力信号を出力する第 4 のトランジスタと、

20

を備え、

前記放電制御部は、

次段の前記信号保持手段から出力される前記第 1 又は第 2 の出力信号の信号レベルに基づいてオン動作し、前記電圧保持接点側の信号レベルを放電可能とする第 5 のトランジスタと、

前記第 5 のトランジスタに直列に接続され、第 6 の電圧信号に基づいてオン動作し、前記電圧保持接点側の信号レベルを放電する第 6 のトランジスタと、

を備え、
前記第 4 のトランジスタは第 1 制御端子に接続され、前記第 1 制御端子には、前記第 1 の信号出力動作において前記ローレベルの前記第 2 の電圧信号が印加され、前記第 2 の信号出力動作において前記第 1 の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベルの前記第 2 の電圧信号が印加され、

30

前記第 4 のトランジスタは、前記第 1 の信号出力動作において前記ローレベルの前記第 2 の電圧信号に基づいて前記第 1 の出力信号を出力し、前記第 2 の信号出力動作において前記第 1 の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベルの電圧に基づいて前記第 2 の出力信号を出力し、

前記第 6 のトランジスタのゲートは第 2 制御端子に接続され、前記第 6 のトランジスタは、前記第 1 の信号出力動作において、前記第 2 制御端子に印加されたハイレベルの電圧に基づいてオンし、前記第 2 の信号出力動作において前記第 2 制御端子に印加されたローレベルの電圧に基づいてオフすることを特徴とするシフトレジスタ回路。

40

【請求項 3】

直列に接続された複数の信号保持手段を備えたシフトレジスタ回路において、

前記複数の信号保持手段の各々は、

第 1 の信号タイミングで前記入力信号を取り込み、該入力信号に基づく信号レベルを保持する入力制御部と、

前記保持された信号レベルに基づいて、ハイレベル又はローレベルを有する第 1 の出力信号を出力する出力制御部と、

第 2 の信号タイミングで前記保持された信号レベルを放電する放電制御部と、

を備え、
所定の周期を有するハイレベルとローレベルのクロック信号とハイレベルとローレベル

50

の第2の電圧信号が、前記出力制御部に供給され、

前記複数の信号保持手段を介して、初段の前記信号保持手段に入力された入力信号を、順次、次段以降の前記信号保持手段にシフトしつつ、前記信号保持手段の各々から前記ハイレベルの前記クロック信号に基づく信号レベルを有する前記第1の出力信号を順次出力し、前記ハイレベルの前記クロック信号に基づく信号レベルを有する第1の出力信号を出力していない信号保持手段では、前記ローレベルの前記第2の電圧信号に基づいた第1の出力信号を出力する第1の信号出力動作と、

前記ハイレベルの前記第2の電圧信号を所定の出力制御信号として入力することにより、前記複数の信号保持手段の各々から、前記第1の信号出力動作によって出力された前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベル及び信号幅を有する第2の出力信号を同時に出力する第2の信号出力動作と、
を選択的に実行し、

前記第1の信号出力動作の際、前記クロック信号は、前記信号保持手段のうち、奇数段目の信号保持手段に対しては、第1の周期で供給され、偶数段目の信号保持手段に対しては、前記第1の周期とは反転関係を有する第2の周期で供給され、

前記入力制御部は、

前記入力信号が印加される前記第1の信号タイミングでオン動作し、前記入力信号を電圧保持接点側に取り込む第1のトランジスタを備え、

前記出力制御部は、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、所定の負荷を介して、所定の高い信号レベルを有する第5の電圧信号から供給される信号レベルを放電する第2のトランジスタと、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、前記ハイレベルの前記クロック信号に基づいて前記第1の信号出力動作に前記ハイレベルの前記第1の出力信号を出力し、前記第2の信号出力動作に、前記第1の信号出力動作によって出力された前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する前記ハイレベルの第2の出力信号を出力する第3のトランジスタと、

前記第2のトランジスタのオフ動作時に、前記負荷を介して、前記第5の電圧信号から供給される高い信号レベルに基づいてオン動作し、前記第2の電圧信号に基づいて前記第2の出力信号を出力する第4のトランジスタと、

を備え、

前記放電制御部は、

次段の前記信号保持手段から出力される前記第1又は第2の出力信号の信号レベルに基づいてオン動作し、前記電圧保持接点側の信号レベルを放電可能とする第5のトランジスタと、

前記第5のトランジスタに直列に接続され、第6の電圧信号に基づいてオン動作し、前記電圧保持接点側の信号レベルを放電する第6のトランジスタと、

を備え、

前記第4のトランジスタは第1制御端子に接続され、前記第1制御端子には、前記第1の信号出力動作において前記ローレベルの前記第2の電圧信号が印加され、前記第2の信号出力動作において前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベルの前記第2の電圧信号が印加され、

前記第4のトランジスタは、前記第1の信号出力動作において前記ローレベルの前記第2の電圧信号に基づいて前記第1の出力信号を出力し、前記第2の信号出力動作において前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベルの電圧に基づいて前記第2の出力信号を出力することを特徴とするシフトレジスタ回路。

【請求項4】

前記信号保持手段は、前記第1の信号出力動作の際、前記入力制御部に印加される入力制御信号の印加タイミングに基づいて、前記入力信号を取り込むことを特徴とする請求項1に記載のシフトレジスタ回路。

10

20

30

40

50

【請求項 5】

前記信号保持手段は、前記第 1 の信号出力動作の際、前記入力制御部に入力される前記入力信号の入力タイミングに基づいて、前記入力信号を取り込むことを特徴とする請求項 1 に記載のシフトレジスタ回路。

【請求項 6】

前記第 1 の信号出力動作の際に、前記出力制御部に供給される前記第 2 の電圧信号は、所定の低い信号レベルを有していることを特徴とする請求項 1 乃至 3 のいずれかに記載のシフトレジスタ回路。

【請求項 7】

前記第 1 の信号出力動作の際、前記クロック信号は、前記信号保持手段のうち、奇数段目の信号保持手段に対しては、第 1 の周期で供給され、偶数段目の信号保持手段に対しては、前記第 1 の周期とは反転関係を有する第 2 の周期で供給されることを特徴とする請求項 1 乃至 3 のいずれかに記載のシフトレジスタ回路。

10

【請求項 8】

前記第 6 の電圧信号は、前記第 2 の電圧信号と反転関係を有するように設定されていることを特徴とする請求項 2 又は 3 に記載のシフトレジスタ回路。

【請求項 9】

前記信号保持手段を構成する前記各トランジスタは、同一のチャネル型の電界効果トランジスタであることを特徴とする請求項 1 乃至 3 のいずれかに記載のシフトレジスタ回路。

20

【請求項 10】

直列に接続された複数の信号保持手段を備えたシフトレジスタ回路の駆動制御方法において、

前記複数の信号保持手段の各々は、

第 1 の信号タイミングで入力信号を取り込み、該入力信号に基づく信号レベルを保持する入力制御部と、

前記保持された信号レベルに基づいて、ハイレベル又はローレベルを有する第 1 の出力信号を出力する出力制御部と、

第 2 の信号タイミングで前記保持された信号レベルを放電する放電制御部と、
を備え、

30

所定の周期を有するハイレベルとローレベルのクロック信号とハイレベルとローレベルの第 2 の電圧信号が、前記出力制御部に供給され、

前記複数の信号保持手段の各々において、

前記入力制御部は、

入力制御信号が印加される前記第 1 の信号タイミングでオン動作し、前記入力信号を電圧保持接点側に取り込む第 1 のトランジスタを備え、

前記出力制御部は、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、所定の負荷を介して、所定の高い信号レベルを有する第 5 の電圧信号から供給される信号レベルを放電する第 2 のトランジスタと、

40

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、前記ハイレベルの前記クロック信号に基づいて第 1 の出力信号を出力する第 3 のトランジスタと、

前記第 2 のトランジスタのオフ動作時に、前記負荷を介して、前記第 5 の電圧信号から供給される高い信号レベルに基づいてオン動作し、前記ローレベルの前記第 2 の電圧信号に基づいて前記第 1 の出力信号を出力し、前記ハイレベルの前記第 2 の電圧信号に基づいて第 2 の出力信号を出力する第 4 のトランジスタと、
を備え、

前記放電制御部は、

次段の前記信号保持手段から出力される前記第 1 又は第 2 の出力信号の信号レベルに基

50

づいてオン動作し、前記電圧保持接点側の信号レベルを放電する第5のトランジスタを備え、

前記複数の信号保持手段を介して、初段の前記信号保持手段に入力された前記入力信号を、順次、次段以降の前記信号保持手段にシフトしつつ、前記信号保持手段の各々から前記ハイレベルの前記クロック信号に基づく信号レベルを有する前記第1の出力信号を順次出力し、前記ハイレベルの前記クロック信号に基づく信号レベルを有する第1の出力信号を出力していない信号保持手段では、前記ローレベルの前記第2の電圧信号に基づいた第1の出力信号を出力する第1の信号出力ステップと、

前記ハイレベルの前記第2の電圧信号を所定の出力制御信号として入力することにより、前記複数の信号保持手段の各々から、前記第1の信号出力ステップによって出力された前記第1の出力信号の信号レベルの時間積分値の偏りを調整する所定の信号レベル及び信号幅を有する第2の出力信号を同時に出力する第2の信号出力ステップと、
を所定の順序で実行し、

前記第4のトランジスタは制御端子に接続され、前記制御端子には、前記第1の信号出力ステップにおいて前記ローレベルの前記第2の電圧信号が印加され、前記第2の信号出力ステップにおいて前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベルの前記第2の電圧信号が印加され、

前記第4のトランジスタは、前記第1の信号出力ステップにおいて前記ローレベルの前記第2の電圧信号に基づいて前記第1の出力信号を出力し、前記第2の信号出力ステップにおいて前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベルの電圧に基づいて前記第2の出力信号を出力することを特徴とするシフトレジスタ回路の駆動制御方法。

【請求項11】

請求項1記載のシフトレジスタ回路を備えた表示駆動装置において、

前記シフトレジスタ回路から順次出力された所望の画像を表示するための駆動信号に基づいて表示される複数の表示画素がマトリクス状に配列された表示手段を備えることを特徴とする表示駆動装置。

【請求項12】

請求項1記載のシフトレジスタ回路を備えた読取駆動装置において、

前記シフトレジスタ回路から順次出力された駆動信号に基づいて画像を読み取る複数の読取画素がマトリクス状に配列された画像読取手段を備えることを特徴とする読取駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シフトレジスタ回路及びその駆動制御方法に関し、特に、液晶表示装置又は画像読取装置の駆動回路に適用して良好なシフトレジスタ回路及びその駆動制御方法並びに表示駆動装置、読取駆動装置に関する。

【0002】

【従来の技術】

近年、コンピュータや携帯電話、携帯情報端末等の情報機器や、デジタルビデオカメラやデジタルスチルカメラ、スキャナ等の画像処理関連機器の普及が著しい。このような機器においては、表示手段として液晶表示装置(Liquid Crystal Display; LCD)が、また、画像読取手段又は撮像手段としてフォトセンサアレイを備えた画像読取装置が多用されるようになっている。

【0003】

例えば、アクティブマトリクス液晶表示装置においては、薄膜トランジスタ等の画素トランジスタを備えた表示画素(液晶画素)がマトリクス状に配列され、各表示画素を行方向に接続する走査ラインと列方向に接続するデータラインとを備えた表示パネルに対して、走査ドライバにより各走査ラインを順次選択状態とし、データドライバにより各データラ

10

20

30

40

50

インに所定の信号電圧を印加して、選択状態にある表示画素に対して画像情報に応じた信号電圧を書き込むことにより、各表示画素における液晶の配向状態を制御して所望の画像情報を所定のコントラストで表示するように構成されている。ここで、走査ドライバには、各走査ラインを選択状態にするための走査信号を順次出力する構成としてシフトレジスタ回路が設けられている。

【0004】

また、フォトセンサ（読取画素）をマトリクス状に配列して構成されたフォトセンサアレイを備えた画像読取装置においても、フォトセンサのリセット動作や画像読取動作の際に、各行のフォトセンサを順次選択状態にするための走査ドライバが備えられており、上記液晶表示装置の走査ドライバと同様に、シフトレジスタ回路が設けられている。

10

【0005】

このようなシフトレジスタ回路は、概略的には、図24に示すように、複数個（複数段）のフリップフロップ回路 $\cdots RP_{k-1}$ 、 RP_k 、 RP_{k+1} 、 $RP_{k+2}\cdots$ が、直列に配置され、相互の出力端子OUTと入力端子INが順次接続された構成を有し、図25に示すように、クロック信号CKPの印加タイミングに同期して、入力端子INから取り込まれた信号が各フリップフロップ回路 $\cdots RP_{k-1}$ 、 RP_k 、 RP_{k+1} 、 $RP_{k+2}\cdots$ を介して、順次、転送（シフト）されるとともに、各フリップフロップ回路 $\cdots RP_{k-1}$ 、 RP_k 、 RP_{k+1} 、 $RP_{k+2}\cdots$ から出力される出力信号 $\cdots OUT_{k-1}$ 、 OUT_k 、 OUT_{k+1} 、 $OUT_{k+2}\cdots$ に基づく走査信号が上記液晶表示装置や画像読取装置の走査ラインに順次印加される。これにより、各走査ラインに接続された表示画素やフォトセンサが行毎に選択状態となる線順次選択動作が行われる。

20

【0006】

【発明が解決しようとする課題】

しかしながら、上述したような従来のシフトレジスタ回路にあっては、次に示すような問題を有していた。

(1) すなわち、シフトレジスタ回路を含む走査ドライバは、近年の表示画像や読取画像の高精細化や微細化加工技術の進展、搭載機器の小型軽量化、あるいは、表示パネルやフォトセンサアレイと同一の基板上への形成によるモジュール化等に伴って、大幅な微細化が可能であり、かつ、ON-OFF動作特性に優れた電界効果トランジスタを用いた回路構成が適用されるようになってきている。

30

【0007】

ところで、電界効果トランジスタにおいては、ゲート電極、ソース電極、ドレイン電極間の相対的な電位の関係によって、ゲート電極に制御信号（ゲート信号）を繰り返し印加することにより、しきい値特性が変動することが実験的に知られている。

【0008】

具体的には、例えば、nチャンネル型の電界効果トランジスタにおいては、図26に示すように、ドレイン電圧 V_d に対するゲート電圧 V_g （ゲート-ドレイン電圧 V_{gd} ）の関係を、ゲート電圧 V_g が相対的に小さくなるように設定（条件 $V_g < V_d$ ）して、ゲート電極に制御信号を継続的に印加した場合、ドレイン電流 I_d の変化を示す $V_g - I_d$ 特性曲線 SP_1 が、初期の特性曲線 SP_0 に比較して、ゲート電圧 V_g の負方向（図面左方向）に変化する現象が観測される。このような $V_g - I_d$ 特性曲線の変化が生じると、薄膜トランジスタのゲート電極に印加されるゲート電圧 V_g を0Vに設定した場合であっても、ドレイン電流 I_{d0} が流下する現象が生じる。

40

【0009】

また、ゲート-ドレイン電圧 V_{gd} の関係を、ゲート電圧 V_g が相対的に大きくなるように設定（条件 $V_g > V_d$ ）して、ゲート電極に継続的に印加した場合、 $V_g - I_d$ 特性曲線 SP_2 が、初期の特性曲線 SP_0 に比較して、ゲート電圧 V_g の正方向（図面右方向）に変化する現象が観測される。このような $V_g - I_d$ 特性曲線の変化が生じると、高いゲート電圧 V_{g1} を印加した場合であっても、所望のドレイン電流 I_{d1} が流下せず、電流量

50

が低くなる（ドレイン電流 I_{d2} ）現象が生じる。

【0010】

すなわち、このような現象は、換言すれば、電界効果トランジスタのゲート電極に印加される信号レベルの時間積分値（又は、積算電圧）の正負極性の偏りに起因して、電界効果トランジスタのしきい値特性が変動することを意味している。そのため、このような電界効果トランジスタを用いてシフトレジスタ回路を構成した場合、出力信号（ドレイン電流 I_d ）の信号レベルが経時的に変化して、電界効果トランジスタの良好なスイッチング動作が行われなくなるため、シフトレジスタ回路の誤動作や動作特性の劣化を生じるおそれがあるという問題を有していた。

【0011】

（2）また、画像読取装置においては、フォトセンサアレイを構成するフォトセンサとして電界効果トランジスタ（薄膜トランジスタ）構造を有するものがあり、このようなフォトセンサ（すなわち、電界効果トランジスタのゲート電極に相当）に対して、リセットパルスや読み出しパルスを順次印加（走査）することにより2次元画像を読み取る駆動制御が行われている。

【0012】

ここで、フォトセンサに印加される各パルスは、特定の行のフォトセンサのみを選択してリセット動作や読み出し動作等を行うものであるため、例えば、図27に示すように、各パルス G_1 、 G_2 、 G_3 、 G_4 ・・・の電圧波形は、ゲート電極に対して極めて短い期間 T_g だけ比較的高い信号レベル V_{gh} （例えば、+15V）が印加され、他の期間は比較的低い信号レベル V_{gl} （例えば、-15V）が印加される。フォトセンサ（電界効果トランジスタ）に対して、このような大きな電位差（信号振幅；概ね25～30V程度）を有するパルスを印加することにより、ON-OFF動作が瞬時に行われてデジタル的な駆動が可能となる。

【0013】

そのため、図27に示すように、所定の動作期間（走査期間）に着目した場合、フォトセンサに印加される各パルス G_1 、 G_2 、 G_3 、 G_4 ・・・の電圧波形は、0V（ G_{ND} レベル）に対して対称ではなく、その時間積分値（積算電圧）の平均値 V_p は、負電圧側に大きく偏っていた。

このような時間積分値の平均値 V_p の極性の偏りは、図26に示した場合と同様に、電界効果トランジスタのしきい値特性の変動を生じることになるため、画像読取装置の誤動作や読取感度特性の劣化等を生じるおそれがあるという問題を有していた。なお、画像読取装置及びフォトセンサの具体的な構成については、後述する。

【0014】

そこで、本発明は、上記問題点に鑑み、電界効果トランジスタを用いて構成されるシフトレジスタ回路や画像読取装置において、ゲート電極に印加される信号レベルの時間積分値の極性の偏りに起因するトランジスタ特性の変動を抑制して、誤動作や動作特性の改善を図ることができるシフトレジスタ回路及びその駆動制御方法並びに表示駆動装置、読取駆動装置を提供することを目的とする。

【0015】

【課題を解決するための手段】

請求項1乃至3記載の発明はいずれも、直列に接続された複数の信号保持手段を備えたシフトレジスタ回路において、前記シフトレジスタ回路は、前記複数の信号保持手段を介して、初段の前記信号保持手段に入力された入力信号を、順次、次段以降の前記信号保持手段にシフトしつつ、前記信号保持手段の各々から第1の出力信号を順次出力する第1の信号出力動作と、所定の出力制御信号を入力することにより、前記複数の信号保持手段の各々から、前記第1の信号出力動作によって出力された前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベル及び信号幅を有する第2の出力信号を同時に出力する第2の信号出力動作と、を選択的に実行することを特徴としている。

【0016】

請求項 1 にかかる発明では、

直列に接続された複数の信号保持手段を備えたシフトレジスタ回路において、

前記信号保持手段は、

第 1 の信号タイミングで入力信号を取り込み、該入力信号に基づく信号レベルを保持する入力制御部と、

前記保持された信号レベルに基づいて、ハイレベル又はローレベルを有する第 1 の出力信号を出力する出力制御部と、

第 2 の信号タイミングで前記保持された信号レベルを放電する放電制御部と、
を備え、

所定の周期を有するハイレベル (V_H) とローレベル (V_L) のクロック信号 ($CK1$, $CK2$) とハイレベル (V_a) とローレベル (V_{SS}) の第 2 の電圧信号 (SET) が、
前記出力制御部に供給され、

前記複数の信号保持手段を介して、初段の前記信号保持手段に入力された前記入力信号を、順次、次段以降の前記信号保持手段にシフトしつつ、前記信号保持手段の各々から前記ハイレベルの前記クロック信号に基づく信号レベル (V_H) を有する第 1 の出力信号を順次出力し、前記ハイレベルの前記クロック信号に基づく信号レベル (V_H) を有する第 1 の出力信号を出力していない信号保持手段では、前記ローレベルの前記第 2 の電圧信号 (SET) に基づいた第 1 の出力信号を出力する第 1 の信号出力動作 (シフト動作) と、

前記ハイレベルの前記第 2 の電圧信号を所定の出力制御信号として入力することにより、前記複数の信号保持手段の各々から、前記第 1 の信号出力動作によって出力された前記第 1 の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベル及び信号幅を有する第 2 の信号出力動作 (積算電圧調整動作) と、
を選択的に実行し、

前記複数の信号保持手段の各々において、

前記入力制御部は、

入力制御信号が印加される前記第 1 の信号タイミングでオン動作し、前記入力信号を電圧保持接点側に取り込む第 1 のトランジスタを備え、

前記出力制御部は、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、所定の負荷を介して、所定の高い信号レベルを有する第 5 の電圧信号から供給される信号レベルを放電する第 2 のトランジスタと、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、前記クロック信号に基づいて前記第 1 の出力信号を出力する第 3 のトランジスタと、

前記第 2 のトランジスタのオフ動作時に、前記負荷を介して、前記第 5 の電圧信号から供給される高い信号レベルに基づいてオン動作し、前記第 2 の電圧信号に基づいて前記第 2 の出力信号を出力する第 4 のトランジスタと、
を備え、

前記放電制御部は、

次段の前記信号保持手段から出力される前記第 1 又は第 2 の出力信号の信号レベルに基づいてオン動作し、前記電圧保持接点側の信号レベルを放電する第 5 のトランジスタを備え、

前記第 4 のトランジスタは制御端子に接続され、前記制御端子には、前記第 1 の信号出力動作において前記ローレベル (V_{SS}) の前記第 2 の電圧信号が印加され、前記第 2 の信号出力動作において前記第 1 の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベル (V_a) の前記第 2 の電圧信号が印加され、

前記第 4 のトランジスタは、前記第 1 の信号出力動作において前記ローレベルの前記第 2 の電圧信号に基づいて前記第 1 の出力信号を出力し、前記第 2 の信号出力動作において前記第 1 の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベルの電圧 (V_a) に基づいて前記第 2 の出力信号を出力することを特徴とする。

すなわち、第 1 の信号出力動作においては、各段の信号保持手段から所定の信号レベル

10

20

30

40

50

を有する第 1 の出力信号（シフト信号）が順次出力されて、通常のシフト動作が実現される。一方、第 2 の信号出力動作においては、出力制御信号の入力をトリガーとして、各段の信号保持手段から所定の信号波形（信号レベル及び信号幅）を有する第 2 の出力信号（調整信号）が同時に出力されて、第 1 の信号出力動作における第 1 の出力信号の時間積分値の極性の偏りを調整する積算電圧調整動作が実行される。

請求項 10 にかかる発明では、

直列に接続された複数の信号保持手段を備えたシフトレジスタ回路の駆動制御方法において、

前記複数の信号保持手段の各々は、

第 1 の信号タイミングで入力信号を取り込み、該入力信号に基づく信号レベルを保持する入力制御部と、

前記保持された信号レベルに基づいて、ハイレベル又はローレベルを有する第 1 の出力信号を出力する出力制御部と、

第 2 の信号タイミングで前記保持された信号レベルを放電する放電制御部と、
を備え、

所定の周期を有するハイレベル（ V_H ）とローレベル（ V_L ）のクロック信号とハイレベル（ V_a ）とローレベル（ V_{SS} ）の第 2 の電圧信号が、前記出力制御部に供給され、

前記複数の信号保持手段の各々において、

前記入力制御部は、

入力制御信号が印加される前記第 1 の信号タイミングでオン動作し、前記入力信号を電圧保持接点側に取り込む第 1 のトランジスタを備え、

前記出力制御部は、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、所定の負荷を介して、所定の高い信号レベルを有する第 5 の電圧信号から供給される信号レベルを放電する第 2 のトランジスタと、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、前記ハイレベルの前記クロック信号に基づいて第 1 の出力信号を出力する第 3 のトランジスタと、

前記第 2 のトランジスタのオフ動作時に、前記負荷を介して、前記第 5 の電圧信号から供給される高い信号レベルに基づいてオン動作し、前記ローレベルの前記第 2 の電圧信号に基づいて前記第 1 の出力信号を出力し、前記ハイレベルの前記第 2 の電圧信号に基づいて第 2 の出力信号を出力する第 4 のトランジスタと、
を備え、

前記放電制御部は、

次段の前記信号保持手段から出力される前記第 1 又は第 2 の出力信号の信号レベルに基づいてオン動作し、前記電圧保持接点側の信号レベルを放電する第 5 のトランジスタを備え、

前記複数の信号保持手段を介して、初段の前記信号保持手段に入力された前記入力信号を、順次、次段以降の前記信号保持手段にシフトしつつ、前記信号保持手段の各々から前記ハイレベルの前記クロック信号に基づく信号レベルを有する前記第 1 の出力信号を順次出力し、前記ハイレベルの前記クロック信号に基づく信号レベル（ V_H ）を有する第 1 の出力信号を出力していない信号保持手段では、前記ローレベルの前記第 2 の電圧信号（SET）に基づいた第 1 の出力信号を出力する第 1 の信号出力ステップと、

前記ハイレベルの前記第 2 の電圧信号を所定の出力制御信号として入力することにより、前記複数の信号保持手段の各々から、前記第 1 の信号出力ステップによって出力された前記第 1 の出力信号の信号レベルの時間積分値の偏りを調整する所定の信号レベル及び信号幅を有する第 2 の出力信号を同時に出力する第 2 の信号出力ステップと、
を所定の順序で実行し、

前記第 4 のトランジスタは制御端子（CTL）に接続され、前記制御端子（CTL）には、前記第 1 の信号出力ステップにおいて前記ローレベル（ V_{SS} ）の前記第 2 の電圧信号

10

20

30

40

50

が印加され、前記第2の信号出力ステップにおいて前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベル(Va)の前記第2の電圧信号が印加され、

前記第4のトランジスタは、前記第1の信号出力ステップにおいて前記ローレベルの前記第2の電圧信号に基づいて前記第1の出力信号を出力し、前記第2の信号出力ステップにおいて前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベルの電圧(Va)に基づいて前記第2の出力信号を出力することを特徴とする。

【0017】

このような第1及び第2の信号出力動作を選択的に繰り返し実行することにより、シフト動作(第1の信号出力動作)において、各段の信号保持手段を構成する電界効果トランジスタのゲート電極に、正負極性の偏ったゲート信号(第1の出力信号)が印加されることに起因して、電界効果トランジスタのしきい値特性の変動が生じた場合であっても、積算電圧調整動作(第2の信号出力動作)において、所定の信号波形を有する調整信号(第2の出力信号)が、各段の信号保持手段の電界効果トランジスタのゲート電極に同時に印加されるので、シフト動作における上記ゲート信号の信号レベルの時間積分値(積算電圧)の正又は負極性への偏りを相殺又は調整することができ、上記電界効果トランジスタのしきい値特性の変動に起因するシフトレジスタ回路の誤動作や動作特性の劣化を抑制して、信頼性の高いシフトレジスタ回路を提供することができる。

10

【0018】

また、このような構成を有するシフトレジスタ回路を、電界効果トランジスタ構造を有するフォトセンサを画像読取手段に用いた画像読取装置の読取駆動装置に適用した場合、上記第1及び第2の信号出力動作を選択的に繰り返し実行することにより、画像読取動作(第1の信号出力動作)において、各フォトセンサを走査する際に、各フォトセンサに正負極性の偏った走査信号(第1の出力信号)が印加されることに起因して、フォトセンサの素子特性の変動が生じた場合であっても、積算電圧調整動作(第2の信号出力動作)において、所定の信号波形を有する調整信号(第2の出力信号)が、各フォトセンサに同時に印加されるので、画像読取動作における上記走査信号の信号レベルの時間積分値(積算電圧)の正又は負極性への偏りを相殺又は調整することができ、上記フォトセンサの素子特性の変動に起因する画像読取装置の誤動作や読取感度の劣化を抑制して、信頼性の高い画像読取装置を提供することができる。

20

30

【0019】

また、請求項1乃至請求項3記載の発明はいずれも、上記シフトレジスタ回路において、複数の信号保持手段の各々は、第1の信号タイミングで前記入力信号を取り込み、該入力信号に基づく信号レベルを保持する入力制御部と、前記保持された信号レベルに基づいて、所定の信号レベルを有する前記第1又は第2の出力信号を出力する出力制御部と、第2の信号タイミングで前記保持された信号レベルを放電する放電制御部と、を備えていることを特徴としている。

【0020】

このような構成によれば、入力制御部及び出力制御部により、所定のタイミングで入力信号の取り込み、出力が行われて、第1の出力信号を順次次段の信号保持手段にシフトさせることができるとともに、放電制御部により、上記第1又は第2の出力信号の出力後に保持されている入力信号の信号レベルを良好に放電して、各段の信号保持手段を初期化(リセット)することができる。

40

【0021】

また、上記シフトレジスタ回路において、信号保持手段は、第1の信号出力動作の際、入力制御部に印加される入力制御信号の印加タイミング、又は、入力信号の入力タイミングに基づいて、入力信号を取り込むように構成することができる。

【0022】

このような構成によれば、前者においては、第1又は第2の信号出力動作に応じて、入力

50

信号の取り込みを制御することができ、第2の信号出力動作において、入力信号の信号レベルに影響されることがないので、各段の信号保持手段の設計自由度を向上させることができる。また、後者においては、入力信号の入力タイミングのみに依存して入力信号が取り込まれるので、入力信号の入力制御が簡素化されるとともに、入力制御部を構成する電界効果トランジスタへのゲート信号の印加を極力少なくして、電界効果トランジスタのしきい値特性の変動を抑制することができる。

【0023】

また、上記シフトレジスタ回路において、前記信号保持手段は、周期的に所定の高い信号レベルを有する第1の電圧信号と、少なくとも信号レベルの変更が可能な第2の電圧信号が、前記出力制御部に供給され、前記第1の信号出力動作の際、前記第1の電圧信号に基づき信号レベルを有する前記第1の出力信号を出力し、前記第2の信号出力動作の際、前記第2の電圧信号を前記出力制御信号として入力することにより、前記第2の電圧信号に基づき任意の信号レベルを有する前記第2の出力信号を出力するように構成することができる。

10

ここで、前記第1の信号出力動作の際に、前記出力制御部に供給される前記第2の電圧信号は、所定の低い信号レベルを有するように設定される。

【0024】

このような構成によれば、第1の信号出力動作（シフト動作）においては、予め設定された高い信号レベルを有する第1の電圧信号と所定の低い信号レベルに設定された第2の電圧信号に基づいて、所定の信号レベルを有する第1の出力信号（シフト信号）が順次出力され、第2の信号出力動作（積算電圧調整動作）においては、任意に設定された信号レベル及び信号幅を有する第2の電圧信号に基づいて、任意の信号波形を有する第2の出力信号（調整信号）が同時に出力されるので、第1の出力信号の時間積分値に応じた信号レベル及び信号幅を有する調整信号を適宜生成、出力して、上記時間積分値の極性の偏りを相殺又は調整することができ、電界効果トランジスタのしきい値特性の変動を良好に抑制することができる。

20

【0025】

請求項2にかかる発明では、

直列に接続された複数の信号保持手段を備えたシフトレジスタ回路において、

前記複数の信号保持手段の各々は、

30

所定の周期を有する第1の信号タイミングで前記入力信号を取り込み、該入力信号に基づく信号レベルを保持する入力制御部と、

ハイレベル（ V_H ）とローレベル（ V_L ）のクロック信号（ $CK1, CK2$ ）とハイレベル（ V_a ）とローレベル（ V_L ）の第2の電圧信号（ $SETA$ ）が供給され、前記保持された信号レベルに基づいて、ハイレベル又はローレベルを有する第1の出力信号（ V_H, V_L ）を出力する出力制御部と、

第2の信号タイミングで前記保持された信号レベルを放電する放電制御部と、を備え、

前記複数の信号保持手段を介して、初段の前記信号保持手段に入力された入力信号を、順次、次段以降の前記信号保持手段にシフトしつつ、前記信号保持手段の各々から前記ハイレベルの前記クロック信号に基づく信号レベル（ V_H ）を有する前記第1の出力信号を順次出力し、前記ハイレベルの前記クロック信号に基づく信号レベル（ V_H ）を有する第1の出力信号を出力していない信号保持手段では、前記ローレベルの前記第2の電圧信号（ $SETA$ ）に基づいた第1の出力信号を出力する第1の信号出力動作（シフト動作）と、

40

前記ハイレベルの前記第2の電圧信号を所定の出力制御信号として入力することにより、前記複数の信号保持手段の各々から、前記第1の信号出力動作によって出力された前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベル及び信号幅を有する前記第2の出力信号を同時に出力する第2の信号出力動作（積算電圧調整動作）と、

50

を選択的に実行し、

前記第2の信号出力動作の際、前記ハイレベルの前記第2の電圧信号（SETA）を前記出力制御信号として入力することにより、前記ハイレベルの前記第2の電圧信号に基づいて前記第2の出力信号を出力する第1の出力状態と、前記ハイレベルの前記クロック信号（CK1, CK2）に基づいて前記第2の出力信号を出力する第2の出力状態と、を切り換えて、所定の信号レベル及び信号幅を有する前記第2の出力信号を出力し、

前記入力制御部は、

前記入力信号が印加される前記第1の信号タイミングでオン動作し、前記入力信号を電圧保持接点側に取り込む第1のトランジスタを備え、

前記出力制御部は、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、所定の負荷を介して、所定の高い信号レベルを有する第5の電圧信号から供給される信号レベルを放電する第2のトランジスタと、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、前記ハイレベルの前記クロック信号に基づいて前記第1の信号出力動作に前記ハイレベルの前記第1の出力信号を出力し、前記第2の信号出力動作に、前記第1の信号出力動作によって出力された前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する前記ハイレベルの第2の出力信号を出力する第3のトランジスタと、

前記第2のトランジスタのオフ動作時に、前記負荷を介して、前記第5の電圧信号から供給される高い信号レベルに基づいてオン動作し、前記第2の電圧信号に基づいて前記第2の出力信号を出力する第4のトランジスタと、

を備え、

前記放電制御部は、
次段の前記信号保持手段から出力される前記第1又は第2の出力信号の信号レベルに基づいてオン動作し、前記電圧保持接点側の信号レベルを放電可能とする第5のトランジスタと、

前記第5のトランジスタに直列に接続され、第6の電圧信号に基づいてオン動作し、前記電圧保持接点側の信号レベルを放電する第6のトランジスタと、

を備え、
前記第4のトランジスタは第1制御端子に接続され、前記第1制御端子には、前記第1の信号出力動作において前記ローレベルの前記第2の電圧信号が印加され、前記第2の信号出力動作において前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベル（Va）の前記第2の電圧信号が印加され、

前記第4のトランジスタは、前記第1の信号出力動作において前記ローレベルの前記第2の電圧信号に基づいて前記第1の出力信号を出力し、前記第2の信号出力動作において前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベルの電圧（Va）に基づいて前記第2の出力信号を出力し、

前記第6のトランジスタのゲートは第2制御端子に接続され、前記第6のトランジスタは、前記第1の信号出力動作において、前記第2制御端子に印加されたハイレベルの電圧に基づいてオンし、前記第2の信号出力動作において前記第2制御端子に印加されたローレベルの電圧に基づいてオフすることを特徴とする。

【0026】

このような構成によれば、第1の信号出力動作（シフト動作）においては、所定の高い信号レベルに設定された第3の電圧信号と所定の低い信号レベルに設定された第2の電圧信号に基づいて、所定の信号レベルを有する第1の出力信号（シフト信号）が順次出力され、第2の信号出力動作（積算電圧調整動作）においては、所定の高い信号レベルに設定された第2の電圧信号をトリガーとして、実質的に任意に設定された信号レベル及び信号幅を有する第3の電圧信号に基づいて、任意の信号波形を有する第2の出力信号（調整信号）が同時に出力されるので、第1の出力信号の時間積分値の極性の偏りを相殺又は調整す

10

20

30

40

50

ることができ、電界効果トランジスタのしきい値特性の変動を良好に抑制することができる。

【 0 0 2 7 】

また、上記シフトレジスタ回路において、前記信号保持手段は、少なくとも信号幅の変更が可能な第 3 の電圧信号と、所定の低い信号レベルを有する第 4 の電圧信号が、前記出力制御部に供給され、前記第 1 の信号出力動作の際、前記第 3 の電圧信号に基づく第 1 の信号幅を有する前記第 1 の出力信号を出力し、前記第 2 の信号出力動作の際、前記第 3 の電圧信号に基づく第 2 の信号幅を有する前記第 2 の出力信号を出力するように構成することができる。

【 0 0 2 8 】

このような構成によれば、第 1 の信号出力動作（シフト動作）においては、所定の信号幅に設定された第 3 の電圧信号に基づいて、第 1 の信号幅を有する第 1 の出力信号（シフト信号）が順次出力され、第 2 の信号出力動作（積算電圧調整動作）においては、任意に変更設定された信号幅を有する第 3 の電圧信号に基づいて、任意の信号波形を有する第 2 の出力信号（調整信号）が同時に出力されるので、第 3 の電圧信号の信号幅を調整する簡易な制御方法により、第 1 の出力信号の時間積分値の極性の偏りを相殺又は調整することができ、電界効果トランジスタのしきい値特性の変動を良好に抑制することができる。

【 0 0 2 9 】

請求項 3 にかかる発明では、

直列に接続された複数の信号保持手段を備えたシフトレジスタ回路において、

前記複数の信号保持手段の各々は、

第 1 の信号タイミングで前記入力信号を取り込み、該入力信号に基づく信号レベルを保持する入力制御部と、

前記保持された信号レベルに基づいて、ハイレベル又はローレベルを有する第 1 の出力信号を出力する出力制御部と、

第 2 の信号タイミングで前記保持された信号レベルを放電する放電制御部と、
を備え、

所定の周期を有するハイレベル（ V_H ）とローレベル（ V_L ）のクロック信号（ $CK1$ 、 $CK2$ ）とハイレベル（ V_a ）とローレベル（ V_L ）第 2 の電圧信号（ $SETA$ ）が、
前記出力制御部に供給され、

前記複数の信号保持手段を介して、初段の前記信号保持手段に入力された入力信号を、順次、次段以降の前記信号保持手段にシフトしつつ、前記信号保持手段の各々から前記ハイレベルの前記クロック信号に基づく信号レベルを有する前記第 1 の出力信号を順次出力し、前記ハイレベルの前記クロック信号に基づく信号レベル（ V_H ）を有する第 1 の出力信号を出力していない信号保持手段では、前記ローレベルの前記第 2 の電圧信号（ $SETA$ ）に基づいた第 1 の出力信号を出力する第 1 の信号出力動作と、

前記ハイレベルの前記第 2 の電圧信号を所定の出力制御信号として入力することにより、前記複数の信号保持手段の各々から、前記第 1 の信号出力動作によって出力された前記第 1 の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベル及び信号幅を有する第 2 の出力信号を同時に出力する第 2 の信号出力動作と、
を選択的に実行し、

前記第 1 の信号出力動作の際、前記クロック信号は、前記信号保持手段のうち、奇数段目の信号保持手段に対しては、第 1 の周期で供給され、偶数段目の信号保持手段に対しては、前記第 1 の周期とは反転関係を有する第 2 の周期で供給され、

前記入力制御部は、

前記入力信号が印加される前記第 1 の信号タイミングでオン動作し、前記入力信号を電圧保持接点側に取り込む第 1 のトランジスタを備え、

前記出力制御部は、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、
所定の負荷を介して、所定の高い信号レベルを有する第 5 の電圧信号から供給される信号

10

20

30

40

50

レベルを放電する第2のトランジスタと、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、前記ハイレベルの前記クロック信号に基づいて前記第1の信号出力動作に前記ハイレベルの前記第1の出力信号を出力し、前記第2の信号出力動作に、前記第1の信号出力動作によって出力された前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する前記ハイレベルの第2の出力信号を出力する第3のトランジスタと、

前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、前記クロック信号に基づいて前記第1の出力信号を出力する第3のトランジスタと、

前記第2のトランジスタのオフ動作時に、前記負荷を介して、前記第5の電圧信号から供給される高い信号レベルに基づいてオン動作し、前記第2の電圧信号に基づいて前記第2の出力信号を出力する第4のトランジスタと、
を備え、

前記放電制御部は、

次段の前記信号保持手段から出力される前記第1又は第2の出力信号の信号レベルに基づいてオン動作し、前記電圧保持接点側の信号レベルを放電可能とする第5のトランジスタと、

前記第5のトランジスタに直列に接続され、第6の電圧信号に基づいてオン動作し、前記電圧保持接点側の信号レベルを放電する第6のトランジスタと、
を備え、

前記第4のトランジスタは第1制御端子に接続され、前記第1制御端子には、前記第1の信号出力動作において前記ローレベルの前記第2の電圧信号が印加され、前記第2の信号出力動作において前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベルの前記第2の電圧信号が印加され、

前記第4のトランジスタは、前記第1の信号出力動作において前記ローレベルの前記第2の電圧信号に基づいて前記第1の出力信号を出力し、前記第2の信号出力動作において前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベルの電圧に基づいて前記第2の出力信号を出力することを特徴とする。

これにより、直列に接続された複数の信号保持手段において、奇数段及び偶数段毎に、入力信号の取り込み、保持動作、出力信号(第1の出力信号)の出力動作が交互に行われるので、入力信号の次段以降の信号保持手段へのシフト動作が良好に実行される。

【0030】

そして、本発明に係るシフトレジスタ回路は、複数の信号保持手段の各々において、前記入力制御部が、前記入力制御信号が印加される前記第1の信号タイミングでオン動作し、前記入力信号を電圧保持接点側に取り込む第1のトランジスタを備え、前記出力制御部が、前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、所定の負荷を介して、所定の高い信号レベルを有する第5の電圧信号から供給される信号レベルを放電する第2のトランジスタと、前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、前記第1の電圧信号に基づいて前記第1の出力信号を出力する第3のトランジスタと、前記第2のトランジスタのオフ動作時に、前記負荷を介して、前記第5の電圧信号から供給される高い信号レベルに基づいてオン動作し、前記第2の電圧信号に基づいて第1又は第2の出力信号を出力する第4のトランジスタと、
を備え、前記放電制御部が、次段の前記信号保持手段から出力される前記第1又は第2の出力信号の信号レベルに基づいてオン動作し、前記電圧保持接点側の信号レベルを放電する第5のトランジスタを備えた構成を適用することができる。

【0031】

また、本発明に係るシフトレジスタ回路は、複数の信号保持手段の各々において、前記入力制御部が、前記入力信号が印加される前記第1の信号タイミングでオン動作し、前記入力信号を電圧保持接点側に取り込む第1のトランジスタを備え、前記出力制御部が、前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、所定の負荷を介して、所定の高い信号レベルを有する第5の電圧信号から供給される信号レベル

を放電する第2のトランジスタと、前記電圧保持接点側に取り込まれた前記入力信号の信号レベルに基づいてオン動作し、前記第3の電圧信号に基づいて前記第1又は第2の出力信号を出力する第3のトランジスタと、前記第2のトランジスタのオフ動作時に、前記負荷を介して、前記第5の電圧信号から供給される高い信号レベルに基づいてオン動作し、前記第2の電圧信号に基づいて第1又は第2の出力信号を出力する第4のトランジスタと、を備え、前記放電制御部が、次段の前記信号保持手段から出力される前記第1又は第2の出力信号の信号レベルに基づいてオン動作し、前記電圧保持接点側の信号レベルを放電可能とする第5のトランジスタと、前記第5のトランジスタに直列に接続され、少なくとも信号レベルの変更が可能な第6の電圧信号に基づいてオン動作し、前記電圧保持接点側の信号レベルを放電する第6のトランジスタと、を備えた構成を適用することができる。

10

【0032】

また、本発明に係るシフトレジスタ回路は、複数の信号保持手段の各々において、前記入力制御部が、前記入力信号が印加される前記第1の信号タイミングでオン動作し、前記入力信号を電圧保持接点側に取り込む第1のトランジスタを備え、前記出力制御部が、前記電圧保持接点側の信号レベルに基づいてオン動作し、所定の負荷を介して、所定の高い信号レベルを有する第5の電圧信号から供給される信号レベルを放電する第2のトランジスタと、前記電圧保持接点側の信号レベルに基づいてオン動作し、前記第3の電圧信号に基づいて前記第1又は第2の出力信号を出力する第3のトランジスタと、前記第2のトランジスタのオフ動作時に、前記負荷を介して、前記第5の電圧信号から供給される高い信号レベルに基づいてオン動作し、前記第4の電圧信号に基づいて第1の出力信号を出力する第4のトランジスタと、前記第2の電圧信号の信号レベルに基づいてオン動作し、前記第5の電圧信号に基づく高い信号レベルを前記電圧保持接点側に供給する第7のトランジスタと、を備え、前記放電制御部が、次段の前記信号保持手段から出力される前記第1又は第2の出力信号の信号レベルに基づいてオン動作し、前記電圧保持接点側の信号レベルを放電可能とする第5のトランジスタと、前記第5のトランジスタに直列に接続され、少なくとも信号レベルの変更が可能な第6の電圧信号に基づいてオン動作し、前記電圧保持接点側の信号レベルを放電する第6のトランジスタと、を備えた構成を適用することができる。

20

【0033】

また、本発明に係るシフトレジスタ回路は、複数の信号保持手段の各々において、前記入力制御部が、前記入力信号が印加される前記第1の信号タイミングでオン動作し、前記入力信号を電圧保持接点側に取り込む第1のトランジスタを備え、前記出力制御部が、前記電圧保持接点側の信号レベルに基づいてオン動作し、所定の負荷を介して、所定の高い信号レベルを有する第5の電圧信号から供給される信号レベルを放電する第2のトランジスタと、前記電圧保持接点側の信号レベルに基づいてオン動作し、前記第3の電圧信号に基づいて前記第1又は第2の出力信号を出力する第3のトランジスタと、前記第2のトランジスタのオフ動作時に、前記負荷を介して、前記第5の電圧信号から供給される高い信号レベルに基づいてオン動作し、前記第4の電圧信号に基づいて第1の出力信号を出力する第4のトランジスタと、前記第2の電圧信号の信号レベルに基づいてオン動作し、前記第2の電圧信号に基づく信号レベルを前記電圧保持接点側に供給する第8のトランジスタと、を備え、前記放電制御部が、次段の前記信号保持手段から出力される前記第1又は第2の出力信号の信号レベルに基づいてオン動作し、前記電圧保持接点側の信号レベルを放電可能とする第5のトランジスタと、前記第5のトランジスタに直列に接続され、少なくとも信号レベルの変更が可能な第6の電圧信号に基づいてオン動作し、前記電圧保持接点側の信号レベルを放電する第6のトランジスタと、を備えた構成を適用することができる。

30

40

【0034】

また、上記シフトレジスタ回路において、前記第6の電圧信号は、前記第2の電圧信号と反転関係を有するように設定することができる。これにより、第2の信号出力動作のトリガーとなる第2の電圧信号を出力制御部に印加するタイミングに同期して、電圧保持接点の信号レベルの放電状態を制御することができるので、第2の信号出力動作における第2

50

の出力信号を所定の信号レベルに保持することができる。

【0035】

また、上記シフトレジスタ回路において、前記信号保持手段を構成する前記各トランジスタは、同一のチャネル型の電界効果トランジスタを適用することができる。このような構成によれば、pチャネル型及びnチャネル型の両方の電界効果トランジスタを混在させた回路構成に比較して、回路設計上の効率化、製造プロセスの簡略化及び効率化を図ることができるので、製品コストを低減することができる。

【0036】

なお、上述したシフトレジスタ回路の構成及び駆動制御方法は、液晶表示装置や画像読取装置のドライバ（表示駆動装置、読取駆動装置）に良好に適用することができる。このよ 10
 うな構成によれば、シフトレジスタ回路の誤動作や、各信号保持手段から出力されるシフト信号（第1の出力信号）の信号レベルが変動することがなくなるので、ドライバから表示手段や読取手段に出力される駆動信号の異常等に伴う誤動作や表示画質、読取感度の劣化を抑制して、信頼性の高い液晶表示装置や画像読取装置を提供することができる。

【0037】

また、特に、電界効果トランジスタ構造を有するフォトセンサ（読取画素）を用いた読取手段を備えた画像読取装置においては、画像読取動作（第1の信号出力動作）の際にフォトセンサに印加される走査信号の時間積分値の極性の偏りに起因してフォトセンサの動作特性の劣化が生じるが、積算電圧調整動作（第2の信号出力動作）により、所定の信号レ 20
 ベル及び信号幅を有する調整信号を印加することにより、上記時間積分値の極性の偏りを相殺又は調整することができるので、画像読取装置の誤動作や感度特性の劣化を防止することができる。

【0038】

【発明の実施の形態】

以下、本発明に係るシフトレジスタ回路及びその駆動制御方法の実施の形態について、図面を参照しながら説明する。

<第1の実施形態>

図1は、本発明に係るシフトレジスタ回路の第1の実施形態を示す概略構成図である。

【0039】

まず、シフトレジスタの全体構成について、図1を参照して説明する。ここでは、説明の都合上、シフトレジスタ回路を構成するn段（nは2以上の整数）の信号保持ブロック（信号保持手段）のうち、便宜的に<k-1>段目～<k+2>段目（1 k-1～k+2 n）の4段のみを示して説明する。 30

【0040】

図1に示すように、本実施形態に係るシフトレジスタ回路は、フリップフロップ回路と同等の信号保持機能を有する各信号保持ブロック $RS A_{k-1} \sim RS A_{k+2}$ が直列に配置され、各信号保持ブロック $RS A_{k-1} \sim RS A_{k+2}$ の入力端子INと出力端子OUTが順次接続された構成を有し、各出力信号 $OT_{k-1} \sim OT_{k+2}$ が、各々の次段の信号保持ブロック $RS A_k \sim RS A_{k+3}$ の入力信号として供給される。 40

【0041】

各信号保持ブロック $RS A_{k-1} \sim RS A_{k+2}$ の出力端子OUTは、各々の前段の信号保持ブロック $RS A_{k-2} \sim RS A_{k+1}$ のリセット端子RSTに接続され、各出力信号 $OT_{k-1} \sim OT_{k+2}$ が、各々の前段の信号保持ブロック $RS A_{k-2} \sim RS A_{k+1}$ のリセット信号として供給される。

また、各信号保持ブロック $RS A_{k-1} \sim RS A_{k+2}$ には、高電位側の動作電圧として高電位電源V_{dd}、及び、低電位側の動作電圧として低電位電源V_{ss}が共通に供給されている。

【0042】

また、複数の信号保持ブロック $RS A_{k-1} \sim RS A_{k+2}$ のうち、奇数段目の信号保持ブロック（例えば、 $RS A_k$ 、 $RS A_{k+2}$ ）には、所定の周期を有するパルス信号CK 50

1 が、また、偶数段目の信号保持ブロック（例えば、 $RS A_{k-1}$ 、 $RS A_{k+1}$ ）には、パルス信号 $CK 1$ の反転波形を有するパルス信号 $CK 2$ が、各々出力信号を出力する際の周期を規定する信号として供給される。

【0043】

また、奇数段目の信号保持ブロック（例えば、 $RS A_k$ 、 $RS A_{k+2}$ ）には、パルス信号 $CK 2$ の印加タイミングに対応する所定の周期を有するパルス信号 1（入力制御信号）が、また、偶数段目の信号保持ブロック（例えば、 $RS A_{k-1}$ 、 $RS A_{k+1}$ ）には、パルス信号 $CK 1$ の印加タイミングに対応する所定の周期を有するパルス信号 2（入力制御信号）が、各々入力信号を取り込む際の周期を規定する信号として供給される。

【0044】

さらに、各信号保持ブロック $RS A_{k-1} \sim RS A_{k+2}$ の制御端子 CTL には、各信号保持ブロック $RS A_{k-1} \sim RS A_{k+2}$ から出力信号 $OT_{k-1} \sim OT_{k+2}$ （第1の出力信号）を順次出力するシフト動作（第1の信号出力動作；詳しくは、後述する）と、各信号保持ブロック $RS A_{k-1} \sim RS A_{k+2}$ から、任意の信号レベル及び信号幅を有する出力信号 $OT_{k-1} \sim OT_{k+2}$ （第2の出力信号）を同時に出力する積算電圧調整動作（第2の信号出力動作；詳しくは、後述する）と、を切り換え制御する出力制御信号 SET が共通に供給される。

【0045】

なお、図示を省略したが、本実施形態に係るシフトレジスタ回路を構成する信号保持ブロックのうち、シフトレジスタとしての出力信号を出力する最終段の信号保持ブロック $RS A_n$ の次段には、例えば、各信号保持ブロック $RS A_{k-1} \sim RS A_{k+2}$ の少なくとも1つと同等の回路構成を有するダミーの信号保持ブロックが設けられ、このダミーの信号保持ブロックからの出力信号が、最終段の信号保持ブロック $RS A_n$ のリセット端子 RST にリセット信号として供給される。ここで、最終段の信号保持ブロック $RS A_n$ のリセット端子 RST にリセット信号を供給する方法は、上記ダミーの信号保持ブロックによる構成に限定されるものではなく、後述するシフト動作及び積算電圧調整動作において、所定のタイミングで各信号保持ブロック $RS A_{k-1} \sim RS A_{k+2}$ をリセットするものであれば、他の構成を有するものであってもよい。

【0046】

次いで、本実施形態に係るシフトレジスタに適用される各信号保持ブロックの具体的な回路構成について、図面を参照して説明する。

図2は、本実施形態に係るシフトレジスタ回路に適用される信号保持ブロックの具体的な構成を示す回路構成図である。なお、ここでは、図1に示したシフトレジスタ回路の構成と対応させるため、 $\langle k \rangle$ 段目（ $1 \leq k \leq n$ ）の信号保持ブロックの回路構成を示して説明する。

【0047】

図2に示すように、信号保持ブロック $RS A_k$ は、基本構成として、6個の電界効果トランジスタ（以下、「MOSトランジスタ」と記す） $T11 \sim T16$ を有して構成されている。

具体的には、前段の出力信号保持ブロック $RS A_{k-1}$ からの出力信号 OT_{k-1} （初段の信号保持ブロックの場合は、スタート信号；以下、「入力信号」と総称する）が供給される入力端子 IN と接点 NA （電圧保持接点）との間にソース、ドレイン端子が接続され、ゲート端子に所定のパルス信号 1（又は 2；入力制御信号）が印加される MOSトランジスタ $T11$ （第1のトランジスタ）と、接点 NA と一定の低電位電源 V_{ss} （第4の電圧信号）との間にソース、ドレイン端子が接続され、ゲート端子に次段の出力信号保持ブロック $RS A_{k+1}$ からの出力信号 OT_{k+1} が印加される MOSトランジスタ $T15$ （第5のトランジスタ）と、一定の高電位電源 V_{dd} （第5の電圧信号）と低電位電源 V_{ss} （第4の電圧信号）との間に直列に接続され、ダイオード接続され、負荷として機能する MOSトランジスタ $T16$ （負荷）、及び、接点 NA にゲート端子が接続された MOSトランジスタ $T12$ （第2のトランジスタ）と、所定のパルス信号 $CK 1$ （又は $CK 2$ ；第

10

20

30

40

50

1の電圧信号)が印加される入力端子CLKと出力制御信号SET(第2の電圧信号)が印加される制御端子CTLとの間に直列に接続され、接点NAにゲート端子が接続されたMOSトランジスタT13(第3のトランジスタ)、及び、MOSトランジスタT12とT16の接続接点NBにゲート端子が接続されたMOSトランジスタT14(第4のトランジスタ)と、MOSトランジスタT13とT14の接続接点に設けられた出力接点Nout(出力端子OUT)と、を有して構成されている。

【0048】

すなわち、本発明に係る入力制御部は、MOSトランジスタT11により構成され、本発明に係る出力制御部は、MOSトランジスタT12、T13、T14、T16により構成され、本発明に係る放電制御部は、MOSトランジスタT15により構成されている。

10

ここで、上述した信号保持ブロックの回路を構成するMOSトランジスタT11~T16は、全てnチャネル型の薄膜トランジスタ(TFT; Thin Film Transistor)により構成されており、そのゲート電圧-ドレイン電流特性は、初期状態において、図26に示した特性曲線SP₀(実線)と同等であるものとする。

【0049】

次いで、上述したような信号保持ブロックを構成する各MOSトランジスタ(T11~T16)の動作と、各端子及び接点(IN、CLK、NA、NB、CLT、OUT、RST)の電位の関係について、図面を参照して説明する。

図3は、本実施形態に適用される信号保持ブロックの各端子及び接点の電位の変化を示すタイミングチャートである。ここでは、上述した信号保持ブロックの構成(図2)を適宜参照しながら説明する。

20

【0050】

上述したような構成を有する信号保持ブロックRS_{Ak}において、MOSトランジスタT11は、ハイレベルV_H(V_{dd})のパルス信号1(又は2)が供給されたときにオン動作するので、図3に示すように、このパルス信号1の印加タイミングに基づいて、入力端子INに供給されるハイレベルV_Hの入力信号(前段の信号保持ブロックRS_{Ak-1}の出力信号OT_{k-1})が取り込まれ、接点NAの電位が該入力信号の信号レベルに応じて上昇する。

【0051】

一方、MOSトランジスタT12は、MOSトランジスタT11を介してハイレベルV_Hの入力信号が取り込まれ、接点NAの電位が高い状態になるとオン動作するので、MOSトランジスタT12に接続された低電位電源V_{ss}により、接続接点NBの電位は低い状態となる。なお、接点NAの電位が低い状態V_L(V_{ss})では、MOSトランジスタT12はオフ状態となり、MOSトランジスタT16を介して供給される高電位電源V_{dd}により、接続接点NBの電位は高い状態となる。

30

【0052】

また、MOSトランジスタT13は、MOSトランジスタT11を介してハイレベルV_Hの入力信号が取り込まれ、接点NAの電位が高い状態になるとオン動作する。このとき、上記MOSトランジスタT12はオン状態にあって、接続接点NBの電位が低い状態にあり、MOSトランジスタT14がオフ状態となるので、MOSトランジスタT13に接続された入力端子CLKを介して供給されるパルス信号CK1の信号レベル(V_L~V_H)に応じて、出力接点Nout(出力端子OUT)の電位が上昇する。なお、接点NAの電位が低い状態では、MOSトランジスタT13はオフ状態となり、出力接点Noutへのパルス信号CK1の供給が遮断される。

40

【0053】

ここで、MOSトランジスタT13は、接点NAの電位が高い状態となってオン状態にあるとき、ハイレベルV_Hのパルス信号CK1が供給されることにより、ゲート電極とソース電極間の寄生容量への電荷の蓄積(チャージアップ)が生じてゲート-ソース間電圧が上昇し、ゲート電圧、すなわち、接点NAの電位が相対的にさらに上昇するブートストラップ現象が生じる。これにより、ゲート電圧が飽和電圧にまで達すると、ソース-ドレイ

50

ン電流が飽和して、出力接点 N_{out} の電位（出力信号 OT_k の信号レベル）は、迅速且つ実質的にパルス信号 $CK1$ （又は $CK2$ ）の信号レベル（ハイレベル V_H ）と略同等となる。

【0054】

なお、パルス信号 $CK1$ に設定されるハイレベル側の信号レベル V_H は、シフトレジスタ回路に接続され、出力信号 OT_k により駆動される装置側の回路設計に基づいて適宜設定することができる。具体的には、本実施形態に係るシフトレジスタ回路を、後述する液晶表示装置や画像読取装置の走査ドライバに適用する場合には、例えば、 $V_H = +15V$ 程度になるように設定される。

【0055】

また、MOSトランジスタ $T14$ は、接続接点 NB の電位が高い状態ではオン状態となり、このとき、接点 NA の電位が低い状態にあって、MOSトランジスタ $T13$ がオフ状態にあるので、制御端子 CTL を介して供給される出力制御信号 SET に応じた信号レベルを有する出力信号 OT_k が出力される。ここで、出力制御信号 SET は、後述するシフト動作においては、低電位電源 V_{ss} と同等のローレベルに設定され、積算電圧調整動作においては、所定のハイレベルを有する信号波形に設定される。詳しくは、後述する。

【0056】

なお、出力制御信号 SET に設定されるローレベル側の信号レベル V_L についても、シフトレジスタ回路に接続され、出力信号 OT_k により駆動される装置側の回路設計に基づいて適宜設定することができ、具体的には、本実施形態に係るシフトレジスタ回路を後述する液晶表示装置や画像読取装置の走査ドライバに適用する場合には、例えば、 $V_L = -5V \sim -15V$ 程度に設定される。

【0057】

また、MOSトランジスタ $T15$ は、次段の信号保持ブロック RSA_{k+1} からハイレベル V_H の出力信号 OT_{k+1} が出力されたときにオン動作し、接点 NA の電位（蓄積された電荷）を低電位電源 V_{ss} に放電する。これにより、上記MOSトランジスタ $T12$ 、 $T13$ がオフ動作するとともに、MOSトランジスタ $T14$ がオン動作して、出力制御信号 SET に設定された信号レベルが出力信号 OT_k として出力される。したがって、出力制御信号 SET がローレベルに設定されるシフト動作においては、MOSトランジスタ $T15$ がオン動作することにより、出力信号 OT_k の信号レベルがハイレベル V_H からローレベル V_L に切り替わる。なお、積算電圧調整動作における出力信号 OT_k の信号レベルについては、後述する。

【0058】

次に、上述した信号保持ブロックを適用したシフトレジスタ回路の駆動制御方法について、図面を参照して説明する。

図4は、本実施形態に係るシフトレジスタ回路の動作を示すタイミングチャートである。ここでは、上述したシフトレジスタ回路（図1）及び信号保持ブロックの構成、動作（図2、図3）を適宜参照しながら説明する。

【0059】

（シフト動作）

まず、本実施形態に係るシフトレジスタ回路によるシフト動作について説明する。

まず、図4に示すように、シフト動作の開始に先立って、制御端子 CTL を介して供給される出力制御信号 SET をローレベル V_{ss} に設定する。

【0060】

次いで、図示を省略した初段（1段目）又は $\langle k \rangle$ 段目の信号保持ブロック RSA_k の入力端子 IN に、スタート信号又は前段（ $\langle k-1 \rangle$ 段目）の信号保持ブロック RSA_{k-1} の出力信号 OT_{k-1} が供給された状態で、所定のタイミングで入力制御信号 1 が印加されると、図3に示した場合と同様に、入力信号の信号レベルに応じて接点 NA の電位が上昇する。これにより、MOSトランジスタ $T12$ 及び $T13$ がオン動作し、MOSトランジスタ $T14$ がオフ動作する。

10

20

30

40

50

【0061】

次いで、入力端子CLKに供給されるパルス信号CK1の信号レベルがローレベル V_L からハイレベル V_H に切り替わると、ブートストラップ効果により接点NAの電位がさらに上昇するため、MOSトランジスタT13を流下するドレイン-ソース電流が飽和して、入力端子CLKに供給されるパルス信号CK1と略同等の信号レベル（ハイレベル V_H ）を有する出力信号 OT_k が出力端子OUTを介して、次段の信号保持ブロック RSA_{k+1} に出力される。

【0062】

次いで、次段の信号保持ブロック RSA_{k+1} において、所定のタイミングで入力制御信号2が入力されると、上記出力信号 OT_k が入力信号として取り込まれ、上記信号保持ブロック RSA_k における動作と同様に、パルス信号CK2の信号レベルがローレベル V_L からハイレベル V_H に切り替わるタイミングで、パルス信号CK2と略同等の信号レベル（ハイレベル V_H ）を有する出力信号 OT_{k+1} が出力端子OUTを介して、次段の信号保持ブロック RSA_{k+2} に出力される（信号シフト動作）。

10

【0063】

ここで、信号保持ブロック RSA_{k+1} から出力される出力信号 OT_{k+1} は、前段の信号保持ブロック RSA_k にリセット信号として供給され、信号保持ブロック RSA_k におけるMOSトランジスタT15をオン動作させて、接点NAに蓄積された電荷を低電位電源 V_{ss} に放出して接点NAの電位をローレベル V_{ss} にする。これにより、MOSトランジスタT12及びT13がオフ動作し、MOSトランジスタT14がオン動作するので、信号保持ブロック RSA_k の出力端子OUTからは制御端子CTLに供給される出力制御信号SETの信号レベル（ローレベル V_{ss} ）に応じたローレベル V_L の出力信号 OT_k が出力される（リセット動作）。

20

【0064】

以下、同様の信号シフト動作及びリセット動作を、パルス信号CK1及びCK2の印加タイミングに同期して、各信号保持ブロック毎に順次繰り返すことにより、各段の信号保持ブロックから所定の信号レベル（ハイレベル V_H ）を有する出力信号が順次出力され、シフトレジスタ回路の外部に設けられた特定の構成（例えば、後述する液晶表示パネルやフォトセンサレイ）に走査信号として供給される。

【0065】

なお、図示を省略したが、最終段の信号保持ブロック RSA_n の出力端子OUTから出力された出力信号 OT_n は、次段に設けられたダミーの信号保持ブロック RSA_d に入力される。そして、パルス信号CK1（又はCK2）の印加タイミングでダミーの信号保持ブロック RSA_d から出力される出力信号 OT_d が、最終段の信号保持ブロック RSA_n のリセット信号として供給されて、ローレベル V_{ss} の出力信号 OT_n を出力するリセット動作が行われる。

30

【0066】

（積算電圧調整動作）

次いで、本実施形態に係るシフトレジスタ回路による積算電圧調整動作について説明する。

40

まず、積算電圧調整動作の開始に先立って、図4に示すように、入力制御信号1及び2をローレベル V_L に設定することにより、各段の信号保持ブロック・・・ RSA_{k-1} 、 RSA_k 、 RSA_{k+1} 、 RSA_{k+2} ・・・の入力制御部を構成するMOSトランジスタT11をオフ状態に保持する。また、上述した一連のシフト動作の終了により、各段の信号保持ブロック・・・ RSA_{k-1} 、 RSA_k 、 RSA_{k+1} 、 RSA_{k+2} ・・・はリセットされて、接点NAの電位がローレベル V_{ss} に設定されているので、MOSトランジスタT12及びT13はオフ状態に保持され、また、接続接点NBの電位がハイレベル V_{dd} に設定されるので、MOSトランジスタT14はオン状態に保持される。

【0067】

このとき、各信号保持ブロック・・・ RSA_{k-1} 、 RSA_k 、 RSA_{k+1} 、 RSA_k

50

+ 2 . . . の出力接点 Nout には出力制御信号 S E T の信号レベル (ローレベル V_{ss}) に応じた電位が印加されるので、出力端子 O U T からは、ローレベル V_L の出力信号 . . . O T_{k-1}、O T_k、O T_{k+1}、O T_{k+2} . . . が出力される。

【 0 0 6 8 】

このような初期状態において、出力制御信号 S E T の信号波形を制御して、任意の信号レベル V_a (例えば、V_a = V_{dd}となるハイレベル) 及び任意の信号幅 T_w (積算電圧調整動作期間に相当) を有する信号波形を、任意のタイミングで全ての各信号保持ブロック . . . R S A_{k-1}、R S A_k、R S A_{k+1}、R S A_{k+2} . . . の制御端子 C T L に印加する。

【 0 0 6 9 】

これにより、信号レベル V_a を有する出力制御信号 S E T が印加されている期間 (信号幅 T_w) のみ、各信号保持ブロック . . . R S A_{k-1}、R S A_k、R S A_{k+1}、R S A_{k+2} . . . の出力端子 O U T からは、制御端子 C T L に印加された制御信号 S E T の信号レベル V_a 及び信号幅 T_w に対応した信号波形を有する出力信号 . . . O T_{k-1}、O T_k、O T_{k+1}、O T_{k+2} . . . が同時に出力され、シフトレジスタ回路の外部に設けられた特定の構成 (例えば、後述するフォトセンサアレイ) に調整信号として供給される。

【 0 0 7 0 】

ここで、積算電圧調整動作において、各信号保持ブロック . . . R S A_{k-1}、R S A_k、R S A_{k+1}、R S A_{k+2} . . . から出力される出力信号の信号波形について、図面を参照して具体的に説明する。

図 5 は、本実施形態に係るシフトレジスタ回路のシフト動作及び積算電圧調整動作における出力信号の信号波形の関係を示す図である。なお、ここでは、< k > 段目の信号保持ブロックから出力される出力信号 O T_k の信号波形を例として示す。

【 0 0 7 1 】

図 5 に示すように、上述したシフト動作において、< k > 段目の信号保持ブロックからハイレベル V_H の出力信号 O T_k が出力される時間 (出力時間) T_f は、シフト動作期間全体の時間 (すなわち、全 n 段の信号保持ブロックにおいて順次出力信号が出力される際の合計時間) T_{total} に対して短い時間 (T_{total} / n 以下) になる。ここで、シフトレジスタ回路を、例えば、高精度の画像読取装置の走査ドライバに適用した場合、シフトレジスタ回路からの出力信号数 (信号保持ブロックの段数 n) は膨大な数になるため、極めて短い時間 T_f (= T_{total} / n 以下) のみ、信号保持ブロック S R A_k からハイレベル V_H の出力信号が出力され、この出力動作時 (出力時間 T_f) 以外のシフト動作期間のほとんどの時間 (T_{total} - T_f) は、ローレベル V_L の出力信号 O T_k が出力されることになる。

【 0 0 7 2 】

これにより、信号保持ブロック S R A_k におけるシフト動作期間中の出力信号 O T_k の時間積分値の平均値 V_e は、次式のように表される。

$$V_e = \{ V_H \times T_f + V_L \times (T_{total} - T_f) \} / T_{total} \dots (1)$$

ここで、T_{total} > T_f であり、かつ、V_L は、負の信号レベルであるので、シフト動作期間における時間積分値 { V_H × T_f + V_L × (T_{total} - T_f) } は、負電圧側に大きく偏っていることになる。

【 0 0 7 3 】

そのため、このような特定の極性に偏った出力信号 O T_k が印加される状態が継続することにより、例えば、シフトレジスタ回路を画像読取装置の走査ドライバに適用した場合にあっては、画像読取装置のフォトセンサを構成する電界効果トランジスタのゲート電極に電荷 (正孔または電子) がトラップされることになり、フォトセンサの誤動作や素子特性の劣化が生じる。

【 0 0 7 4 】

同様に、M O S トランジスタ T 1 5 のゲートや M O S トランジスタ T 1 1 のドレインにも

10

20

30

40

50

、トータルとして極性の偏った出力信号 OT_{k+1} 、 OT_{k-1} が印加される状態が継続するので、MOSトランジスタ T_{11} 、 T_{15} のしきい値等の素子特性も経時変化していた。

【0075】

特に、MOSトランジスタ T_{11} では、シフト動作一度につき、ゲートにはハイレベル V_H の入力制御信号 1、2 が頻繁に入力されるにもかかわらず、ドレインには前段の信号保持ブロックから入力される出力信号 OT_{k-1} が一度だけハイレベル V_H になるだけでその前後は常にローレベル V_L となってしまうため、図26に示すように、しきい値が正方向にシフトしてしまい、ゲートにハイレベル V_H の入力制御信号 1 (2) が入力されてもMOSトランジスタ T_{11} がオン状態になりにくくなるといった問題を抱えていた。

10

【0076】

そして、MOSトランジスタ T_{14} では、シフト動作中、そのゲートがほぼハイレベル V_{dd} に近い電位が続くのに対し、そのドレイン(制御端子 CTL 側)はローレベル V_{ss} が続くため、図26に示す $V_g - I_d$ 特性曲線 SP_2 になる傾向があった。

【0077】

そこで、本実施形態においては、シフト動作期間における時間積分値に対して、積算電圧調整期間に、例えば、 GND レベル ($0V$) を基準にして、上記時間積分値の極性の偏り(又は、時間積分値の平均値 V_e) を相殺する信号波形、すなわち、次式に示すような関係を有する信号レベル V_a 及び信号幅 T_w の任意の組合せを有する出力信号を調整信号として生成して出力信号 OT_k として出力し、上記電界効果トランジスタのゲート電極に印加する。

20

$$\{V_H \times T_f + V_L \times (T_{total} - T_f)\} + V_a \times T_w = 0 \dots (2)$$

ここで、調整信号の信号レベル V_a として、例えば、シフトレジスタ回路に供給される一定の高電位電源 V_{dd} を用いる場合 ($V_a = V_{dd}$) には、調整信号の信号波形は、信号幅 T_w のみを任意の長さ(時間)に調整して、上記(2)式の関係を満たす、或いは、近づくように設定すればよい。

【0078】

このように、本実施形態に係るシフトレジスタ回路及びその駆動制御方法においては、シフト動作期間及び積算電圧調整期間からなるシフトレジスタ回路の全体の出力動作において、各信号保持ブロックから出力される各出力信号並びに出力制御信号 SET の時間積分値が、正負いずれの極性への偏りを緩和するように、調整信号が所定の信号波形を有するように設定されている。したがって、例えば、当該出力信号を走査信号として利用する画像読取装置において、フォトセンサを構成する電界効果トランジスタやMOSトランジスタ T_{11} 、 T_{14} 、 T_{15} のしきい値特性の変動(図26参照)を抑制することができるので、フォトセンサやMOSトランジスタ T_{11} 、 T_{14} 、 T_{15} の素子特性の劣化や画像読取装置の誤動作、読取感度の劣化を抑制することができ、信頼性の高い画像読取装置を提供することができる。

30

【0079】

なお、上述した実施形態においては、上記(2)式に示したように、 GND レベル ($0V$) を基準にして、上記時間積分値 V_e の極性の偏りを相殺又は調整することができる信号波形を有する調整信号を、積算電圧調整期間に印加する例について説明したが、本発明はこの構成に限定されるものではない。すなわち、図26に示したしきい値特性の変動を抑制することができるものであれば、 GND レベルを基準にする必要はなく、調整の対象となる電界効果トランジスタのしきい値特性に対応した特性の基準レベルを用いるものであってもよい。

40

【0080】

また、上述した実施形態においては、上記(2)式に示すような関係を有する信号波形(信号レベル V_a 及び信号幅 T_w) を有する調整信号を印加する積算電圧調整動作(積算電圧調整期間)を、一連のシフト動作(シフト動作期間)の直後に設けた場合について説明

50

したが、本発明はこれに限定されるものではなく、例えば、積算電圧調整動作をシフト動作の直前に実行するものであってもよいし、所定の時間間隔で定期的にシフト動作を実行するものであってもよい。

【0081】

<第2の実施形態>

次に、本発明に係るシフトレジスタ回路の第2の実施形態について、図面を参照して説明する。

図6は、本発明に係るシフトレジスタ回路の第2の実施形態を示す概略構成図である。ここでは、説明の都合上、シフトレジスタ回路を構成する n 段(n は2以上の整数)の信号保持ブロックのうち、便宜的に $\langle k-1 \rangle$ 段目 $\sim \langle k+2 \rangle$ 段目($1 \leq k-1 \sim k+2 \leq n$)の4段のみを示して説明する。また、上述したシフトレジスタ回路(図1)と同等の構成については、同一の符号を付して、その説明を簡略化又は省略する。

10

【0082】

図6に示すように、本実施形態に係るシフトレジスタ回路は、各信号保持ブロック $RSB_{k-1} \sim RSB_{k+2}$ が直列に接続され、各信号保持ブロック $RSB_{k-1} \sim RSB_{k+2}$ の出力信号 $OT_{k-1} \sim OT_{k+2}$ が、各々の次段の信号保持ブロック $RSB_k \sim RSB_{k+3}$ の入力信号として供給される構成を有している。

また、各信号保持ブロック $RSB_{k-1} \sim RSB_{k+2}$ からの出力信号 $OT_{k-1} \sim OT_{k+2}$ は、各々の前段の信号保持ブロック $RSB_{k-2} \sim RSB_{k+1}$ のリセット信号として供給される。

20

【0083】

また、複数の信号保持ブロック $RSB_{k-1} \sim RSB_{k+2}$ のうち、奇数段目の信号保持ブロック(例えば、 RSB_k 、 RSB_{k+2})には、所定の周期を有するパルス信号 CK_1 が、また、偶数段目の信号保持ブロック(例えば、 RSB_{k-1} 、 RSB_{k+1})には、パルス信号 CK_1 の反転波形を有するパルス信号 CK_2 が、各々出力信号を出力する際の周期を規定する信号として供給される。

【0084】

さらに、各信号保持ブロック $RSB_{k-1} \sim RSB_{k+2}$ の制御端子 $CTLA$ 、 $CTLB$ には、各信号保持ブロック $RSB_{k-1} \sim RSB_{k+2}$ から出力信号 $OT_{k-1} \sim OT_{k+2}$ (第1の出力信号)を順次出力するシフト動作(第1の信号出力動作)と、各信号保持ブロック $RSB_{k-1} \sim RSB_{k+2}$ から、任意の信号レベル及び信号幅を有する出力信号 $OT_{k-1} \sim OT_{k+2}$ (第2の出力信号)を同時に出力する積算電圧調整動作(第2の信号出力動作;詳しくは、後述する)と、を切り換え制御する出力制御信号 $SETA$ 、 $SETB$ が供給される。ここで、出力制御信号 $SETA$ と出力制御信号 $SETB$ とは、互いに反転信号の関係にある。

30

【0085】

なお、図示を省略したが、上述した第1の実施形態と同様に、最終段の信号保持ブロック RSB_n の次段には、例えば、ダミーの信号保持ブロックが設けられ、このダミーの信号保持ブロックからの出力信号が、最終段の信号保持ブロック RSB_n のリセット端子 RST にリセット信号として供給される。

40

【0086】

次いで、本実施形態に係るシフトレジスタに適用される各信号保持ブロックの具体的な回路構成について、図面を参照して説明する。

図7は、本実施形態に係るシフトレジスタ回路に適用される信号保持ブロックの具体的な構成を示す回路構成図である。なお、ここでは、 $\langle k \rangle$ 段目($1 \leq k \leq n$)の信号保持ブロックの回路構成のみを示して説明する。

図7に示すように、信号保持ブロック RSB_k は、基本構成として、7個のMOSトランジスタ $T_{21} \sim T_{27}$ を有して構成されている。

【0087】

具体的には、前段の出力信号保持ブロック RSB_{k-1} からの入力信号(出力信号 OT_k

50

、又は、スタート信号)が供給される入力端子INと接点NC(電圧保持接点)との間にソース、ドレイン端子が接続され、かつ、ゲート端子が入力端子INに接続されたMOSトランジスタT21(第1のトランジスタ)と、接点NCと低電位電源Vss(第4の電圧信号)との間に直列に接続され、ゲート端子に次段の出力信号保持ブロックRSB_{k+1}からの出力信号OT_{k+1}が印加されるMOSトランジスタT25(第5のトランジスタ)、及び、出力制御信号SETB(第6の電圧信号)が印加される制御端子CTLBに、ゲート端子が接続されたMOSトランジスタT26(第6のトランジスタ)と、高電位電源Vdd(第5の電圧信号)と低電位電源Vss(第4の電圧信号)との間に直列に接続され、ダイオード接続されたMOSトランジスタT27(負荷)、及び、接点NCにゲート端子が接続されたMOSトランジスタT22(第2のトランジスタ)と、信号波形の変更が可能なパルス信号CK1(又はCK2;第3の電圧信号)が印加される入力端子CLKと出力制御信号SETA(第2の電圧信号)が印加される制御端子CTLAとの間に直列に接続され、接点NCにゲート端子が接続されたMOSトランジスタT23(第3のトランジスタ)、及び、MOSトランジスタT22とT27の接続接点NDにゲート端子が接続されたMOSトランジスタT24(第4のトランジスタ)と、MOSトランジスタT23とT24の接続接点に設けられた出力接点Noutと、を有して構成されている。

10

【0088】

すなわち、本発明に係る入力制御部は、MOSトランジスタT21により構成され、本発明に係る出力制御部は、MOSトランジスタT22、T23、T24、T27により構成され、本発明に係る放電制御部は、MOSトランジスタT25、T26により構成されている。

20

ここで、上述した信号保持ブロックの回路を構成するMOSトランジスタT21~T27は、上述した第1の実施形態と同様に、全てnチャネル型の薄膜トランジスタにより構成されており、そのゲート電圧-ドレイン電流特性は、初期状態において、図26に示した特性曲線SP₀(実線)と同等であるものとする。

【0089】

次いで、上述したような信号保持ブロックを構成する各MOSトランジスタ(T21~T27)の動作と各端子及び接点(IN、CLK、NC、ND、CTLA、CTLB、OUT、RST)の電位の関係について、図面を参照して説明する。

図8は、本実施形態に適用される信号保持ブロックの各端子及び接点の電位の変化を示すタイミングチャートである。ここでは、上述した信号保持ブロックの構成(図7)を適宜参照しながら説明する。

30

【0090】

上述したような構成を有する信号保持ブロックRSB_kにおいて、図8に示すように、MOSトランジスタT21は、入力端子INを介してハイレベルV_Hの入力信号(前段の信号保持ブロックRSB_{k-1}の出力信号OT_{k-1})が供給されるとオン動作して、このハイレベルV_Hの入力信号が取り込まれ、接点NCの電位が該入力信号の信号レベルに応じて上昇する。

【0091】

一方、MOSトランジスタT22~T25は、上述した実施形態に示した信号保持ブロックRSA_kにおけるMOSトランジスタT12~T15と同等の動作を行う。すなわち、MOSトランジスタT22は、MOSトランジスタT21を介して入力信号が取り込まれ、接点NCの電位が高い状態になるとオン動作して、接点NBの電位を低電位電源Vssに基づく低い状態にする。なお、接点NCの電位が低い状態では、MOSトランジスタT22はオフ状態となり、接続接点NDの電位はMOSトランジスタT27を介して供給される高電位電源Vddに基づいて高い状態となる。

40

【0092】

また、MOSトランジスタT23は、MOSトランジスタT21を介して入力信号が取り込まれ、接点NCの電位が高い状態になるとオン動作する。このとき、接続接点NDの電位は低い状態にあって、MOSトランジスタT24はオフ状態になるので、MOSトラン

50

ジスタ T 2 3 を介して供給されるパルス信号 C K 1 の信号レベルに応じて、出力接点 Nout (出力端子 O U T) の電位が変化する。なお、接点 N C の電位が低い状態では、M O S トランジスタ T 2 3 はオフ状態となり、出力接点 Nout へのパルス信号 C K 1 の供給が遮断される。

【 0 0 9 3 】

ここで、M O S トランジスタ T 2 3 は、上述した M O S トランジスタ T 1 3 における場合と同様に、接点 N C の電位が高い状態となってオン状態にあるとき、ハイレベル V_H のパルス信号 C K 1 が供給されることにより、ゲート電圧 (接点 N A の電位) が相対的にさらに上昇するブートストラップ現象を生じ、これにより、出力接点 Nout の電位 (出力信号 O T _k の信号レベル) は、迅速且つ実質的にパルス信号 C K 1 (又は C K 2) の信号レベル (ハイレベル V_H) と略同等となる。

10

【 0 0 9 4 】

また、M O S トランジスタ T 2 4 は、接続接点 N D の電位が高い状態になるとオン動作する。このとき、接点 N C の電位が低い状態にあって、M O S トランジスタ T 2 3 はオフ状態になるので、出力制御信号 S E T A に応じた信号レベルを有する出力信号 O T _k が出力される。ここで、出力制御信号 S E T A は、後述するシフト動作においては、ローレベル $V_L (= V_{ss})$ に設定され、積算電圧調整動作においては、所定のハイレベル V_H を有する信号波形に設定される。

【 0 0 9 5 】

また、M O S トランジスタ T 2 5 は、次段の信号保持ブロック R S B _{k + 1} からハイレベル V_H の出力信号 O T _{k + 1} が出力されるとオン動作し、接点 N C の電位を放電可能状態とする。このとき、出力制御信号 S E T B に応じて M O S トランジスタ T 2 6 がオン動作すると、接点 N C の電位が放電される。これにより、上記 M O S トランジスタ T 2 2、T 2 3 がオフ動作するとともに、M O S トランジスタ T 2 4 がオン動作するので、出力制御信号 S E T A に設定された信号レベルが出力信号 O T _k として出力される。

20

【 0 0 9 6 】

ここで、出力制御信号 S E T B は、後述するシフト動作においては、ハイレベル V_{dd} に設定され、積算電圧調整動作においては、ローレベル V_{ss} を有する信号波形に設定される。したがって、出力制御信号 S E T B がハイレベル V_{dd} に設定されるシフト動作においては、M O S トランジスタ T 2 5 及び T 2 6 がオン動作することにより、出力信号 O T _k の信号レベルがハイレベル V_H からローレベル V_L に切り替わる。また、出力制御信号 S E T B がローレベル V_{ss} に設定される積算電圧調整動作においては、M O S トランジスタ T 2 6 がオフ動作することにより、出力信号 O T _k の信号レベルが接点 N C の電位に応じて所定の信号レベルを有する出力信号 O T _k が出力される。なお、積算電圧調整動作における出力信号 O T _k の信号レベルについては、後述する。

30

【 0 0 9 7 】

次に、上述した信号保持ブロックを適用したシフトレジスタ回路の駆動制御方法について、図面を参照して説明する。

図 9 は、本実施形態に係るシフトレジスタ回路の動作を示すタイミングチャートである。ここでは、上述したシフトレジスタ回路 (図 6) 及び信号保持ブロックの構成、動作 (図 7、図 8) を適宜参照しながら説明する。

40

【 0 0 9 8 】

(シフト動作)

まず、本実施形態に係るシフトレジスタ回路によるシフト動作について説明する。

まず、図 9 に示すように、シフト動作の開始に先立って、制御端子 C T L A を介して供給される出力制御信号 S E T A をローレベル V_{ss} に設定するとともに、制御端子 C T L B を介して供給される出力制御信号 S E T B をハイレベル V_{dd} に設定する。

【 0 0 9 9 】

次いで、図示を省略した初段 (1 段目) 又は < k > 段目の信号保持ブロック R S B _k の入力端子 I N に、ハイレベルの入力信号 (スタート信号又は前段の信号保持ブロック R S B

50

$k - 1$ の出力信号 OT_{k-1}) が印加されると、図 8 に示した場合と同様に、MOS トランジスタ T_{21} がオン動作して、入力信号の信号レベルに応じて接点 NC の電位が上昇する。これにより、MOS トランジスタ T_{22} 及び T_{23} がオン動作し、MOS トランジスタ T_{24} がオフ動作する。

【0100】

次いで、入力端子 CLK に供給されるパルス信号 CK_1 の信号レベルがローレベル V_L からハイレベル V_H に切り替わると、ブートストラップ効果により接点 NC の電位がさらに上昇するため、MOS トランジスタ T_{23} を流下するドレイン - ソース電流が飽和して、入力端子 CLK に供給されるパルス信号 CK_1 と略同等の信号レベル (ハイレベル V_H) を有する出力信号 OT_k が出力端子 OUT を介して、次段の信号保持ブロック RSB_{k+1} に出力される。

10

【0101】

次いで、次段の信号保持ブロック RSB_{k+1} において、入力端子 IN にハイレベルの出力信号 OT_k が印加されると、該出力信号 OT_k が入力信号として取り込まれ、上記信号保持ブロック RSB_k における動作と同様に、パルス信号 CK_2 の信号レベルがローレベル V_L からハイレベル V_H に切り替わるタイミングで、パルス信号 CK_2 と略同等の信号レベル (ハイレベル V_H) を有する出力信号 OT_{k+1} が出力端子 OUT を介して、次段の信号保持ブロック RSB_{k+2} に出力される (信号シフト動作)。

【0102】

ここで、信号保持ブロック RSB_{k+1} から出力される出力信号 OT_{k+1} は、前段の信号保持ブロック RSB_k にリセット信号として供給され、MOS トランジスタ T_{25} をオン動作させる。このとき、MOS トランジスタ T_{25} に直列に接続されされた MOS トランジスタ T_{26} は、ゲート端子にハイレベル V_{dd} の出力制御信号 $SETB$ が印加されて、シフト動作期間中、常時オン状態にあるので、接点 NC の電位は低電位電源 V_{ss} に放電されてローレベル V_{ss} になる。これにより、MOS トランジスタ T_{22} 及び T_{23} がオフ動作し、MOS トランジスタ T_{24} がオン動作するので、信号保持ブロック RSB_k の出力端子 OUT からは制御端子 $CTLA$ に供給される出力制御信号 $SETA$ の信号レベル (ローレベル V_{ss}) に応じたローレベル V_L の出力信号 OT_k が出力される (リセット動作)。

20

【0103】

以下、同様の信号シフト動作及びリセット動作を、パルス信号 CK_1 及び CK_2 の印加タイミングに同期して、各信号保持ブロック毎に順次繰り返すことにより、各段の信号保持ブロックから所定の信号レベル (ハイレベル V_H) を有する出力信号が順次出力される。

30

【0104】

なお、図示を省略したが、上述した第 1 の実施形態と同様に、最終段の信号保持ブロック RSA_n の出力端子 OUT から出力された出力信号 OT_n は、次段に設けられたダミーの信号保持ブロック $RSAd$ に入力され、パルス信号 CK_1 (又は CK_2) の印加タイミングでダミーの信号保持ブロック $RSAd$ から出力される出力信号 OT_d により、最終段の信号保持ブロック $RSAn$ がリセットされる。

【0105】

(積算電圧調整動作)

40

次いで、本実施形態に係るシフトレジスタ回路による積算電圧調整動作について説明する。

まず、積算電圧調整動作の開始に先立って、図 9 に示すように、上述した一連のシフト動作の終了により、各段の信号保持ブロック $\dots RSB_{k-1}$ 、 RSB_k 、 RSB_{k+1} 、 $RSB_{k+2} \dots$ はリセットされた状態を保持する。すなわち、接点 NC の電位がローレベル V_{ss} に設定されるので、MOS トランジスタ T_{22} 及び T_{23} はオフ状態に保持され、また、接続接点 ND の電位がハイレベル V_{dd} に設定されるので、MOS トランジスタ T_{24} はオン状態に保持される。また、パルス信号 CK_1 及び CK_2 をともにローレベル V_L に設定する。

50

【0106】

このとき、各信号保持ブロック・・・ RSB_{k-1} 、 RSB_k 、 RSB_{k+1} 、 RSB_{k+2} ・・・の出力接点 N_{out} には出力制御信号 $SETA$ の信号レベル（ローレベル V_L ）に応じた電位が印加されるので、出力端子 OUT からは、ローレベル V_L の出力信号・・・ OT_{k-1} 、 OT_k 、 OT_{k+1} 、 OT_{k+2} ・・・が出力される。

【0107】

次いで、出力制御信号 $SETA$ 及び $SETB$ を制御して、出力制御信号 $SETA$ を任意のハイレベル V_a （例えば、 $V_a = V_{dd}$ となるハイレベル）及び任意の信号幅 T_w （積算電圧調整動作期間に相当）を有する信号波形に設定するとともに、出力制御信号 $SETB$ を、出力制御信号 $SETA$ と反転関係となる信号レベル（ローレベル V_{ss} ）及び信号幅 T_w を有する信号波形に設定する。また、パルス信号 $CK1$ 、 $CK2$ を制御して、いずれのパルス信号も、上記出力制御信号 $SETA$ 及び $SETB$ に対応した信号幅 T_w 及び任意のハイレベル V_b （例えば、 $V_b = V_{dd}$ となるハイレベル）を有する同一の信号波形に設定する。

10

【0108】

そして、上述したような信号波形に設定された出力制御信号 $SETA$ 、 $SETB$ 、及び、パルス信号 $CK1$ 、 $CK2$ を、積算電圧調整動作を開始する任意のタイミングで、全ての各信号保持ブロック・・・ RSB_{k-1} 、 RSB_k 、 RSB_{k+1} 、 RSB_{k+2} ・・・の制御端子 $CTLA$ 、 $CTLB$ 、及び、入力端子 CLK に同時に印加する。

【0109】

これにより、各信号保持ブロック・・・ RSB_{k-1} 、 RSB_k 、 RSB_{k+1} 、 RSB_{k+2} ・・・の出力端子 OUT からは、上記印加タイミング直後においては、制御端子 $CTLA$ に印加された制御信号 $SETA$ の信号レベルに対応した出力信号・・・ OT_{k-1} 、 OT_k 、 OT_{k+1} 、 OT_{k+2} ・・・が出力された（第1の出力状態）後、入力端子 CLK に印加されたパルス信号 $CK1$ 又は $CK2$ の信号レベル及び信号幅に対応した信号波形を有する出力信号・・・ OT_{k-1} 、 OT_k 、 OT_{k+1} 、 OT_{k+2} ・・・が同時に出力される（第2の出力状態）。

20

【0110】

ここで、各信号保持ブロックにおける上記第1及び第2の出力状態の切り換え制御について、図面を参照して詳しく説明する。

30

図10は、本実施形態に係るシフトレジスタ回路の積算電圧調整動作の詳細な電圧変化を示すタイミングチャートである。ここでは、説明の都合上、 $\langle k \rangle$ 段目の信号保持ブロックの回路構成のみを示して説明する。

【0111】

上述したように、積算電圧調整動作の開始前の初期状態においては、接点 NC の電位がローレベル V_{ss} にあって、 MOS トランジスタ T_{22} 及び T_{23} はオフ状態に保持され、また、接続接点 ND の電位がハイレベル V_{dd} にあって、 MOS トランジスタ T_{24} はオン状態に保持されている。

【0112】

そして、図10に示すように、積算電圧調整動作を開始する任意のタイミングで、各信号保持ブロック・・・ RSB_{k-1} 、 RSB_k 、 RSB_{k+1} 、 RSB_{k+2} ・・・の制御端子 $CTLA$ を介してハイレベル V_a を有する出力制御信号 $SETA$ 、制御端子 $CTLB$ を介してローレベル V_{ss} を有する出力制御信号 $SETB$ 、及び、入力端子 CLK を介してハイレベル V_b を有するパルス信号 $CK1$ （又は $CK2$ ）を同時に印加すると、積算電圧調整動作の開始直後においては、 MOS トランジスタ T_{24} がオン状態にあるので、制御端子 $CTLA$ のハイレベル V_a に応じた信号レベルが出力接点 N_{out} に印加され、ハイレベル V_H の出力信号・・・ OT_{k-1} 、 OT_k 、 OT_{k+1} 、 OT_{k+2} ・・・が同時に出力される。また、このとき、 MOS トランジスタ T_{26} がオフ動作することにより、接点 NC の電位は放電されることなく保持される。

40

【0113】

50

これにより、各信号保持ブロック・・・ RSB_{k-1} 、 RSB_k 、 RSB_{k+1} 、 RSB_{k+2} ・・・の前段の出力信号（ハイレベル V_H ）が入力端子 I_N に供給されて、MOSトランジスタ T_{21} がオン動作し、接点 NC の電位が上昇する。ここで、図10においては、接点 NC の電位変化について、説明の都合上、緩やかな曲線で示しているが、実際には瞬時に電位が所定のハイレベルに達する。

【0114】

このような接点 NC の電位の上昇過程において、当該電位がMOSトランジスタ T_{22} 、 T_{23} のしきい値電圧 V_{t1} に達すると、MOSトランジスタ T_{22} 、 T_{23} がオン動作することにより、接続接点 ND の電位がMOSトランジスタ T_{22} を介して低電位電源 V_{ss} に放電されて下降を始めるとともに、パルス信号 $CK1$ の信号レベルがMOSトランジスタ T_{23} を介して出力接点 $Nout$ に供給される。

10

【0115】

そして、接続接点 ND の電位の下降過程において、当該電位がMOSトランジスタ T_{24} のしきい値電圧 V_{t2} 以下に達すると、MOSトランジスタ T_{24} がオフ動作することにより、出力制御信号 $SETA$ の出力接点 $Nout$ への供給が遮断される。ここで、図10においては、接点 ND の電位変化について、説明の都合上、緩やかな曲線で示しているが、実際には瞬時に電位が所定のローレベルに達する。

【0116】

すなわち、積算電圧調整動作の開始直後のMOSトランジスタ $T_{22} \sim T_{24}$ の動作状態が切り替わるまでの極短い期間 T_{th} においては、制御端子 $CTLA$ を介して供給されるハイレベル V_a の出力制御信号 $SETA$ に応じた信号レベル（ハイレベル V_H ）を有する出力信号・・・ OT_{k-1} 、 OT_k 、 OT_{k+1} 、 OT_{k+2} ・・・が各信号保持ブロック・・・ RSB_{k-1} 、 RSB_k 、 RSB_{k+1} 、 RSB_{k+2} ・・・の出力端子 OUT から出力される（第1の出力状態）。

20

【0117】

一方、上述した期間 T_{th} の経過後においては、接点 NC の電位がハイレベルに、また、接続接点 ND の電位がローレベルに保持されることにより、MOSトランジスタ T_{22} 、 T_{23} がオン状態を保持するとともに、MOSトランジスタ T_{24} がオフ状態を保持するので、MOSトランジスタ T_{23} を介して供給されるハイレベル V_b のパルス信号 $CK1$ に応じた信号レベル（ハイレベル V_H ）を有する出力信号・・・ OT_{k-1} 、 OT_k 、 OT_{k+1} 、 OT_{k+2} ・・・が各信号保持ブロック・・・ RSB_{k-1} 、 RSB_k 、 RSB_{k+1} 、 RSB_{k+2} ・・・の出力端子 OUT から出力される（第2の出力状態）。

30

【0118】

これにより、積算電圧調整動作期間における各信号保持ブロック・・・ RSB_{k-1} 、 RSB_k 、 RSB_{k+1} 、 RSB_{k+2} ・・・からの出力信号・・・ OT_{k-1} 、 OT_k 、 OT_{k+1} 、 OT_{k+2} ・・・は、出力制御信号 $SETA$ 及びパルス信号 $CK1$ （又は $CK1$ ）が瞬時的に切り替わって供給される。

【0119】

そして、積算電圧調整動作の終了時には、出力制御信号 $SETA$ がハイレベル V_a からローレベル V_L に、出力制御信号 $SETB$ がローレベル V_{ss} からハイレベル V_{dd} に、また、パルス信号 $CK1$ （又は $CK2$ ）がハイレベル V_b からローレベル V_L に同時に切り替わることにより、各信号保持ブロック・・・ RSB_{k-1} 、 RSB_k 、 RSB_{k+1} 、 RSB_{k+2} ・・・の出力端子 OUT からは、パルス信号 $CK1$ （又は $CK2$ ）の信号レベルに基づくローレベル V_L を有する出力信号・・・ OT_{k-1} 、 OT_k 、 OT_{k+1} 、 OT_{k+2} ・・・が出力される。

40

【0120】

これにより、各信号保持ブロック・・・ RSB_{k-1} 、 RSB_k 、 RSB_{k+1} 、 RSB_{k+2} ・・・において、接点 NC の電極が下降してMOSトランジスタ T_{22} 、 T_{23} がオフ動作し、接続接点 ND の電極が上昇してMOSトランジスタ T_{24} がオン動作すると、パルス信号 $CK1$ の出力接点 $Nout$ への供給が遮断されるとともに、出力制御信号 SET

50

TAが出力接点Noutに供給されるので、各信号保持ブロック・・・RSB_{k-1}、RSB_k、RSB_{k+1}、RSB_{k+2}・・・の出力端子OUTからは、出力制御信号SETAの信号レベル(ローレベルV_{ss})に基づくローレベルを有する出力信号・・・OT_{k-1}、OT_k、OT_{k+1}、OT_{k+2}・・・が出力される。

【0121】

なお、本実施形態においても、上述した第1の実施形態(図5参照)と同様に、積算電圧調整期間に出力される出力信号(調整信号)は、シフト動作期間に印加される出力信号の時間積分値の極性の偏りを相殺又は調整することができる信号波形(信号レベルV_H及び信号幅Tw)を有するように設定される。ここで、調整信号の信号レベルV_Hを実質的に規定するパルス信号CK1、CK2の信号レベルとして、シフト動作において通常用いられるハイレベルV_{dd}を適用する場合には、パルス信号CK1、CK2の信号幅Tw(積算電圧調整期間)を制御することにより、上記時間積分値の極性の偏りを相殺又は調整することができる信号波形を設定するものであってもよい。

【0122】

このように、本実施形態に係るシフトレジスタ回路の駆動制御方法によれば、各段の信号保持ブロックに対してハイレベルの入力信号が印加されることにより、該信号レベルを取り込んで、シフト動作を実行することができる。また、このようなシフトレジスタ回路(入力制御部)の構成によれば、シフト動作において各信号保持ブロックに入力信号が印加されるタイミングでのみ、入力制御部を構成するMOSトランジスタのゲート電極にハイレベルの電圧(ゲート信号)が印加されるので、ゲート電極にゲート信号が繰り返し印加されることを回避して、MOSトランジスタのしきい値特性の変動を抑制することができる。

【0123】

さらに、積算電圧調整動作により、所定の信号波形(信号レベルV_H及び信号幅Tw)を有する調整信号を、各信号保持ブロックを構成するMOSトランジスタのゲート電極、又は、シフトレジスタ回路からの出力信号により駆動する装置(例えば、フォトセンサレイ)を構成するMOSトランジスタのゲート電極に対して印加することにより、シフト動作期間に印加されるゲート信号の時間積分値の極性の偏りを相殺又は緩和する方向に調整することができる。

【0124】

特に、MOSトランジスタT26では、シフト動作中、そのゲートがほぼハイレベルV_{dd}が続くのに対し、そのドレインは常にローレベルV_{ss}であるため、図26に示すV_g-I_d特性曲線SP₂になる傾向があったが積算電圧調整動作中にゲート電位をローレベルV_{ss}とすることにより特性変化を緩和させることができる。

【0125】

さらに、MOSトランジスタT24では、シフト動作中、そのゲートがほぼハイレベルV_{dd}に近い電位が続くのに対し、そのドレイン(制御端子CTLA側)はローレベルV_{ss}が続くため、図26に示すV_g-I_d特性曲線SP₂になる傾向があったが、積算電圧調整動作中にドレイン電位をハイレベルV_aとすることにより特性変化を緩和させることができる。

【0126】

したがって、本実施形態に係る構成を有するシフトレジスタ回路においては、各信号保持ブロックを構成するMOSトランジスタのしきい値特性の変動を一層抑制することができる、誤動作や動作特性の劣化が生じにくいシフトレジスタ回路を実現することができる。また、本実施形態に係るシフトレジスタ回路を走査ドライバに適用した液晶表示装置や画像読取装置においては、走査信号(シフトレジスタ回路からの出力信号)の電圧変動等が抑制されるので、信頼性の高い液晶表示装置や画像読取装置を提供することができる。

【0127】

さらに、本実施形態に係るシフトレジスタ回路を走査ドライバに適用した画像読取装置においては、画像読取装置のフォトセンサを構成するMOSトランジスタに対して、通常の

10

20

30

40

50

画像読取動作時に繰り返し印加される走査信号（ゲート信号）に起因するしきい値特性の変動が生じた場合であっても、上記所定の信号波形を有する調整信号を前記走査ラインに一括して同時印加することにより、しきい値特性を一時（瞬時）に改善することができるので、フォトセンサの素子特性の劣化や画像読取装置の誤動作、読取感度の劣化を抑制することができ、信頼性の高い画像読取装置を提供することができる。

【0128】

なお、上述した実施形態においては、制御端子CTLA及びCTLBに印加される出力制御信号SETA及びSETBとして、互いに反転関係を有する信号波形に設定した場合について説明したが、これらの出力制御信号SETA及びSETBを独立した信号波形に設定するものであってもよい。

10

【0129】

この場合、上述した積算電圧調整動作において説明したように、出力制御信号SETAは、積算電圧調整動作の開始直後に次段の各信号保持ブロックに対してハイレベルの出力信号を出力して、次段の各信号保持ブロックの接点NCの電位を高い状態にして、パルス信号CK1（又はCK2）の信号レベル（ハイレベル）を出力接点Noutに供給して、この信号レベルに基づく出力信号を継続的に出力するための、いわゆる、トリガーとしての機能を有するものである。

【0130】

したがって、積算電圧調整動作の開始直後に当該トリガーとしての機能を果たした後は、出力制御信号SETAの信号レベルが各信号保持ブロックの積算電圧調整動作に影響を及ぼすことはないので、出力制御信号SETAの信号波形を、図9中、破線Paで示すように信号幅の極短い瞬時的なパルスに設定するものであってもよい。

20

【0131】

<第3の実施形態>

次に、本発明に係るシフトレジスタ回路の第3の実施形態について、図面を参照して説明する。

図11は、第3の実施形態に係るシフトレジスタ回路に適用される信号保持ブロックの具体的な構成を示す回路構成図である。なお、ここでは、<k>段目（1 k n）の信号保持ブロックの回路構成のみを示して説明する。

【0132】

また、本実施形態に係るシフトレジスタ回路の全体構成は、上述した第2の実施形態（図6）と略同等であるので、以下の説明においては、適宜図6を参照することとし、その際、各信号保持ブロックの符号RSB_{k-1}、RSB_k、RSB_{k+1}、RSB_{k+2}を、各々RSC_{k-1}、RSC_k、RSC_{k+1}、RSC_{k+2}と読み替えるものとする。さらに、上述した第2の実施形態と同等の構成については、同一の符号を付して、その説明を省略又は簡略化する。

30

【0133】

本実施形態に係るシフトレジスタ回路は、各信号保持ブロックRSC_{k-1}～RSC_{k+2}が直列に接続され、各信号保持ブロックRSC_{k-1}～RSC_{k+2}の出力信号OT_{k-1}～OT_{k+2}が、各々の次段の信号保持ブロックRSC_k～RSC_{k+3}の入力信号として供給される構成を有している。（図6参照）。

40

【0134】

また、各信号保持ブロックRSC_{k-1}～RSC_{k+2}からの出力信号OT_{k-1}～OT_{k+2}が、各々の前段の信号保持ブロックRSC_{k-2}～RSC_{k+1}のリセット信号として供給される構成を有している。したがって、本実施形態に係るシフトレジスタ回路においても、上述した第2の実施形態と同様に、最終段の信号保持ブロックRSC_nの次段に、ダミーの信号保持ブロックが設けられ、このダミーの信号保持ブロックからの出力信号が、最終段の信号保持ブロックRSC_nのリセット端子RSTにリセット信号として供給される。

【0135】

50

ここで、各信号保持ブロック $RSC_{k-1} \sim RSC_{k+2}$ は、図 11 に示すように、基本構成として、8 個の MOS トランジスタ $T31 \sim T38$ を有して構成されている。

具体的には、前段の出力信号保持ブロック RSC_{k-1} からの入力信号（出力信号 OT_{k-1} 、又は、スタート信号）が供給される入力端子 IN と接点 NE （電圧保持接点）との間にソース、ドレイン端子が接続され、かつ、ゲート端子が入力端子 IN に接続された MOS トランジスタ $T31$ （第 1 のトランジスタ）と、接点 NE と低電位電源 V_{ss} （第 4 の電圧信号）との間に直列に接続され、ゲート端子に次段の出力信号保持ブロック RSC_{k+1} からの出力信号 OT_{k+1} が印加される MOS トランジスタ $T35$ （第 5 のトランジスタ）、及び、出力制御信号 $SETB$ （第 6 の電圧信号）が印加される制御端子 $CTLB$ に、ゲート端子が接続された MOS トランジスタ $T36$ （第 6 のトランジスタ）と、高電位電源 V_{dd} （第 5 の電圧信号）と低電位電源 V_{ss} （第 4 の電圧信号）との間に直列に接続され、ダイオード接続された MOS トランジスタ $T38$ （負荷）、及び、接点 NE にゲート端子が接続された MOS トランジスタ $T32$ （第 2 のトランジスタ）と、信号波形の変更が可能なパルス信号 $CK1$ （又は $CK2$ ；第 3 の電圧信号）が印加される入力端子 CLK と低電位電源 V_{ss} （第 4 の電圧信号）との間に直列に接続され、接点 NE にゲート端子が接続された MOS トランジスタ $T33$ （第 3 のトランジスタ）、及び、MOS トランジスタ $T32$ と $T38$ の接続接点 NF にゲート端子が接続された MOS トランジスタ $T34$ （第 4 のトランジスタ）と、MOS トランジスタ $T33$ と $T34$ の接続接点に設けられた出力接点 $Nout$ と、高電位電源 V_{dd} （第 5 の電圧信号）と接点 NE との間にソース、ドレイン端子が接続され、かつ、出力制御信号 $SETA$ （第 2 の電圧信号）が印加される制御端子 $CLTC$ にゲート端子が接続された MOS トランジスタ $T37$ （第 7 のトランジスタ）と、を有して構成されている。

【0136】

すなわち、本発明に係る入力制御部は、MOS トランジスタ $T31$ により構成され、本発明に係る出力制御部は、MOS トランジスタ $T32$ 、 $T33$ 、 $T34$ 、 $T37$ 、 $T38$ により構成され、本発明に係る放電制御部は、MOS トランジスタ $T35$ 、 $T36$ により構成されている。

ここで、上述した信号保持ブロックの回路を構成する MOS トランジスタ $T31 \sim T38$ は、上述した第 1 及び第 2 の実施形態と同様に、全て n チャネル型の薄膜トランジスタにより構成されており、そのゲート電圧 - ドレイン電流特性は、初期状態において、図 26 に示した特性曲線 SP_0 （実線）と同等であるものとする。

【0137】

次に、上述した信号保持ブロックを適用したシフトレジスタ回路の駆動制御方法について説明する。

図 12 は、本実施形態に係るシフトレジスタ回路の動作を示すタイミングチャートである。ここでは、上述したシフトレジスタ回路（図 6 参照）及び信号保持ブロックの構成（図 11）を適宜参照しながら説明する。

【0138】

（シフト動作）

まず、本実施形態に係るシフトレジスタ回路によるシフト動作の開始に先立って、図 12 に示すように、出力制御信号 $SETA$ をローレベル V_{ss} に設定するとともに、出力制御信号 $SETB$ をハイレベル V_{dd} に設定する。これにより、図 11 において、出力制御信号 $SETA$ がゲート端子に印加される MOS トランジスタ $T37$ はオフ状態となって、高電位電源 V_{dd} の接点 NE への供給が遮断され、また、出力制御信号 $SETB$ がゲート端子に印加される MOS トランジスタ $T36$ はオン状態となって、接点 NE の電位の低電位電源 V_{ss} への放電が、MOS トランジスタ $T35$ の動作状態に依存することになるので、シフト動作時におけるシフトレジスタ回路（信号保持ブロック）の回路構成は、実質的に第 2 の実施形態に示した信号保持ブロック（図 7）の回路構成と同一になる。したがって、本実施形態に係るシフト動作において、信号保持ブロックを構成する各 MOS トランジスタ（ $T31 \sim T38$ ）の動作と各端子及び接点（ IN 、 CLK 、 NE 、 NF 、 $CLTC$ 、 CT

L B、O U T、R S T) の電位の関係は、上述した第 2 の実施形態の場合 (図 8 参照) と同様の関係を有する。

【 0 1 3 9 】

すなわち、図 1 2 に示すように、初段又は < k > 段目の信号保持ブロック R S C_k の入力端子 I N に、ハイレベルの入力信号 (スタート信号又は前段の出力信号 O T_{k-1}) が印加されると、M O S トランジスタ T 3 1 がオン動作して、接点 N E の電位が上昇する。これにより、M O S トランジスタ T 3 2 及び T 3 3 がオン動作し、M O S トランジスタ T 3 4 がオフ動作する。

【 0 1 4 0 】

次いで、パルス信号 C K 1 の信号レベルがハイレベル V_H に切り替わると、ブートストラップ効果により接点 N E の電位がさらに上昇することにより、パルス信号 C K 1 と略同等の信号レベル (ハイレベル V_H) を有する出力信号 O T_k が、次段の信号保持ブロック R S C_{k+1} に出力される。

10

【 0 1 4 1 】

これにより、次段の信号保持ブロック R S C_{k+1} の入力端子 I N にハイレベルの出力信号 O T_k が印加されると、上記信号保持ブロック R S C_k における動作と同様に、パルス信号 C K 2 の信号レベルがハイレベル V_H に切り替わるタイミングで、パルス信号 C K 2 と略同等の信号レベル (ハイレベル V_H) を有する出力信号 O T_{k+1} が、次段の信号保持ブロック R S C_{k+2} に出力される (信号シフト動作) 。

【 0 1 4 2 】

20

ここで、信号保持ブロック R S C_{k+1} から出力される出力信号 O T_{k+1} が、前段の信号保持ブロック R S C_k にリセット信号として供給されることにより、M O S トランジスタ T 3 5 がオン動作し、接点 N E の電位が低電位電源 V_{ss} に放電されてローレベル V_{ss} になる。これにより、M O S トランジスタ T 3 2 及び T 3 3 がオフ動作し、M O S トランジスタ T 3 4 がオン動作するので、信号保持ブロック R S C_k からは低電位電源 V_{ss} に応じたローレベル V_L の出力信号 O T_k が出力される (リセット動作) 。

【 0 1 4 3 】

以下、同様の信号シフト動作及びリセット動作を、パルス信号 C K 1 及び C K 2 の印加タイミングに同期して、各信号保持ブロック毎に順次繰り返すことにより、各段の信号保持ブロックから所定の信号レベル (ハイレベル V_H) を有する出力信号が順次出力される。

30

【 0 1 4 4 】

(積算電圧調整動作)

次いで、本実施形態に係るシフトレジスタ回路による積算電圧調整動作について説明する。

まず、積算電圧調整動作の開始に先立って、図 1 2 に示すように、パルス信号 C K 1 及び C K 2 をともにローレベル V_L に設定する。また、上述した一連のシフト動作の終了により、各段の信号保持ブロック・・・R S C_{k-1}、R S C_k、R S C_{k+1}、R S C_{k+2}・・・はリセットされた状態を保持する。すなわち、接点 N E の電位がローレベル V_{ss} に設定されるので、M O S トランジスタ T 3 2 及び T 3 3 はオフ状態に保持され、また、接続接点 N F の電位がハイレベル V_{dd} に設定されるので、M O S トランジスタ T 3 4 はオン状態に保持される。

40

【 0 1 4 5 】

このとき、各信号保持ブロック・・・R S C_{k-1}、R S C_k、R S C_{k+1}、R S C_{k+2}・・・の出力接点 Nout には低電位電源 V_{ss} に応じた電位が印加されるので、出力端子 O U T からは、ローレベル V_L の出力信号・・・O T_{k-1}、O T_k、O T_{k+1}、O T_{k+2}・・・が出力される。

【 0 1 4 6 】

次いで、出力制御信号 S E T A 及び S E T B を制御して、出力制御信号 S E T A を任意のハイレベル V_H (例えば、V_{dd}) 及び任意の信号幅 T_w (積算電圧調整動作期間に相当) を有する信号波形に設定するとともに、出力制御信号 S E T B を、出力制御信号 S E T

50

Aと反転関係となる信号レベル（ローレベル V_{ss} ）及び信号幅 T_w を有する信号波形に設定する。また、パルス信号 CK_1 、 CK_2 を制御して、いずれのパルス信号も、上記出力制御信号 $SETA$ 及び $SETB$ に対応した信号幅 T_w 及び任意のハイレベル V_c （例えば、 $V_c = V_{dd}$ となるハイレベル）を有する同一の信号波形に設定する。

【0147】

そして、上述したような信号波形に設定された出力制御信号 $SETA$ 、 $SETB$ 、及び、パルス信号 CK_1 、 CK_2 を、積算電圧調整動作を開始する任意のタイミングで、全ての各信号保持ブロック・・・ RSC_{k-1} 、 RSC_k 、 RSC_{k+1} 、 RSC_{k+2} ・・・の制御端子 CTL_C 、 CTL_B 、及び、入力端子 CL_K に同時に印加する。

【0148】

これにより、まず、制御端子 CTL_C にハイレベル V_H の出力制御信号 $SETA$ が印加されることにより、 MOS トランジスタ T_{37} がオン動作して、高電位電源 V_{dd} に応じて接点 NE の電位が高い状態になると、 MOS トランジスタ T_{32} 、 T_{33} がオン動作するとともに、接続接点 NF の電位が低い状態になって、 MOS トランジスタ T_{34} がオフ動作する。

【0149】

このとき、 MOS トランジスタ T_{36} のゲート端子（制御端子 CTL_B ）にはローレベル V_{ss} の出力制御信号 $SETB$ が印加されてオフ状態にあるので、 MOS トランジスタ T_{35} の動作状態に関わらず、接点 NE の電位は放電されることなく保持される。また、 MOS トランジスタ T_{34} がオフ動作することにより、低電位電源 V_{ss} の出力接点 $Nout$ への供給が遮断される。

【0150】

したがって、出力接点 $Nout$ には、 MOS トランジスタ T_{33} を介してパルス信号 CK_1 の信号レベル（ハイレベル V_c ）が供給されて、該信号レベルに応じたハイレベル V_H を有する出力信号・・・ OT_{k-1} 、 OT_k 、 OT_{k+1} 、 OT_{k+2} ・・・が各信号保持ブロック・・・ RSC_{k-1} 、 RSC_k 、 RSC_{k+1} 、 RSC_{k+2} ・・・の出力端子 OUT から出力される。

【0151】

そして、積算電圧調整動作の終了時には、出力制御信号 $SETA$ がハイレベル V_H からローレベル V_L に、出力制御信号 $SETB$ がローレベル V_{ss} からハイレベル V_{dd} に、また、パルス信号 CK_1 （又は CK_2 ）がハイレベル V_c からローレベル V_L に同時に切り替わることにより、 MOS トランジスタ T_{37} はオフ動作して高電位電源 V_{dd} の接点 NE への供給を遮断するとともに、 MOS トランジスタ T_{36} がオン動作し、かつ、次段の各信号保持ブロック・・・ RSC_k 、 RSC_{k+1} 、 RSC_{k+2} 、 RSC_{k+3} ・・・からのハイレベル V_H の出力信号・・・ OT_{k-1} 、 OT_k 、 OT_{k+1} 、 OT_{k+2} ・・・により MOS トランジスタ T_{35} がオン状態にあることから、 MOS トランジスタ T_{35} 、 T_{36} を介して接点 NE の電位が低電位電源 V_{ss} に放電されて低い状態となる。

【0152】

これにより、 MOS トランジスタ T_{32} 、 T_{33} がオフ動作して、接続接点 NF の電極が上昇し、 MOS トランジスタ T_{34} がオン動作することにより、パルス信号 CK_1 の出力接点 $Nout$ への供給が遮断されるとともに、低電位電源 V_{ss} が出力接点 $Nout$ に供給されるので、各信号保持ブロック・・・ RSC_{k-1} 、 RSC_k 、 RSC_{k+1} 、 RSC_{k+2} ・・・の出力端子 OUT からは、低電位電源 V_{ss} に基づくローレベル V_L を有する出力信号・・・ OT_{k-1} 、 OT_k 、 OT_{k+1} 、 OT_{k+2} ・・・が同時に出力される。

【0153】

このとき、ローレベル V_L を有する次段の出力信号・・・ OT_k 、 OT_{k+1} 、 OT_{k+2} 、 OT_{k+3} ・・・が各信号保持ブロック・・・ RSC_{k-1} 、 RSC_k 、 RSC_{k+1} 、 RSC_{k+2} ・・・にリセット信号として供給され、 MOS トランジスタ T_{35} がオフ動作するが、入力端子 IN を介して前段の出力信号・・・ OT_{k-2} 、 OT_{k-1} 、 OT_k 、 OT_{k+1} ・・・が取り込まれることにより、接点 NE の電位は低い状態が

10

20

30

40

50

保持される。

【0154】

このようにして、積算電圧調整動作期間においては、各信号保持ブロック・・・ RSC_{k-1} 、 RSC_k 、 RSC_{k+1} 、 RSC_{k+2} ・・・の出力端子 OUT から、入力端子 CLK に印加されたパルス信号 $CK1$ 又は $CK2$ の信号レベル V_c 及び信号幅 T_w に対応した信号波形を有する出力信号（調整信号）・・・ OT_{k-1} 、 OT_k 、 OT_{k+1} 、 OT_{k+2} ・・・が同時に出力される。

【0155】

したがって、このような構成を有するシフトレジスタ回路及びその駆動制御方法によれば、上述した第2の実施形態と同等の作用効果を得ることができる。特に、 MOS トランジスタ $T36$ では、シフト動作中、そのゲートがほぼハイレベル V_{dd} が続くのに対し、そのドレインは常にローレベル V_{ss} であるため、図26に示す $V_g - I_d$ 特性曲線 SP_2 になる傾向があったが、積算電圧調整動作中にゲート電位をローレベル V_{ss} とすることにより特性変化を緩和させることができる。

10

【0156】

なお、本実施形態においても、上述した第1の実施形態（図5参照）と同様に、積算電圧調整期間に出力される出力信号（調整信号）は、シフト動作期間に印加される出力信号の時間積分値の極性の偏りを相殺又は調整することができる信号波形（信号レベル V_H 及び信号幅 T_w ）を有するように設定される。ここで、調整信号の信号レベル V_H を規定するパルス信号 $CK1$ 、 $CK2$ の信号レベルとして、シフト動作において通常用いられるハイレベル V_{dd} を適用する場合には、パルス信号 $CK1$ 、 $CK2$ の信号幅 T_w （積算電圧調整期間）を制御することにより、上記時間積分値の極性の偏りを相殺又は調整することができる信号波形を設定するものであってもよい。

20

【0157】

<第4の実施形態>

次に、本発明に係るシフトレジスタ回路の第4の実施形態について、図面を参照して説明する。

図13は、第4の実施形態に係るシフトレジスタ回路に適用される信号保持ブロックの具体的な構成を示す回路構成図である。ここでは、 $k > n$ の信号保持ブロックの回路構成のみを示して説明する。なお、上述した第3の実施形態と同等の構成については、同一の符号を付して説明する。

30

【0158】

また、本実施形態に係るシフトレジスタ回路の全体構成は、上述した第2の実施形態（図6）と略同等であるので、以下の説明においては、適宜図6を参照することとし、その際、各信号保持ブロックの符号 RSB_{k-1} 、 RSB_k 、 RSB_{k+1} 、 RSB_{k+2} を、各々 RSD_{k-1} 、 RSD_k 、 RSD_{k+1} 、 RSD_{k+2} と読み替えるものとする。さらに、上述した第2の実施形態と同等の構成については、同一の符号を付して、その説明を省略又は簡略化する。

【0159】

本実施形態に係るシフトレジスタ回路は、各信号保持ブロック $RSD_{k-1} \sim RSD_{k+2}$ が直列に接続され、各信号保持ブロック $RSD_{k-1} \sim RSD_{k+2}$ の出力信号 $OT_{k-1} \sim OT_{k+2}$ が、各々の次段の信号保持ブロック $RSD_k \sim RSD_{k+3}$ の入力信号として供給される構成を有している。（図6参照）。

40

【0160】

また、各信号保持ブロック $RSD_{k-1} \sim RSD_{k+2}$ からの出力信号 $OT_{k-1} \sim OT_{k+2}$ が、各々の前段の信号保持ブロック $RSD_{k-2} \sim RSD_{k+1}$ のリセット信号として供給される構成を有している。したがって、本実施形態に係るシフトレジスタ回路においても、上述した第2又は第3の実施形態と同様に、最終段の信号保持ブロック RSD_n の次段に、ダミーの信号保持ブロックが設けられ、このダミーの信号保持ブロックからの出力信号が、最終段の信号保持ブロック RSD_n のリセット端子 RST にリセット信号

50

として供給される。

【0161】

ここで、各信号保持ブロック $RSD_{k-1} \sim RSD_{k+2}$ は、図13に示すように、基本構成として、8個のMOSトランジスタ $T41 \sim T48$ を有して構成されている。

具体的には、前段の出力信号保持ブロック RSD_{k-1} からの入力信号（出力信号 OT_{k-1} 、又は、スタート信号）が供給される入力端子 IN と接点 NG （電圧保持接点）との間にソース、ドレイン端子が接続され、かつ、ゲート端子が入力端子 IN に接続されたMOSトランジスタ $T41$ （第1のトランジスタ）と、接点 NG と低電位電源 V_{ss} （第4の電圧信号）との間に直列に接続され、ゲート端子に次段の出力信号保持ブロック RSD_{k+1} からの出力信号 OT_{k+1} が印加されるMOSトランジスタ $T45$ （第5のトランジスタ）、及び、出力制御信号 $SETB$ （第6の電圧信号）が印加される制御端子 $CTLB$ に、ゲート端子が接続されたMOSトランジスタ $T46$ （第6のトランジスタ）と、高電位電源 V_{dd} （第5の電圧信号）と低電位電源 V_{ss} （第4の電圧信号）との間に直列に接続され、ダイオード接続されたMOSトランジスタ $T48$ （負荷）、及び、接点 NG にゲート端子が接続されたMOSトランジスタ $T42$ （第2のトランジスタ）と、信号波形の変更が可能なパルス信号 $CK1$ （又は $CK2$ ；第3の電圧信号）が印加される入力端子 CLK と低電位電源 V_{ss} （第4の電圧信号）との間に直列に接続され、接点 NG にゲート端子が接続されたMOSトランジスタ $T43$ （第3のトランジスタ）、及び、MOSトランジスタ $T42$ と $T48$ の接続接点 NH にゲート端子が接続されたMOSトランジスタ $T44$ （第4のトランジスタ）と、MOSトランジスタ $T43$ と $T44$ の接続接点に設けられた出力接点 $Nout$ と、

出力制御信号 $SETA$ （第2の電圧信号）が印加される制御端子 $CTLC$ と接点 NG との間にソース、ドレイン端子が接続され、かつ、ゲート端子が制御端子 $CTLC$ に接続されたMOSトランジスタ $T47$ （第8のトランジスタ）と、を有して構成されている。

【0162】

すなわち、本発明に係る入力制御部は、MOSトランジスタ $T41$ により構成され、本発明に係る出力制御部は、MOSトランジスタ $T42$ 、 $T43$ 、 $T44$ 、 $T47$ 、 $T48$ により構成され、本発明に係る放電制御部は、MOSトランジスタ $T45$ 、 $T46$ により構成されている。

ここで、上述した信号保持ブロックの回路を構成するMOSトランジスタ $T41 \sim T48$ は、上述した各実施形態と同様に、全て n チャネル型の薄膜トランジスタにより構成されており、そのゲート電圧 - ドレイン電流特性は、初期状態において、図26に示した特性曲線 SP_0 （実線）と同等であるものとする。

【0163】

次に、上述した信号保持ブロックを適用したシフトレジスタ回路の駆動制御方法について説明する。

本実施形態に係るシフトレジスタ回路の駆動制御方法は、上述した第3の実施形態（図12）と略同等であるので、適宜図12を参照して、その説明を簡略化又は省略する。また、以下の説明においては、図12を参照する際には、各信号保持ブロックの符号 RSC_{k-1} 、 RSC_k 、 RSC_{k+1} 、 RSC_{k+2} を、各々 RSD_{k-1} 、 RSD_k 、 RSD_{k+1} 、 RSD_{k+2} と、また、接点 NE 、 NF を、各々 NG 、 NH と読み替えるものとする。

【0164】

（シフト動作）

まず、本実施形態に係るシフトレジスタ回路によるシフト動作の開始に先立って、上述した第3の実施形態（図12参照）と同様に、出力制御信号 $SETA$ をローレベル V_{ss} に設定するとともに、出力制御信号 $SETB$ をハイレベル V_{dd} に設定する。これにより、図13において、出力制御信号 $SETA$ がゲート端子に印加されるMOSトランジスタ $T47$ はオフ状態となって、出力制御信号 $SETA$ の接点 NG への供給が遮断され、また、出力制御信号 $SETB$ がゲート端子に印加されるMOSトランジスタ $T46$ はオン状態となっ

10

20

30

40

50

て、接点NGの電位の低電位電源V_{ss}への放電が、MOSトランジスタT45の動作状態に依存することになるので、シフト動作時におけるシフトレジスタ回路（信号保持ブロック）の回路構成は、上述した第3の実施形態と同様に、実質的に第2の実施形態に示した信号保持ブロック（図7）の回路構成と同一になる。

【0165】

したがって、本実施形態に係るシフト動作は、上述した第2又は第3の実施形態（図12参照）と同等となり、初段又は<k>段目の信号保持ブロックRSC_kの入力端子INに印加されたハイレベルの入力信号が、パルス信号CK1及びCK2の印加タイミングに同期して、順次各信号保持ブロック・・・RSD_{k-1}、RSD_k、RSD_{k+1}、RSD_{k+2}・・・に転送（シフト）されつつ、出力信号・・・OT_k、OT_{k+1}、OT_{k+2}、OT_{k+3}・・・として出力される。

10

【0166】

（積算電圧調整動作）

次いで、本実施形態に係るシフトレジスタ回路による積算電圧調整動作について説明する。

まず、積算電圧調整動作の開始に先立って、上述した第3の実施形態（図12参照）と同様に、パルス信号CK1及びCK2をともしローレベルV_Lに設定する。また、上述した一連のシフト動作の終了により、各段の信号保持ブロック・・・RSD_{k-1}、RSD_k、RSD_{k+1}、RSD_{k+2}・・・はリセットされた状態を保持する。すなわち、接点NGの電位がローレベルV_{ss}に設定されるので、MOSトランジスタT42及びT43はオフ状態に保持され、また、接続接点NHの電位がハイレベルV_{dd}に設定されるので、MOSトランジスタT44はオン状態に保持される。

20

【0167】

このとき、各信号保持ブロック・・・RSD_{k-1}、RSD_k、RSD_{k+1}、RSD_{k+2}・・・の出力接点Noutには低電位電源V_{ss}に応じた電位が印加されるので、出力端子OUTからは、ローレベルV_Lの出力信号・・・OT_{k-1}、OT_k、OT_{k+1}、OT_{k+2}・・・が出力される。

【0168】

次いで、出力制御信号SETA及びSETBを制御して、出力制御信号SETAを任意のハイレベルV_H（例えば、V_{dd}）及び任意の信号幅Tw（積算電圧調整動作期間に相当）を有する信号波形に設定するとともに、出力制御信号SETBを、出力制御信号SETAと反転関係となる信号レベル（ローレベルV_{ss}）及び信号幅Twを有する信号波形に設定する。また、パルス信号CK1、CK2を制御して、いずれのパルス信号も、上記出力制御信号SETA及びSETBに対応した信号幅Tw及び任意のハイレベルV_c（例えば、V_c = V_{dd}となるハイレベル）を有する同一の信号波形に設定する。

30

【0169】

そして、上述したような信号波形に設定された出力制御信号SETA、SETB、及び、パルス信号CK1、CK2を、積算電圧調整動作を開始する任意のタイミングで、全ての各信号保持ブロック・・・RSD_{k-1}、RSD_k、RSD_{k+1}、RSD_{k+2}・・・の制御端子CTL C、CTL B、及び、入力端子CLKに同時に印加する。

40

【0170】

これにより、まず、制御端子CTL CにハイレベルV_Hの出力制御信号SETAが印加されることにより、MOSトランジスタT47がオン動作して、出力制御信号SETAの信号レベル（ハイレベルV_H）に応じて接点NGの電位が高い状態になると、MOSトランジスタT42、T43がオン動作するとともに、接続接点NHの電位が低い状態になって、MOSトランジスタT44がオフ動作する。

【0171】

このとき、MOSトランジスタT46のゲート端子（制御端子CTL B）にはローレベルV_{ss}の出力制御信号SETBが印加されてオフ状態にあるので、MOSトランジスタT45の動作状態に関わらず、接点NEの電位は放電されることなく保持される。また、MO

50

SトランジスタT44がオフ動作することにより、低電位電源Vssの出力接点Noutへの供給が遮断される。

【0172】

したがって、出力接点Noutには、MOSトランジスタT43を介してパルス信号CK1の信号レベル(ハイレベルVc)が供給されて、該信号レベルに応じたハイレベルV_Hを有する出力信号・・・OT_{k-1}、OT_k、OT_{k+1}、OT_{k+2}・・・が各信号保持ブロック・・・RSD_{k-1}、RSD_k、RSD_{k+1}、RSD_{k+2}・・・の出力端子OUTから出力される。

【0173】

そして、積算電圧調整動作の終了時には、出力制御信号SETAがハイレベルV_HからローレベルV_Lに、出力制御信号SETBがローレベルVssからハイレベルVddに、また、パルス信号CK1(又はCK2)がハイレベルVcからローレベルV_Lに同時に切り替わることにより、MOSトランジスタT47はオフ動作して出力制御信号SETAの接点NGへの供給を遮断するとともに、MOSトランジスタT46がオン動作し、かつ、次段の各信号保持ブロック・・・RSD_k、RSD_{k+1}、RSD_{k+2}、RSD_{k+3}・・・からのハイレベルV_Hの出力信号・・・OT_{k-1}、OT_k、OT_{k+1}、OT_{k+2}・・・によりMOSトランジスタT45がオン状態にあることから、MOSトランジスタT45、T46を介して接点NGの電位が低電位電源Vssに放電されて低い状態となる。

【0174】

これにより、MOSトランジスタT42、T43がオフ動作して、接続接点NHの電極が上昇し、MOSトランジスタT44がオン動作することにより、パルス信号CK1の出力接点Noutへの供給が遮断されるとともに、低電位電源Vssが出力接点Noutに供給されるので、各信号保持ブロック・・・RSD_{k-1}、RSD_k、RSD_{k+1}、RSD_{k+2}・・・の出力端子OUTからは、低電位電源Vssに基づくローレベルV_Lを有する出力信号・・・OT_{k-1}、OT_k、OT_{k+1}、OT_{k+2}・・・が同時に出力される。

【0175】

このとき、ローレベルV_Lを有する次段の出力信号・・・OT_k、OT_{k+1}、OT_{k+2}、OT_{k+3}・・・が各信号保持ブロック・・・RSD_{k-1}、RSD_k、RSD_{k+1}、RSD_{k+2}・・・にリセット信号として供給され、MOSトランジスタT45がオフ動作するが、入力端子INを介して前段の出力信号・・・OT_{k-2}、OT_{k-1}、OT_k、OT_{k+1}・・・が取り込まれることにより、接点NGの電位は低い状態が保持される。

【0176】

このようにして、積算電圧調整動作期間においては、各信号保持ブロック・・・RSD_{k-1}、RSD_k、RSD_{k+1}、RSD_{k+2}・・・の出力端子OUTから、入力端子CLKに印加されたパルス信号CK1又はCK2の信号レベルVc及び信号幅Twに対応した信号波形を有する出力信号(調整信号)・・・OT_{k-1}、OT_k、OT_{k+1}、OT_{k+2}・・・が同時に出力される。

【0177】

したがって、このような構成を有するシフトレジスタ回路及びその駆動制御方法によれば、上述した第2の実施形態と同等の作用効果を得ることができる。特に、MOSトランジスタT46では、シフト動作中、そのゲートがほぼハイレベルVddが続くのに対し、そのドレインは常にローレベルVssであるため、図26に示すV_g-I_d特性曲線SP₂になる傾向があったが、積算電圧調整動作中にゲート電位をローレベルVssとすることにより特性変化を緩和させることができる。

【0178】

次に、本発明に係るシフトレジスタ回路の適用例について、図面を参照して具体的に説明する。

<第1の適用例>

図14は、本発明に係るシフトレジスタ回路が適用される液晶表示装置の全体構成を示す

10

20

30

40

50

概略構成図であり、図15は、本適用例に係る液晶表示装置の要部構成を示す詳細図である。なお、ここでは、液晶表示装置として、アクティブマトリックス型の液晶表示パネルを用いた液晶表示装置について説明する。

【0179】

図14に示すように、本適用例に係る液晶表示装置は、大別して、液晶表示パネル（表示手段）10と、ソースドライバ（信号ドライバ；表示駆動装置）20と、ゲートドライバ（走査ドライバ；表示駆動装置）30と、LCDコントローラ40と、システムコントロールIC50と、デジタル-アナログ変換器（以下、D/A変換器と記す）60と、を有して構成されている。

【0180】

以下、各構成について説明する。

液晶表示パネル10は、図15に示すように、マトリクス状に配置された画素電極、及び、画素電極に対向して配置された共通電極（コモン電極；コモン電圧 V_{com} ）、画素電極と共通電極の間に充填された液晶からなる液晶容量 C_{lc} と、画素電極にソースが接続された薄膜トランジスタ（以下、「画素トランジスタ」と記す）TFTと、マトリクスの行方向に延伸し、複数の画素トランジスタTFTのゲートに接続された走査ライン L_g と、マトリクスの列方向に延伸し、複数の画素トランジスタTFTのドレインに接続された信号ライン L_d と、を有して構成され、後述するソースドライバ20及びゲートドライバ30により選択される画素電極に信号電圧を印加することにより、液晶の配列を制御して所定の画像情報を表示出力する。ここで、 C_s は、蓄積容量であり、上記液晶容量 C_{lc} 、蓄積容量 C_s 及び画素トランジスタTFTは、液晶画素（表示画素）11を構成する。

【0181】

ソースドライバ20は、後述するLCDコントローラ50から供給される水平制御信号に基づいて、画像信号R、G、Bに対応する信号電圧を信号ライン L_d を介して各画素電極に供給する。ここで、ソースドライバ20は、図15に示すように、概略、R、G、B画像信号が入力されるサンプルホールド回路22と、サンプルホールド回路22のサンプルホールド動作を制御するシフトレジスタ21と、を有して構成され、シフトレジスタ21により一定方向にシフトして出力されたサンプルホールド制御信号が、サンプルホールド回路22に順次印加されることにより、印加されたR、G、B画像信号に対応した信号電圧が、液晶表示パネル10の各信号ライン L_d に送出される。

【0182】

一方、ゲートドライバ30は、LCDコントローラ40から供給される垂直制御信号に基づいて、各走査ライン L_g に走査信号を順次印加して選択状態とし、上記信号ライン L_d と交差する位置に配置された画素電極（表示画素）に対して、上記ソースドライバ20により信号ライン L_d に供給された信号電圧を印加する（書き込む）線順次駆動が行われる。ここで、ゲートドライバ30は、図15に示すように、概略、シフトレジスタ31とバッファ32と、を有して構成され、シフトレジスタ31により一定方向にシフトして出力された制御信号が、バッファ32を介して、所定のゲート信号として液晶表示パネル10の各走査ライン L_g に印加されることにより、各画素トランジスタTFTが駆動制御され、上記ソースドライバ20により各信号ライン L_d に印加された信号電圧が、画素トランジスタTFTを介して、各画素電極に印加される。

【0183】

LCDコントローラ40は、システムコントロールIC50から供給される水平同期信号HD、垂直同期信号VD及びシステムクロックSYSCKに基づいて水平制御信号や垂直制御信号を生成し、データドライバ20及びゲートドライバ30に各々供給することにより、所定のタイミングで画素電極に信号電圧を印加して、液晶表示パネル10に所望の画像情報を表示させる制御を行う。

【0184】

システムコントロールIC50は、システムクロックSYSCKを信号ドライバ20、LCDコントローラ40、D/A変換器60等に供給するとともに、このシステムクロック

10

20

30

40

50

S Y S C Kに同期した水平同期信号H D、垂直同期信号V DをL C Dコントローラ4 0に供給する。また、デジタルR G B信号からなる映像信号を、D / A変換器6 0を介してアナログR G B信号(画像信号R、G、B)として信号ドライバ2 0に出力する。

【0185】

すなわち、L C Dコントローラ4 0とシステムコントロールI C 5 0とは、図示を省略したインターフェースを介して、外部から供給される映像信号に基づいて、液晶表示パネル1 0に所望の画像情報を表示させるための種々の制御信号を生成して、信号ドライバ2 0及び走査ドライバ3 0に出力する駆動制御信号生成装置を構成している。

【0186】

上述したような構成を有する液晶表示装置において、ソースドライバ2 0に設けられるシフトレジスタ2 1、及び、ゲートドライバ3 0に設けられるシフトレジスタ3 1として、本発明の第1の実施形態に係るシフトレジスタ回路(図1)を良好に適用することができ、所定の周期を有するパルス信号C K 1、C K 2(及び、入力制御信号1、2)に基づいて、上述した各信号保持ブロック(図2)から順次出力される出力信号を、上記サンプルホールド制御信号又はバッファ3 2に出力される制御信号として利用することができる。

【0187】

ここで、シフトレジスタ2 1、3 1において、本発明に係るシフトレジスタ回路と同等のシフト動作(第1の信号出力動作)及び積算電圧調整動作(第2の信号出力動作)を選択的に実行させるための動作制御信号(入力制御信号1、2及び出力制御信号S E T)は、例えば、L C Dコントローラ4 0によって生成、出力するように構成することができる。また、L C Dコントローラ4 0によって出力制御信号S E Tのみを生成、出力して、ソースドライバ2 0及びゲートドライバ3 0内の図示を省略した構成により、パルス信号C K 1、C K 2に同期する入力制御信号1、2を生成するものであってもよい。

【0188】

このような本発明に係るシフトレジスタ回路の液晶表示装置への適用によれば、シフトレジスタ2 1、3 1をシフト動作させて、上記線順次駆動を実行する際に、シフトレジスタ2 1、3 1を構成する各信号保持ブロックの入力制御部(M O SトランジスタT 1 1のゲート端子)に入力制御信号1、2が繰り返し印加され、該印加電圧の時間積分値の正負極性の偏りに起因して、入力制御部の動作特性(M O SトランジスタT 1 1のしきい値特性)が変動した場合であっても、任意のタイミングで、あるいは、所定の周期でシフトレジスタ2 1、3 1を積算電圧調整動作させることにより、各信号保持ブロックの入力制御部(M O SトランジスタT 1 1のゲート端子)に対して、上記該印加電圧の時間積分値の極性の偏りを相殺又は調整する信号波形を有する調整信号を一括して同時に印加することができるので、上記入力制御部の動作特性の劣化を抑制して良好なシフト動作を保証して、誤動作や表示特性の劣化の少ない液晶表示装置を提供することができる。

【0189】

<第2の適用例>

次に、本発明に係るシフトレジスタ回路の他の適用例として、本発明に係るシフトレジスタ回路を画像読取装置(又は、撮像装置)に適用した場合について、図面を参照して具体的に説明する。

まず、本適用例に係る画像読取装置に適用して最適な読取画素(フォトセンサ)の一例として、ダブルゲート型フォトセンサについて説明する。

【0190】

図16は、ダブルゲート型フォトセンサの概略構成を示す断面構造図である。

図16(a)に示すように、ダブルゲート型フォトセンサ110は、励起光(例えば、可視光)が入射されると電子-正孔対が生成されるアモルファスシリコン等の半導体層(チャンネル層)111と、半導体層111の両端にそれぞれ設けられたn⁺シリコンからなる不純物層117、118と、不純物層117、118上に形成されたクロム、クロム合金、アルミ、アルミ合金等から選択された可視光に対して不透明のドレイン電極112及び

10

20

30

40

50

ソース電極 113 と、半導体層 111 の上方（図面上方）にブロック絶縁膜 114 及び上部（トップ）ゲート絶縁膜 115 を介して形成された ITO 等の透明導電膜からなり、可視光に対して透過性を示すトップゲート電極（第 1 のゲート電極）121 と、半導体層 111 の下方（図面下方）に下部（ボトム）ゲート絶縁膜 116 を介して形成されたクロム、クロム合金、アルミ、アルミ合金等の可視光に対して不透明なボトムゲート電極（第 2 のゲート電極）122 と、を有して構成されている。そして、このような構成を有するダブルゲート型フォトセンサ 110 が、ガラス基板等の透明な絶縁性基板 119 上にマトリクス状に複数形成されている。

【0191】

ここで、図 16 (a) において、トップゲート絶縁膜 115、ブロック絶縁膜 114、ボトムゲート絶縁膜 116、トップゲート電極 121 上に設けられる保護絶縁膜 120 は、いずれも半導体層 111 を励起する可視光に対して透過率の高い材質、例えば、窒化シリコン等により構成されることにより、図面上方から入射する光のみを検知する構造を有している。

なお、このようなダブルゲート型フォトセンサ 110 は、一般に、図 16 (b) に示すような等価回路により表される。ここで、TG はトップゲート端子、BG はボトムゲート端子、S はソース端子、D はドレイン端子である。

【0192】

次いで、上述したダブルゲート型フォトセンサの駆動制御方法について、図面を参照して説明する。

図 17 は、ダブルゲート型フォトセンサの基本的な駆動制御動作の一例を示すタイミングチャートであり、図 18 は、ダブルゲート型フォトセンサの動作を示す概念図であり、図 19 は、ダブルゲート型フォトセンサの出力電圧の光応答特性を示す図である。ここでは、上述したダブルゲート型フォトセンサの構成（図 16）を適宜参照しながら説明する。

【0193】

まず、リセット動作（初期化動作、初期化ステップ）においては、図 17、図 18 (a) に示すように、ダブルゲート型フォトセンサ 110 のトップゲート端子 TG にパルス電圧（以下、「リセットパルス」と記す；例えば、 $V_{tg} = +1.5\text{V}$ のハイレベル）T を印加して、半導体層 111、及び、ブロック絶縁膜 114 における半導体層 111 との界面近傍に蓄積されているキャリア（ここでは、正孔）を放出する（リセット期間 T_{rst} ）。

【0194】

次いで、光蓄積動作においては、図 17、図 18 (b) に示すように、トップゲート端子 TG にローレベル（例えば、 $V_{tg} = -1.5\text{V}$ ）のバイアス電圧 T を印加することにより、リセット動作を終了し、キャリア蓄積動作による光蓄積期間（電荷蓄積動作） T_s がスタートする。光蓄積期間 T_s においては、トップゲート電極 121 側から入射した光量に応じて半導体層 111 の入射有効領域、すなわち、キャリア発生領域で電子 - 正孔対が生成され、半導体層 111、及び、ブロック絶縁膜 114 における半導体層 111 との界面近傍、すなわち、チャンネル領域周辺に正孔が蓄積される。

【0195】

そして、プリチャージ動作においては、図 17、図 18 (c) に示すように、光蓄積期間 T_s に並行して、プリチャージ信号 pg に基づいてドレイン端子 D に所定の電圧（プリチャージ電圧） V_{pg} を印加し、ドレイン電極 112 に電荷を保持させる（プリチャージ期間 T_{prch} ）。

【0196】

次いで、読み出し動作においては、図 17、図 18 (d) に示すように、プリチャージ期間 T_{prch} を経過した後、ボトムゲート端子 BG にハイレベル（例えば、 $V_{bg} = +1.0\text{V}$ ）のバイアス電圧（読み出し選択信号；以下、「読み出しパルス」と記す）B を印加することにより、ダブルゲート型フォトセンサ 110 を ON 状態にする（読み出し期間 T_{read} ）。

【0197】

ここで、読み出し期間 T_{read} においては、チャネル領域に蓄積されたキャリア（正孔）が逆極性のトップゲート端子 TG に印加された $V_{tg} (-1.5V)$ を緩和する方向に働くため、ボトムゲート端子 BG の $V_{bg} (+1.5V)$ により n チャネルが形成され、ドレイン電流に応じてドレイン端子 D の電圧（ドレイン電圧） V_D は、図 18、図 19 (a) に示すように、プリチャージ電圧 V_{pg} から時間の経過とともに徐々に低下する傾向を示す。

【0198】

すなわち、光蓄積期間 T_s における光蓄積状態が暗状態で、チャネル領域にキャリア（正孔）が蓄積されていない場合には、図 18 (e) に示すように、トップゲート端子 TG に負バイアスがかかることによって、ボトムゲート端子 BG の正バイアスが打ち消され、ダブルゲート型フォトセンサ 110 は OFF 状態となり、図 19 (a) に示すように、時間の経過に関わらず、ドレイン電圧 V_D がほぼそのまま保持されることになる。

10

【0199】

一方、光蓄積状態が明状態の場合には、図 18 (d) に示すように、チャネル領域に入射光量に応じたキャリア（正孔）が捕獲されているため、トップゲート端子 TG の負バイアスを打ち消すように作用し、この打ち消された分だけボトムゲート端子 BG の正バイアスによって、ダブルゲート型フォトセンサ 110 は ON 状態となる。そして、この入射光量に応じた ON 抵抗にしたがって、図 19 (a) に示すように、時間の経過により、ドレイン電圧 V_D は、徐々に低下することになる。

【0200】

したがって、図 19 (a) に示したように、ドレイン電圧 V_D の変化傾向は、トップゲート端子 TG へのリセットパルス T の印加によるリセット動作の終了時点から、ボトムゲート端子 BG に読み出しパルス B が印加されるまでの時間（光蓄積期間 T_s ）に受光した光量に深く関連し、蓄積されたキャリアが少ない場合には緩やかに低下する傾向を示し、また、蓄積されたキャリアが多い場合には急峻に低下する傾向を示す。そのため、読み出し期間 T_{read} がスタートして、所定の時間経過後のドレイン電圧 V_D を検出することにより、あるいは、所定のしきい値電圧を基準にして、その電圧に至るまでの時間を検出することにより、照射光の光量が換算される。

20

【0201】

なお、図 17 に示したタイミングチャートにおいて、プリチャージ期間 T_{prch} の経過後、図 18 (f)、(g) に示すように、ボトムゲート端子 BG にローレベル（例えば、 $V_{bg} = 0V$ ）を印加した状態を継続すると、ダブルゲート型フォトセンサ 110 は OFF 状態を維持し、図 4 (b) に示すように、ドレイン電圧 V_D は、プリチャージ電圧 V_{pg} を保持する。このように、ボトムゲート端子 BG への電圧の印加状態により、ダブルゲート型フォトセンサ 110 の読み出し状態を選択する選択機能が実現される。

30

【0202】

次に、本発明に係るシフトレジスタ回路が適用される画像読取装置について、図面を参照して説明する。なお、以下に示す適用例においては、読取画素として、上述したダブルゲート型フォトセンサを適用した構成について示すが、本発明の適用例となる画像読取装置に用いられるフォトセンサは、このダブルゲート型フォトセンサに限定されるものではなく、フォトダイオードや薄膜トランジスタ (TFET) 等、他の構成のフォトセンサを用いたフォトセンサシステムに対しても同様に適用することができる。

40

【0203】

図 20 は、本発明に係るシフトレジスタ回路が適用される画像読取装置の全体構成を示す概略構成図であり、図 21 は、本適用例に係る画像読取装置の要部構成を示す詳細図である。

図 20 に示すように、本適用例に係る画像読取装置は、大別して、フォトセンサアレイ（画像読取手段）200 と、トップゲートドライバ（読取駆動装置）210 と、ボトムゲートドライバ 220（読取駆動装置）と、ドレインドライバ 230 と、アナログ - デジタル変換器（以下、A/D コンバータと記す）240 と、コントローラ 250 と、記憶部 260 と、を有して構成されている。ここで、フォトセンサアレイ 200、トップゲートドラ

50

イバ210、ボトムゲートドライバ220及びドレインドライバ230からなる画像読取装置の要部構成を、便宜的に「フォトセンサシステム」と呼ぶ。

【0204】

以下、各構成について説明する。

フォトセンサレイ200は、図21に示すように、透明な絶縁性基板119上に、例えば、 n 行 \times m 列のマトリクス状に配列された複数のダブルゲート型フォトセンサ110と、各ダブルゲート型フォトセンサ110のトップゲート端子TG（トップゲート電極21）及びボトムゲート端子BG（ボトムゲート電極22）を各々行方向に接続して伸延するトップゲートライン201及びボトムゲートライン202と、各ダブルゲート型フォトセンサ110のドレイン端子D（ドレイン電極12）を列方向に接続したドレインライン（データライン）203と、ソース端子S（ソース電極13）を列方向に接続するとともに、接地電位に接続されたソースライン（コモンライン）204と、を備えて構成されている。

10

【0205】

また、トップゲートドライバ210は、トップゲートライン201を介して、ダブルゲート型フォトセンサ110のトップゲート端子TGにリセットパルス T_1 、 T_2 、... T_i 、... T_n を順次印加する。ボトムゲートドライバ220は、ボトムゲートライン202を介して、ダブルゲート型フォトセンサ110のボトムゲート端子BGに読み出しパルス B_1 、 B_2 、... B_i 、... B_n を順次印加する。ここで、トップゲートドライバ210及びボトムゲートドライバ220は、上述した液晶表示装置（図14）におけるゲートドライバ30と同様に、概略、シフトレジスタとバッファを有して構成されている。

20

【0206】

ドレインドライバ230は、ドレインライン203に接続され、ダブルゲート型フォトセンサ110へのプリチャージ電圧 V_{pg} の印加及びドレインライン電圧 V_{D1} 、 V_{D2} 、 V_{D3} 、... V_{Dm} の読み出しを行うためのコラムスイッチ231、プリチャージスイッチ232、アンプ233から構成されている。

【0207】

なお、図21において、 t_g 及び b_g は、それぞれリセットパルス T_1 、 T_2 、... T_i 、... T_n 、及び、読み出しパルス B_1 、 B_2 、... B_i 、... B_n を生成するための制御信号、 pg は、プリチャージ電圧 V_{pg} を印加するタイミングを制御するプリチャージ信号である。

30

A/Dコンバータ240は、ドレインドライバ230により読み出されたドレインライン電圧（アナログ信号）をデジタル信号からなる画像データに変換する。

【0208】

コントローラ250は、トップゲートドライバ210及びボトムゲートドライバ220に制御信号 t_g 、 b_g を出力することにより、トップゲートドライバ210及びボトムゲートドライバ220の各々から、フォトセンサレイ200を構成する各ダブルゲート型フォトセンサ110のトップゲート端子TG及びボトムゲート端子BGに所定の信号電圧（リセットパルス T_i 、読み出しパルス B_i ）を印加するリセット動作や読み出し動作を制御する。また、プリチャージスイッチ232にプリチャージ信号 pg を出力することにより、各ダブルゲート型フォトセンサ110のドレイン端子Dにプリチャージ電圧 V_{pg} を印加して（プリチャージ動作）、被検出体の画像パターンに対応して各ダブルゲート型フォトセンサ110に蓄積された電荷量に応じたドレイン電圧 V_D を検出する動作を制御する。

40

【0209】

また、コントローラ250には、ドレインドライバ230により読み出された出力電圧 V_{out} が、A/Dコンバータ240を介してデジタル信号に変換され、画像データとして入力される。コントローラ250は、この画像データに対して、所定の画像処理を施したり、RAM等の記憶部260への書き込み、読み出しを行うとともに、画像データの照合や

50

加工等の所定の機能処理を実行する外部機能部 300 に対するインタフェースとしての機能をも備えている。

【0210】

このような構成において、トップゲートドライバ 210 からトップゲートライン 201 を介して、トップゲート端子 TG に所定の電圧を印加することにより、フォトセンス機能が実現され、ボトムゲートドライバ 220 からボトムゲートライン 202 を介して、ボトムゲート端子 BG に所定の電圧を印加し、ドレインライン 203 を介して、ダブルゲート型フォトセンサ 10 のドレイン電圧をコラムスイッチ 231 に取り込んで出力電圧 V_{out} として出力することにより読み出し機能が実現される。

【0211】

そして、本適用例に係る画像読取装置においては、上述したようなトップゲートドライバ 210 及びボトムゲートドライバ 220 に設けられるシフトレジスタに、本発明の第 1 乃至第 4 の実施形態に係るシフトレジスタ回路を適用した構成を有し、所定の周期を有するパルス信号 CK1、CK2（及び、入力制御信号 1、2）に基づいて、上述したシフトレジスタ回路（図 1、図 6）の各信号保持ブロック（図 2、図 7、図 11、図 13）から順次出力される出力信号をバッファを介して、上記トップゲートライン 201 及びボトムゲートライン 202 に出力することにより、フォトセンサシステムを駆動する信号（リセットパルス T_i 、読み出しパルス B_i ）として利用される。

【0212】

ここで、トップゲートドライバ 210 及びボトムゲートドライバ 220 に設けられるシフトレジスタにおいて、本発明に係るシフトレジスタ回路と同等のシフト動作（すなわち、画像読取動作；第 1 の信号出力動作）、及び、積算電圧調整動作（第 2 の信号出力動作）を選択的に実行させるための動作制御信号（本発明の第 1 乃至第 4 の実施形態に示したパルス信号 CK1、CK2、入力制御信号 1、2 及び出力制御信号 SET、SETA、SETB）は、例えば、コントローラ 250 によって生成、出力するように構成することができる。また、コントローラ 250 によって出力制御信号 SET、SETA、SETB のみを生成、出力して、トップゲートドライバ 210 及びボトムゲートドライバ 220 で、パルス信号 CK1、CK2 の信号波形を変更制御するように構成してもよい。

【0213】

次に、本適用例に係る画像読取装置の駆動制御方法の一例について、図面を参照して説明する。なお、以下に示す各動作においては、上記動作制御信号の信号波形や印加タイミングは、上述したコントローラ 250 により設定制御され、トップゲートドライバ 210 及びボトムゲートドライバ 220 に設けられるシフトレジスタに個別に供給されるものとして説明する。

【0214】

図 22 は、上述したフォトセンサシステムの駆動制御方法の一例を示すタイミングチャートであり、図 23 は、画像読取装置の画像読取動作及び積算電圧調整動作において、トップゲートライン及びボトムゲートラインに印加される信号の信号波形の関係を示す図である。ここでは、上述した画像読取装置及びフォトセンサシステムの構成（図 20、図 21）を適宜参照しながら、駆動制御方法を説明する。

【0215】

（画像読取動作）

本適用例における画像読取動作（第 1 の信号出力動作）は、図 22 に示すように、まず、トップゲートドライバ 210 からトップゲートライン 201 の各々に、リセットパルス T_1 、 T_2 、... T_n を順次印加して、初期化動作（リセット期間 T_{rst} ）をスタートし、各行毎のダブルゲート型フォトセンサ 110 を初期化する。

【0216】

次いで、リセット期間 T_{rst} 経過後、リセットパルス T_1 、 T_2 、... T_n が順次立ち下がり、初期化動作が終了することにより、光蓄積動作がスタートして、所定の光蓄積期間 T_s 、各行毎のダブルゲート型フォトセンサ 10 のトップゲート電極側から入射され

10

20

30

40

50

る光量に応じてチャネル領域に電荷（正孔）が発生し、蓄積される。ここで、図 2 2 に示すように、光蓄積期間 T_s 内に並行して、ドレインドライバ 2 3 0 からドレインライン 2 0 3 の各々にプリチャージ電圧 V_{pg} を印加することにより、プリチャージ動作（プリチャージ期間 T_{prch} ）をスタートし、ドレインライン 2 0 3 を介して各列毎のダブルゲート型フォトセンサ 1 1 0 のドレイン電極にプリチャージ電圧 V_{pg} に基づく所定の電圧を保持させる。

【0217】

次いで、光蓄積期間 T_s 及びプリチャージ期間 T_{prch} が経過（光蓄積動作及びプリチャージ動作が終了）したダブルゲート型フォトセンサ 1 0 に対して、各行毎にボトムゲートドライバ 2 2 0 からボトムゲートライン 2 0 2 を介して、読み出しパルス B_1 、 B_2 、 \dots B_n を順次印加して、読み出し動作（読み出し期間 T_{read} ）をスタートし、各行毎のダブルゲート型フォトセンサ 1 1 0 に蓄積された電荷に対応するドレイン電圧 V_{D1} 、 V_{D2} 、 V_{D3} 、 \dots V_{Dm} の変化を、各ドレインライン 2 0 3 を介して、ドレインドライバ 2 3 0 により同時に検出し、シリアルデータ又はパラレルデータからなる出力電圧 V_{out} として読み出す。

10

【0218】

なお、各ダブルゲート型フォトセンサ 1 1 0 における入射光量の検出方法は、各ドレインライン 2 0 3 の電圧 V_{D1} 、 V_{D2} 、 V_{D3} 、 \dots V_{Dm} の低下傾向を、読み出し動作がスタートして、所定の時間（読み出し期間 T_{read} ）経過後の電圧値を検出することにより、あるいは、所定のしきい値電圧を基準にして、その電圧値に至るまでの時間を検出することにより、入射光量を換算する。

20

【0219】

（積算電圧調整動作）

次いで、本適用例における積算電圧調整動作（第 2 の信号出力動作）は、まず、コントローラ 2 5 0 において、上述した画像読取動作期間 T_v に、各トップゲートライン 2 0 1 に印加されたりセットパルス T_i （ T_1 、 T_2 、 \dots T_n ）、及び、各ボトムゲートライン 2 0 2 に印加された読み出しパルス B_i （ B_1 、 B_2 、 \dots B_n ）の時間積分値を算出し、その正負極性の偏りを相殺又は調整する信号波形を有する調整信号を設定するための動作制御信号（本発明の第 1 乃至第 4 の実施形態に示したパルス信号 CK_1 、 CK_2 、入力制御信号 1、2 及び出力制御信号 SET 、 $SETA$ 、 $SETB$ ）を、トップゲートドライバ 2 1 0 及びボトムゲートドライバ 2 2 0 に設けられた各シフトレジスタに出力する。

30

【0220】

具体的には、図 2 3（a）に示すように、画像読取動作期間 T_v に、トップゲートライン 2 0 1 にリセットパルス T_i がリセット期間 T_{rst} 印加された場合、トップゲートライン 2 0 1 における時間積分値の平均値 V_{te} は、リセットパルス T_i のハイレベルを正電圧 V_{tgH} 、ローレベルを負電圧 V_{tgL} とすると、上記（1）式に基づいて、次式のように表される。

$$V_{te} = \{ V_{tgH} \times T_{rst} + V_{tgL} \times (T_v - T_{rst}) \} / T_v \dots (3)$$

ここで、 T_v T_{rst} であり、かつ、 V_{tgL} は、負電圧であるので、画像読取動作期間における時間積分値、又は、その平均値 V_{te} は、負電圧側に大きく偏っていることになる。

40

【0221】

また、図 2 3（b）に示すように、画像読取動作期間 T_v に、ボトムゲートライン 2 0 2 に読み出しパルス B_i が読み出し期間 T_{read} 印加された場合、ボトムゲートライン 2 0 2 における時間積分値の平均値 V_{be} は、読み出しパルス B_i のハイレベルを正電圧 V_{bgH} 、ローレベルを負電圧 V_{bgL} とすると、上記（1）式に基づいて、次式のように表される。

$$V_{be} = \{ V_{bgH} \times T_{read} + V_{bgL} \times (T_v - T_{read}) \} / T_v \dots (4)$$

ここで、 T_v T_{read} であり、かつ、 V_{bgL} は、負電圧であるので、画像読取動作期間における時間積分値、又は、その平均値 V_{be} は、リセットパルス T_i の場合と同様に、負

50

電圧側に大きく偏っていることになる。

【0222】

そのため、このような特定の極性に偏ったリセットパルス T_i 及び読み出しパルス B_i が各ダブルゲート型フォトセンサのトップゲート端子 T_G 及びボトムゲート端子 B_G に印加される状態が継続することにより、従来技術に示した場合（図26）と同様に、トランジスタ特性の劣化を生じ、ダブルゲート型フォトセンサの受光感度の劣化や誤動作を生じる可能性がある。

【0223】

そこで、本適用例においては、コントローラ250からトップゲートドライバ210の動作状態を制御する動作制御信号 A_{DT} を出力して、画像読取動作期間における時間積分値、又は、その平均値 V_{te} の極性の偏りに対して、次式に示すような信号波形（信号レベル及び信号幅）を有する調整信号を各トップゲートライン201に同時に印加するトップゲート電圧調整動作（第1の積算電圧調整動作）を実行する。

$$\{V_{tgH} \times T_{rst} + V_{tgL} \times (T_v - T_{rst})\} + V_{tgH} \times T_{wte} = 0 \dots (5)$$

【0224】

また、同様に、コントローラ250からボトムゲートドライバ220の動作状態を制御する動作制御信号 A_{DB} を出力して、画像読取動作期間における時間積分値、又は、その平均値 V_{be} の極性の偏りに対して、次式に示すような信号波形（信号レベル及び信号幅）を有する調整信号を各ボトムゲートライン202に同時に印加するボトムゲート電圧調整動作（第2の積算電圧調整動作）を実行する。

$$\{V_{bgH} \times T_{read} + V_{bgL} \times (T_v - T_{read})\} + V_{bgH} \times T_{wbe} = 0 \dots (6)$$

【0225】

なお、ここでは、調整信号の信号レベルとして、リセットパルス T_i 及び読み出しパルス B_i に用いられる信号レベル（ハイレベル V_{tgH} 、 V_{bgH} ）をそのまま適用した場合について示した。このような信号レベルの設定により、リセットパルス T_i や読み出しパルス B_i の信号レベルを設定する電源供給回路の構成を変更する必要がなく、また、調整信号の信号幅 T_{wte} 、 T_{wbe} のみを制御する簡易な手法により、上記（5）、（6）式の関係を満たす、或いは、近づくような調整信号を設定することができる。

【0226】

このような積算電圧調整動作によれば、画像読取動作によりダブルゲート型フォトセンサ110に印加されるリセットパルス T_i や読み出しパルス B_i の時間積分値の極性の偏りに対して、所定の信号波形（信号レベル及び信号幅）を有する調整信号を印加することにより、上記時間積分値の極性の偏りを相殺又は調整することができるので、ダブルゲート型フォトセンサの受光感度の劣化や誤動作の発生を抑制して、読取感度の劣化や誤動作が抑制された信頼性の高い画像読取装置を提供することができる。

【0227】

また、トップゲート電圧調整動作及びボトムゲート電圧調整動作により、上記調整信号を複数のトップゲートライン、又は、複数のボトムゲートラインに対して、所定のタイミングで一括して同時に印加して、上記時間積分値の極性の偏りを相殺又は調整することができるので、ダブルゲート型フォトセンサの素子特性の劣化を短時間で補正することができ、画像読取装置の画像読取機能を良好に維持することができる。

【0228】

なお、上述した適用例においては、図22に示したように、トップゲート電圧調整動作及びボトムゲート電圧調整動作を、異なるタイミングで実行する場合について説明したが、本発明はこれに限定されるものではなく、双方の積算電圧調整動作を同時に、又は、相互にオーバーラップさせて実行するものであってもよい。

【0229】

また、上述した適用例においては、トップゲート電圧調整動作及びボトムゲート電圧調整動作を、画像読取動作の直後に実行する駆動制御方法について説明したが、本発明はこれに限定されるものではなく、画像読取動作の直前に実行するものであってもよいし、所定

10

20

30

40

50

の時間間隔毎に実行するようにしてもよい。要するに、画像読取動作の際に、ダブルゲート型フォトセンサの素子特性の劣化が補正された状態であればよい。

【0230】

【発明の効果】

本発明によれば、直列に接続された複数の信号保持手段を備えたシフトレジスタ回路において、前記シフトレジスタ回路は、前記複数の信号保持手段を介して、初段の前記信号保持手段に入力された入力信号を、順次、次段以降の前記信号保持手段にシフトしつつ、前記信号保持手段の各々から第1の出力信号を順次出力する第1の信号出力動作と、所定の出力制御信号を入力することにより、前記複数の信号保持手段の各々から、前記第1の信号出力動作によって出力された前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベル及び信号幅を有する第2の出力信号を同時に出力する第2の信号出力動作と、を選択的に実行することを特徴としている。ここで、上記第2の出力信号は、前記第1の信号出力動作によって出力された前記第1の出力信号の信号レベルの時間積分値の極性の偏りを調整する所定の信号レベル及び信号幅を有するように設定されている。

10

【0231】

すなわち、第1の信号出力動作においては、各段の信号保持手段から所定の信号レベルを有する第1の出力信号（シフト信号）が順次出力されて、通常のシフト動作が実現される。一方、第2の信号出力動作においては、出力制御信号の入力をトリガーとして、各段の信号保持手段から所定の信号波形（信号レベル及び信号幅）を有する第2の出力信号（調整信号）が同時に出力されて、第1の信号出力動作における第1の出力信号の時間積分値の極性の偏りを調整する積算電圧調整動作が実行される。

20

【0232】

このような第1及び第2の信号出力動作を選択的に繰り返し実行することにより、シフト動作（第1の信号出力動作）において、各段の信号保持手段を構成する電界効果トランジスタのゲート電極に、正負極性の偏ったゲート信号（第1の出力信号）が印加されることに起因して、電界効果トランジスタのしきい値特性の変動が生じた場合であっても、積算電圧調整動作（第2の信号出力動作）において、所定の信号波形を有する調整信号（第2の出力信号）が、各段の信号保持手段の電界効果トランジスタのゲート電極に同時に印加されるので、シフト動作における上記ゲート信号の信号レベルの時間積分値（又は、積算電圧の時間平均値）の正又は負極性への偏りを相殺又は調整することができ、上記電界効果トランジスタのしきい値特性の変動に起因するシフトレジスタ回路の誤動作や動作特性の劣化を抑制して、信頼性の高いシフトレジスタ回路を提供することができる。

30

【0233】

また、このような構成を有するシフトレジスタ回路を、電界効果トランジスタ構造を有するフォトセンサを画像読取手段に用いた画像読取装置の読取駆動装置に適用した場合、上記第1及び第2の信号出力動作を選択的に繰り返し実行することにより、画像読取動作（第1の信号出力動作）において、各フォトセンサを走査する際に、各フォトセンサに正負極性の偏った走査信号（第1の出力信号）が印加されることに起因して、フォトセンサの素子特性の変動が生じた場合であっても、積算電圧調整動作（第2の信号出力動作）において、所定の信号波形を有する調整信号（第2の出力信号）が、各フォトセンサに同時に印加されるので、画像読取動作における上記走査信号の信号レベルの時間積分値（又は、積算電圧の時間平均値）の正又は負極性への偏りを相殺又は調整することができ、上記フォトセンサの素子特性の変動に起因する画像読取装置の誤動作や読取感度の劣化を抑制して、信頼性の高い画像読取装置を提供することができる。

40

【図面の簡単な説明】

【図1】本発明に係るシフトレジスタ回路の第1の実施形態を示す概略構成図である。

【図2】第1の実施形態に係るシフトレジスタ回路に適用される信号保持ブロックの具体的な構成を示す回路構成図である。

【図3】第1の実施形態に適用される信号保持ブロックの各端子及び接点の電位の変化を

50

示すタイミングチャートである。

【図4】第1の実施形態に係るシフトレジスタ回路の動作を示すタイミングチャートである。

【図5】第1の実施形態に係るシフトレジスタ回路のシフト動作及び積算電圧調整動作における出力信号の信号波形の関係を示す図である。

【図6】本発明に係るシフトレジスタ回路の第2の実施形態を示す概略構成図である。

【図7】第2の実施形態に係るシフトレジスタ回路に適用される信号保持ブロックの具体的な構成を示す回路構成図である。

【図8】第2の実施形態に適用される信号保持ブロックの各端子及び接点の電位の変化を示すタイミングチャートである。

10

【図9】第2の実施形態に係るシフトレジスタ回路の動作を示すタイミングチャートである。

【図10】第2の実施形態に係るシフトレジスタ回路の積算電圧調整動作の詳細な電圧変化を示すタイミングチャートである。

【図11】本発明に係るシフトレジスタ回路の第3の実施形態に適用される信号保持ブロックの具体的な構成を示す回路構成図である。

【図12】第3の実施形態に係るシフトレジスタ回路の動作を示すタイミングチャートである。

【図13】本発明に係るシフトレジスタ回路の第4の実施形態に適用される信号保持ブロックの具体的な構成を示す回路構成図である。

20

【図14】本発明に係るシフトレジスタ回路が適用される液晶表示装置(第1の適用例)の全体構成を示す概略構成図である。

【図15】第1の適用例に係る液晶表示装置の要部構成を示す詳細図である。

【図16】ダブルゲート型フォトセンサの概略構成を示す断面構造図である。

【図17】ダブルゲート型フォトセンサの基本的な駆動制御動作の一例を示すタイミングチャートである。

【図18】ダブルゲート型フォトセンサの動作を示す概念図である。

【図19】ダブルゲート型フォトセンサの出力電圧の光応答特性を示す図である。

【図20】本発明に係るシフトレジスタ回路が適用される画像読取装置(第2の適用例)の全体構成を示す概略構成図である。

30

【図21】第2の適用例に係る画像読取装置の要部構成を示す詳細図である。

【図22】フォトセンサシステムの駆動制御方法の一例を示すタイミングチャートである。

【図23】第2の適用例に係る画像読取装置の画像読取動作及び積算電圧調整動作において、トップゲートライン及びボトムゲートラインに印加される信号の信号波形の関係を示す図である。

【図24】従来技術におけるシフトレジスタ回路を示す概略構成図である。

【図25】従来技術におけるシフトレジスタ回路の動作を示すタイミングチャートである。

【図26】電界効果トランジスタにおけるゲート電圧 - ドレイン電流特性(しきい値特性)の変動傾向を示す図である。

40

【図27】フォトセンサに印加されるパルスの電圧波形と、積算電圧の時間平均値の偏りを示す図である。

【符号の説明】

RS A_{k-1} ~ RS A_{k+2}、RS B_{k-1} ~ RS B_{k+2} 信号保持ブロック

T11 ~ T16、T21 ~ T27、T31 ~ T38、T41 ~ T48 MOSトランジスタ

OT_{k-1} ~ OT_{k+2} 出力信号

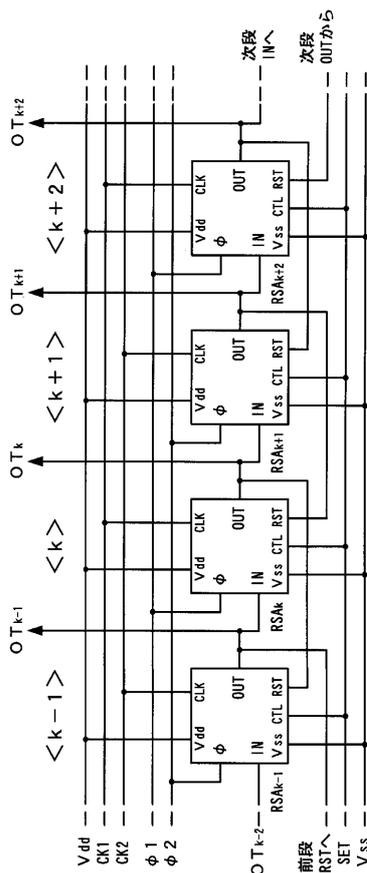
CK1、CK2 パルス信号

1、2 パルス信号

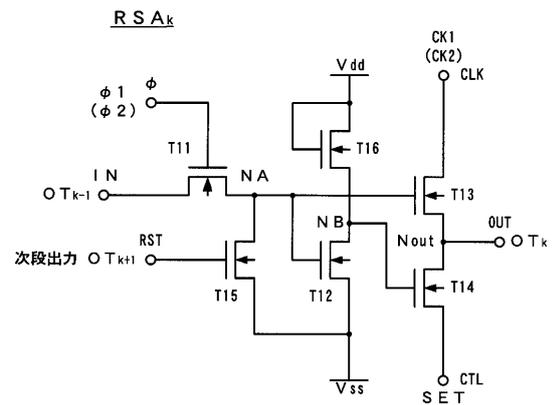
50

SET、SETA、SETB	出力制御信号
NA、NC、NE、NG	接点
NB、ND、NF、NH	接続接点
Nout	出力接点
1 0	液晶表示パネル
2 0	ソースドライバ
3 0	ゲートドライバ
2 1、3 1	シフトレジスタ
4 0	LCDコントローラ
1 1 0	ダブルゲート型フォトセンサ
2 0 0	フォトセンサアレイ
2 1 0	トップゲートドライバ
2 2 0	ボトムゲートドライバ
2 3 0	ドレインドライバ
2 5 0	コントローラ

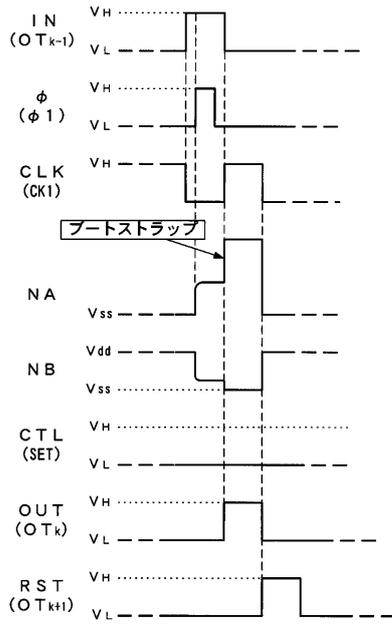
【図1】



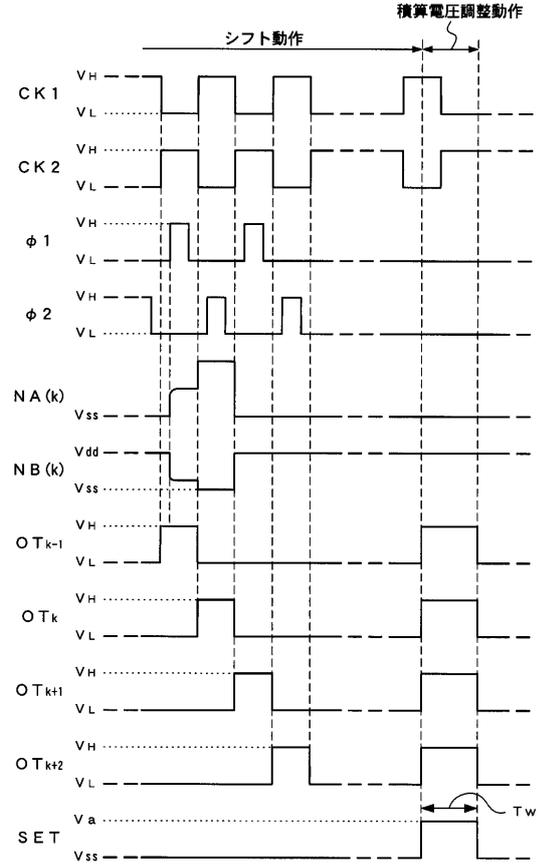
【図2】



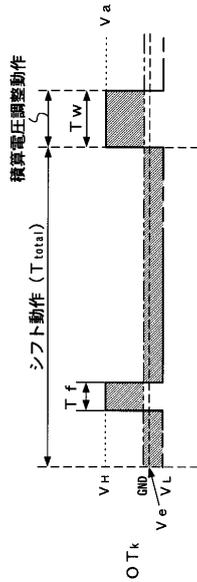
【図3】



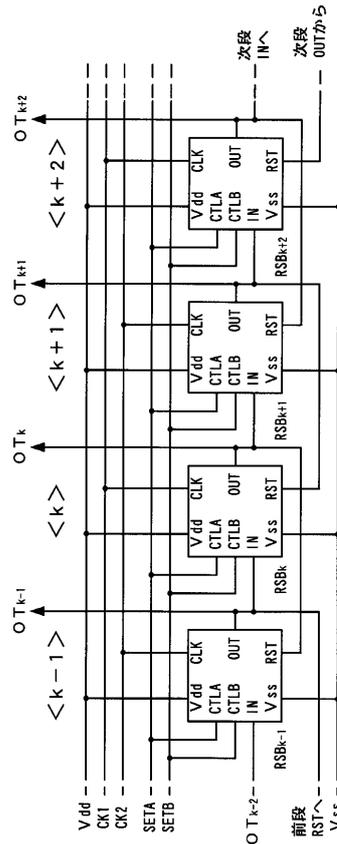
【図4】



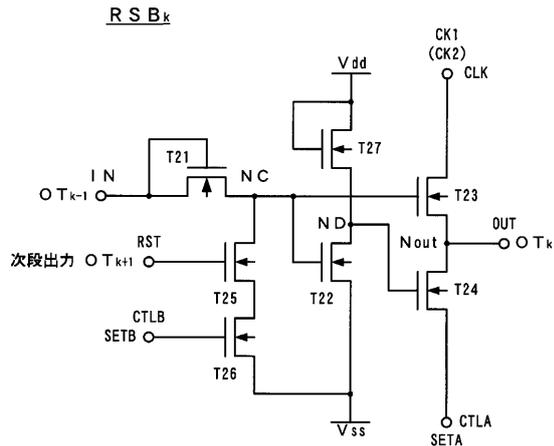
【図5】



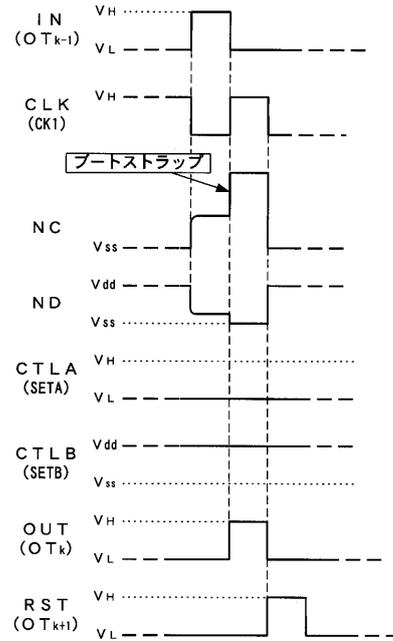
【図6】



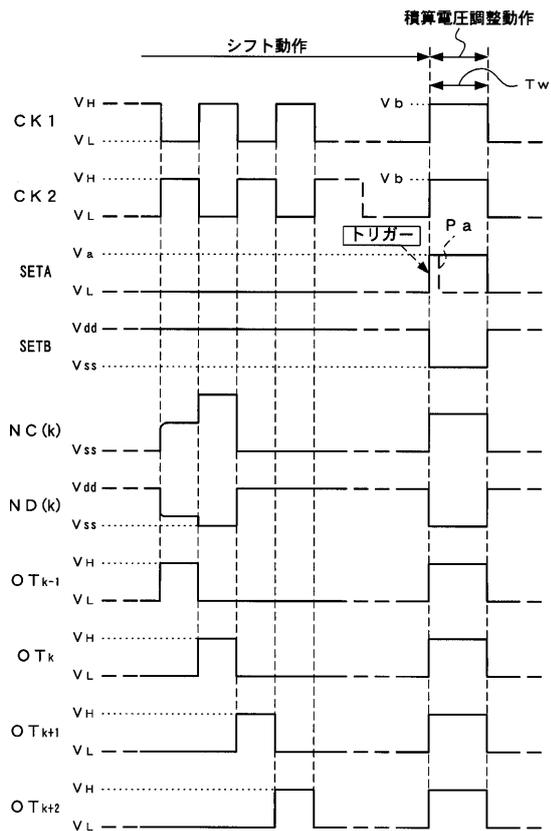
【図7】



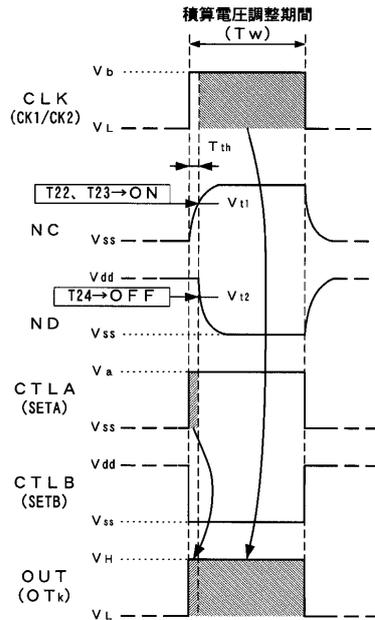
【図8】



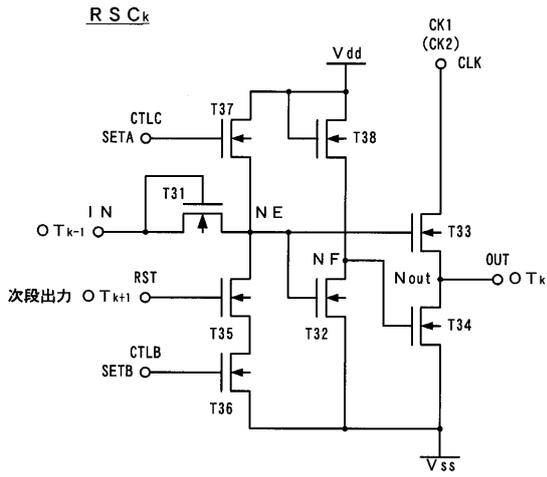
【図9】



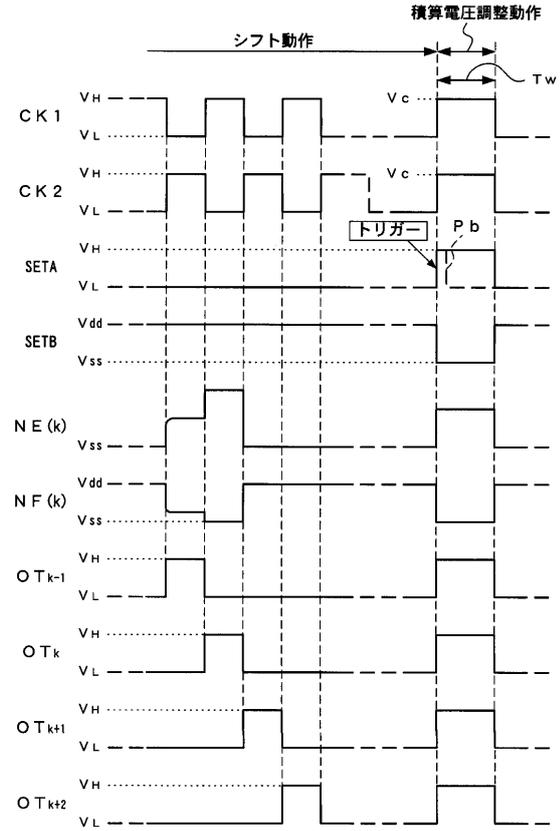
【図10】



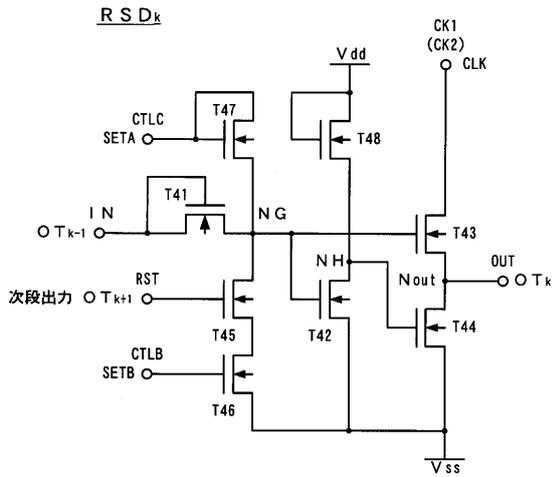
【図 1 1】



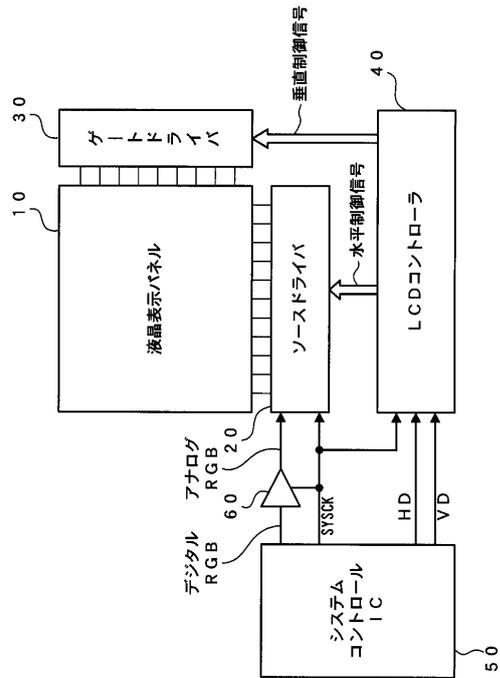
【図 1 2】



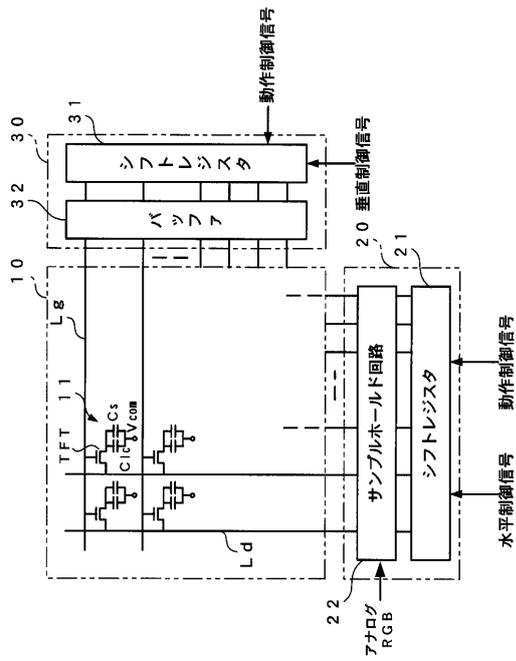
【図 1 3】



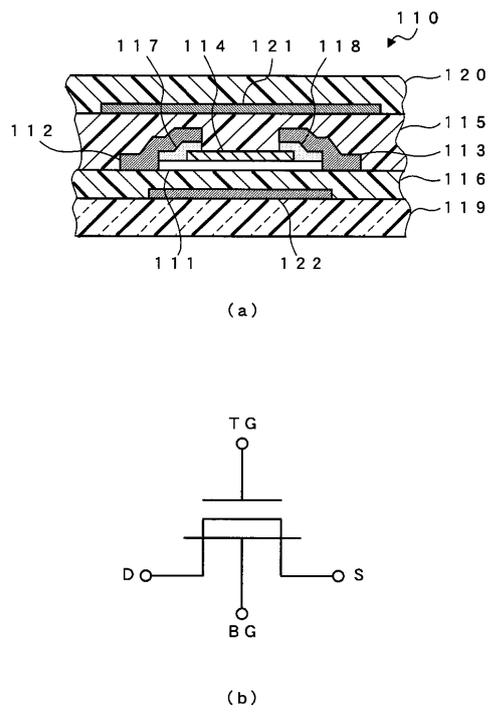
【図 1 4】



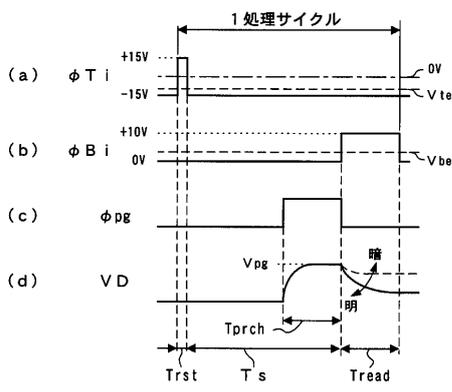
【図15】



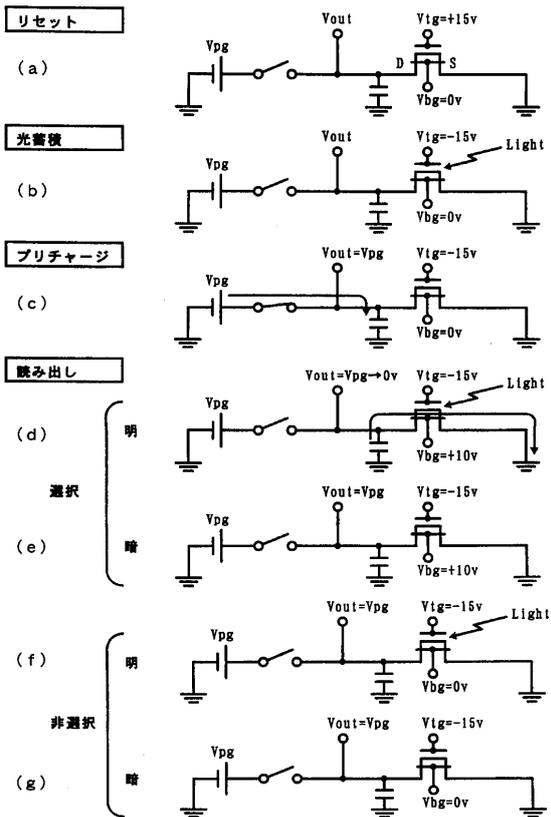
【図16】



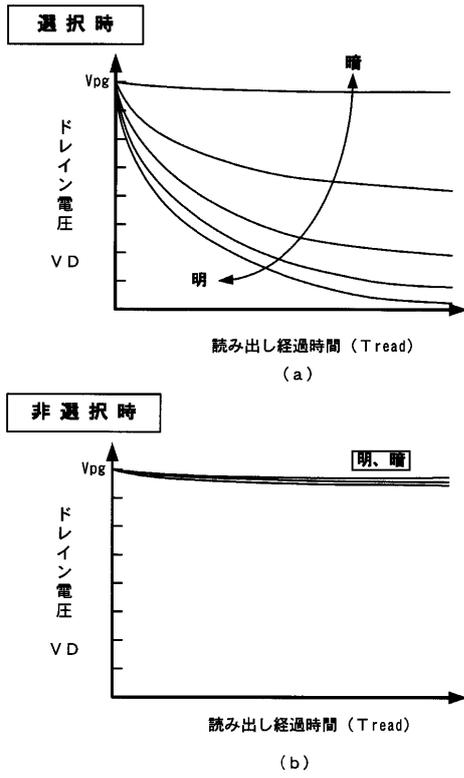
【図17】



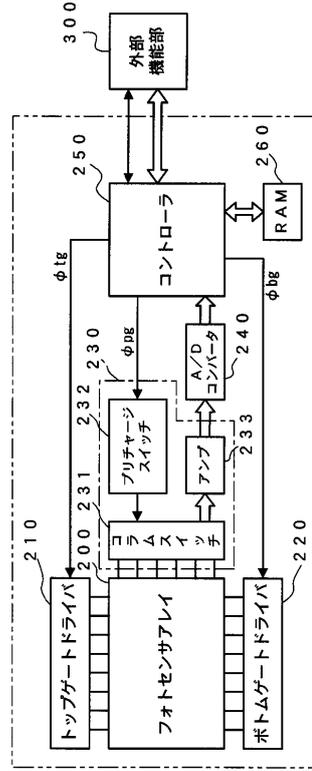
【図18】



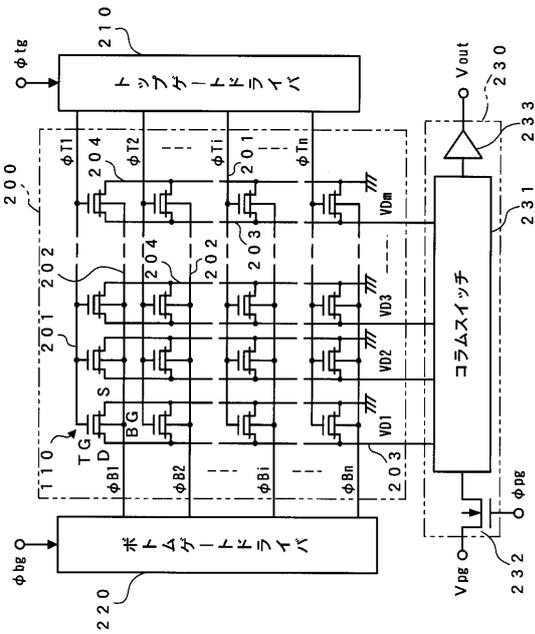
【図19】



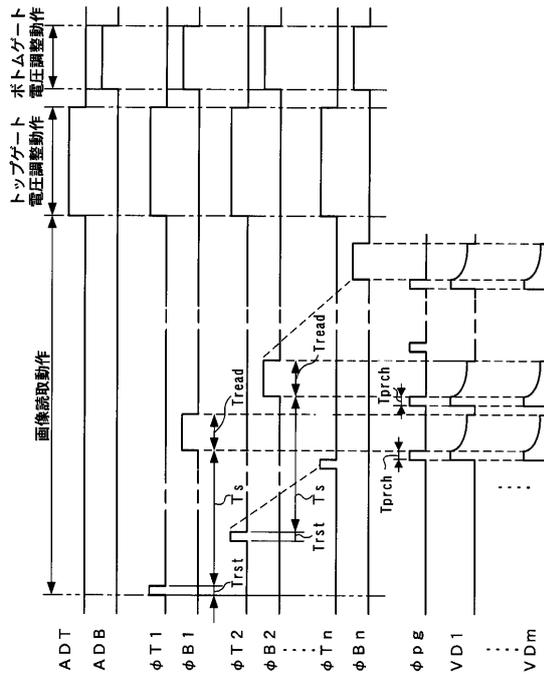
【図20】



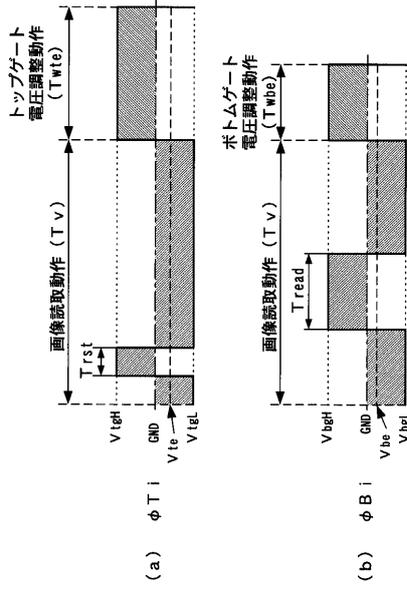
【図21】



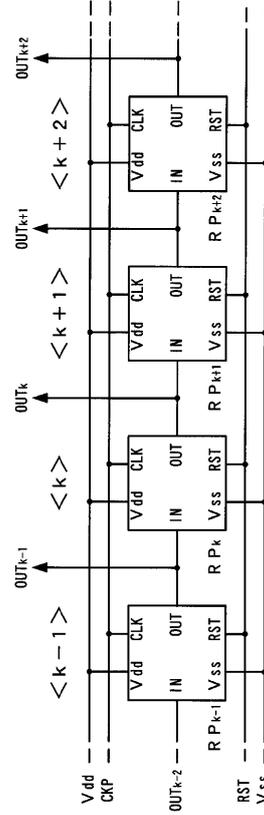
【図22】



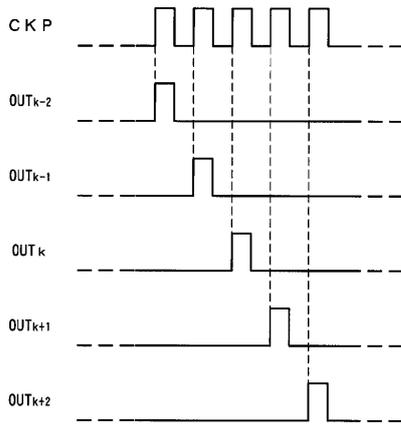
【図 23】



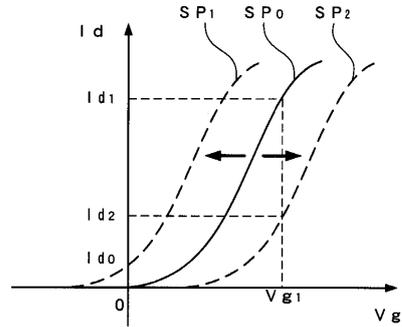
【図 24】



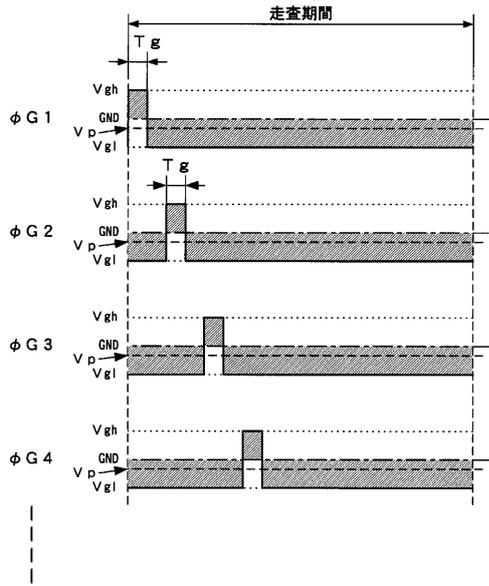
【図 25】



【図 26】



【 図 27 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/36

(58)調査した分野(Int.Cl. , D B 名)

G11C 19/28