



(12) 发明专利申请

(10) 申请公布号 CN 103367353 A

(43) 申请公布日 2013. 10. 23

(21) 申请号 201210092097. 4

(22) 申请日 2012. 03. 30

(71) 申请人 东莞万士达液晶显示器有限公司  
地址 523119 广东省东莞市东城区桑园社区  
工业路 239 号

申请人 胜华科技股份有限公司

(72) 发明人 叶政谚 陈昱廷

(74) 专利代理机构 北京同立钧成知识产权代理  
有限公司 11205

代理人 臧建明

(51) Int. Cl.

H01L 27/02 (2006. 01)

H01L 29/786 (2006. 01)

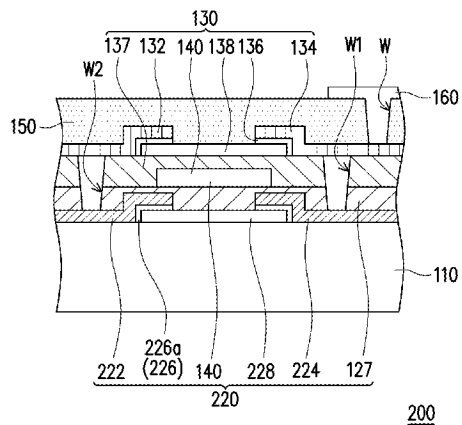
权利要求书2页 说明书7页 附图10页

(54) 发明名称

主动元件及主动元件阵列基板

(57) 摘要

本发明提供一种主动元件及主动元件阵列基板,其中主动元件阵列基板包括一基板以及多个位于基板上的主动元件,且至少一主动元件包括一第一晶体管以及一第二晶体管。第一晶体管位于基板上,且具有一第一通道层。第二晶体管堆叠在第一晶体管上,且第二晶体管具有一第二通道层。第一晶体管与第二晶体管共用同一共用栅极,且共用栅极位于第一通道层与第二通道层之间。



1. 一种主动元件阵列基板,其特征在于,包括:
  - 一基板;以及
  - 多个主动元件,位于该基板上,其中至少一主动元件包括:
    - 一第一晶体管,位于该基板上,其中该第一晶体管具有一第一通道层;以及
    - 一第二晶体管,堆叠在该第一晶体管上,其中该第二晶体管具有一第二通道层,该第一晶体管与该第二晶体管共用同一共用栅极,且该共用栅极位于该第一通道层与该第二通道层之间。
2. 根据权利要求1所述的主动元件阵列基板,其特征在于,其中该第一晶体管包括:
  - 一第一源极与一第一漏极,位于该共用栅极与基板之间;
  - 一第一掺杂非晶硅层,位于该第一源极与该第一通道层之间以及该第一漏极与该第一通道层之间;以及
  - 一第一栅绝缘层,位于该共用栅极与该第一通道层之间。
3. 根据权利要求2所述的主动元件阵列基板,其特征在于,其中该第一通道层位于该第一栅绝缘层与该第一源极以及该第一漏极之间。
4. 根据权利要求2所述的主动元件阵列基板,其特征在于,其中该第一源极与该第一漏极位于该第一栅绝缘层与该第一通道层之间。
5. 根据权利要求2所述的主动元件阵列基板,其特征在于,其中该第二晶体管包括:
  - 一第二栅绝缘层,位于该共用栅极与该第二通道层之间;
  - 一第二源极与一第二漏极,位于该第二通道层的两侧;以及
  - 一第二掺杂非晶硅层,位于该第二源极与该第二通道层之间以及该第二漏极与该第二通道层之间。
6. 根据权利要求5所述的主动元件阵列基板,其特征在于,其中该第二通道层位于该第二栅绝缘层与该第二源极以及该第二漏极之间。
7. 根据权利要求5所述的主动元件阵列基板,其特征在于,其中该第一栅绝缘层与该第二栅绝缘层具有一第一接触窗,该第一接触窗暴露出该第一漏极,该第二漏极通过该第一接触窗与该第一漏极电性连接。
8. 根据权利要求7所述的主动元件阵列基板,其特征在于,还包括一信号接收走线以及一信号输出走线,其中该信号接收走线与该第一源极电性连接,该信号输出走线与该第二源极电性连接。
9. 根据权利要求5所述的主动元件阵列基板,其特征在于,其中该第一栅绝缘层与该第二栅绝缘层还包括一第二接触窗,该第二接触窗暴露出该第一源极,该第二源极通过该第二接触窗与该第一源极电性连接。
10. 根据权利要求9所述的主动元件阵列基板,其特征在于,还包括一保护层以及一像素电极,其中该保护层具有一暴露出该第二漏极的开口,该像素电极通过该开口与该第二漏极电性连接。
11. 根据权利要求5所述的主动元件阵列基板,其特征在于,还包括一保护层、一第一信号线以及一第二信号线,其中该第一栅绝缘层具有一暴露出该第一源极的第三接触窗,该第一信号线通过该第三接触窗与该第一源极电性连接,该保护层具有一暴露出该第二漏极的开口,该第二信号线通过该开口与该第二漏极电性连接。

12. 根据权利要求 1 所述的主动元件阵列基板,其特征在于,其中该第一晶体管与该第二晶体管电性串联。

13. 根据权利要求 1 所述的主动元件阵列基板,其特征在于,其中该第一晶体管与该第二晶体管电性并联。

14. 一种主动元件,位于一基板上,其特征在于,该主动元件包括:

一第一晶体管,位于该基板上,其中该第一晶体管具有一第一通道层;

一第二晶体管,堆叠在该第一晶体管上,其中该第二晶体管具有一第二通道层,该第一晶体管与该第二晶体管共用同一共用栅极,且该共用栅极位于该第一通道层与该第二通道层之间。

## 主动元件及主动元件阵列基板

### 技术领域

[0001] 本发明是有关于一种主动元件及主动元件阵列基板,且特别是关于一种双通道的主动元件及主动元件阵列基板。

### 背景技术

[0002] 近年来,随着电子技术的日新月异,具有高画质、空间利用效率佳、低消耗功率、无辐射等优越特性的薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, TFT LCD) 已逐渐成为市场的主流。

[0003] 随着薄膜晶体管液晶显示器大面积化和高解析度的需求,薄膜晶体管须具备高移动率的载子,因而驱使薄膜晶体管缩短其充放电时间。一般来说,考虑到高移动率 (mobility)、高稳定性 (stability) 以及低成本,驱动电路中 TFT 的半导体层可用非晶硅 (amorphous silicon, a-Si) 来制作。但非晶硅薄膜晶体管 (a-Si TFT) 在高效能电路的应用上受限于本体驱动能力,使非晶硅薄膜晶体管无法整合高速的周边驱动电路与控制电路。

[0004] 为了提升非晶硅薄膜晶体管的开电流,并进一步整合电路布局,达到元件面积缩小、提升像素开口率等效果。现有技术通过改变半导体通道层的结构与配置,例如改变半导体层的通道宽度与长度,然此方法有制程的极限,造成提升开电流的效果受限。又或者是利用提高元件尺寸以提高开电流,然而此方法会造成像素的开口率 (aperture ratio) 下降,使得薄膜晶体管液晶显示器整体亮度降低,且容易发生临界电压 (threshold voltage) 偏移的现象。另外,又例如是利用双栅极 (dual gate) 来提升开电流。然而,双栅极结构需包括前通道 (front channel) 与背通道 (back channel) 的薄膜晶体管,其中背通道因在制程过程中易对通道层造成损伤,故双栅极结构的电流存在容易衰减的因素,造成开电流提升效果受限。除此之外,此方法亦无法整合电路布局,达到元件面积缩小、像素开口率的提升与高亮度等效果。

### 发明内容

[0005] 本发明提供一种主动元件阵列基板,其利用单一栅极与双通道立体堆叠结构,在提升开电流的同时亦达到电路布局整合的效果。

[0006] 本发明提供一种主动元件,其利用单一栅极与双通道的立体堆叠结构,可有效提升开电流。

[0007] 本发明提供一种主动元件阵列基板,包括一基板以及位于基板上的多个主动元件,其中至少一主动元件包括一第一晶体管以及一第二晶体管。第一晶体管位于基板上,其中第一晶体管具有一第一通道层。第二晶体管堆叠在第一晶体管上,其中第二晶体管具有一第二通道层。第一晶体管与第二晶体管共用同一共用栅极,且共用栅极位于第一通道层与第二通道层之间。

[0008] 在本发明的一实施例中,前述第一晶体管包括第一源极、第一漏极、第一掺杂非晶

硅层以及第一栅绝缘层。第一源极与第一漏极位于共用栅极与基板之间。第一掺杂非晶硅层位于第一源极与第一通道层之间以及第一漏极与第一通道层之间。第一栅绝缘层位于共用栅极与第一通道层之间。

[0009] 在本发明的一实施例中,前述第二晶体管包括第二栅绝缘层、第二源极、第二漏极以及第二掺杂非晶硅层。第二栅绝缘层位于共用栅极与第二通道层之间。第二源极与第二漏极位于第二通道层的两侧。第二掺杂非晶硅层位于第二源极与第二通道层之间以及第二漏极与第二通道层之间。

[0010] 在本发明的一实施例中,前述第一晶体管可与第二晶体管电性串联。

[0011] 在本发明的一实施例中,前述第一晶体管与第二晶体管例如电性并联。

[0012] 在本发明的一实施例中,前述主动元件阵列基板可还包括一保护层以及一像素电极,其中保护层具有一暴露出第二漏极的开口,像素电极通过开口与第二漏极电性连接。

[0013] 在本发明的一实施例中,前述主动元件阵列基板可还包括一保护层、一第一信号线以及一第二信号线,其中第一栅绝缘层具有一暴露出第一源极的接触窗,第一信号线通过接触窗与第一源极电性连接,保护层具有一暴露出第二漏极的开口,第二信号线通过开口与第二漏极电性连接。

[0014] 本发明另提供一种主动元件,其位于一基板上,此主动元件包括一第一晶体管以及一第二晶体管。第一晶体管位于基板上,其中第一晶体管具有一第一通道层。第二晶体管堆叠在第一晶体管上,其中第二晶体管具有一第二通道层。第一晶体管与第二晶体管共用同一共用栅极,且共用栅极位于第一通道层与第二通道层之间。

[0015] 基于上述,本发明的主动元件阵列基板中的主动元件利用单一栅极配置在双通道之间,以增加元件的有效宽度,藉此倍增薄膜晶体管的充电能力,并利用在基板上垂直配置栅极、双通道以及双源极与双漏极,将二维的电路布局以三维方式整合,使电路布局面积更小,可有效地提升像素开口率,或可有效降低电路布局空间,可解决大尺寸下现有技术中的薄膜晶体管驱动能力以及开口率不可兼得的问题。

[0016] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

## 附图说明

[0017] 图 1 为本发明第一实施例的主动元件阵列基板的剖面示意图;

[0018] 图 2A ~图 2F 为本发明第一实施例的主动元件阵列基板制作流程的俯视示意图;

[0019] 图 3 为本发明第二实施例的主动元件阵列基板的剖面示意图;

[0020] 图 4A ~图 4F 为本发明第二实施例的主动元件阵列基板制作流程的俯视示意图;

[0021] 图 5 为作为本实施例的比较例的主动元件阵列基板中主动元件的俯视示意图;

[0022] 图 6A 为本发明的第三实施例的主动元件阵列基板中一种主动元件的俯视示意图;

[0023] 图 6B 为图 6A 沿 A-A' 剖线的剖面示意图;

[0024] 图 7 为本发明第三实施例中一种主动元件阵列基板的剖面示意图;

[0025] 图 8 为一比较例的周边线路布局俯视示意图;

[0026] 图 9 为本发明一实施例的线路布局俯视示意图。

- [0027] 附图标记说明：
- [0028] 100、200、300、400：主动元件阵列基板；
- [0029] 110：基板；
- [0030] 120、220、320：第一晶体管；
- [0031] 122、222：第一源极；
- [0032] 124、224：第一漏极；
- [0033] 126、226：第一掺杂非晶硅层；
- [0034] 126a、226a：第一掺杂非晶硅图案；
- [0035] 127：第一栅绝缘层；
- [0036] 128、228：第一通道层；
- [0037] 130、330：第二晶体管；
- [0038] 132：第二源极；134：第二漏极；
- [0039] 136：第二掺杂非晶硅层；137：第二栅绝缘层；
- [0040] 138：第二通道层；140：共用栅极；
- [0041] 150：保护层；160：像素电极；
- [0042] 310：第一信号线；340：第二信号线；
- [0043] 370：信号接收走线；380：信号输出走线；
- [0044] 610、620、630、640：栅极；
- [0045] T1、T2、T3、T4、T5：晶体管；
- [0046] W1：第一接触窗；W2：第二接触窗；
- [0047] W3：第三接触窗；W：开口；
- [0048] P：空间；A-A'：剖面。

### 具体实施方式

[0049] 图1为本发明第一实施例的主动元件阵列基板的剖面示意图。请参照图1，本实施例的主动元件阵列基板100包括基板110、第一晶体管120、第二晶体管130、共用栅极140、保护层150以及像素电极160。第一晶体管120位于基板110上，其中第一晶体管120具有一第一通道层128。第二晶体管130堆叠在第一晶体管120上，其中第二晶体管130具有一第二通道层138。第一晶体管120与第二晶体管130共用同一共用栅极140，且共用栅极140位于第一通道层128与第二通道层138之间。

[0050] 具体而言，第一晶体管120包括第一源极122、第一漏极124、第一掺杂非晶硅层126以及第一栅绝缘层127。第一源极122与第一漏极124位于共用栅极140与基板110之间。第一掺杂非晶硅层126中彼此分离的第一掺杂非晶硅图案126a分别位于第一源极122与第一通道层128之间以及位于第一漏极124与第一通道层128之间。第一栅绝缘层127位于共用栅极140与第一通道层128之间。

[0051] 此外，第二晶体管130包括第二栅绝缘层137、第二源极132、第二漏极134以及第二掺杂非晶硅层136。第二栅绝缘层137位于共用栅极140与第二通道层138之间。第二源极132与第二漏极134位于第二通道层138的两侧。第二掺杂非晶硅层136位于第二源极132与第二通道层138之间以及第二漏极134与第二通道层138之间。

[0052] 值得注意的是,本实施例在有限面积下以双倍通道长度的方式增加 TFT 元件的充电能力,其制作流程将在以下描述。图 2A ~ 图 2F 为本发明第一实施例的主动元件阵列基板制作流程的俯视示意图。

[0053] 请参照图 2A,在基板 110 上形成第一金属层(未绘示),并图案化此第一金属层以形成第一源极 122 以及第一漏极 124,其中第一源极 122 以及第一漏极 124 彼此不导通,其材料例如为钼(Mo)、铝(Al)、钛(Ti)等金属材料或是金属叠层。

[0054] 请参照图 2B(由于上视图中仅标示位于最上层的膜层,因此部分构件未绘示于图 2B,以下的描述请参考图 1 结构的相对位置),在第一源极 122 与第一漏极 124 相对于基板 110 的一侧形成第一掺杂非晶硅层(未绘示)。为避免第一源极 122 以及第一漏极 124 短路,先行图案化此第一掺杂非晶硅层,以移除位于第一源极 122 及第一漏极 124 之间的第一掺杂非晶硅层,而形成第一掺杂非晶硅图案。另外,第一掺杂非晶硅图案 126a 的材料例如为 n 型掺杂非晶硅材料。在第一掺杂非晶硅图案 126a 上形成通道层(未绘示)。同时蚀刻通道层(未绘示)以及第一掺杂非晶硅图案 126a 以形成第一通道层 128 与第一掺杂非晶硅层 126,其中第一掺杂非晶硅层 126 包括两个分别位于第一源极 122 及第一漏极 124 上的第一掺杂非晶硅图案 126a,且第一掺杂非晶硅图案 126a 与第一通道层 128 切齐。此外,形成第一栅绝缘层 127 在第一通道层 128 上。

[0055] 值得注意的是,在本实施例中,第一通道层 128 位于第一栅绝缘层 127 与第一源极 122 以及第一漏极 124 之间,此结构为一顶栅极(top gate)结构。在 LCD 的应用上,若光源采用直下式背光源,因第一晶体管 120 的第一通道层 128 暴露于背光(backlight)照射,易引发漏电流现象。因此,在现有技术中,通常会增加额外遮光制程,例如添加一金属及整面绝缘层来避免漏电流,然而在本实施例中,第一通道层 128 可采用特殊的透明导电氧化(transparent conductive oxide)半导体材料,例如是铟镓锌氧化物。由于此种材料本身几乎不受光照影响,因此本实施例的主动元件中可无需额外设置遮光层来避免漏电流的需求。然而本发明不以此为限,在其他实施例中,第一通道层 128 的材料亦可为其他半导体材料。

[0056] 请参照图 1 与图 2C,在第一栅绝缘层 127 上形成第二金属层(未绘示),并图案化此第二金属层以形成共用栅极 140,其中此共用栅极 140 的材料例如为钼(Mo)、铝(Al)、钛(Ti)等金属材料或是金属叠层。至此,第一晶体管 120 以上述方式完成。接着,在共用栅极 140 相对于第一栅绝缘层 127 的一侧形成第二栅绝缘层 137。

[0057] 请参照图 1 与图 2D,在第二栅绝缘层 137 相对于基板 110 的一侧依序形成第二通道层 138 与第二掺杂非晶硅层 136。

[0058] 请参照图 1 与图 2E,接着在第二掺杂非晶硅层 136 上形成第二源极 132 以及第二漏极 134,其中第二源极 132 以及第二漏极 134 彼此分离,其材料可如前述。在此,第二晶体管 130 以上述方式完成。

[0059] 请参照图 2F,在本实施例中,第一晶体管 120 以及第二晶体管 130 例如为以电性并联方式来提升开电流。请同时参照图 1 与图 2F,在第一栅绝缘层 127 与第二栅绝缘层 137 之间形成第一接触窗 W1 与第二接触窗 W2。第一接触窗 W1 与第二接触窗 W2 分别暴露出第一漏极 124 与第一源极 122,使第二漏极 134 透过第一接触窗 W1 与第一漏极 124 电性连接,且第二源极 132 透过第二接触窗 W2 与第一源极 122 电性连接。

[0060] 值得一提的是,如图 1 与图 2F 所示,当此种主动元件应用在主动区内用以作为像素电极的开关时,电性并联的第一晶体管与第二晶体管所构成的双通道主动元件可以增加开电流。此时还可在第二晶体管 130 上覆盖保护层 150,并在保护层 150 形成暴露出第二漏极 134 的开口 W,以使像素电极 160 通过开口 W 电性连接第二漏极 134。

[0061] 另外,图 3 为本发明第二实施例的主动元件阵列基板的剖面示意图。如图 3 所示,本实施例的主动元件阵列基板 200 与图 1 中的主动元件阵列基板 100 具有相似元件,惟二者主要差异之处在于:第一晶体管 220 中的第一通道层 228、第一源极 222 与第一漏极 224 以及第一掺杂非晶硅层 226 的堆叠顺序不同。详言之,在本实施例的主动元件阵列基板 200 中,第一源极 222 与第一漏极 224 位于第一栅绝缘层 127 与第一通道层 228 之间。而在第一实施例的主动元件阵列基板 100 中,第一通道层 128 位于第一栅绝缘层 127 与第一源极 122 及第一漏极 124 之间。

[0062] 具体而言,本实施例亦可在有限面积下以双倍通道长度的方式增加 TFT 元件的充电能力,以下简易描述第二实施例的主动元件阵列基板的制作流程。图 4A ~图 4F 为本发明第二实施例的主动元件阵列基板制作流程的俯视示意图。

[0063] 请参照图 4 与图 4A(由于上视图中仅标示位于最上层的膜层,因此部分构件未绘示在图 2B,以下的描述请参考图 3 结构的相对位置),在基板 110 上依序形成通道层(未绘示)与第一掺杂非晶硅层(未绘示)。同时图案化通道层与第一掺杂非晶硅层,以形成第一通道层 228 与第一掺杂非晶硅图案 226a,此时第一通道层 228 与第一掺杂非晶硅图案 226a 具有相同的轮廓,例如同为一矩形图案。

[0064] 接着请参照图 3 与图 4B,在第一通道层 228 相对于基板 110 上形成第一金属层(未绘示),例如是以同一道光罩图案化第一金属层与第一掺杂非晶硅图案 226a,以暴露出第一通道层 228,而在第一通道层 228 上形成彼此切齐的第一源极 222 与第一掺杂非晶硅图案 226a、以及彼此切齐的第一漏极 224 与第一掺杂非晶硅图案 226a。

[0065] 之后如图 4C ~图 4F 的后续制程与图 2C ~图 2F 流程相似,因此不再赘述。值得注意的是,图 3 的主动元件阵列基板 200 中的第一源极 222 与第一漏极 224 位于第一栅绝缘层 127 与第一通道层 228 之间,其中第一通道层 228 的材料可为晶硅、非晶硅、多晶硅、金属氧化物以及透明导电氧化半导体材料等。另外,值得一提的是,在薄膜晶体管的种类中,此种第一源极 222 与第一漏极 224 位于第一栅绝缘层 127 与第一通道层 228 之间的结构属于背通道薄膜晶体管。相较于图 1,本实施例因可直接以标准的反向通道蚀刻(Back Channel Etch, BCE)制程来形成通道,制程上较为简单。然而图 1 的通道导通属于前通道薄膜晶体管,其优异之处在于:相较于第二实施例的背通道晶体管,第一实施例的前通道薄膜晶体管的开电流效益较佳。

[0066] 在第一实施例与第二实施例中,本发明的主动元件阵列基板可包括第一晶体管与第二晶体管电性并联以增加元件的有效宽度,进而提升开电流。然而,本发明的主动元件阵列基板亦可为电性串联的方式,通过垂直结构整合电路布局,使电路面积更小,更详细的内容将在以下描述。

[0067] 图 5 为作为本实施例的比较例的主动元件阵列基板中主动元件的俯视示意图,为清楚说明仅绘示部分构件,主动元件阵列基板中的主动元件 300 包括第一晶体管 320、第二晶体管 330 以及其共用栅极 140,如图 5 所示,第一晶体管 320 以及第二晶体管 330 是以二



维的平面结构相互串联。具体而言,第一晶体管 320 包括第一源极 222、第一漏极 224、第一通道层 228 以及电性连接第一源极 222 的信号接收走线 370。第二晶体管 330 包括第二源极 132、第二漏极 134、第二通道层 138 以及电性连接第二源极 132 的信号输出走线 380。此外,第一晶体管 320 的第一漏极 224 与第二晶体管 330 的第二漏极 134 相连。此结构明显可见,主动元件所占据的电路面积与晶体管串联的个数或串连数量成正比,也就是说,此种主动元件结构占据电路中较大的面积。如此一来,通过缩减晶体管串联的面积即可缩减总体电路的面积。

[0068] 图 6A 为本发明的第三实施例的主动元件阵列基板中一种主动元件的俯视示意图,其可用来改良如图 5 所示的现有主动元件阵列基板中的主动元件的布局空间,而图 6B 为图 6A 沿 A-A' 剖线的剖面示意图。请参照图 6A 与图 6B,相同构件以相同符号表示,本发明可通过立体的三维结构将图 5 的主动元件 300 中的第一晶体管 320 以及第二晶体管 330 相叠,并通过第一接触窗 W1 电性连接第一晶体管 320 的第一漏极 224 与第二晶体管 330 的第二漏极 134,以串联两晶体管 320、330。另外,在第二晶体管 330 的第二漏极 134 上的保护层 150 中形成开口 W,使信号输出走线 380 通过开口 W 与第二晶体管 330 的第二漏极 134 电性连接,并在第一晶体管 320 的第一源极 222 上的第一栅绝缘层 127 中形成第三接触窗 W3,使信号接收走线 370 通过第三接触窗 W3 与第一源极 222 电性连接。由图 6A 与图 5 可明显得知,相较于比较例,本实施例利用垂直结构可显著地缩小晶体管串联所占据的电路面积。此外,此结构亦可降低漏电流的情况发生。

[0069] 要说明的是,此种主动元件亦可应用在主动区内用以控制像素电极,以增加开电流。此时,可在第二晶体管 330 上覆盖保护层 150,且在保护层 150 中形成暴露出第二漏极 134 的开口 W,使例如是配置在信号输出走线 380 位置的像素电极通过开口 W 电性连接第二漏极 134。

[0070] 另外,本发明的主动元件除可应用在如上述主动区内,在其他实施例中,亦可应用在周边电路的走线布局。图 7 为本发明第三实施例中一种主动元件阵列基板的剖面示意图。请参照图 7,在制作周边电路的走线布局时,制作方法与图 4A ~ 图 4F 相似,故不再赘述,图 7 的主动元件 400 与图 6B 的主动元件 300 之间的差异处主要在于:主动元件 400 中,第一漏极 224 与第二漏极 134 之间不形成贯穿第一栅绝缘层 127 与第二栅绝缘层 137 的接触窗 W1,此时,仅在第一栅绝缘层 127 形成暴露出第一漏极 224 的第三接触窗 W3,使第一信号线 310 通过第三接触窗 W3 电性连接第一源极 222。并在第二晶体管 130 上覆盖保护层 150,且在保护层 150 形成开口 W 使第二信号线 340 透过开口 W 电性连接第二漏极 134。利用第三实施例的主动元件阵列基板 300 可达到缩减主动元件的布局面积的效果。具体而言,将两个主动元件利用垂直结构做在电路的同一块面积上,则可有效减少遮光面积,进而缩减元件尺寸并提升开口率。

[0071] 如上所述,本发明的实施例通过第一与第二晶体管在垂直结构的串、并联,可在有限空间内达到提升开电流、降低漏电流与减少元件所占面积。以下将举一实施例作更具体的描述。

[0072] 图 8 为一比较例的周边线路布局俯视示意图。图 9 为本发明一实施例的线路布局俯视示意图。图 8 中的线路布局包括五个晶体管 T1 ~ T5 与多条走线,其中走线例如为时钟信号 (clock signal) 的栅极 610、选择信号 (selection signal) 的栅极 620、数据线的

栅极 630 以及放射控制 (Emission control) 电路的栅极 640。在图 8 中,第一晶体管 T1 与第三晶体管 T3 共用栅极 620,而第二晶体管 T2 因宽长比 (W/L) 的设计需求而占据了较大电路面积。利用本发明上述实施例中所提出的主动元件设计,可将图 8 的电路整合于如图 9 所示。具体来说,利用垂直结构整合第一晶体管 T1 与第三晶体管 T3,将原本占据两个晶体管面积缩减成一个晶体管所占的面积。另外,利用前述并联的方式可缩减第二晶体管 T2 所占电路面积的  $1/2 \sim 1/3$ 。藉此,将可有效增加开口率并增加电路中可利用空间 P。此外,电路中共用栅极的元件越多,整合电路的效果也越大。

[0073] 值得一提的是,本发明的主动元件在有机发光二极管 (Organic Light-Emitting Diode, OLED) 的应用上亦有优异的表现。由于本发明的实施例在不增加元件尺寸大小的情况下可达到提升开电流的效果,故可避免现有技术中因元件尺寸大而产生临界电压偏移的现象。

[0074] 综上所述,本发明的主动元件阵列基板中的主动元件是通过垂直结构将单一栅极形成在双通道之间,即利用共用栅极置于两晶体管所构成的元件中间,使共用栅极位于上下两主动层之间,因此栅极电压驱动时可同时在上下两主动层产生通道,达到双倍通道的效果,藉此可使元件开电流倍增。此外,利用垂直结构的串、并联型式整合电路布局,而达到缩减元件尺寸、可在高电流、高解析度且高像素开口率的需求下提供一种还可节省空间且具高效能的主动元件的设计方案。

[0075] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

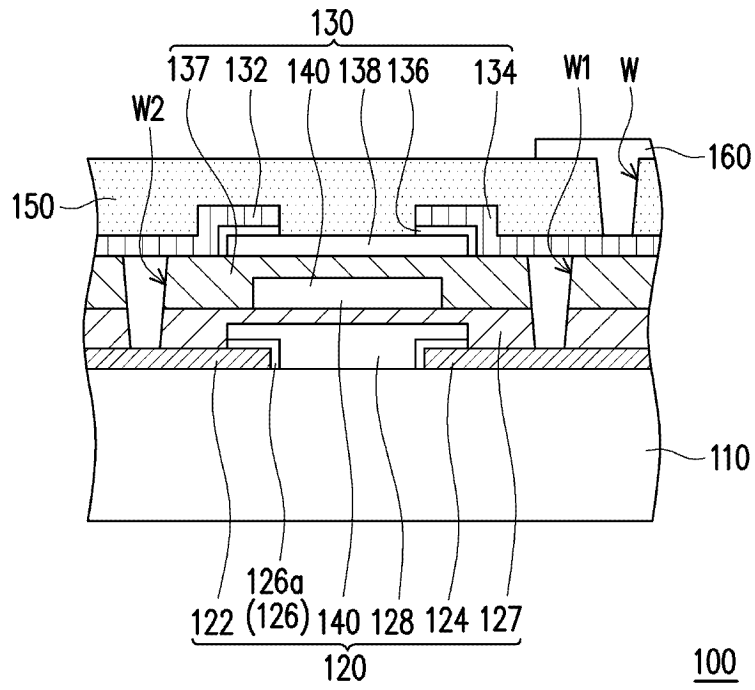


图 1

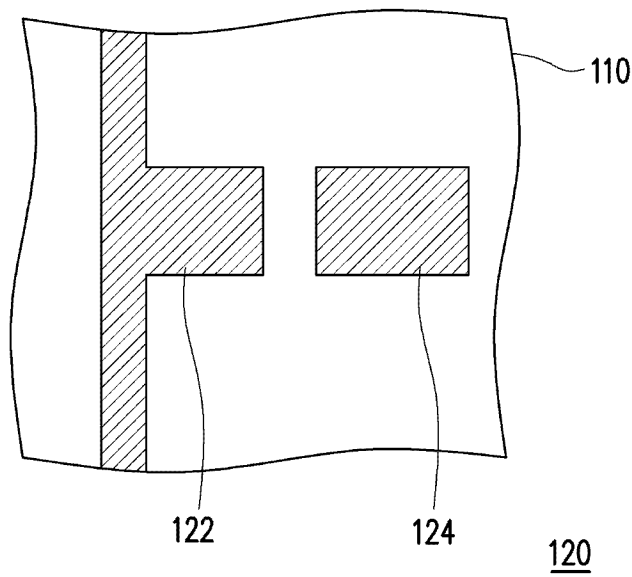


图 2A

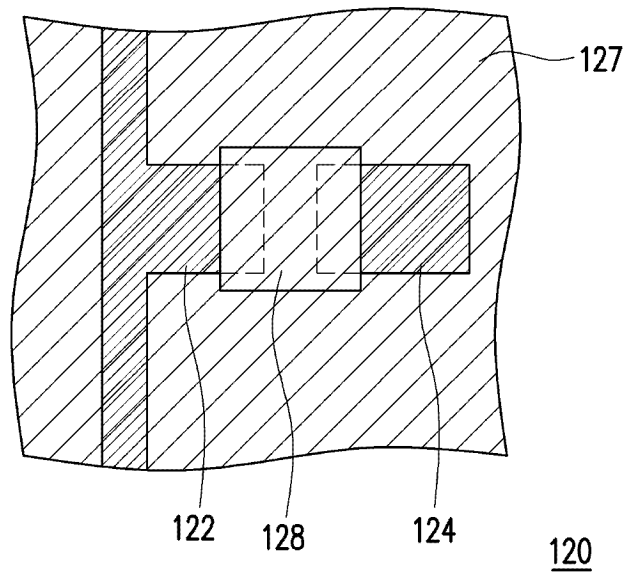


图 2B

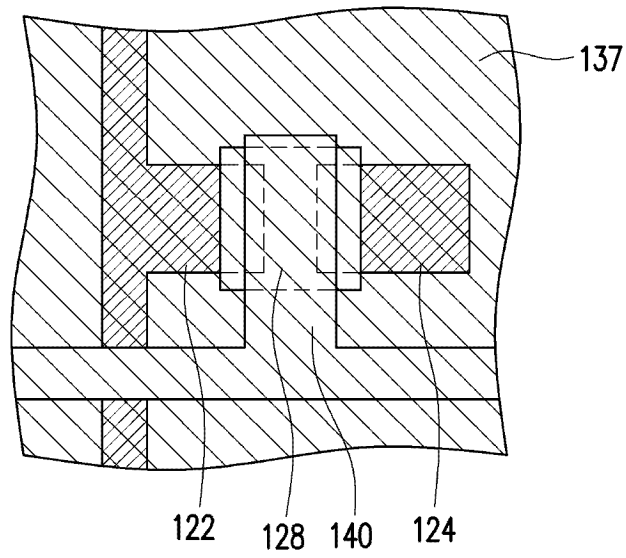


图 2C

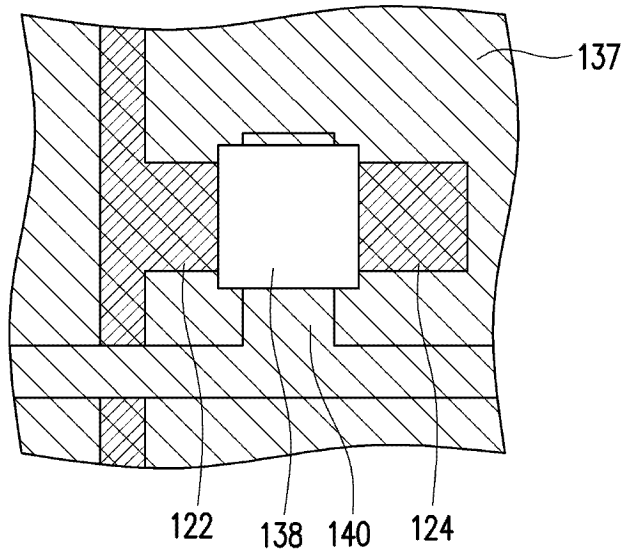


图 2D

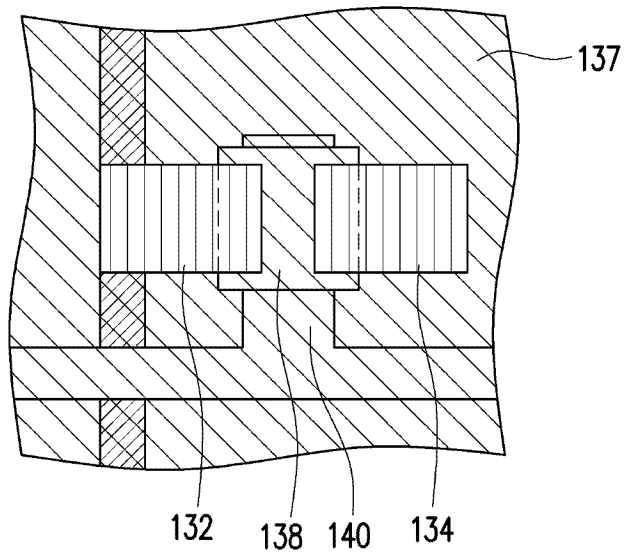


图 2E

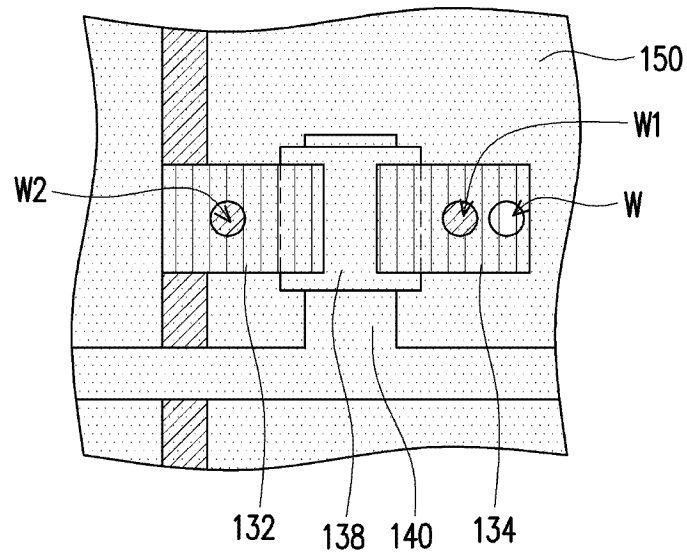


图 2F

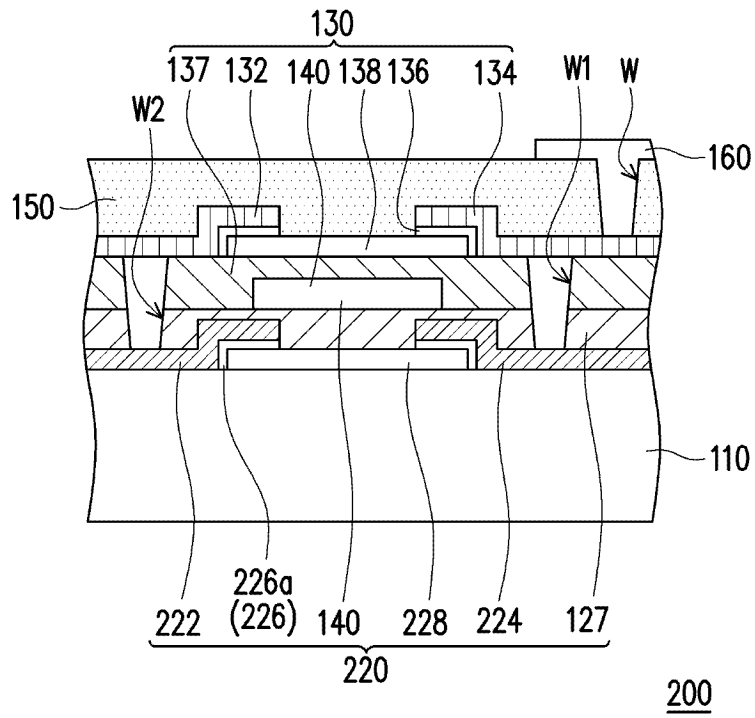


图 3

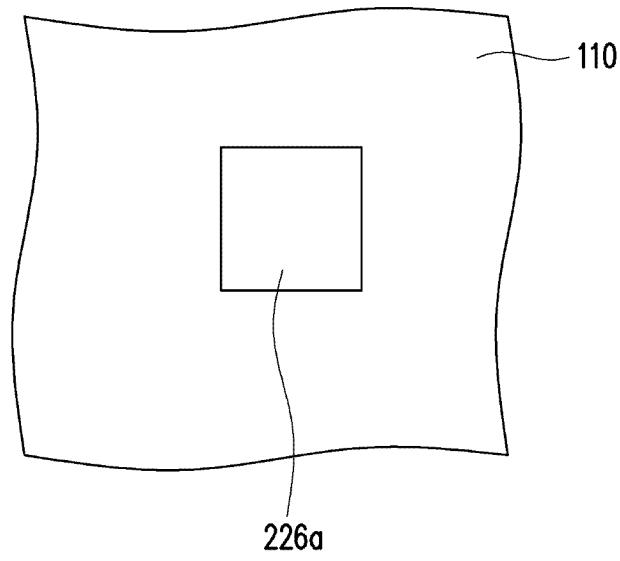


图 4A

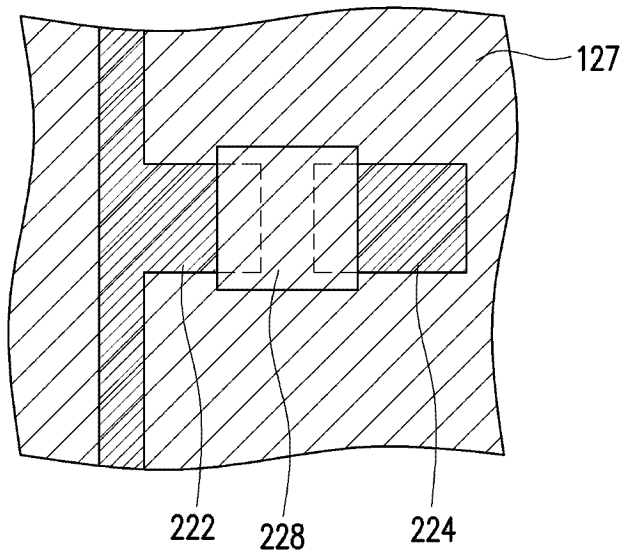


图 4B

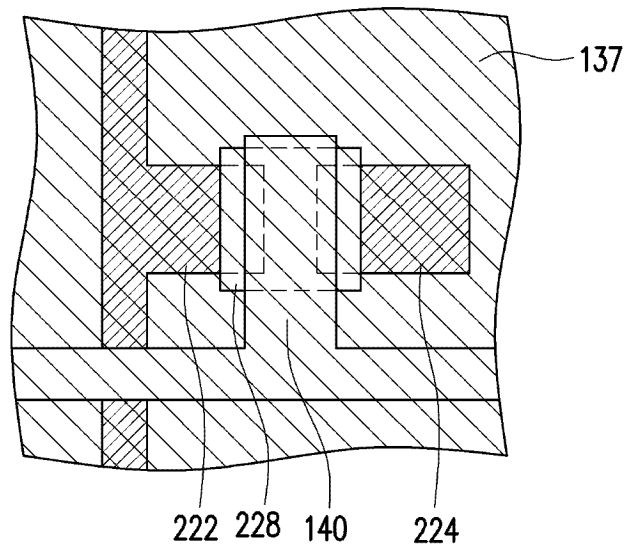


图 4C

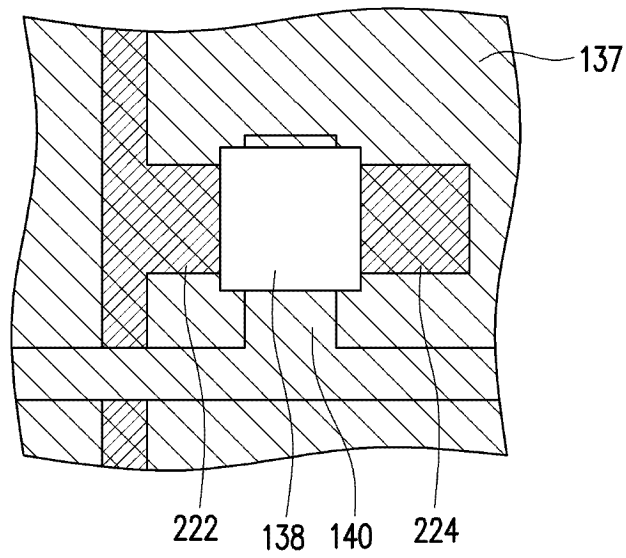


图 4D



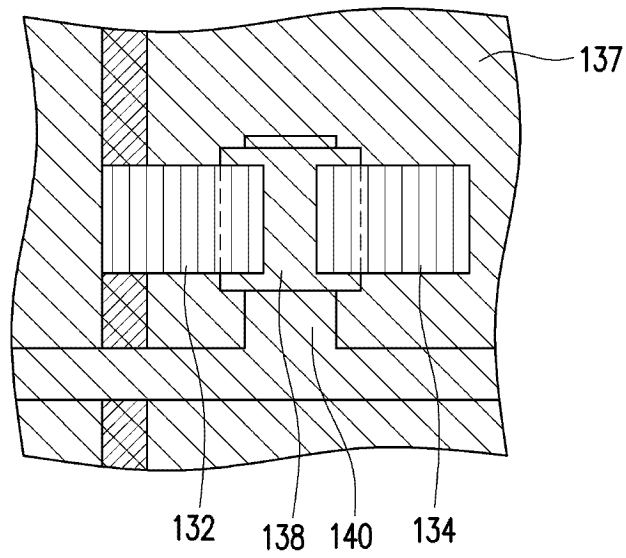


图 4E

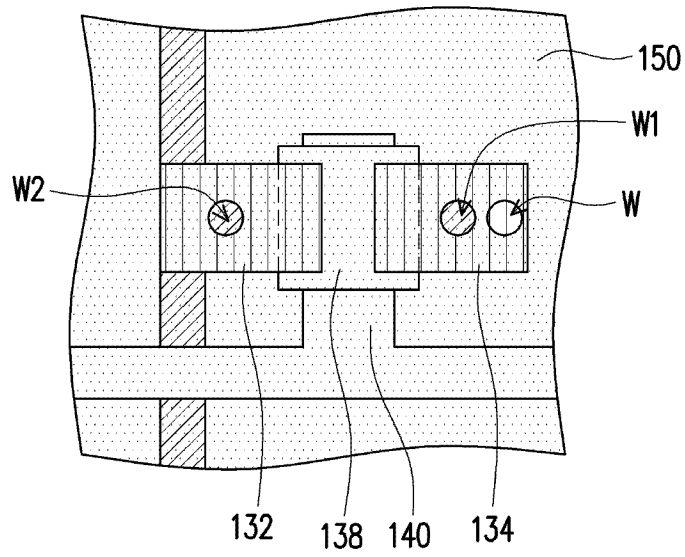


图 4F

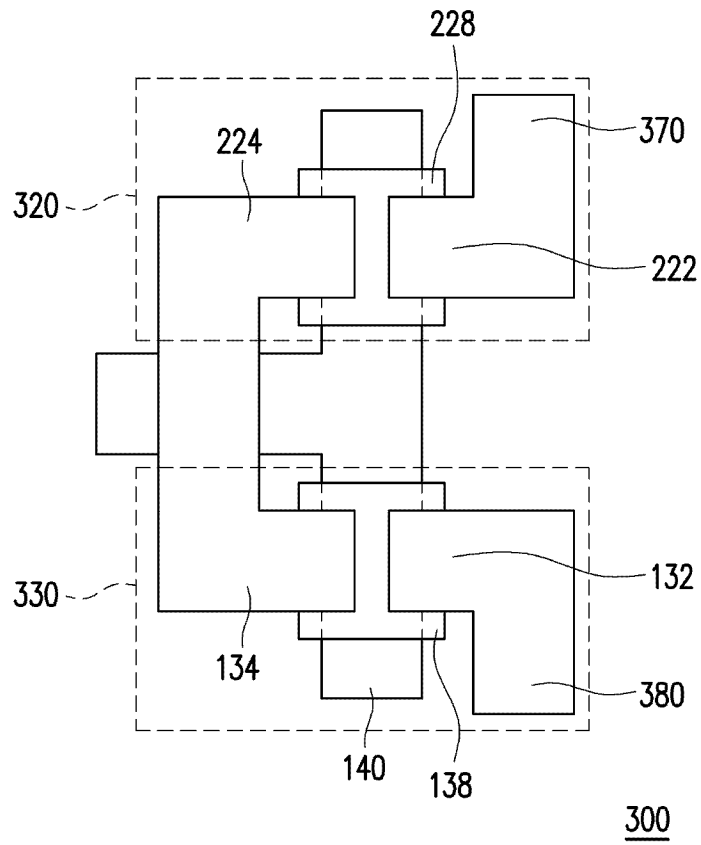


图 5

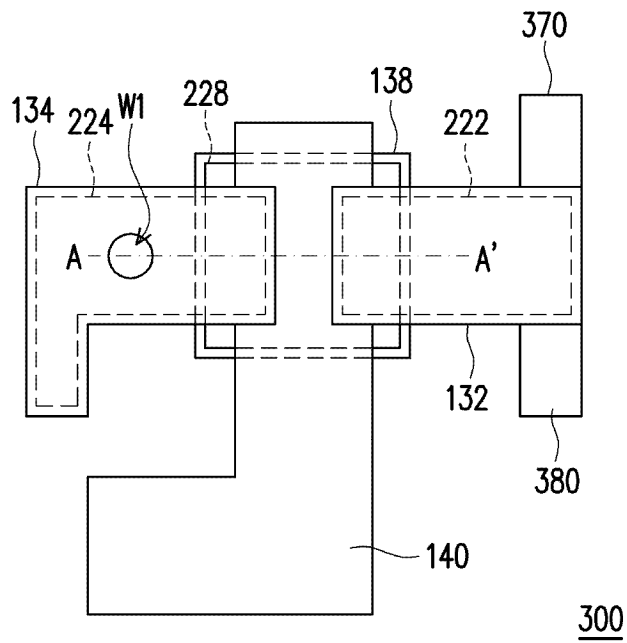


图 6A

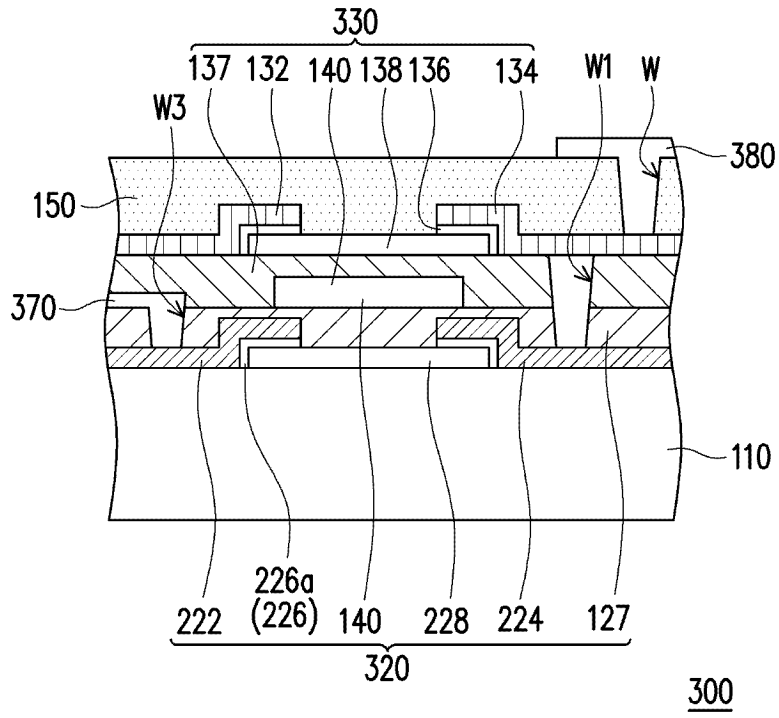


图 6B

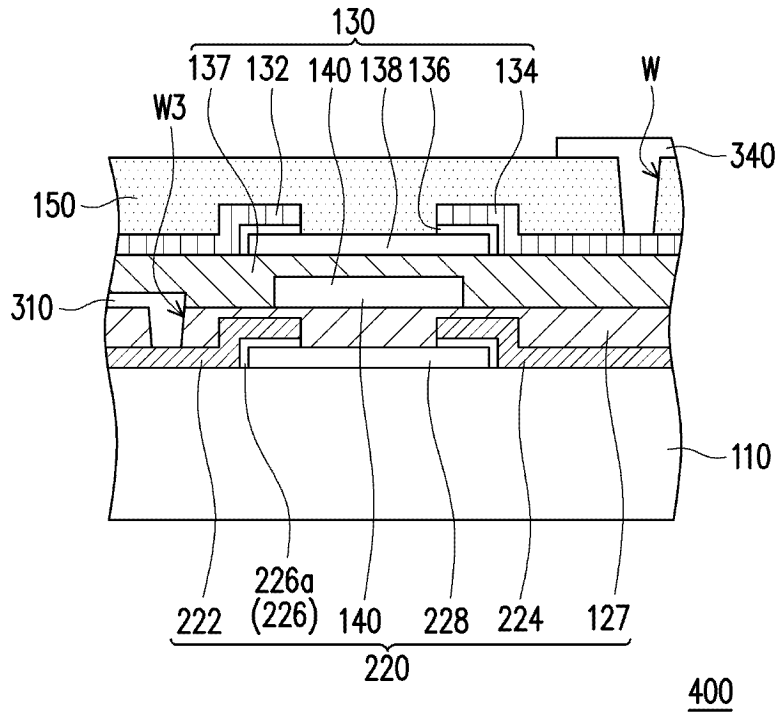


图 7

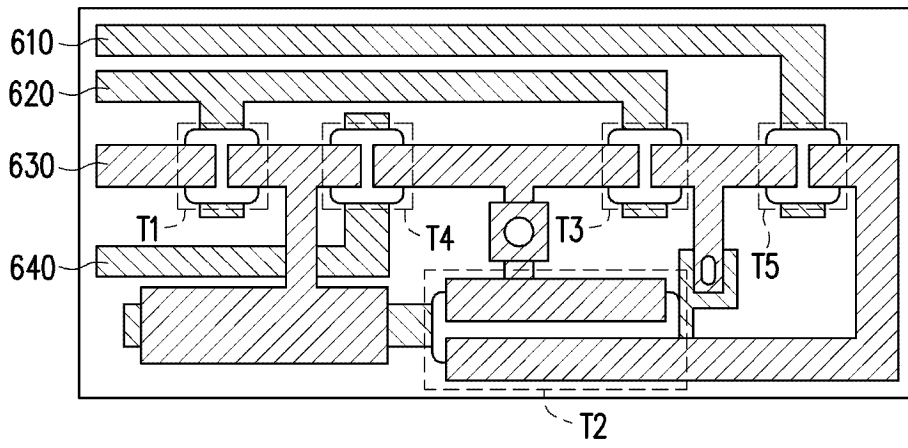


图 8

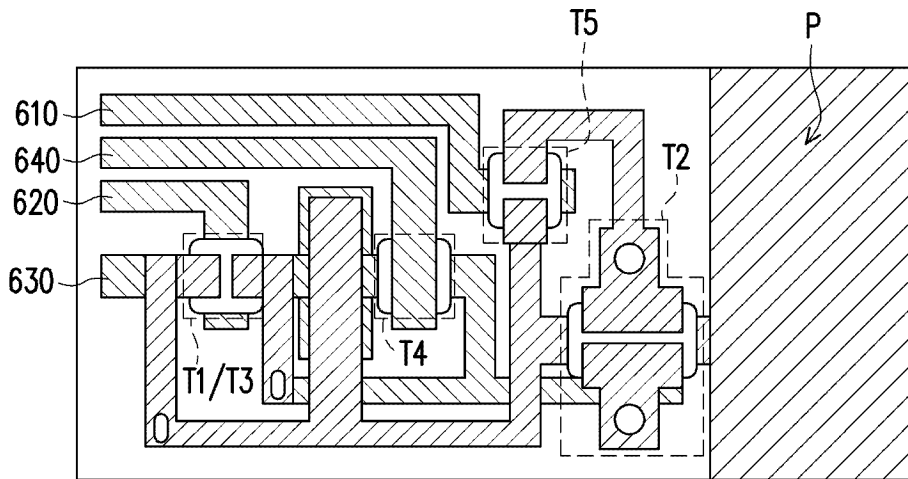


图 9