



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년09월27일
(11) 등록번호 10-2447959
(24) 등록일자 2022년09월22일

- (51) 국제특허분류(Int. Cl.)
G03F 7/11 (2006.01) G03F 7/09 (2006.01)
H01L 21/027 (2006.01) H01L 21/3065 (2006.01)
H01L 39/24 (2006.01)
- (52) CPC특허분류
G03F 7/11 (2013.01)
G03F 7/094 (2013.01)
- (21) 출원번호 10-2021-7013288(분할)
- (22) 출원일자(국제) 2016년09월13일
심사청구일자 2021년09월02일
- (85) 번역문제출일자 2021년04월30일
- (65) 공개번호 10-2021-0054034
- (43) 공개일자 2021년05월12일
- (62) 원출원 특허 10-2019-7009333
원출원일자(국제) 2016년09월13일
심사청구일자 2019년04월01일
- (86) 국제출원번호 PCT/US2016/051464
- (87) 국제공개번호 WO 2018/052397
국제공개일자 2018년03월22일
- (56) 선행기술조사문헌
JP2538096 B2*
JP5141858 B2*
KR1020010067425 A*
US20130119351 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
구글 엘엘씨
미국 캘리포니아 마운틴 뷰 엠펜시어터 파크웨이 1600 (우:94043)
- (72) 발명자
미그랜트 안쏘니 에드워드
미국 캘리포니아 94043 마운틴 뷰 엠펜시어터 파크웨이 1600 구글 인코포레이티드
- (74) 대리인
박장원

전체 청구항 수 : 총 8 항

심사관 : 이흥재

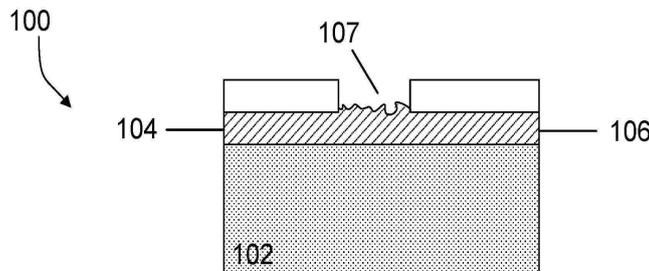
(54) 발명의 명칭 포토레지스트 현상액에 의한 식각을 방지하는 버퍼층

(57) 요약

방법에 제공되는바, 상기 방법은 제 1 층 및 상기 제 1 층의 표면과 접촉하는 제 2 층을 갖는 디바이스를 제공하는 단계, 상기 제 2 층은 제 1 초전도체 물질을 포함하고 상기 제 1 초전도체 물질은 대응하는 초전도 임계 온도 이하에서 초전도 특성을 나타내며; 식각 버퍼층을 형성하도록 상기 제 2 층의 표면 상에 버퍼 물질을 형성하는

(뒷면에 계속)

대표도 - 도1b



단계, 포토레지스트 현상액에 노출시 상기 제 2 층에 대한 상기 버퍼 물질의 식각을 선택도는, 상기 포토레지스트 현상액에 상기 버퍼층이 노출되는 동안 하부의 상기 제 2 층이 식각되지 않게 하며; 그리고 레지스트층을 증착하고 상기 식각 버퍼층의 제 1 부분이 노출되도록, 상기 레지스트층의 선택된 부분을 제거하는 단계를 포함하며, 상기 레지스트 층의 선택된 부분을 제거하는 단계는 상기 레지스트 층의 선택된 부분에 상기 포토레지스트 현상액을 도포하는 단계를 포함한다.

(52) CPC특허분류

H01L 21/02002 (2013.01)

H01L 21/027 (2013.01)

H01L 21/3065 (2013.01)

H01L 39/2493 (2013.01)

명세서

청구범위

청구항 1

양자 회로 디바이스를 제조하는 방법으로서,

제 1 층 및 상기 제 1 층의 표면과 접촉하는 제 2 층을 갖는 디바이스를 제공하는 단계, 상기 제 2 층은 제 1 초전도체 물질을 포함하고 상기 제 1 초전도체 물질은 대응하는 초전도 임계 온도 이하에서 초전도 특성을 나타내며;

식각 버퍼층을 형성하도록 상기 제 2 층의 표면 상에 버퍼 물질을 형성하는 단계, 포토레지스트 현상액에 노출시 상기 제 2 층에 대한 상기 버퍼 물질의 식각을 선택도는, 상기 포토레지스트 현상액에 상기 버퍼층이 노출되는 동안 하부의 상기 제 2 층이 식각되지 않게 하며;

레지스트층을 증착하고 상기 식각 버퍼층의 제 1 부분이 노출되도록, 상기 레지스트층의 선택된 부분을 제거하는 단계, 상기 레지스트 층의 선택된 부분을 제거하는 단계는 상기 레지스트 층의 선택된 부분에 상기 포토레지스트 현상액을 도포하는 단계를 포함하며;

상기 제 2 층의 제 1 부분을 노출시키기 위하여, 상기 식각 버퍼층의 노출된 제 1 부분을 제거하는 단계;

상기 제 2 층의 노출된 제 1 부분 상에, 유전 물질 또는 대응하는 초전도 온도 이하에서 초전도 특성을 나타내는 제 2 초전도체 물질을 형성하는 단계; 및

상기 유전 물질 또는 상기 제 2 초전도체 물질을 증착한 후에, 상기 레지스트층의 나머지 부분 및 상기 식각 버퍼층을 제거하는 단계

를 포함하며,

상기 제 2 층과 상기 유전 물질, 또는 상기 제 2 층과 상기 제 2 초전도체 물질은 상기 양자 회로 디바이스의 일부분을 형성하며, 상기 양자 회로 디바이스는 평행판 커패시터(parallel plate capacitor), 마이크로스트립 공진기(microstrip resonator) 또는 전송 라인(transmission line)을 포함하고,

상기 식각 버퍼층의 노출된 제 1 부분을 제거하는 단계는, 상기 식각 버퍼층의 노출된 제 1 부분에 건식 식각을 적용하는 것을 특징으로 하는 양자 회로 디바이스를 제조하는 방법.

청구항 2

제1항에 있어서,

상기 포토레지스트 현상액에 노출시 상기 제 2 층에 대한 상기 버퍼 물질의 식각을 선택도는 1 : 2 미만인 것을 특징으로 하는 양자 회로 디바이스를 제조하는 방법.

청구항 3

제1항에 있어서,

상기 제 2 층의 제 1 초전도체 물질은 알루미늄인 것을 특징으로 하는 양자 회로 디바이스를 제조하는 방법.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제1항에 있어서,
상기 건식 식각은 O₂ 플라즈마를 포함하는 것을 특징으로 하는 양자 회로 디바이스를 제조하는 방법.

청구항 8

제1항에 있어서,
상기 제 2 층의 노출된 제 1 부분을 식각하는 단계를 더 포함하는 것을 특징으로 하는 양자 회로 디바이스를 제조하는 방법.

청구항 9

제8항에 있어서,
상기 제 2 층의 노출된 제 1 부분을 식각한 후에, 상기 레지스트 층의 나머지 부분과 상기 식각 버퍼층을 제거하는 단계를 더 포함하는 것을 특징으로 하는 양자 회로 디바이스를 제조하는 방법.

청구항 10

삭제

청구항 11

제1항에 있어서,
상기 제 1 층은 기판을 포함하는 것을 특징으로 하는 양자 회로 디바이스를 제조하는 방법.

청구항 12

제11항에 있어서,
상기 기판은 실리콘 웨이퍼 또는 사파이어 웨이퍼를 포함하는 것을 특징으로 하는 양자 회로 디바이스를 제조하는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 포토레지스트 현상액(photoresist developer)에 의한 식각을 방지하기 위한 버퍼층에 관한 것이다.

배경 기술

[0002] 양자 컴퓨팅은 고전적인 디지털 컴퓨터보다 소정 계산을 효율적으로 수행하기 위하여, 기저 상태들과 얽힘(entanglement)의 중첩 등과 같은 양자 효과를 이용하는 비교적 새로운 컴퓨팅 방법이다. 비트 형태(예컨대, "1" 또는 "0")로 정보를 저장하고 조작하는 디지털 컴퓨터와 달리, 양자 컴퓨터 시스템은 큐비트(qubits)를 이용하여 정보를 조작할 수 있다. 큐비트는 다수 상태들(예를 들어, "0"과 "1" 상태 모두에서의 데이터)의 중첩(superposition)을 가능케하는 양자 디바이스를 지칭하거나 및/또는 다수 상태들에서의 데이터의 중첩 그 자체를 지칭할 수 있다. 통상적인 용어론에 따르면, 양자 시스템에서 "0" 및 "1" 상태의 중첩은 예컨대, $\alpha|0\rangle + \beta|1\rangle$ 로 표현될 수 있다. 디지털 컴퓨터의 "0" 및 "1" 상태는 큐비트의 $|0\rangle$ 및 $|1\rangle$ 기저 상태들과 각각 유사하다. $|\alpha|^2$ 값은 큐비트가 $|0\rangle$ 상태에 있을 확률을 나타내고, $|\beta|^2$ 값은 큐비트가 $|1\rangle$ 기저 상태에 있을 확률을 나타낸다.

발명의 내용

해결하려는 과제

과제의 해결 수단

- [0003] 일반적으로, 제 1 양상에서, 본 발명의 주제는 양자 회로 디바이스를 제조하는 방법으로 구현될 수 있으며, 상기 방법은: 제 1 층 및 상기 제 1 층의 표면과 접촉하는 제 2 층을 갖는 디바이스를 제공하는 단계, 상기 제 2 층은 제 1 초전도체 물질을 포함하고 상기 제 1 초전도체 물질은 대응하는 초전도 임계 온도 이하에서 초전도 특성을 나타내며; 식각 버퍼층을 형성하도록 상기 제 2 층의 표면 상에 버퍼 물질을 형성하는 단계, 포토레지스트 현상액에 노출시 상기 제 2 층에 대한 상기 버퍼 물질의 식각을 선택도는, 상기 포토레지스트 현상액에 상기 버퍼층이 노출되는 동안 하부의 상기 제 2 층이 식각되지 않게 하며; 그리고 레지스트층을 증착하고 상기 식각 버퍼층의 제 1 부분이 노출되도록, 상기 레지스트층의 선택된 부분을 제거하는 단계를 포함하며, 상기 레지스트층의 선택된 부분을 제거하는 단계는 상기 레지스트층의 선택된 부분에 상기 포토레지스트 현상액을 도포하는 단계를 포함한다.
- [0004] 본 발명의 방법들에 대한 구현예들은 다음 중 하나 이상을 포함할 수 있다. 예를 들어, 일부 구현예에서, 상기 포토레지스트 현상액에 노출시 상기 제 2 층에 대한 상기 버퍼 물질의 식각을 선택도는 1 : 2 미만이다.
- [0005] 일부 구현예에서, 상기 제 2 층의 제 1 초전도체 물질은 알루미늄이다.
- [0006] 일부 구현예에서, 상기 버퍼 물질은 폴리머(polymer)를 포함한다. 상기 폴리머는 폴리메틸메타크릴레이트(PMMA: polymethylmethacrylate)를 포함할 수 있다.
- [0007] 일부 구현예에서, 상기 방법은 상기 제 2 층의 제 1 부분을 노출시키기 위하여, 상기 식각 버퍼층의 노출된 제 1 부분을 제거하는 단계를 더 포함한다. 상기 식각 버퍼층의 노출된 제 1 부분을 제거하는 단계는, 상기 식각 버퍼층의 노출된 제 1 부분에 건식 식각을 적용하는 것을 포함한다. 상기 건식 식각은 O₂ 플라즈마를 포함한다. 상기 방법은 상기 제 2 층의 노출된 제 1 부분을 식각하는 단계를 더 포함한다. 상기 식각된 제 2 층은 양자 회로 디바이스의 일부를 구성하며, 상기 양자 회로 디바이스는 큐비트(qubit), 큐비트 측정 공진기(qubit measurement resonator), 초전도 양자 간섭 디바이스, 초전도 커플러 또는 초전도 동일-평면 도파관(superconducting co-planar waveguide)을 포함한다. 상기 방법은 상기 제 2 층의 노출된 제 1 부분을 식각한 후에, 상기 레지스트층의 나머지 부분과 상기 식각 버퍼층을 제거하는 단계를 더 포함한다. 상기 방법은 상기 제 2 층의 노출된 제 1 부분 상에, 유전 물질 또는 대응하는 초전도 온도 이하에서 초전도 특성을 나타내는 제 2 초전도체 물질을 형성하는 단계를 더 포함한다. 상기 제 2 층과 상기 유전 물질, 또는 상기 제 2 층과 상기 제 2 초전도체 물질은 상기 양자 회로 디바이스의 일부분을 형성한다. 상기 양자 회로 디바이스는 평행판 커패시터(parallel plate capacitor), 마이크로스트립 공진기(microstrip resonator) 또는 전송 라인(transmission line)을 포함한다. 상기 방법은 상기 유전 물질 또는 상기 제 2 초전도체 물질을 증착한 후에, 상기 레지스트층의 나머지 부분 및 상기 식각 버퍼층을 제거하는 단계를 더 포함한다.
- [0008] 일부 구현예에서, 상기 제 1 층은 기판을 포함한다. 상기 기판은 실리콘 웨이퍼 또는 사파이어 웨이퍼를 포함한다.
- [0009] 구현예들은 다음의 장점들 중 하나 이상을 포함할 수 있다. 예를 들어, 일부 구현예에서, 버퍼 물질은 현상액이 예컨대, 알루미늄과 같은 하부 물질을 공격하는 것을 방지하며, 따라서 하부 물질의 제거 또는 손상을 방지한다. 또한, 결과적으로, 일부 구현예에서, 더 약한 현상액을 사용할 필요가 없는바, 더 약한 현상액은 현상 시간을 증가시킬 수도 있다. 대안적으로는, 버퍼층 밑에있는 물질이 공격받을 염려없이, 더 강력하고 빠른 현상액을 사용할 수 있다. 또한, 일부 구현예에서는, 버퍼 물질 자체는 O₂ 애싱과 같은 특정 식각 방법 하에서 포토레지스트 보다 훨씬 빠르게 식각되며, 따라서 제조될 디바이스의 다양한 양상들을 정의하는 포토레지스트 영역이 손상될 것이라는 염려 없이, 버퍼 물질이 제거될 수 있다.
- [0010] 본 명세서의 목적을 위해, 초전도체(대안적으로는, 초전도성) 물질은, 초전도 임계 온도 이하의 초전도 특성들을 나타내는 물질로 이해될 수 있다. 초전도체 물질의 일례들은, 알루미늄(예컨대, 1.2 켈빈의 초전도 임계 온도), 니오븀(예컨대, 9.3 켈빈의 초전도 임계 온도) 및 티타늄 질화물(예컨대, 5.6 켈빈의 초전도 임계 온도)을 포함하지만, 이에 한정되는 것은 아니다.
- [0011] 하나 이상의 구현예들의 세부 사항이 첨부된 도면 및 이하의 설명에서 설명된다. 다른 특징 및 이점은 상세한

설명, 도면 및 청구 범위로부터 명백해질 것이다.

도면의 간단한 설명

- [0012] 도 1a 내지 도 1c는 알루미늄 필름에 대한 현상액 손상의 영향을 받는 디바이스의 일례에 대한 단면도를 예시하는 개략도이다.
 도 2는 희석된 현상액에 의해 영향을 받는 디바이스의 일례를 도시한 평면도이다.
 도 3a 내지 도 3g는 현상액에 의한 식각으로부터 하부의 알루미늄 층을 보호하기 위해 버퍼층을 이용하는 공정의 일례를 예시하는 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 양자 컴퓨팅은 양자 컴퓨터의 양자 비트(큐비트: qubits)에 저장된 양자 정보를 일관되게 처리하는 것을 수반한다. 양자 어닐러(quantum annealers)와 같은 소정 유형의 양자 컴퓨팅 프로세서에서, 양자 프로세서의 큐비트들은 각 큐비트의 양자 상태가 다른 큐비트의 대응하는 양자 상태에 영향을 주도록, 제어가능한 방식으로 함께 결합된다. 초전도 양자 컴퓨팅은 양자 회로 소자들이 부분적으로 초전도체 물질로 형성되는 양자 컴퓨팅 기술의 유망한 구현예이다. 초전도 양자 컴퓨터는 일반적으로 처음 2개의 레벨들만이 계산 기준으로 사용되는, 다중레벨(multilevel) 시스템이다. 특정 구현예에서, 큐비트와 같은 양자 회로 소자들은 매우 낮은 온도에서 동작하며, 따라서 초전도성이 달성될 수 있으며, 열적 변동이 에너지 레벨들 사이의 천이를 유발하지 않는다. 부가적으로, 양자 회로 소자들은 낮은 에너지 손실 및 소산(예컨대, 양자 회로 소자는 높은 품질 인자 Q(high quality factor, Q)를 나타냄)로 동작하는 것이 바람직할 수 있다. 낮은 에너지 손실과 소산은 예를 들어, 양자 디코히어런스(quantum decoherence)를 회피할 수 있다.
- [0014] 양자 회로 소자의 형성에 사용될 수 있는 초전도체 재료의 일례는 알루미늄이다. 알루미늄은 유전체와 함께 사용되어, 조셉슨 접합(Josephson junctions)을 형성할 수 있는바, 조셉슨 접합은 양자 회로 소자의 통상적인 구성요소(common component)이다. 알루미늄으로 형성될 수 있는 양자 회로 소자의 일례들은, 초전도 동일-평면 도파관(superconducting co-planar waveguides), 양자 LC 발진기, 큐비트(예: 플럭스 큐비트 또는 전하 큐비트), 초전도 양자 간섭 디바이스(SQUID: superconducting quantum interference devices)(예컨대, RF-SQUID 또는 DC-SQUID), 인덕터, 커패시터, 전송 라인, 그라운드 평면 등을 포함할 수 있다.
- [0015] 또한, 알루미늄은 초전도 양자 회로 소자뿐만 아니라 상보성 금속 산화물 반도체(CMOS)에 기초하여 다른 고전적인 회로 소자와 함께 동작할 수 있는 고전적인 초전도 회로 소자(superconducting classical circuit elements)의 형성에 사용될 수 있다. 알루미늄으로 형성될 수 있는 고전적인 회로 소자들의 일례는 고속 단일 플럭스 양자(RSFQ: rapid single flux quantum) 디바이스, 상호 양자 로직(RQL: reciprocal quantum logic) 디바이스, 및 ERSFQ 디바이스를 포함하는데, ERSFQ는 RSFQ의 에너지 효율적인 버전이다(바이어스 저항을 사용하지 않음). 다른 고전적 회로 소자들도 또한 알루미늄으로 또한 형성될 수 있다. 고전적인 회로 소자는 아날로그 또는 디지털 형태로 표현되는 데이터에 대해 기본 산술 연산, 논리 연산 및/또는 입/출력 연산을 수행함으로써 컴퓨터 프로그램의 명령들을 집합적으로 수행하도록 구성될 수 있다.
- [0016] 하지만, 알루미늄으로 프로세싱하는 경우, 양자 회로 소자의 성능을 저하시키는 여러 가지 복잡한 문제가 발생될 수 있다(고전적인 회로 소자의 성능은 물론). 특히, 반도체 기판 상의 알루미늄은 빛에 노출된 후에 가용성 포토레지스트를 제거하는데 사용되는 포토레지스트 현상액에 의한 식각에 매우 민감할 수 있다. 이것은 갈바니 부식 효과의 결과로서 주로 이해된다. 예를 들어, 일부 경우들에서, 표준적인 60초 포토레지스트 현상 단계 동안 일반적인 현상액(예컨대, AZ Electronic Materials 회사의 AZ 300 MIF)에 노출되는 경우, 100 nm의 알루미늄 필름이 완전히 식각되어 제거될 수 있다. 다른 경우들에서, 현상액은 알루미늄 필름 전체를 식각하지는 못하지만 알루미늄 표면을 현저하게 거칠게 만들 수 있다. 이러한 거칠기는 알루미늄 필름과 관련된 표면 손실을 증가시킬 수 있으며, 이는 차례로 알루미늄 필름이 구성요소인 회로 소자의 품질 인자 Q를 감소시킬 수 있다. 예를 들어, 일부 구현예에서, 현상액에 의해 거칠어진 알루미늄 표면을 사용하는 디바이스의 품질 인자는 2배 이상 감소될 수 있다(예를 들어, 3×10^6 의 Q에서 1.3×10^6 의 Q까지).
- [0017] 비록, 아래의 일례들은 특정 온도 이하에서 초전도 특성을 나타내는 물질로서 알루미늄과 관련하여 설명되었지만, 아래에서 설명되는 공정들은, 버퍼층의 존재 없이는 허용할 수 없는 수준의 제거를 야기할 정도로 갈바니 부식 효과에 취약한 임의의 초전도 물질에 적용될 수 있다.

- [0018] 도 1a 내지 도 1c는 알루미늄 필름에 대한 현상액 손상의 영향을 받는 디바이스(100)의 일례에 대한 단면도를 예시하는 개략도이다. 도 1a에 도시된 바와 같이, 디바이스(100)는 알루미늄 층(104)이 형성되는 실리콘 기판(102)을 포함한다. 포토레지스트 층(106)이 알루미늄 층(104)의 상부 표면 상에 제공될 수 있다. 포토레지스트 층(106)의 일부분이 예를 들어, 자외선(UV) 광 (101)에 노출될 수 있으며, 노출된 부분(103)은 이제 현상액이 포토레지스트에 도포될 때 용해될 수 있다. UV 광에 노출되지 않은 포토레지스트층(106)의 다른 부분들(105)은 현상액과 접촉할 때 불용성으로 남아있다. 전술한 예는 포지티브형 레지스트의 일례이다. 네가티브형 레지스트가 대신 사용될 수도 있는데, 네가티브형 레지스트에서는 UV 광에 노출된 레지스트의 부분이 현상액에 불용성이 되는 반면에, 노출되지 않은 부분은 현상액에 가용성으로 남아있다.
- [0019] 도 1b는 노광 단계 이후에 현상액이 포토레지스트에 도포될 때 발생할 수 있는 제 1 유형의 손상을 도시한다. 이러한 이미지에서, 포토레지스트의 노출된 부분이 제거될 수 있지만, 현상액은 밑에 있는 알루미늄을 계속 공격하여 알루미늄 표면에 상당한 거칠기(107)를 야기한다. 본 명세서에 설명된 바와 같이, 증가된 거칠기는 형성될 양자 회로 소자의 품질 인자를 감소시킬 수 있다.
- [0020] 도 1c는 노광 단계 이후에 현상액이 포토레지스트에 도포될 때 발생할 수 있는 제 2 유형의 손상을 도시한다. 다시, 포토레지스트의 노출된 부분이 제거될 수 있지만, 현상액은 밑에 있는 알루미늄 필름을 완전히 식각제거한다(etch away). 실제로, 현상액의 식각 효과는 매우 심각하여, 현상액에 의해 제거되지 않은 포토레지스트의 영역들 아래에서 알루미늄 필름의 부분들(109)이 식각된다.
- [0021] 보다 약한 현상액(예컨대, 희석된 현상액)을 사용함으로써, 알루미늄 식각 수준을 감소시킬 수 있지만, 이러한 접근법은 포토레지스트층을 현상하는데 필요한 시간을 실질적으로 증가시킬 수 있다. 또한, 현상액을 희석하면, 원하지 않는 포토레지스트 모두를 제거하는 것이 더 어려워진다. 도 2는 희석된 현상액에 의해 영향을받는 디바이스의 일례를 도시한 평면도이다. 도 2의 사진에서는 3개의 개별 영역들이 명백히 도시되는데, 이는 UV 노출된 포토레지스트가 희석된 현상액에 의해 완전히 제거되어 밑에 있는 알루미늄 층을 드러내는 제 1 영역(202), 노출되지 않은 레지스트가 잔존하여 아래에 놓인 알루미늄 층을 커버하고 있는 제 2 영역(204), 및 UV 노출된 레지스트가 약한 현상액에 의해서 제거되지 않은 제 3 영역(206)을 포함한다. 일부 구현예에서, 영역(206)의 레지스트 등과 같이 제거되지 않는 레지스트는, 현상 시간이 얼마나 지속되는지에 상관없이 잔존하며, 따라서 웨이퍼의 유용성을 파괴할 수 있다.
- [0022] 본 발명은 필름들(가령, 알루미늄)에 대한 현상액 공격/식각을 방지하기 위하여, 제조 공정에 버퍼층을 추가하는 것에 관한 것이다. 보호되는 필름의 예시적인 유형으로서 알루미늄을 사용하는 경우, 버퍼층은 알루미늄에 비하여 훨씬 낮은 현상액 식각을 선택도를 가지며, 그리고 제조 공정 동안 알루미늄 필름과 그 상부의 포토레지스트층 사이에 위치될 수 있다. 따라서, 일단 현상액이 원하지 않는 포토레지스트를 제거하면, 알루미늄 층이 아닌 버퍼층만이 현상액에 노출될 수 있다. 따라서, 버퍼층은 밑에 있는 알루미늄 층을 보호하는 역할을 수행한다. 또한, 현상액의 존재 하에서의 버퍼층의 낮은 식각을 선택도를 고려하면, 버퍼층은 현저하게 식각되지 않는다. 포토리소그래피 및 현상을 수행한 후에, 하부의 알루미늄 층 상에 후속 물질을 증착하거나 또는 하부의 알루미늄 층을 제거하기 위하여, 버퍼층의 노출된 부분이 제거될 수 있다.
- [0023] 도 3a-3f는 현상액에 의한 식각으로부터 밑에 있는 알루미늄 층을 보호하기 위해 버퍼층을 이용하는 공정의 일례들을 예시하는 개략도이다. 우선, 도 3a에 도시된 바와 같이, 디바이스(300)는 알루미늄 박막 필름(304)이 형성될 수 있는 기판(302)을 포함한다. 본 실시예에서, 알루미늄 필름은 100nm의 두께를 가지지만, 다른 두께도 또한 사용될 수 있다. 기판(302)은 예를 들어 실리콘 또는 사파이어 웨이퍼를 포함할 수 있다. 다음으로, 도 3b에 도시된 바와 같이, 버퍼층(306)이 알루미늄 층(304)의 상부 표면에 형성될 수 있다. 버퍼층(306)은 통상적인 포토레지스트 현상액에 의한 식각에 강한 저항성을 갖는 물질을 포함할 수 있다. 예를 들어, 버퍼층(306)은 가령, 폴리메틸메타크릴레이트(PMMA: polymethylmethacrylate) 등과 같은 절연성 전기 폴리머 필름을 포함할 수 있다. 포토레지스트 현상액에 노출시 알루미늄에 대한 버퍼 물질의 식각을 선택도는 예를 들어 1:2 미만, 1:3 미만, 1:4 미만, 1:5 미만, 1:6 미만, 1:10 미만, 1:20 미만 또는 1:40 미만이다. 버퍼 물질은 포토레지스트 현상액의 존재하에서 알루미늄에 대한 식각을 선택도에 대해 다른 값을 가질 수 있다. 보다 일반적으로, 이러한 비율은 버퍼층이 포토레지스트 현상액에 노출되는 동안 밑에 있는 알루미늄이 식각되지 않게 하는 정도일 수 있다. 본 명세서에 사용된 바와 같이, 도전도체가 제거되지 않으며 그리고 주어진 성능 요건들에 대하여 회로의 품질 성능에 거칠기가 영향을 미칠 정도까지 도전도체 표면이 거칠어지지 않는다면, 노출 동안에 도전도체가 식각되지 않는다.
- [0024] 버퍼층(306)은 예를 들어 스핀 코팅기(spin coater)를 사용하여 액체 형태로 알루미늄 층(304)의 상부 표면 상

에 증착될 수 있다. 예를 들어, PMMA는 알루미늄 필름 위에 액체 형태로 증착된 다음, 8 krpm으로 스핀 코팅될 수 있다. 스핀닝 이후에 상기 디바이스(100)는 수 나노 미터 두께의 PMMA 필름을 제공하기 위해, 핫 플레이트 상에서 200℃ 에서 약 2 분 동안 포스트-베이킹될 수 있다. 다른 스핀 코팅 속도 및 포스트 베이킹 시간이 버퍼층(306)에 대해 상이한 두께를 달성하는데 사용될 수 있다.

[0025] 버퍼층(306)을 증착한 다음, 도 3b에 도시된 바와 같이 포토레지스트 층(308)이 버퍼층(306)의 표면 상에 형성될 수 있다. 다음으로, 포토레지스트 층(308)의 적어도 일부분(301)이 광(311)(예컨대, UV 또는 DUV)에 노출되어, 노광된 레지스트의 화학적 변화를 야기하며, 따라서 노출된 레지스트는 포토레지스트 현상액에 용해되거나 혹은 용해되지 않게 된다.

[0026] 다음으로, 광에 노출된 포토레지스트 층(308)을 포함하는 디바이스(100)의 상부 표면에 현상액이 도포될 수 있다. 포지티브형 포토레지스트의 경우, 현상액은 입사광을 흡수한 상기 영역(301)의 포토레지스트를 제거하는 반면에, 도 3c에 도시된 바와 같이 노광되지 않은 포토레지스트(303)는 버퍼층(306)의 표면 상에 남아있게 한다. 네가티브형 포토레지스트의 경우, 현상액은 상기 영역(301) 이외의 포토레지스트 부분들을 제거하는 반면에, 상기 영역(301)은 버퍼층(306) 상에 남겨놓는다. 이러한 단계 동안에 현상액과 접촉하게 되는 버퍼층(306)의 영역(305)은 식각되지 않는다(또는 실질적으로 식각되지 않는다). 오히려, 도 3c에 도시된 바와 같이, 현상액과 접촉하게 되는 영역(305)을 포함하는 버퍼층(306)은, 현상액이 아래에 놓인 알루미늄 층(304)에 도달하는 것을 방지하고 따라서 알루미늄(304)이 식각되는 것을 방지하는 배리어로서의 역할을 수행한다.

[0027] 포토레지스트의 제거로 인해 드러난/노출된 버퍼층(306)의 부분(305)은 그 자체가 도 3d에 도시된 바와 같이 제거될 수 있다. 본 실시예에서, 버퍼층(306)은 PMMA를 포함하고 그리고 하부의 알루미늄 층(304)의 영역(307)을 노출시키도록 O₂ 애싱(O₂ ashing)을 이용하여 제거될 수 있다. O₂ 애싱에서, 산소 가스를 낮은 압력에서 고출력 라디오파(radio waves)에 노출시킴으로써 단원자 산소 플라즈마(monatomic oxygen plasma)가 생성된다. 그런 다음 반응성 산소는 PMMA와 결합하여 애쉬(ash)를 형성하며, 이는 진공 펌프로 제거된다. 비록, O₂ 애싱은 포토레지스트도 또한 제거하지만, PMMA는 포토레지스트에 비하여 매우 높은 식각을 선택도를 갖는다. 예를 들어, PMMA는 O₂ 애싱에 대해 포토레지스트에 비하여 3:1 이상의 식각을 선택도를 가질 수 있다. 따라서, O₂ 애싱은 패터닝된 포토레지스트 층을 실질적으로 제거함이 없이, PMMA 버퍼층(306)을 제거하기 위한 효과적인 방법이 될 수 있다. 버퍼층(306)을 제거하기 위한 다른 기술이 또한 사용될 수 있다. 버퍼층(306)을 제거하기 위한 기술의 식각 선택도는, 버퍼층(306)의 식각 동안 패터닝된 포토레지스트 층(308)이 제거되거나 실질적으로 열화되지 않을 정도로 충분히 높아야 한다.

[0028] 버퍼층(306)의 상기 부분(305)을 제거한 후에, 디바이스(100)에 대한 추가적인 프로세싱은 식각 및/또는 재료 증착을 포함할 수 있다. 예를 들어, 일부 구현예에서, 패터닝된 포토레지스트/버퍼 층은 식각을 위해 알루미늄 층(304)의 드러난/커버되지 않은 영역(307)을 정의할 수 있다. 알루미늄 층(304)의 영역(307)에 대한 식각은, 알루미늄 필름(304) 아래에 있는 층(예를 들어, 기판 302)에 도달할 때까지 계속될 수 있다. 예를 들어, Transene 회사로부터 입수가능한 식각제와 같은 습식 식각제를 이용하여 알루미늄을 제거할 수 있다. 일부 구현예에서, 알루미늄 필름(304) 아래의 층(예를 들어, 기판 302)은 상기 필름(304)을 마스크로서 이용하여 또한 식각될 수 있다. 예를 들어, 도 3e에 도시된 바와 같이, 기판(309)의 부분(309)은 알루미늄 영역(307)의 제거 이후에 식각될 수 있다. 일부 구현예에서, 버퍼층(306) 및 포토레지스트 층(308) 전체는 알루미늄 필름(304)의 영역(307)을 식각한 후에 제거된다. 포토레지스트는 예를 들어, 솔벤트(예컨대, 아세톤 또는 디메틸 술폭사이드(dimethyl sulfoxide)) 또는 포토스트립퍼(예컨대, AZ ®100 리무버)를 이용하여 제거될 수 있다. 버퍼층(306)은 본 명세서에서 설명된 바와 같이 O₂를 사용하여 제거될 수 있다. 일부 구현예에서, 남아있는 포토레지스트 층(308)은 층(304)을 식각하기 전에 제거된다.

[0029] 대안적으로 혹은 식각 프로세스 단계들에 부가적으로, 버퍼층(306)의 상기 부분(305)을 제거한 후에 물질이 디바이스에 부가될 수 있다. 예를 들어, 일부 구현예에서, 도전도 물질층(예를 들어, 알루미늄, 티타늄 질화물)이 알루미늄 층(304)의 커버되지 않은 영역(307) 상에 및 포토레지스트/버퍼층 스택 상에 증착될 수 있다. 포토레지스트/버퍼층들(306/308) 상에 증착된 도전도체의 부분들은, 예를 들어, 리프트-오프(lift-off) 공정을 사용하여 제거될 수 있다. 이제는 제거된 포토레지스트/버퍼층(306/308)에 의해 정의되는 폭을 갖는 도전도체 물질의 나머지 부분(310)은 도 3f에 도시된 바와 같이 알루미늄 층(304)의 표면 상에 남는다. 대안적으로 또는 추가적으로, 일부 실시예에서, 유전 물질(예를 들어, 전기적 절연 물질)이 알루미늄 층(304)의 커버되지 않은 영역(307) 및 포토레지스트/버퍼층 스택 상에 증착될 수 있다. 유전 물질은 예를 들어, 비정질 또는 다결정 실리콘 또는 실리콘 이산화물을 포함할 수 있다. 다른 물질도 또한 증착될 수 있다. 대안적으로, 일부 구현예에서, 알루미늄

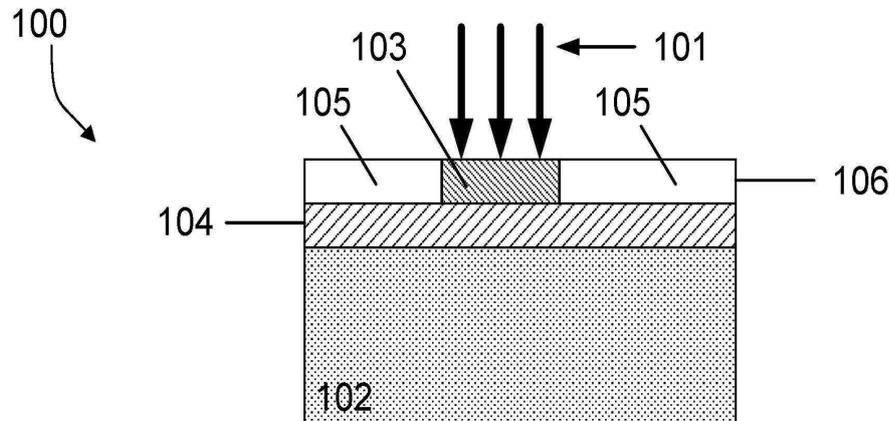
층(304)의 상기 부분(307)을 제거한 후에 디바이스(100)에 물질이 부가될 수 있다. 예를 들어, 초전도체, 유전체 또는 금속이 알루미늄을 식각한 이후에 하지만 포토레지스트를 제거하기 전에, 기관(302)의 노출된 부분에 증착될 수 있다. 다시 한번, 포토레지스트/버퍼층 상에 배치된 물질의 부분들을 제거하기 위해 리프트-오프 공정이 사용될 수 있다. 대안적으로, 포토레지스트 및 버퍼층은 새로운 물질층을 증착하기 전에 제거될 수 있다. 예를 들어, 도 3g는 디바이스(300)의 일례를 도시한 개략도로서, 알루미늄이 식각되어 밑에있는 기관(302)의 일부분을 노출시킨 이후에, 실리콘 이산화물 또는 비정질 실리콘과 같은 컨포멀(conformal)한 유전체(312)가 알루미늄 층(304)의 표면 상에 증착될 수 있다(예컨대, 화학기상증착법을 이용하여).

- [0030] 본 발명은 현상액에 의한 식각으로부터 알루미늄 필름을 보호하기 위한 버퍼층의 일례를 서술하고 있지만, 버퍼층은 또한 현상액에 의한 실질적 식각에 취약한 다른 필름들/물질들을 보호하기 위해 이용될 수 있다(예컨대, 아연 또는 갈바니 부식에 취약한 다른 물질들).
- [0031] 본 명세서에서 설명된 바와 같이, 버퍼층에 의해서, 현상액에 의한 식각으로부터 보호되는 알루미늄 층(또는 다른 층)은 양자 회로 소자 또는 고전적 회로 소자의 일부로서 사용될 수 있다. 추가적인 층들 및 구성 요소들도 도 3a 내지 도 3g와 관련하여 서술된 하나 이상의 프로세스 단계들을 한 번 이상 반복함으로써, 형성, 부가 및/또는 식각될 수 있다.
- [0032] 본 명세서에 서술된 공정들은 초전도체, 유전체 및/또는 금속과 같은 하나 이상의 물질들의 증착을 수반할 수 있다. 선택된 물질에 따라, 이들 물질들은 여러 증착 공정들 중 화학기상증착, 물리기상증착(예컨대, 이베포레이션 혹은 스퍼터링) 또는 에피택셜 기법들과 같은 증착 공정을 이용하여 증착될 수 있다. 또한, 본 명세서에 서술된 공정들은 제조 동안 디바이스로부터 하나 이상의 물질들의 제거를 수반할 수 있다. 제거되는 물질에 따라, 제거 공정은 예를 들어 습식 식각법, 건식 식각법 또는 리프트-오프 공정을 포함할 수 있다.
- [0033] 본 명세서에서 기술된 양자 주제 및 양자 연산의 구현에는 적절한 양자 회로, 또는 보다 일반적으로는, 본 명세서 및 그 등가물에 개시된 구조 또는 이들 중 하나 이상의 조합을 포함하는 양자 계산 시스템으로 구현될 수 있다. "양자 계산 시스템(quantum computational systems)"이란 용어는 양자 컴퓨터, 양자 정보 처리 시스템, 양자 암호 시스템 또는 양자 시뮬레이터를 포함하지만 이에 국한되지는 않는다.
- [0034] 양자 정보 및 양자 데이터라는 용어는 양자 시스템에 의해 운반되거나 보유되거나 저장되는 정보 또는 데이터를 지칭하며, 여기서 가장 작은 사소하지 않은(smallest non-trivial) 시스템, 예컨대 양자 정보의 단위를 정의하는 시스템은 큐비트이다. "큐비트(qubit)"라는 용어는 상응하는 문맥에서 2-레벨 시스템으로 적절히 근사될 수 있는 모든 양자 시스템을 포괄하는 것으로 이해된다. 이러한 양자 시스템은 예를 들어, 2 이상의 레벨과 같은 다중-레벨 시스템을 포함할 수 있다. 일례로서, 이러한 시스템은 원자, 전자, 광자, 이온 또는 초전도 큐비트를 포함할 수 있다. 많은 구현예에서, 계산 기초 상태(computational basis states)는 그라운드 및 제 1 여기 상태로 식별되지만, 계산 상태가 보다 높은 레벨의 여기 상태로 식별되는 다른 설정들도 또한 가능함을 유의해야 한다. 다음을 유의해야 하는바, 양자 메모리는 높은 충실도와 효율성으로 오랜 시간 동안 양자 데이터를 저장할 수 있는 디바이스인, 예컨대, 광-물질(light-matter) 인터페이스로서, 여기서 광은 전송을 위해 사용되고 물질은 중첩 또는 양자 코히어런스 등과 같은 양자 데이터의 양자 특징들을 저장하고 보존하기 위해 사용된다.
- [0035] 양자 회로 소자는 양자 프로세싱 동작을 수행하는데 사용될 수 있다. 즉, 양자 회로 소자는 중첩 및 얽힘과 같은 양자-기계 현상을 이용하여 비-결정적 방식(non-deterministic manner)으로 데이터에 대한 연산을 수행하도록 구성될 수 있다. 큐비트와 같은 소정의 양자 회로 소자는 2 이상의 상태에서 동시에 정보를 표현 및 연산하도록 구성될 수 있다. 본 명세서에 개시된 프로세스로 형성될 수 있는 초전도 양자 회로 소자의 일례들은, 동일-평면 도파관(co-planar waveguides), 양자 LC 발진기, 큐비트(예: 플럭스 큐비트 또는 전하 큐비트), 초전도 양자 간섭 디바이스(SQUID)(예컨대, RF-SQUID 또는 DC-SQUID), 인덕터, 커패시터, 전송 라인, 그라운드 평면 등을 포함할 수 있다.
- [0036] 이와 달리, 고전적인 회로 소자들은 일반적으로 결정론적 방식으로 데이터를 처리한다. 고전적인 회로 소자는 아날로그 또는 디지털 형태로 표현되는 데이터에 대해 기본 산술 연산, 논리 연산 및/또는 입/출력 연산을 수행함으로써 컴퓨터 프로그램의 명령들을 집합적으로 수행하도록 구성될 수 있다. 일부 구현예에서, 고전적인 회로 소자는 전기적 또는 전자기적 연결을 통해 양자 회로 소자로 데이터를 송신하고/또는 양자 회로 소자로부터 데이터를 수신하는데 사용될 수 있다. 본 명세서에 개시된 프로세스로 형성될 수 있는 고전적인 회로 소자의 일례들은, 고속 단일 플럭스 양자(RSFQ) 디바이스, 상호 양자 로직(RQL) 디바이스, 및 ERSFQ 디바이스를 포함하는데, ERSFQ는 RSFQ의 에너지 효율적인 버전이다(바이어스 저항을 사용하지 않음). 다른 고전적 회로 소자들도 또한 본 명세서에 개시된 프로세스로 형성될 수 있다.

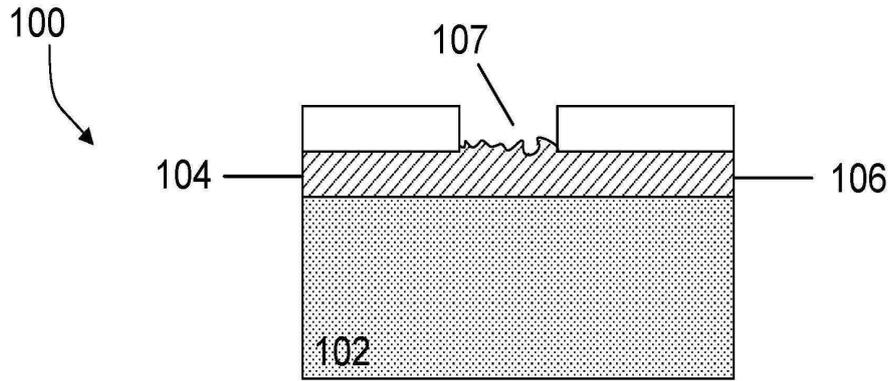
- [0037] 본 명세서에 서술된 회로 소자들과 같은 초전도 양자 회로 소자 및/또는 초전도 고전적인 회로 소자를 사용하는 양자 계산 시스템의 작동 중에, 초전도 회로 소자는 초전도 물질이 초전도 특성을 나타낼 수 있는 온도로 저온 유지 장치(cryostat) 내에서 냉각된다.
- [0038] 비록, 본 명세서는 많은 특정한 구현 세부사항들을 포함하지만, 이들은 청구될 수 있는 범위에 대한 제한으로 해석되어서는 안되며, 오히려 구현예별로 특정할 수 있는 피처들에 대한 설명으로 간주되어야 한다. 본 명세서에서 개별적인 구현예들의 문맥에서 서술된 피처들은 또한, 하나의 구현예에서 조합되어 구현될 수도 있다. 반대로, 단일 구현예의 문맥에서 기술된 다양한 피처들은 여러 구현예들에서 개별적으로 구현될 수도 있으며 또는 임의의 적절한 하위 조합으로 구현될 수도 있다. 또한, 피처들이 특정 조합으로 작용하는 것으로 앞서 서술되고 심지어 초기에는 이러한 것으로서 청구될 수도 있지만, 청구된 조합으로부터의 하나 이상의 피처들은 일부 경우에서, 상기 조합으로부터 제거될 수도 있으며, 청구된 조합은 하위 조합 또는 하위 조합의 변형예에 관한 것일 수도 있다.
- [0039] 유사하게, 동작들이 특정 순서대로 도면들에 도시되어 있지만, 이는 바람직한 동작을 달성하기 위해, 표현된 동작들이 도시된 특정 순서대로 또는 순차적으로 수행되어야 함을 요구하거나, 또는 도시된 모든 동작들이 수행될 필요가 있는 것으로 이해되어서는 안된다. 예를 들어, 청구 범위에서 열거된 동작들은 상이한 순서로 수행될 수 있으며 여전히 바람직한 결과를 달성한다. 특정 상황에서는, 멀티 태스킹 및 병렬 처리가 유리할 수도 있다. 또한, 상술한 구현예에서 다양한 구성 요소의 분리는 모든 구현예에서 그러한 분리를 요구하는 것으로 이해되어서는 안된다.
- [0040] 많은 구현예들이 설명되었다. 그럼에도 불구하고, 본 발명의 사상 및 범위를 벗어나지 않고도 다양한 변형이 이루어질 수 있음을 이해할 것이다. 다른 구현예들은 다음의 청구항들의 범위 내에 속한다.

도면

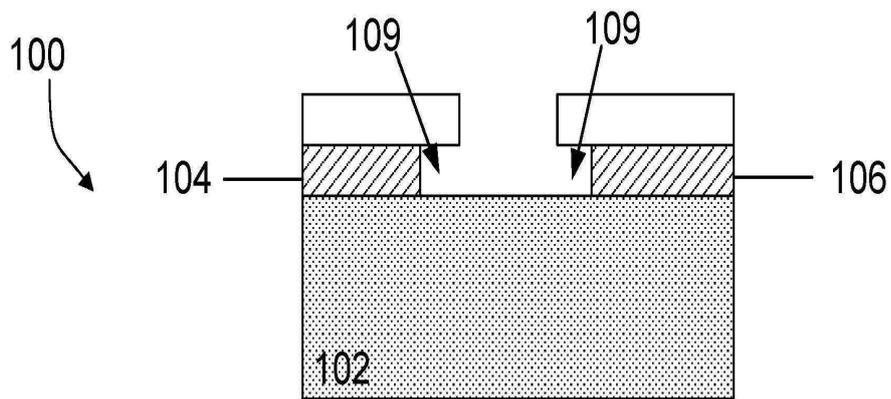
도면1a



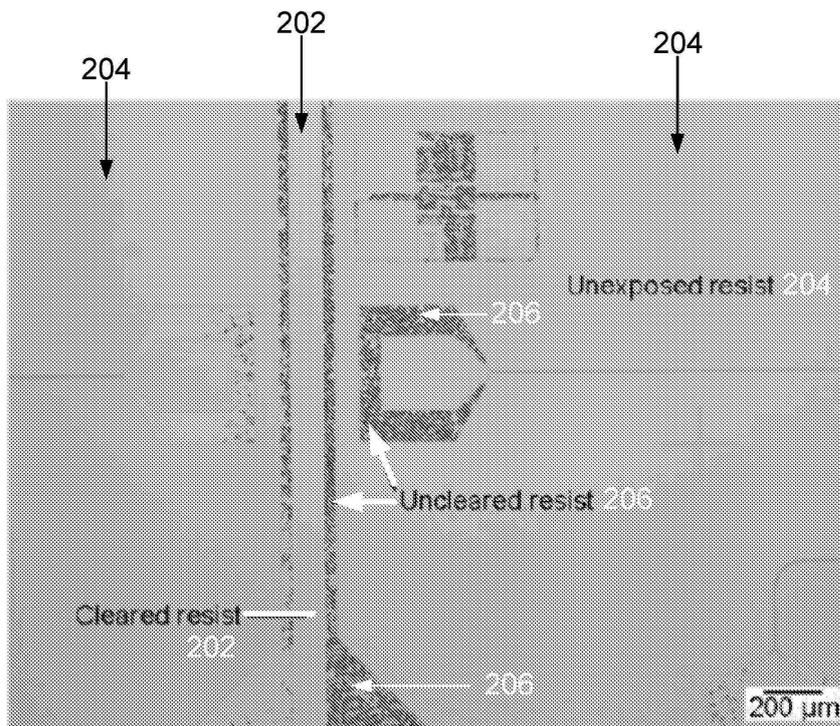
도면1b



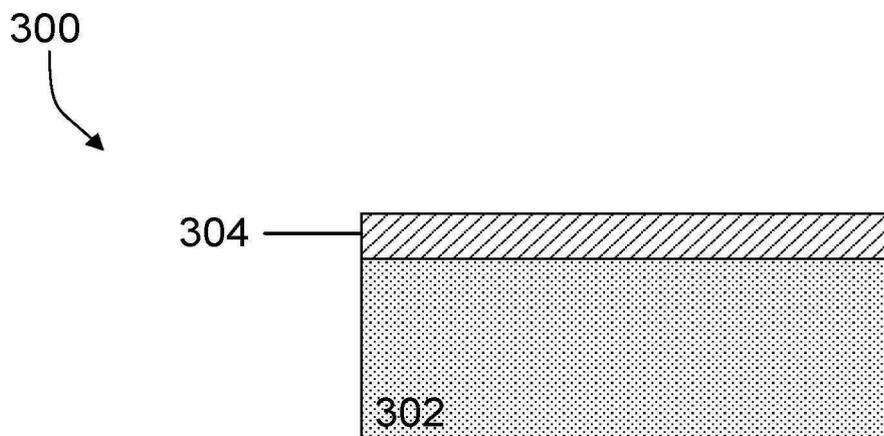
도면1c



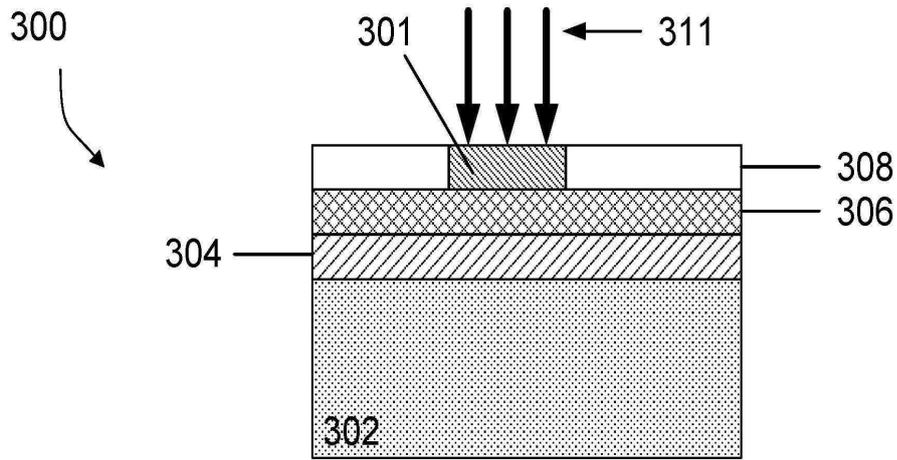
도면2



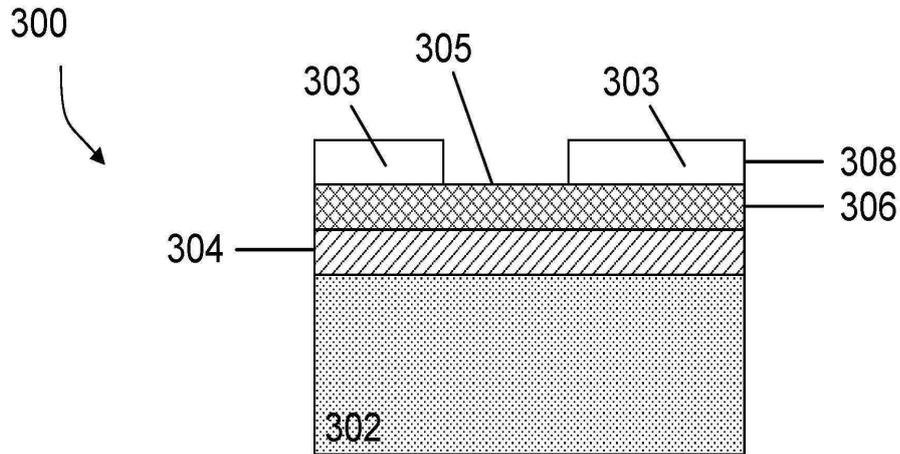
도면3a



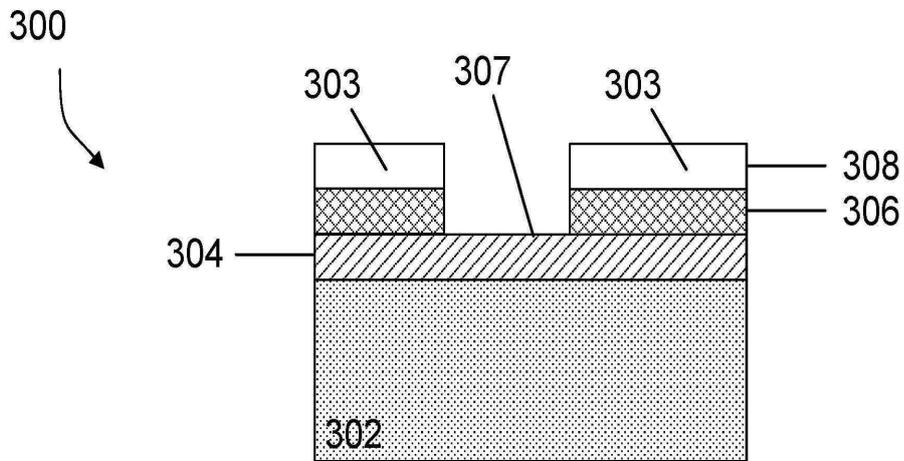
도면3b



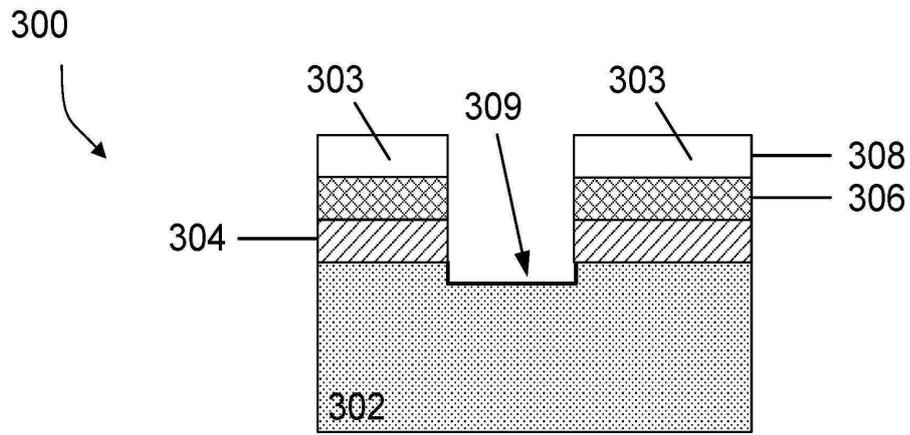
도면3c



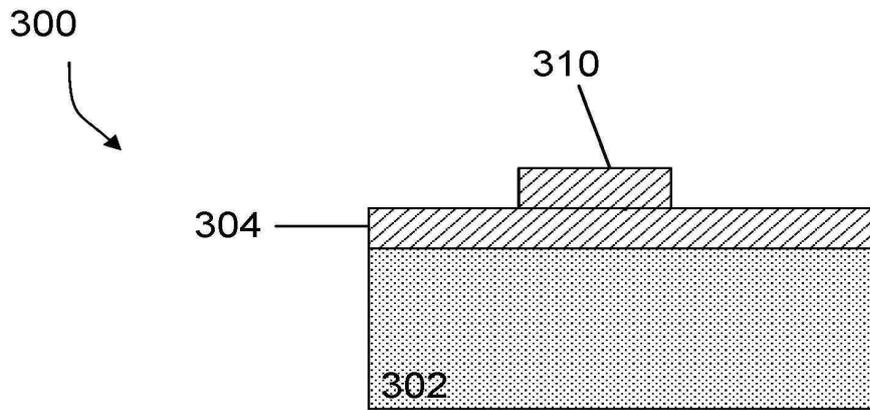
도면3d



도면3e



도면3f



도면3g

