



(12) 发明专利

(10) 授权公告号 CN 109119473 B

(45) 授权公告日 2021.09.21

(21) 申请号 201810928300.4

H01L 29/423 (2006.01)

(22) 申请日 2018.08.15

H01L 21/336 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 109119473 A

(56) 对比文件

US 2011284951 A1, 2011.11.24

US 2013344667 A1, 2013.12.26

CN 103474463 A, 2013.12.25

US 2014054655 A1, 2014.02.27

(43) 申请公布日 2019.01.01

(73) 专利权人 南京棠邑科创服务有限公司

地址 211500 江苏省南京市六合区雄州街道王桥路59号裙楼214室

审查员 张文星

(72) 发明人 不公告发明人

(74) 专利代理机构 南京利丰知识产权代理事务所(特殊普通合伙) 32256

代理人 任立

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 29/10 (2006.01)

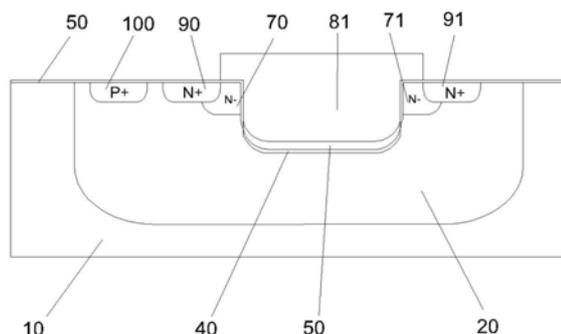
权利要求书1页 说明书9页 附图10页

(54) 发明名称

一种晶体管及其制作方法

(57) 摘要

本发明涉及半导体技术领域,具体涉及一种新型半导体晶体管及其制造方法,所述晶体管包括:衬底,所述衬底上设有一源区、一漏区以及连通所述源漏区的沟道区;一栅结构,所述栅结构是垂直结构,在晶体管开启时,源极的电子,顺着体内垂直多晶硅栅的两侧向漏极水平流动,从而实现将位于器件表面的单一平面沟道转移到沟槽侧壁成为多条导电沟道的目的,本发明相比较传统的平面型晶体管结构具有更低的导通电阻,更高的电流驱动能力。



1. 一种晶体管的制作方法,其特征在于,所述方法包括:
提供半导体衬底;
在所述半导体衬底上形成阱区;
在所述阱区中形成若干条沟槽;
在所述衬底上表面以及沟槽内壁形成栅氧化层;
在所述沟槽和衬底进行多次多晶硅填充形成栅极结构;
在所述沟槽两侧形成位于所述阱区的源区与漏区;
形成所述栅氧化层之前具体包括:
对所述沟槽底部进行尖角处理;
在所述沟槽内部形成牺牲氧化层并去除牺牲氧化层;
在所述沟槽底部形成场氧化层;
在所述沟槽侧壁通过离子注入工艺调节侧壁阈值电压;
在所述沟槽底部形成场氧化层具体包括,所述沟槽底部先进行干氧化形成场氧化层,再进行快速热退火形成底部场氧化层。

2. 根据权利要求1所述的制作方法,其特征在于,在所述阱区形成若干条沟槽具体包括,在所述阱区上通过光刻刻蚀形成若干条垂直于所述半导体衬底上表面的沟槽。

3. 根据权利要求1所述的制作方法,其特征在于,在所述沟槽和衬底进行多次多晶硅填充形成所述栅极结构具体包括:

对所述沟槽进行第一次多晶硅填充;
对多晶硅以栅氧化层为阻挡层进行干法回刻,用于保留沟槽内部的多晶硅;
在半导体表面进行第二次多晶硅填充;
对多晶硅进行干法刻蚀,使保留的多晶硅在半导体长边方向的宽度大于沟槽的长度;
第一次多晶硅填充以栅氧化层为阻挡层进行干法回刻之后具体包括,对阱区上表面再次通过离子注入工艺调节表面阈值电压,所述阱区上表面通过离子注入工艺调节表面阈值电压使其和侧壁阈值电压相同。

4. 根据权利要求3所述的制作方法,其特征在于,所述第一次多晶硅填充和所述第二次多晶硅填充的多晶硅掺杂浓度相同。

一种晶体管及其制作方法

技术领域

[0001] 本发明涉及半导体技术领域,具体涉及一种新型半导体晶体管及其制作方法。

背景技术

[0002] 金属(metal)-氧化物(oxide)-半导体(semiconductor)场效应晶体管(MOS管),是一种可以广泛使用在模拟电路与数字电路的场效应晶体管,其中依据其‘通道’工作载流子的极性不同,可分为“N型”和“P型”两种类型。其工作原理(以N沟道增强型MOS场效应管即增强型N-MOS管为例)是利用栅极电压来控制“感应电荷”的多少,以改变由这些“感应电荷”形成的导电沟道的状况,然后达到控制漏极电流的目的。当栅极电压改变时,沟道内感应的电荷量也改变,导电沟道的宽窄也随之而变,因而漏极电流随着栅极电压的变化而变化,传统工艺的硅表面只有单层沟道,晶体管载流子流动被局限于硅表面,从而晶体管的导电能力被结构所限制。

发明内容

[0003] 鉴于以上情况,本发明所要解决其技术问题所采用以下技术方案来实现。

[0004] 第一方面,本发明实施例提供一种晶体管的制作方法,包括:提供半导体衬底;在所述半导体衬底上形成阱区;在所述阱区中形成若干条沟槽;在所述衬底上表面以及沟槽内壁形成栅氧化层;在所述沟槽两侧形成位于所述阱区的源区与漏区,在所述沟槽和衬底进行多次多晶硅填充形成所述栅极结构。

[0005] 进一步地,在所述阱区形成若干条沟槽具体包括,在所述阱区上通过光刻刻蚀形成若干条垂直于所述半导体衬底上表面的沟槽。

[0006] 进一步地,形成所述栅氧化层之前具体包括:对所述沟槽底部进行尖角处理,用于提升半导体耐压;在所述沟槽内部形成牺牲氧化层并去除牺牲氧化层;在所述沟槽底部形成场氧化层;在所述沟槽侧壁通过离子注入工艺调节侧壁阈值电压。

[0007] 进一步地,在所述沟槽底部形成场氧化层具体包括:所述沟槽底部先进行干氧氧化形成场氧化层,再进行快速热退火形成底部场氧化层,所述场氧化层用于防止沟槽底部漏电。

[0008] 进一步地,在所述沟槽和衬底进行多次多晶硅填充形成所述栅极结构具体包括,对所述沟槽进行第一次多晶硅填充;对多晶硅以栅氧化层为阻挡层进行干法回刻或者化学机械抛光,用于保留沟槽内部的多晶硅;在半导体表面进行第二次多晶硅填充;对多晶硅进行干法刻蚀,用于使多晶硅大于沟槽长度。

[0009] 进一步地,所述两次填充的多晶硅掺杂浓度相同。

[0010] 进一步地,在第一次多晶硅填充以栅氧化层为阻挡层进行干法回刻之后具体包括,对阱区上表面再次通过离子注入工艺调节表面阈值电压,所述阱区上表面通过离子注入工艺调节表面阈值电压使其和侧壁阈值电压相同。

[0011] 进一步地,在阱区表面再次通过离子注入工艺调节表面阈值电压之后具体包括,

在阱区形成轻掺杂N-层的源区和漏区,用于减少 晶体管的漏电电场和减少晶体管的沟道电阻;在第二次多晶硅填充 干法刻蚀之后具体包括,在阱区形成重掺杂N+层的源区和漏区。

[0012] 第二方面,本发明还提供一种晶体管,包括:半导体衬底;形 成于所述半导体衬底上的阱区以及形成于所述阱区内的若干条沟槽; 栅氧化层,形成于所述沟槽内壁;源区和漏区,分别形成于所述沟 槽的两侧;栅极结构,通过在所述沟槽和所述衬底进行填充多晶 硅 形成,包括形成于所述沟槽内的第一部分,以及形成于所述阱区上 表面的第二部分。

[0013] 进一步地,所述栅极结构在导通时,在所述第一部分侧壁相应 的阱区表面形成导电沟道,在所述第二部分表面相应的阱区上表面 形成导电沟道。

[0014] 进一步地,所述源区和漏区包括轻掺杂N-层和重掺杂N+层。

[0015] 本发明实施例的技术方案具有以下优点:在传统工艺的硅表面 单层沟道的基础上,通过改变栅极结构,不仅其表面可以参与导电, 其侧面也形成多条导电沟道,从而使得源漏之间形成全方位导电结 构,极大提升了晶体管的导电能力,降低了晶体管的导通电阻,极 具性价比优势。

附图说明

[0016] 构成本发明的一部分的附图用来提供对本发明的进一步理解, 本发明的示意性实施例及其说明用于解释本发明,并不构成对本发 明的不当限定。

[0017] 在附图中:

[0018] 图1为本发明实施例所述的衬底和阱区结构示意图;

[0019] 图2A为本发明实施例所述的沟槽俯视图;

[0020] 图2B为沿图2A的A-A' 线剖开的剖面图;

[0021] 图3为本发明实施例所述尖角处理的结构示意图;

[0022] 图4为本发明实施例所述场氧化层的结构示意图;

[0023] 图5为本发明实施例所述沟槽调节侧壁阈值电压的结构示意图;

[0024] 图6为本发明实施例所述栅氧化层的结构示意图;

[0025] 图7为本发明实施例所述第一次多晶硅填充的结构示意图;

[0026] 图8为本发明实施例所述第一次多晶硅填充后去除多晶硅的结 构示意图;

[0027] 图9A为本发明实施例所述源区和漏区N-层的结构示意图;

[0028] 图9B为沿图9A的A-A' 线剖开的剖面图;

[0029] 图9C为沿图9A的B-B' 线剖开的剖面图;

[0030] 图10为本发明实施例所述第二次多晶硅填充的结构示意图;

[0031] 图11A为本发明实施例所述第二次多晶硅填充后去除多晶硅的 结构示意图。

[0032] 图11B为沿图11A的A-A' 线剖开的剖面图;

[0033] 图12A为本发明实施例所述源区和漏区N+层的结构示意图;

[0034] 图12B为沿图12A的A-A' 线剖开的剖面图;

[0035] 图12C为沿图12A的B-B' 线剖开的剖面图;

[0036] 图13A为本发明实施例所述体区的结构俯视图;

[0037] 图13B为沿图13A的A-A' 线剖开的剖面图;

[0038] 图13C为沿图13A的B-B'线剖开的剖面图。

具体实施方式

[0039] 为了使本发明的目的、技术方案和有益技术效果更加清晰明白，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0040] 在本发明的描述中，需要说明的是，术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，或者是该发明产品使用时惯常摆放的方位或位置关系，仅是为了便于描述本发明和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本发明的限制。此外，术语“第一”、“第二”、“第三”等仅用于区分描述，而不能理解为指示或暗示相对重要性。

[0041] 通常使用两个复杂的制作工艺制造半导体器件：前端制造和后端制造。前端制造包含在半导体晶片的表面上形成多个小片。在晶片上的每个小片包含有源和无源电子元件，所述有源和无源电子元件电连接以形成功能性电路，有源电子元件，诸如晶体管和二极管，具有控制电流流动的能力。无源电子元件，诸如电容器、电感器、电阻器和变压器。产生执行电路功能所必要的电压和电流之间的关系。

[0042] 通过一系列的工艺步骤，在半导体的表面上形成无源和有源元件，所述工艺步骤包括掺杂、沉积、光刻、刻蚀和平坦化。掺杂通过诸如离子注入或热扩散的技术，将杂质引入半导体材料中。掺杂工艺改变有源器件中的半导体材料的导电率，将半导体材料转换为绝缘体、导体，或者响应于电场或基极电流动态地改变半导体材料的传导率。

[0043] 有源和无源元件由具有不同电性能的材料层形成。可通过部分地由被沉积的材料类型所决定的多种沉积技术来形成这些层。例如，薄膜沉积可包括化学气相沉积、物理气相沉积、电解电镀和非电解电镀工艺。通常图案化每个层以形成有源元件、无源元件或者元件之间的电连接的部分。

[0044] 以下结合图1-图13C，对本发明实施例提供一种晶体管的制作方法进行详细说明，该方法包括：

[0045] S01：提供半导体衬底10；

[0046] S02：在所述半导体衬底10上形成阱区20；

[0047] S03：在所述阱区20中形成若干条沟槽30；

[0048] S04：在所述衬底10上表面以及所述沟槽30内壁形成栅氧化层50；

[0049] S05：在所述沟槽30两侧形成源区与漏区；

[0050] S06：在所述沟槽和衬底进行多次多晶硅填充形成所述栅极结构。

[0051] 本发明实施例的技术方案通过改变栅极结构，不仅其表面可以参与导电，其侧面也形成多条导电沟道，从而使得源漏之间形成全方位导电结构，极大提升了晶体管的导电能力，降低了晶体管的导通电阻，极具性价比优势。

[0052] 下面参照附图，对上述形成所述晶体管的具体方法加以详细阐述。

[0053] 如图1所示,步骤S01:提供半导体衬底10,具体的,衬底可以是以下所提到的材料中的至少一种:硅、锗、砷化镓、磷化铟或者碳化硅等,此外,半导体衬底上可以被定义有源区。为了简化,此处仅以一空白来表示半导体衬底,所述衬底作为所述晶体管的载体,主要起到结构支撑的作用,在本实施方式中,所述衬底的材质优选为硅衬底,硅为最常见、低廉且性能稳定的半导体材料。

[0054] 如图1所示,步骤S02:在所述半导体衬底10上形成阱区20,具体的,所述半导体衬底涂覆光刻胶,以光刻胶作为掩蔽膜对所述半导体进行离子注入工艺,通过注入N型杂质形成N阱区。在一些实施方式中,半导体衬底通过热氧化工艺形成氧化硅膜,以氧化硅膜作为掩蔽膜对所述半导体进行离子注入工艺或者扩散工艺,通过N型杂质的扩散形成N阱区,通过P型杂质的扩散形成P阱区,所述阱区水平地形成在衬底的表面下,所述P型杂质为硼、铝、镓、铟等,所述N型杂质为磷、砷、锑、铋等。在其他实施方式中,也可以不通过掩膜的方式,直接对轻掺杂的半导体衬底进行聚焦的离子注入方式形成阱区。

[0055] 如图2A和2B所示,步骤S03:在所述阱区20中形成若干条沟槽30,具体的,在阱区上进行涂覆光刻胶然后光刻刻蚀形成若干条沟槽30,所述若干条沟槽垂直于所述半导体衬底上表面,可以理解的,通过使用光刻,将需要形成的图案从光掩膜转移到光刻胶上,使用溶剂去除光刻胶图案的经受光的部分,暴露下面层的要被图案化的部分,去除光刻胶的剩余物,留下图案化的层。在本实施方式中,沟槽的深度小于阱区结深,沟槽宽度为工艺允许的最小线宽,若干条沟槽之间的间距约为两倍沟槽的宽度。

[0056] 如图3-图6所示,在执行步骤S04所述衬底10上表面以及所述沟槽30内壁形成栅氧化层50之前具体包括,对所述沟槽30底部进行尖角处理;在所述圆滑沟槽31内部形成牺牲氧化层并去除牺牲氧化层;在所述圆滑沟槽31底部形成场氧化层40;在所述圆滑沟槽31侧壁通过离子注入工艺调节侧壁阈值电压。经过以上步骤之后在所述衬底10上表面以及所述圆滑沟槽31内壁形成栅氧化层50。

[0057] 其中,如图3所示,对所述沟槽30底部进行尖角处理形成圆滑沟槽31,具体的,通过等离子体的各向同性刻蚀可以消除底部尖角形成底部圆滑的形状,避免电场集中效应,提升晶体管的耐压和可靠性,刻蚀气体通常为氯基气体。可以理解的,沟槽经过刻蚀后底部形成尖角,容易形成局部电场集中效应。

[0058] 其中,在圆滑沟槽31内部形成牺牲氧化层并去除牺牲氧化层,在本实施方式中,采用热氧化工艺形成氧化硅,氧化硅形成后,可以采用湿法腐蚀或干法刻蚀的方法去除作为牺牲层的氧化硅,本实施方式优选通过湿法腐蚀去除牺牲层的氧化硅。更加具体的,通常牺牲层氧化温度在800°C-1000°C之间,牺牲层的厚度在100Å (Angstrom,埃)-1000Å (Angstrom,埃)之间,牺牲层去除的方法为氢氟酸湿法腐蚀,剥除所有表面氧化硅层。通过形成牺牲氧化层并去除牺牲氧化层消除沟槽内部的刻蚀损伤,使沟槽内部平坦光滑,有效提升后续栅氧化层的质量和可靠性。

[0059] 其中,如图4所示,在圆滑沟槽31底部形成场氧化层40,具体的,对圆滑沟槽31底部进行氧元素注入并快速热退火形成场氧化层,圆滑沟槽31底部形成两侧薄、底部厚的场氧化层40,更具体的,氧元素注入能量在100Kev-300kev之间,注入浓度在 $1E17-1E19/CM^2$ 之间。退火温度在1000°C-1100°C之间,退火时间在15s(second,秒)-60s(second,秒)之间,退火一方面可以修复晶格损伤,另一方面可以激活注入的氧元素使之与沟槽下方的硅

发生反应 形成二氧化硅,退火后,沟槽底部形成两侧薄,底部厚的氧化层,底部氧化层厚度一般是后续栅氧化层的3倍以上(通常在300Å- 3000Å之间),底部厚氧不仅可以弱化多晶硅与底部阱区之间的电 场,提升器件耐压性能,还可以提升底部导电沟道开启阈值,防止沟槽底部漏电。

[0060] 其中,如图5所示,在所述圆滑沟槽31侧壁通过离子注入工艺 调节侧壁阈值电压,具体的,所述半导体衬底涂覆光刻胶,以光刻 胶作为掩蔽膜对所述半导体进行离子注入工艺,注入的离子通常为 硼离子,采用倾角注入的方式,更具体的,使半导体上表面与注入离子束呈 60° - 80° 左右的夹角 β ,进行四次硼元素的注入,而每 注入完成一次,对半导体向同一个方向进行 90° 的旋转,使得沟槽 每一面侧壁都进行了一次离子注入,用于调节沟槽侧壁的阈值电压。

[0061] 如图6所示,步骤S04:在所述衬底10和阱区20上表面、圆 滑沟槽31底面和侧壁形成栅氧化层50,具体的,对半导体去除光 刻胶后并通过干氧氧化形成栅氧化层50,其中,氧化方法包括干氧 氧化、湿氧氧化、水汽氧化、掺氯氧化、氢氧合成氧化等,在本实 施方式中优选干氧氧化,在氧化过程中,直接通入氧气进行氧化, 通过干氧氧化生成的栅氧化层结构致密,均匀性和重复性好,对杂 质掩蔽能力强,与光刻胶的附着性好等优点。栅氧化层的 厚度取决 于晶体管的阈值电压及栅极耐压需求,优选地,可以在50Å-500Å 之间。

[0062] 步骤S05:在所述圆滑沟槽31和衬底10进行多次多晶硅填充 形成所述栅极结构具体包括,对所述圆滑沟槽31进行第一次多晶硅 填充60;对多晶硅以栅氧化层50为阻挡层进行干法回刻,用于保 留沟槽内部的多晶硅;在半导体表面进行第二次多晶硅填充80;对 多晶硅进行干法刻蚀,用于使多晶硅大于沟槽长度。

[0063] 其中,如图7所示,对所述圆滑沟槽31进行第一次多晶硅填充 60,具体的,其填充方式包括常压化学气相沉积法、低压化学气相 沉积法、等离子体辅助化学气相沉积法等,在本实施方式中,优选 地为低压化学气相沉积法,其掺杂的多晶硅纯度高,均匀性强。更 具体的,多晶硅的厚度大致等于沟槽的宽度,多晶硅生长后,沟槽 被完全填充。

[0064] 如上面描述的,低压化学气相沉积法的过程是气体或是气相源 材料引进反应器内,源材料扩散穿过边界层并接触半导体表面,源 材料吸附在半导体表面上,吸附的源材料在半导体表面上移动,在 半导体表面开始化学反应,固态副产物在半导体表面上形成晶核, 晶核生长成岛状物,岛状物合并成连续的薄膜,其他气体副产物从 半导体表面脱附释出,气体副产物扩散过边界层,气体副物流出 反应器。

[0065] 其中,如图8所示,对多晶硅以栅氧化层50为阻挡层进行干法 回刻或者化学机械抛光,用于去除硅片表面的多晶硅而保留沟槽内 部的多晶硅61,具体的,所述圆滑沟槽31被多晶硅完全填充后再 以半导体上表面栅氧化层50作为阻挡层,对多晶硅进行化学机械 抛 光或者干法回刻,去除其他区域的多晶硅仅保留沟槽内部的多晶硅 作为栅极结构。

[0066] 进一步地,在第一次多晶硅填充60以栅氧化层50为阻挡层进 行干法回刻之后具体包括,对阱区20上表面再次通过离子注入工艺 调节表面阈值电压,所述阱区20上表面通过离子注入工艺调节表面 阈值电压使其和侧壁阈值电压相同,具体的,采用正常单次注入 的方式,注入的离子为硼离子,注入剂量低于第一次离子注入工艺调 节侧壁阈值电压注入的剂量,大约在 $2E11$ - $3E12$ 之间,注入完成后, 其阱区上表面阈值电压使其和侧壁阈值电压相同。

[0067] 其中,如图10所示,在半导体表面进行第二次多晶硅填充80,具体的,其填充方式为低压化学气相沉积法,其第二次填充的多晶硅掺杂浓度与第一次填充的多晶硅掺杂浓度相同,使得两次填充的多晶硅形成一个栅极结构,通常多晶硅厚度在1500-4000Å之间。

[0068] 其中,如图11A-11B所示,在半导体表面进行第二次多晶硅填充80后对多晶硅进行干法刻蚀,剩余多晶硅81,保留的多晶硅长度大于沟槽长度,具体的,选择半导体需要刻蚀的图案形状涂覆光刻胶,根据多晶硅层的膜层不同,采用相应的等离子体通过光刻胶,与多晶硅发生物理或者化学反应,对多晶硅进行选择刻蚀,刻蚀气体为含氯或含溴的气体。更具体的,刻蚀后的多晶硅层AA'方向的边界略大于沟槽长度,多晶硅层相较于沟槽长度通常大于0.1-0.2μm,而垂直于AA'方向超出沟槽长度的距离近似等于若干沟槽之间的间距。

[0069] 步骤S06:在所述圆滑沟槽31两侧形成位于所述阱区的源区与漏区具体包括,在阱区形成轻掺杂N-层的源区和漏区,用于减少晶体管的漏电电场和减少晶体管的沟道电阻,在阱区形成重掺杂N+层的源区和漏区。

[0070] 其中,如图9A-9C所示,源区的轻掺杂N-层70和漏区的轻掺杂N-层71形成于在阱区20表面再次通过离子注入工艺调节表面阈值电压之后,具体的,半导体进行涂覆光刻胶,通过刻蚀工艺去除对应源区和漏区的光刻胶,对源区和漏区的部分注入轻掺杂有砷的n型半导体材料,以形成源极N-层70区域和漏极N-层71区域,轻掺杂源漏极N-层有效的防止短沟道效应,而且大质量材料和表面非晶态的结合形成的浅结有助于减少源漏间的沟道漏电流效应。最后两条N-层在AA'方向与栅氧化层有轻微交叠,交叠尺寸在0.05-0.2μm之间,两条N-层在垂直于AA'方向需超出最外侧的沟槽边,超出距离近似等于栅氧化层的宽度。

[0071] 其中,如图12A-12C所示,源区重掺杂N+层90和漏区重掺杂N+层91形成于在半导体表面进行第二次多晶硅填充后对多晶硅进行干法刻蚀之后,具体的,N+层的注入离子通常为砷或者磷元素,注入能量在15-60Kev之间,注入剂量在 $1E15-1E16/cm^2$ 之间,在AA'方向完全包覆N-层,并超出N-层,在垂直于AA'方向小于多晶硅边界,与N-层平齐。

[0072] 进一步地,如图13A-13C所示,在阱区一侧形成体区100,所述体区100与所述源区位于所述圆滑沟槽31的同一侧,具体的,在阱区通过硅栅自对准技术进行体区P+层的光刻和注入,更具体的,对衬底进行涂覆光刻胶然后光刻刻蚀出体区,体区刻蚀在源区的一侧,再对体区进行离子注入工艺,注入的杂质为硼元素,注入能量在15-60Kev之间,注入剂量在 $1E15-1E16/cm^2$ 之间,优选地,体区长度与源区长度一致,宽度可以在0.2-1μm之间,体区P+层在阱区一侧形成体区,用于避免闩锁效应。

[0073] 进一步地,对半导体进行源漏热处理,具体的,热处理温度通常在 $850^{\circ}-1050^{\circ}$ 之间,时间通常在一个小时以内,用于激活源漏及体区的杂质。后续的步骤同常规工艺一致,薄膜淀积,光刻刻蚀接触孔,生长金属,光刻刻蚀,金属互联,器件制作完成。

[0074] 如图13A、13B和13C所示,本发明实施例提供一种晶体管,包括:半导体衬底10;形成于所述半导体衬底10上的阱区20以及形成于所述阱区内的若干条沟槽30;栅氧化层50,形成于所述沟槽30内壁;源区和漏区,分别形成于所述沟槽的两侧;栅极结构,通过在所述沟槽和所述衬底进行填充多晶硅形成,包括形成于所述沟槽内的第一部分,以及形成于所述阱区上表面的第二部分。

[0075] 本发明实施例通过改变晶体管的栅极结构,将平面栅结构改变为垂直结构,使得晶体管体内垂直栅结构的侧面形成导电沟道,从而使得源漏之间形成全方位导电结构。

[0076] 进一步地,如图1所示,半导体衬底10,包括基底半导体材料,诸如硅、锗、砷化镓、磷化铟或者碳化硅,用于结构支撑。对于N-MOS器件,衬底初始掺杂有p型半导体材料,诸如硼、铝或者镓杂质,以在衬底表面之下形成阱区,以 $1E13-1E14/CM^2$ 的剂量以数百 Kev的离子注入,沉积p型掺杂剂。其他注入可以以适当的剂量和能量水平沉积。对于离子注入不需要掩膜。阱区可以降低穿通效应,用于钳位漏极至源极的击穿电压,降低反向恢复时间,并且通常可以改进晶体管的稳健性。

[0077] 进一步地,如图1所示,半导体衬底10上形成有阱区20,晶体管可以是n沟道场效应管(N-MOS)或者p沟道场效应管(P-MOS),其中“p”表示正载流子型(空穴)并且“n”表示负载流子型(电子)。尽管本实施例以N-MOS器件描述,但相反类型的半导体材料可以用于形成P-MOS器件。例如,n型衬底初始以n型半导体材料掺杂,诸如磷、锑或者砷杂质,以形成n阱区域。

[0078] 进一步地,如图2A-2B所示,阱区20中的若干条沟槽30,具体的,沟槽可以是一条、两条甚至更多,所述沟槽的深度小于阱区结深,结深是半导体制作工艺的重要参数,是从硅表面到扩散层浓度等于衬底浓度处之间的距离,在本实施方式中,所述阱区结深为阱区上表面至衬底上表面之间的距离,所述沟槽深度约为阱区深度的一半,小于其阱区结深,更具体的,沟槽版图为长条型阵列,沟槽的长度和后续的有效沟道长度密切相关,沟槽宽度通常为工艺允许的最小线宽,而沟槽之间的间距约为两倍沟槽长度。通过使用光刻来形成沟槽,通过使用光刻,将需要形成的图案从光掩膜转移到光刻胶上,使用溶剂去除光刻胶图案的经受光的部分,暴露下面层要被图案化的部分,去除光刻胶的剩余物,留下图案化的层。可替换的,一些类型的材料是如此被图案化的:通过使用诸如非电解和电解电镀的技术将材料直接沉积到由先前的沉积工艺形成的区域或者空隙中。

[0079] 进一步地,如图3所示,所述沟槽30底部通过尖角处理形成圆滑沟槽31,在一个实施例中,通过等离子体的各向同性刻蚀可以消除底部尖角形成底部圆滑的形状,避免电场集中效应,提升晶体管的耐压和可靠性。

[0080] 进一步地,对圆滑沟槽31内部通过热氧化形成牺牲氧化层,并去除牺牲氧化层,在一个实施例中,热氧化方法为干氧化,牺牲层氧化温度在 $800^{\circ}C-1000^{\circ}C$ 之间,牺牲层的厚度在 $100A-1000A$ 之间,牺牲层去除的方法为HF湿法腐蚀,剥除所有表面氧化层。牺牲层处理的目的是消除沟槽内部的刻蚀损伤,使沟槽内部平坦光滑,可以有效提升后续栅氧化层的质量和可靠性。

[0081] 进一步地,如图4所示,对圆滑沟槽31底部通过氧化并快速热退火形成场氧化层40,圆滑沟槽31底部形成两侧薄、底部厚的场氧化层,在一个实施例中,其中氧化方法为湿氧化,底部厚氧不仅可以弱化多晶硅与底部阱区之间的电场,提升器件耐压,还可以提升底部导电沟道开启阈值,防止沟槽底部漏电,快速的升温过程和短暂的持续时间能够在晶格缺陷的修复、激活杂质和最小化杂质扩散三者之间取得优化。

[0082] 进一步地,如图5所示,在所述圆滑沟槽31侧壁通过离子注入工艺调节侧壁阈值电压,具体的,所述半导体衬底涂覆光刻胶,以光刻胶作为掩蔽膜对所述半导体进行离子注入工艺,注入的离子通常为硼离子,采用倾角注入的方式,更具体的,使半导体上表面与

注入离子束呈 60° - 80° 左右的夹角 β ,进行四次硼元素的注入,而每注入完成一次,对半导体向同一个方向进行 90° 的旋转,使得沟槽每一面侧壁都进行了一次离子注入,用于调节沟槽侧壁的阈值电压。

[0083] 进一步地,如图6所示,在所述衬底10上表面以及所述圆滑沟槽31内壁形成栅氧化层50,绝缘或者介电层形成在衬底的上表面和沟槽内壁上,作为栅极氧化层。栅极氧化物层的厚度控制阈值电压、热载流子注入以及栅极-源极电压额定值。

[0084] 进一步地,如图7所示,在所述圆滑沟槽31内第一次多晶硅填充60以形成栅极结构,多晶硅层的电阻可以通过重掺杂有n型半导体材料而被降低,例如砷。在本实施例中,优选地,填充方式为低压化学气相沉积。

[0085] 进一步地,如图8所示,填充完成后,以衬底上表面栅氧化层50作为阻挡层,对多晶硅进行化学机械抛光或者干法回刻,去除其他区域的多晶硅,保留沟槽内部的多晶硅形成栅极结构的第一部分,所述栅极结构在导通时,在所述第一部分侧壁相应的阱区表面形成导电沟道。

[0086] 进一步地,在阱区20上表面再次通过离子注入工艺调节表面阈值电压,所述阱区20上表面通过离子注入工艺调节表面阈值电压使其和侧壁阈值电压相同,具体的,采用正常单次注入的方式,注入的离子为硼离子,注入剂量低于第一次离子注入工艺调节侧壁阈值电压注入的剂量,大约在 $2E11$ - $3E12$ 之间,注入完成后,其阱区上表面阈值电压使其和侧壁阈值电压相同。

[0087] 进一步地,如图9A-9C所示,在阱区20形成轻掺杂N-层的源区和漏区,具体的,半导体进行涂覆光刻胶,通过刻蚀工艺去除对应源区和漏区的光刻胶,对源区和漏区的部分注入轻掺杂有砷或磷的n型半导体材料,以形成源极N-层70区域和漏极N-层71区域,轻掺杂源漏极N-层有效的防止短沟道效应,而且大质量材料和表面非晶态的结合形成的浅结有助于减少源漏间的沟道漏电流效应。最后两条N-层在AA'方向与栅氧化层有轻微交叠,交叠尺寸在 0.05 - $0.2\mu\text{m}$ 之间,两条N-层在垂直于AA'方向需超出最外侧的沟槽边,超出距离近似等于栅氧化层的宽度。

[0088] 进一步地,如图10所示,在半导体表面进行第二次多晶硅填充80,具体的,其填充方式为低压化学气相沉积法,其第二次填充的多晶硅掺杂浓度与第一次填充的多晶硅掺杂浓度相同,使得两次填充的多晶硅形成一个栅极结构,通常多晶硅厚度在 1500 - 4000\AA 之间。

[0089] 进一步地,如图11A-11B所示,在半导体表面进行第二次多晶硅填充后对多晶硅进行干法刻蚀,用于使多晶硅大于沟槽长度,具体的,选择半导体需要刻蚀的图案形状涂覆光刻胶,根据多晶硅层的膜层不同,采用相应的等离子体通过光刻胶,与多晶硅发生物理或者化学反应,对多晶硅进行选择性刻蚀,刻蚀气体为含氯或含溴的气体。更具体的,刻蚀后的多晶硅层AA'方向的边界略大于沟槽长度,多晶硅层相较于沟槽长度通常大于 0.1 - $0.2\mu\text{m}$,而垂直于AA'方向超出沟槽长度的距离近似等于若干沟槽之间的间距,保留的多晶硅部分为第二部分,所述栅极结构在导通时,在所述第二部分表面相应的阱区上表面形成导电沟道。

[0090] 进一步地,如图12A-12C所示,形成源区重掺杂N+层90和漏区重掺杂N+层91。具体的,N+层的注入离子通常为砷或者磷元素,注入能量在 15 - 60Kev 之间,注入剂量在 $1E15$ -

1E16/cm²之间,在 AA' 方向完全包覆N-层,并超出N-层,在垂直于AA' 方向小于多晶 硅边界,与N-层平齐。

[0091] 进一步地,如图13A-13C所示,在阱区一侧形成体区100,所述体区100与所述源区位于所述圆滑沟槽31的同一侧,具体的,在 阱区通过硅栅自对准技术进行体区P+层的光刻和注入,更具体的,对衬底进行涂覆光刻胶然后光刻刻蚀出体区,体区刻蚀在源区的一侧,再对体区进行离子注入工艺,注入的杂质为硼元素,注入能量 在15-60Kev之间,注入剂量在1E15-1E16/CM²之间,优选地,体区 长度与源区长度一致,宽度可以在0.2-1um之间,体区P+层在阱区 一侧形成体区,用于避免门锁效应。

[0092] 进一步地,对半导体进行源漏热处理,具体的,热处理温度通 常在850°-1050°之间,时间通常在一个小时以内,用于激活源漏 及体区的杂质。后续的步骤同常规工艺一致,薄膜淀积,光刻刻蚀 接触孔,生长金属,光刻刻蚀,金属互联,器件制作完成。

[0093] 本发明通过改变晶体管的导电沟道和栅结构,将平面栅结构改 变为垂直结构,其栅结构侧面形成导电沟道,从而使得源漏之间形 成全方位导电结构,极大提升了晶体管的导电能力,降低了晶体管 的导通电阻。

[0094] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进 等,均应包含在本发明保护的范围之内。



图1

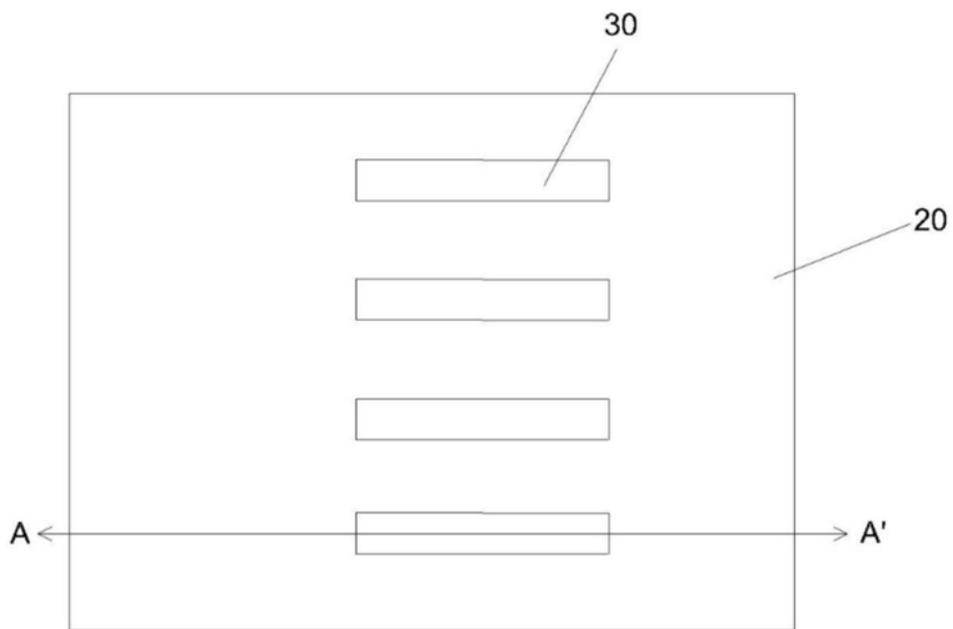


图2A

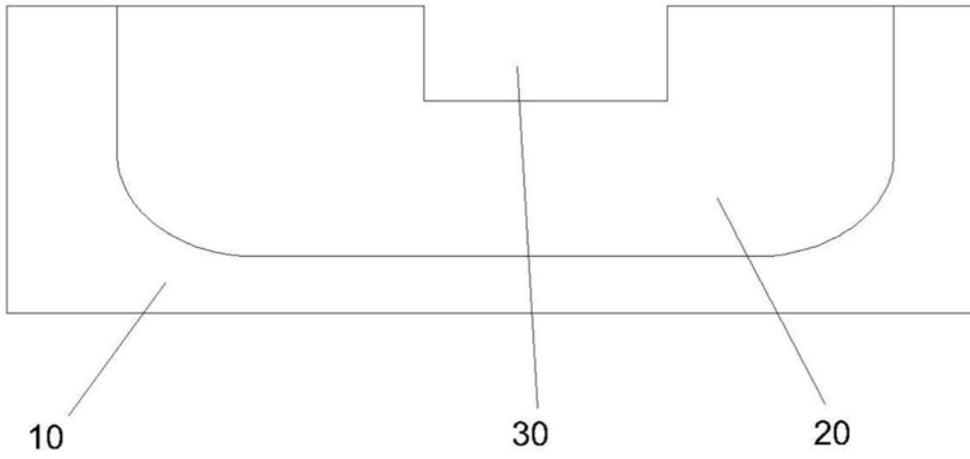


图2B

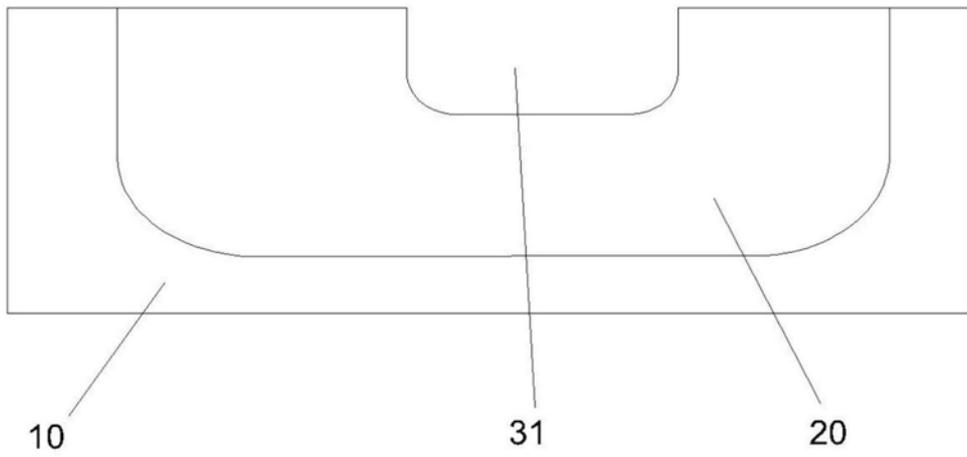


图3

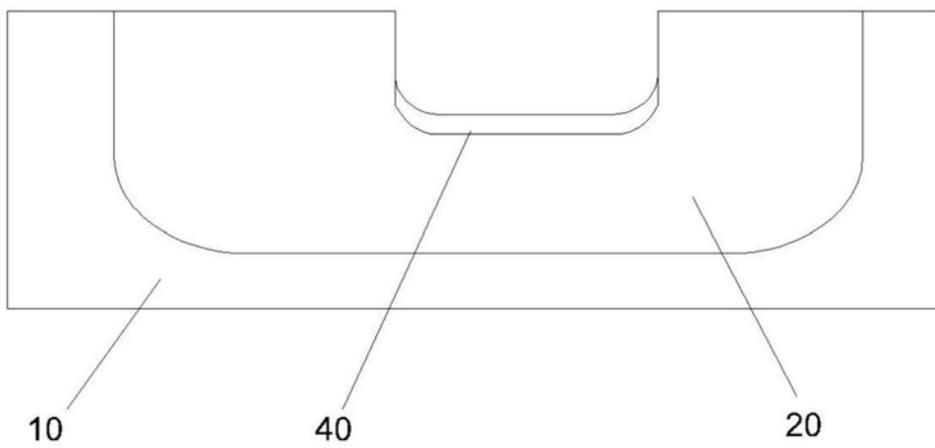


图4

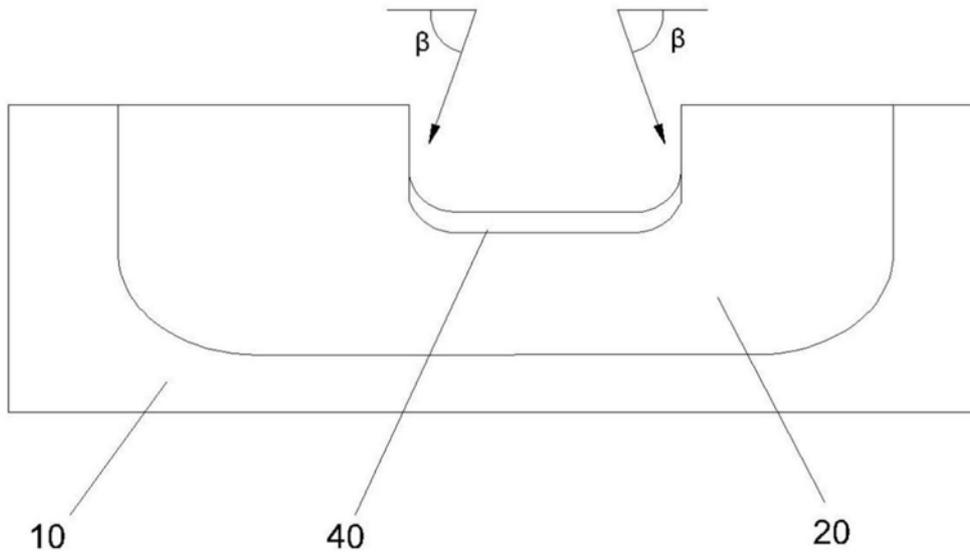


图5

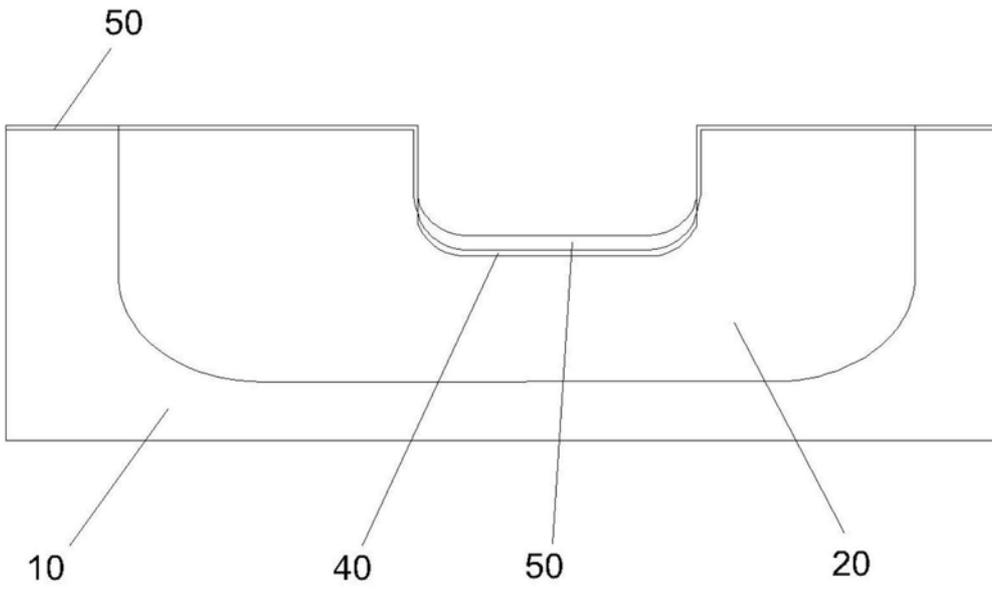


图6

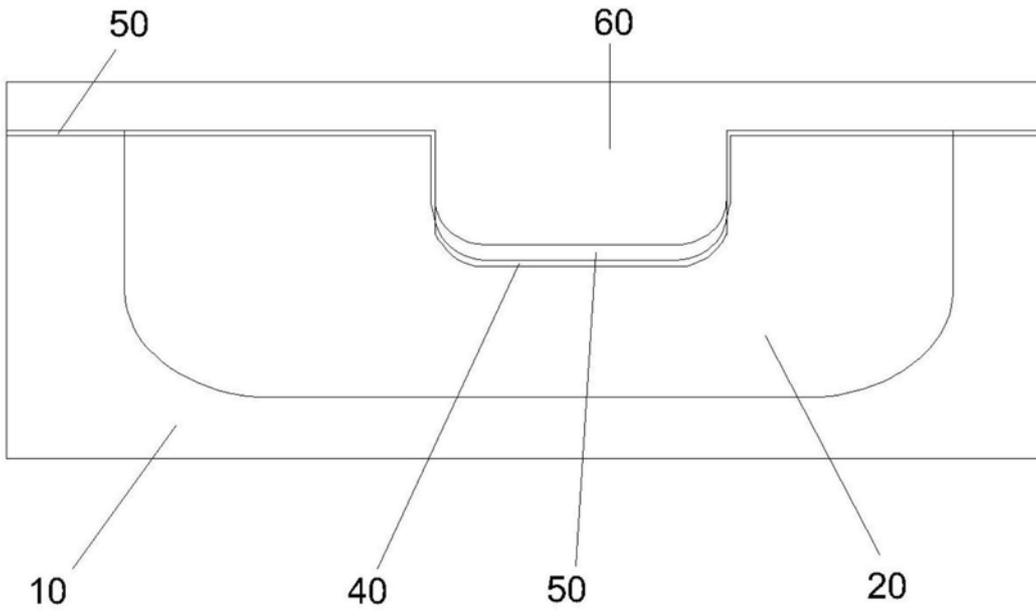


图7

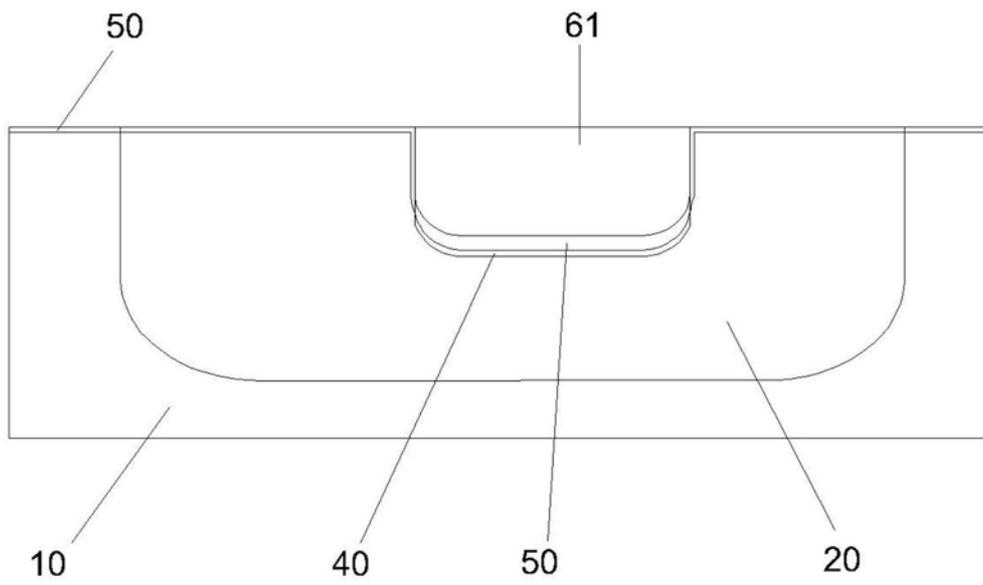


图8

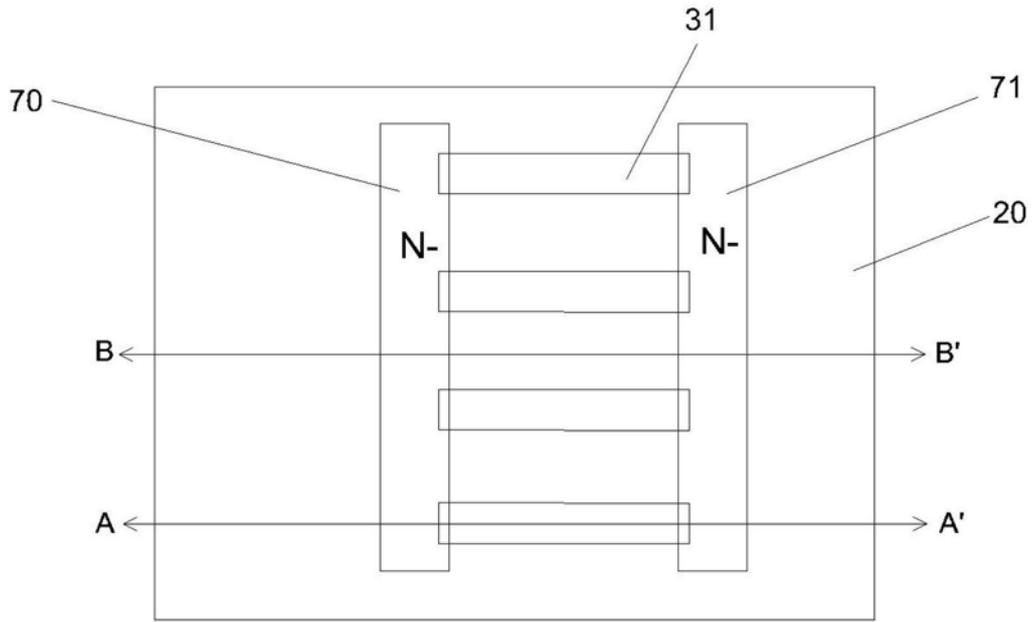


图9A

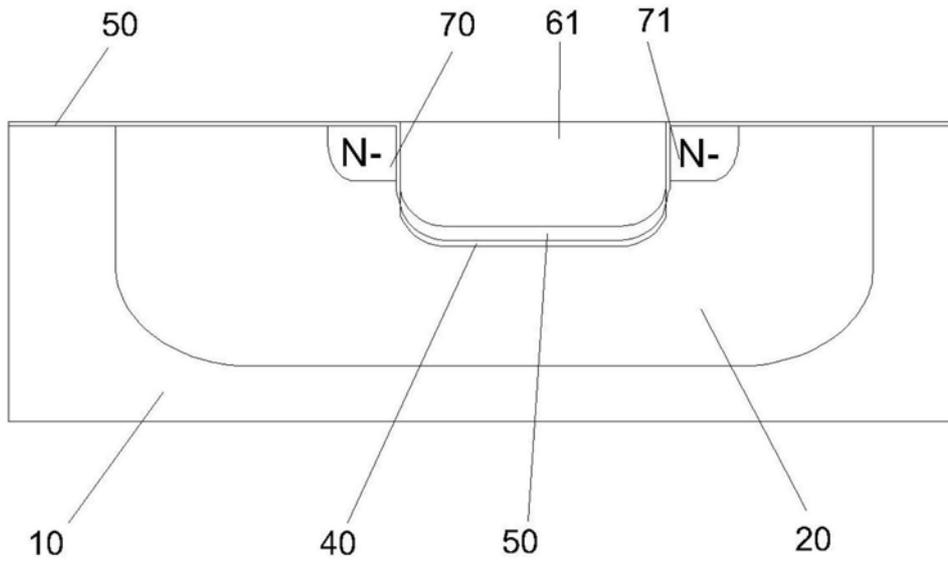


图9B

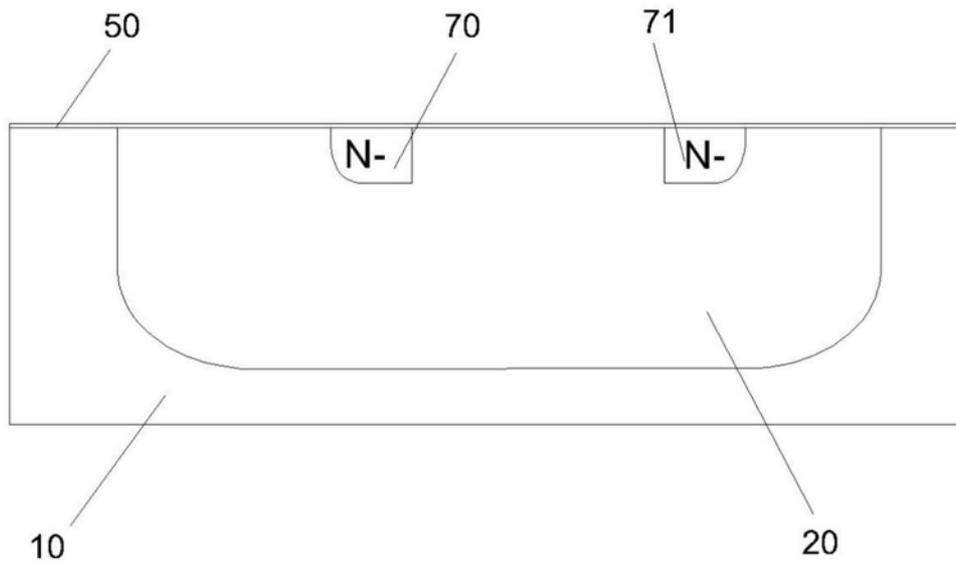


图9C

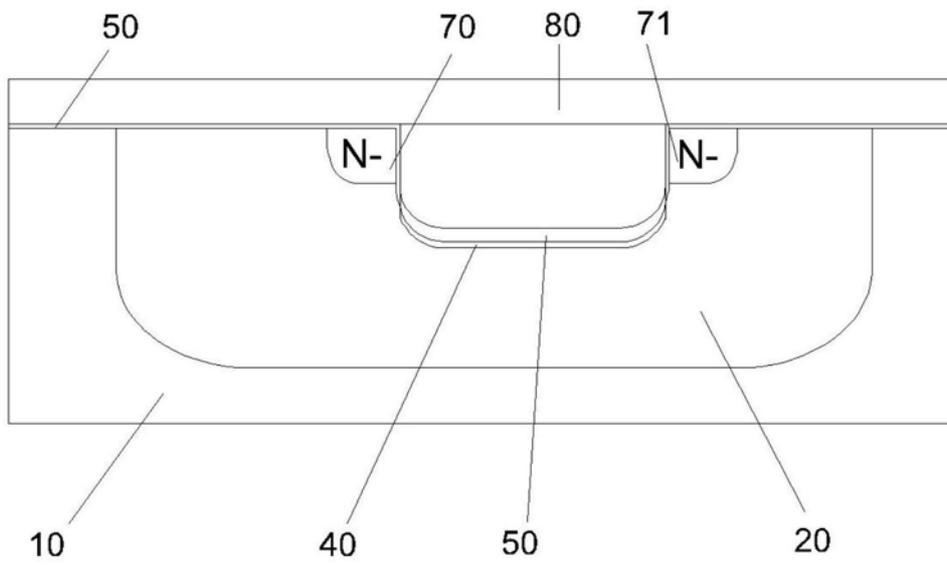


图10

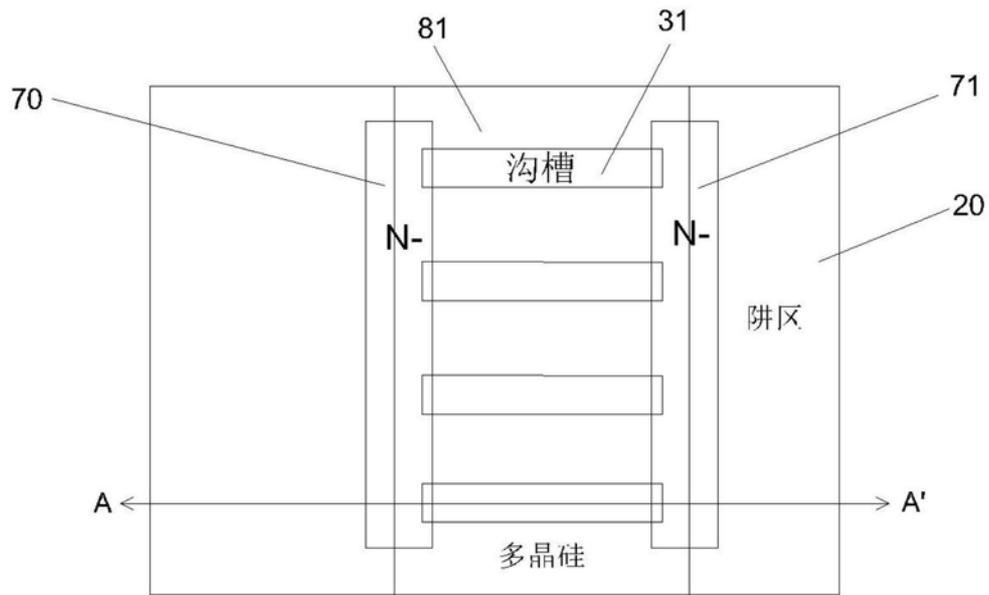


图11A

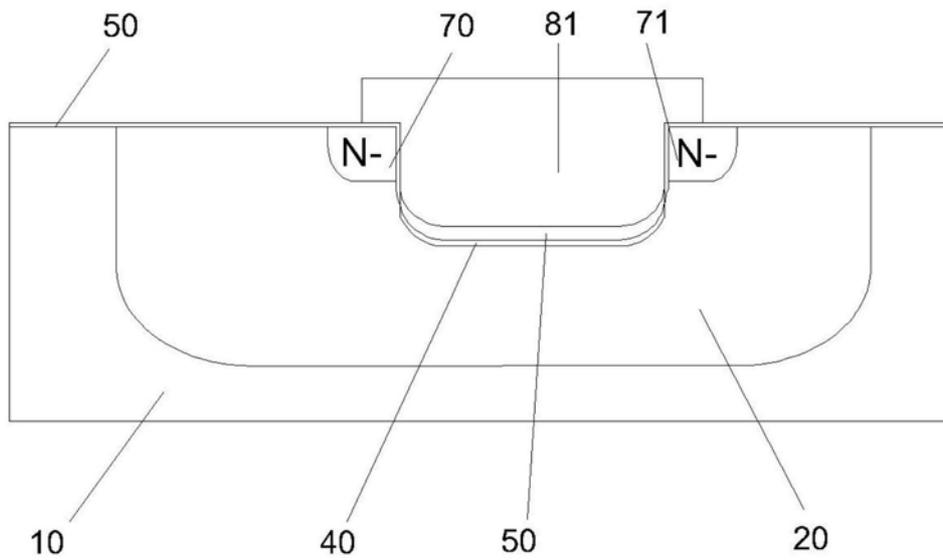


图11B

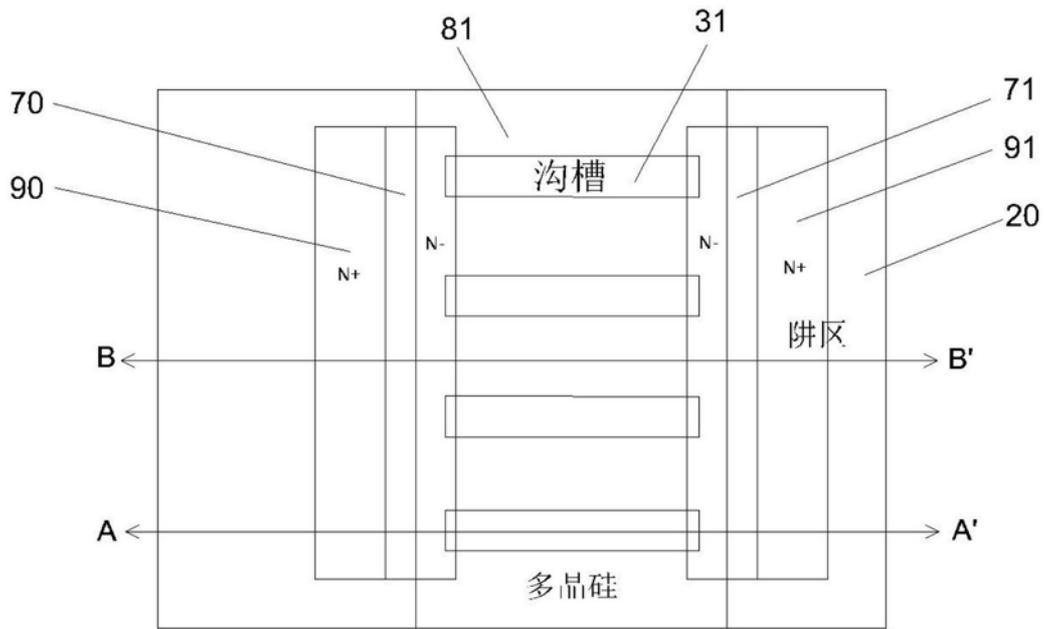


图12A

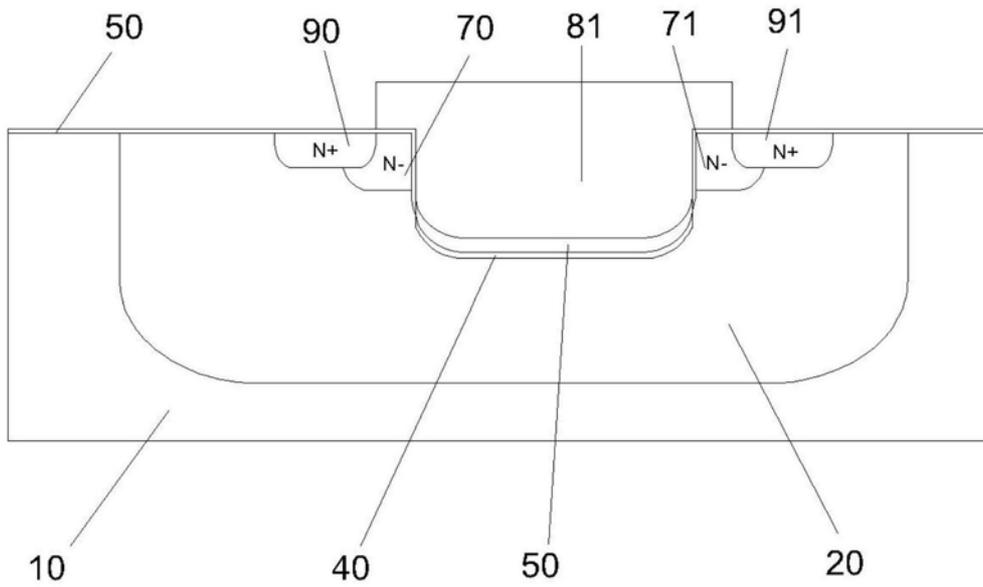


图12B

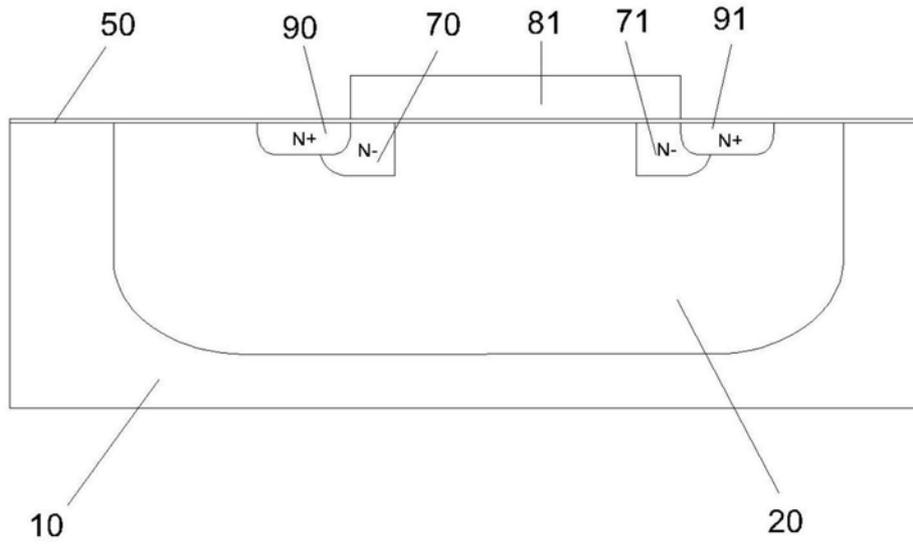


图12C

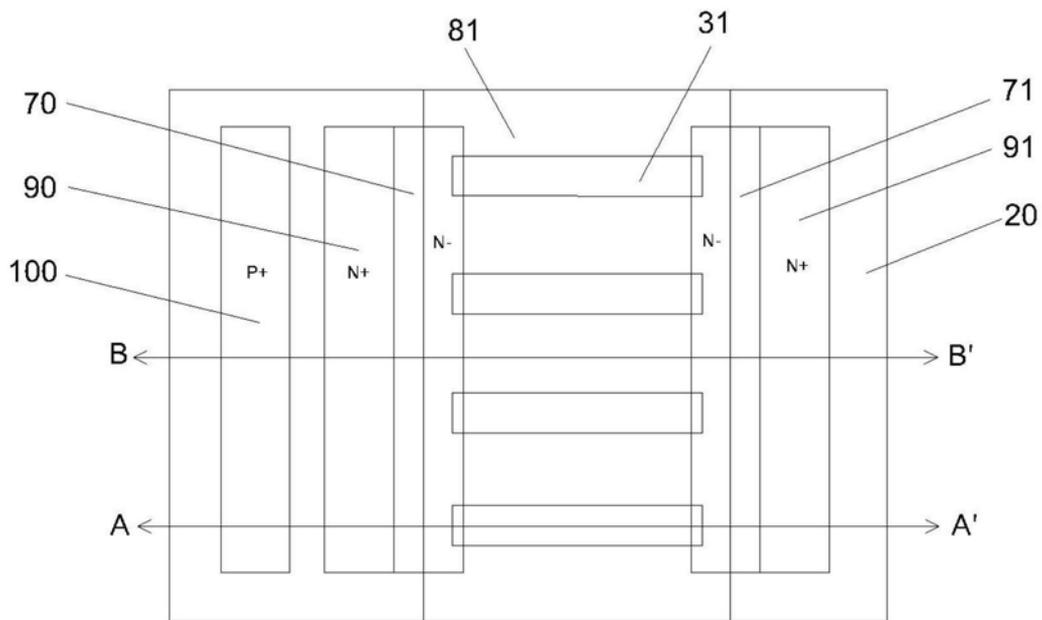


图13A

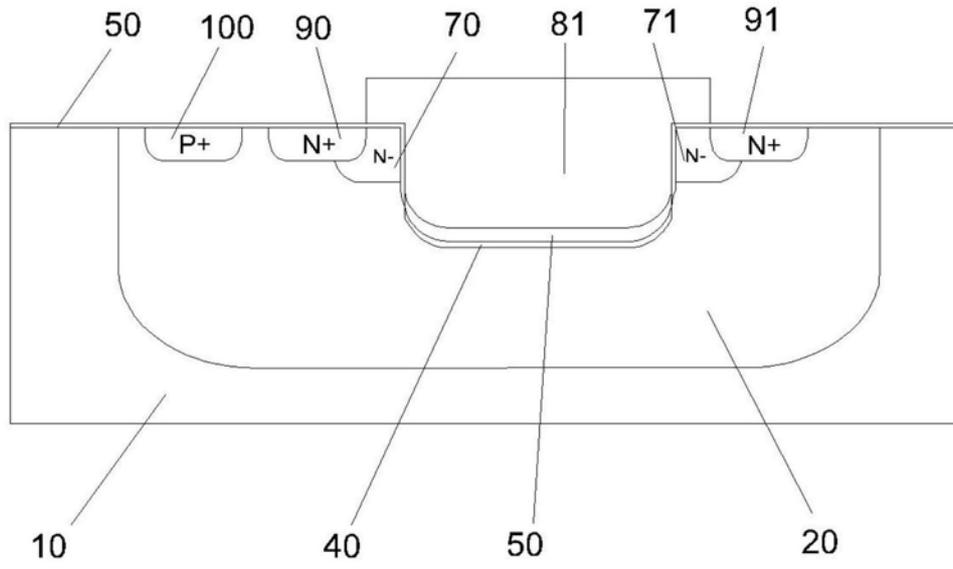


图13B

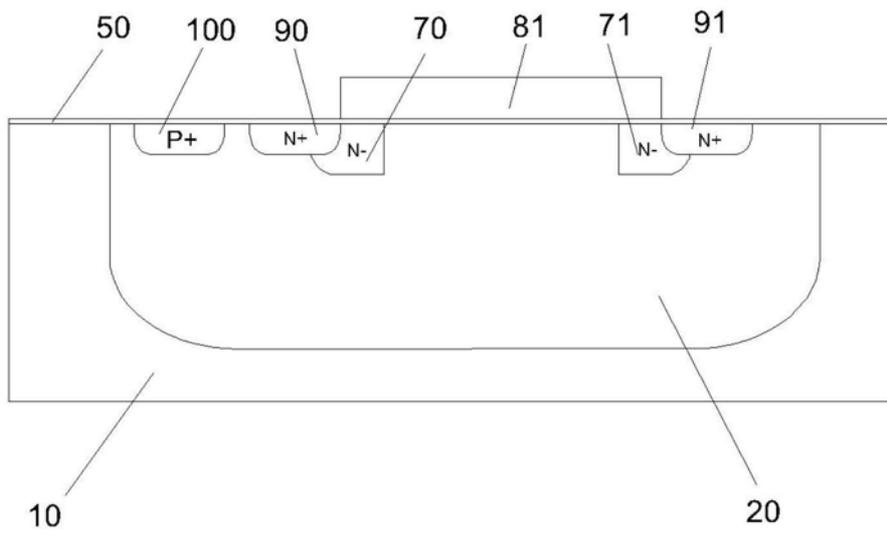


图13C