

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4559993号
(P4559993)

(45) 発行日 平成22年10月13日(2010.10.13)

(24) 登録日 平成22年7月30日(2010.7.30)

(51) Int.Cl.		F I	
B 8 1 C 3/00	(2006.01)	B 8 1 C 3/00	
B 8 1 C 1/00	(2006.01)	B 8 1 C 1/00	
H O 1 L 25/04	(2006.01)	H O 1 L 25/04	Z
H O 1 L 25/18	(2006.01)		

請求項の数 15 (全 28 頁)

(21) 出願番号	特願2006-91242 (P2006-91242)	(73) 特許権者	000003078
(22) 出願日	平成18年3月29日 (2006.3.29)		株式会社東芝
(65) 公開番号	特開2007-260866 (P2007-260866A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成19年10月11日 (2007.10.11)	(74) 代理人	100075812
審査請求日	平成19年9月25日 (2007.9.25)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1半導体基板に複数の半導体デバイスを形成する工程と、
 前記複数の半導体デバイスを覆う第1保護膜を形成する工程と、
 前記第1半導体基板と異なる第1基板の表面に形成された第1仮接着層に、前記第1保護膜を仮接着させる工程と、
 前記第1半導体基板を切断することにより複数の半導体デバイスを個々に分割し、複数の半導体チップを形成する工程と、
 前記複数の半導体チップのうちの1つの半導体チップを選択的にピックアップすることにより前記第1仮接着層から剥離する工程と、
 前記ピックアップされた半導体チップを、前記第1基板と異なる第2基板の表面に形成された第2仮接着層に仮接着させて転写する工程と、
 前記第1半導体基板と異なる第2半導体基板に複数のMEMSデバイスを形成する工程と、
 前記複数のMEMSデバイスを覆う第2保護膜を形成する工程と、
 前記第1基板及び前記第2基板と異なる第3基板の表面に形成された第3仮接着層に、前記第2保護膜を仮接着させる工程と、
 前記第2半導体基板を切断することにより複数のMEMSデバイスを個々に分割し、複数のMEMSチップを形成する工程と、
 前記複数のMEMSチップのうちの1つのMEMSチップを選択的にピックアップする

10

20

ことにより前記第3仮接着層から剥離する工程と、

前記ピックアップされたMEMSチップを、前記第2基板の表面に形成された第2仮接着層に仮接着させて転写する工程と、

前記MEMSチップおよび前記半導体チップを覆うとともに、前記MEMSチップと前記半導体チップとの間を埋め込むように第1接着層を形成する工程と、

前記第1接着層を削り、前記MEMSチップおよび前記半導体チップの前記第2仮接着層からの高さが実質的に同一となるようにする工程と、

前記MEMSチップおよび前記半導体チップを、第1支持基板に形成された第2接着層に接着させて、前記第2仮接着層から剥離する工程と、

を備えたことを特徴とする半導体装置の製造方法。

10

【請求項2】

前記MEMSチップおよび前記半導体チップの前記第2仮接着層からの高さが実質的に同一となるようにする工程は、前記第1接着層を削るとともに、前記MEMSチップおよび前記半導体チップの少なくとも一方を削ることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記第2接着層はポリイミド樹脂、エポキシ樹脂、またはアクリル樹脂のいずれかであることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】

前記第1および第2保護膜を剥離する工程を更に備えていることを特徴とする請求項2記載の半導体装置の製造方法。

20

【請求項5】

前記第1および第2保護膜が剥離された後に、前記半導体チップ上および前記半導体チップと前記MEMSチップとの間の前記第1接着層上に平坦化層を形成する工程を更に備えていることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】

前記平坦化層は、ポリイミド樹脂であることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】

前記平坦化層上に、前記MEMSチップと前記半導体チップを接続する配線層を形成する工程を更に備えていることを特徴とする請求項5記載の半導体装置の製造方法。

30

【請求項8】

前記平坦化層および前記配線層を繰り返して形成することにより、多層配線層を形成することを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】

前記配線層上にパッシベーション膜を形成する工程を更に備えていることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項10】

前記配線層が形成された後、前記MEMSチップおよび前記半導体チップの上面を、第2支持基板に形成された第4仮接着層に仮接着させる工程と、

前記第1支持基板を薄層化、除去、または分離する工程と、

を備えたことを特徴とする請求項7記載の半導体装置の製造方法。

40

【請求項11】

前記MEMSチップおよび前記半導体チップを、前記第4仮接着層から剥離する工程を更に備えていることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】

前記第4仮接着層が剥離された後、前記MEMSチップ上にキャップ層を形成する工程を更に備えていることを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】

前記キャップ層は、シリコンであることを特徴とする請求項12記載の半導体装置の製

50

造方法。

【請求項 1 4】

前記第 4 仮接着層が剥離された後に、
前記配線層上に電極パッドを形成する工程と、
前記電極パッド上にバンプ層を形成する工程と、
を更に備え、第 1 半導体装置を形成することを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【請求項 1 5】

第 2 半導体装置を形成する工程と、
前記第 2 半導体装置と、前記第 1 半導体装置とを前記バンプ層を介して積層し、前記第 2 半導体装置が前記第 1 半導体装置に電氣的に接続されるようにする工程と
を更に備えていることを特徴とする請求項 1 4 記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、MEMS（マイクロエレクトロメカニカルシステムズ）デバイスと、半導体デバイスとを備えた半導体装置の製造方法に関する。

【背景技術】

【0002】

MEMS（マイクロエレクトロメカニカルシステムズ）とは、シリコンの微細加工プロセスを用いて製作されるミクロな構造体を総称したものである。この MEMS は圧力センサ、加速度センサ、インクジェットプリンタ、フィルタなど幅広い分野での応用が期待されている。このような MEMS 構造を有する MEMS デバイスを用いてシステムを構築するためには、MEMS デバイスと他の半導体デバイス（ロジック回路、アナログアンプ、メモリー等）を同一基板上に集積化する必要がある。

20

【0003】

集積化の手法として大きく 2 つの方法がある。一つはシステムオンチップ（SOC）と呼ばれるものであり、複数のデバイスを 1 チップ上に全て直接形成することにより集積する方法である。この方法ではデバイスの集積度も高く、全てのデバイスが 1 チップ上で形成されていることからデバイス間を接続するグローバル配線の微細化も可能となる。このため高集積化、高性能化、パッケージの薄化が可能である。しかし、この方法では、集積できるデバイスに制限がある。例えば、シリコン基板上に GaAs などの別の結晶系からなるデバイスを形成することは、シリコンと GaAs との格子定数の違い、熱膨張率の違いなどから困難である。また、LSI などの高精細なデザインルールを必要とするデバイスと、低精細なデザインルールで形成されるデバイスとを同一工程で作成することは効率的でない。特に新規デバイスを組み込む際にも全てのプロセスを変更することになり、新規デバイス開発の際のコストが高く、開発期間も長くなるという問題がある。

30

【0004】

他方、もう一つの方法はシステムインパッケージ（SIP）とよばれる方法である。これは各々のチップを別々に形成し、それぞれを分割してインターポージャーと呼ばれる基板上に実装するものである。この方法では、各々のデバイスは個々に形成できるので、デバイスに対する制限が少ない。また、新規システムを開発する際にも既存のチップの利用が可能であり、開発コストが安く開発期間も短くすることができる。しかし、この方法の問題点としては、インターポージャーとチップの間はボンディングワイヤーやバンプなどで接続されるため、チップ配置の高密度化、配線の微細化、パッケージの薄化が難しい。

40

【0005】

また、SIP の一変形例の方法として、個別に形成された異種のチップを同一半導体基板上に混載する技術が知られている（例えば、特許文献 1 参照）。この特許文献に記載された技術は、半導体基板上に、所定の機能を有する回路と、1 以上の凹部とを形成し、その凹部に、予め製造された半導体チップを埋め込むものである。このように、特許文献 1

50

に記載された技術は凹部に半導体チップを埋め込むため、半導体チップの断面形状に制約がある。例えば、半導体チップの断面をテーパ形状にしないと半導体チップを埋め込みにくい。これは、半導体チップの断面が垂直形状であると半導体チップを嵌め込みにくいし、逆テーパ形状であると半導体チップを嵌め込めないためである。また、この方法は、特にMEMSのような複雑な構造体には適さない。

【0006】

また、SIPの他の変形例の方法として、異なる2つ以上チップを粘着材上に仮固定した後、これらのチップの上部から接着剤を塗布してチップを埋め込み、その後、上記粘着材を剥離することでチップを集積化する技術が知られている（例えば、特許文献2参照）。しかし、この特許文献2に記載の技術においては、チップの主面（デバイス面）が粘着材側と反対側であるので、厚みの異なるチップを混載した場合、粘着材の表面からチップの上面のまでの高さが異なることになる。したがって、チップ上のパッシベーション膜の厚さが異なるので、より厚いパッシベーション膜が必要となり、微細なスルーホールを開けることが難しい。

【0007】

このような状況のもと、MEMSデバイスと半導体デバイスとの集積化に関しても同様に高機能化、高集積化、低コスト化、パッケージの薄化などが求められている。しかしながら、MEMSデバイスの集積化に関していえば、さらにいくつかの問題点がある。もっとも大きいのはMEMSデバイス自体の構造の複雑さにある。また、MEMSデバイスはパッケージ化する上で中空構造をとる必要がある。このため、中空構造に耐えるだけの厚さを有するキャップをデバイス上に形成しなければならない。このため、MEMSデバイスは他の半導体デバイスに比べて厚く、形状も複雑であることが多い。このようなデバイスを集積することで従来のチップよりもより厚くなり、また配線接続も難しくなる。

【特許文献1】特開2001-189424号公報

【特許文献2】特開2005-268453号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

このように従来の集積化技術では、複数種類のデバイスを集積する際、SOCの方式を用いると、集積できるデバイスに制限があり、開発コストも高いという問題があり、他方SIPの方式を用いると、集積度が低く、システム全体の縮小化、パッケージの薄化が困難であった。特に、MEMSデバイスを集積する際には、その厚みや複雑な形状から、さらに高集積化、薄化が難しいという問題があった。

【0009】

本発明は、上記事情を考慮してなされたものであって、MEMSデバイスと半導体デバイスとを備えていても、高集積化および薄化が可能な半導体装置の製造方法を提供する。

【課題を解決するための手段】

【0025】

本発明の一態様による半導体装置の製造方法は、第1半導体基板に複数の半導体デバイスを形成する工程と、前記複数の半導体デバイスを覆う第1保護膜を形成する工程と、前記第1半導体基板と異なる第1基板の表面に形成された第1仮接着層に、前記第1保護膜を仮接着させる工程と、前記第1半導体基板を切断することにより複数の半導体デバイスを個々に分割し、複数の半導体チップを形成する工程と、前記複数の半導体チップのうちの1つの半導体チップを選択的にピックアップすることにより前記第1仮接着層から剥離する工程と、前記ピックアップされた半導体チップを、前記第1基板と異なる第2基板の表面に形成された第2仮接着層に仮接着させて転写する工程と、前記第1半導体基板と異なる第2半導体基板に複数のMEMSデバイスを形成する工程と、前記複数のMEMSデバイスを覆う第2保護膜を形成する工程と、前記第1基板及び前記第2基板と異なる第3基板の表面に形成された第3仮接着層に、前記第2保護膜を仮接着させる工程と、前記第2半導体基板を切断することにより複数のMEMSデバイスを個々に分割し、複数のMEMS

10

20

30

40

50

MEMSチップを形成する工程と、前記複数のMEMSチップのうちの1つのMEMSチップを選択的にピックアップすることにより前記第3仮接着層から剥離する工程と、前記ピックアップされたMEMSチップを、前記第2基板の表面に形成された第2仮接着層に仮接着させて転写する工程と、

前記MEMSチップおよび前記半導体チップを覆うとともに、前記MEMSチップと前記半導体チップとの間を埋め込むように第1接着層を形成する工程と、

前記第1接着層を削り、前記MEMSチップおよび前記半導体チップの前記第2仮接着層からの高さが実質的に同一となるようにする工程と、前記MEMSチップおよび前記半導体チップを、支持基板に形成された第2接着層に接着させて、前記第2仮接着層から剥離する工程と、を備えたことを特徴とする。

10

【発明の効果】

【0026】

本発明によれば、半導体装置にMEMSデバイスと半導体デバイスとを備えていても、高集積化および薄化が可能な半導体装置の製造方法を提供できる。

【発明を実施するための最良の形態】

【0027】

本発明の実施形態を、図面を参照して説明する。

【0028】

(第1実施形態)

本発明の第1実施形態による半導体装置の製造方法を説明する。まず、本実施形態の製造方法の概念を、図3を参照して説明する。別々のウェハ20、22上に形成されたMEMSチップ20a、21a、CMOSチップ22a、23aなどの複数種類のチップをウェハから切り出して、接着層が塗布された支持基板24上に再配置を行う(図3(a)、3(b)、3(c)参照)。このとき、チップ間にも接着層が形成されており、各チップは支持基板および接着層によって固定される。そして、チップ間に配線26が形成される(図3(d)参照)。

20

【0029】

次に、本実施形態による製造方法の製造工程を図1(a)乃至図2(c)に示す。まず、MEMSデバイス2aが設けられたMEMSチップ2を複数個、シリコン基板3に形成する(図1(a)参照)。各MEMSチップ2には、MEMSデバイス2aを保護するキャップ層2bが設けられている。続いて、図1(b)に示すようにシリコン基板3からMEMSチップ2を切り出し分離する。他方、半導体デバイス例えばCMOSデバイス4aが設けられたCMOSチップ4を図示しない半導体基板に形成し、この半導体基板からCMOSチップ4を切り出す。続いて、図1(c)に示すように、この切り出されたCMOSチップ4と、先に切り出したMEMSチップ2とを、仮接着層6が塗布された基板8に仮着させる。そして、MEMSチップ2およびCMOSチップ4の基板8とは反対の面(裏面)側から接着材を塗布し、MEMSチップ2とCMOSチップ4との間に接着層10を形成する(図1(c)参照)。

30

【0030】

次に、図2(a)に示すように、接着材が塗布された面(裏面)を研磨し、MEMSチップ2とCMOSチップ4との高さが同一となるように平坦化する。続いて、図2(b)に示すように、この平坦化された裏面に、接着層12が形成された支持基板14を押し付け、接着させる。その後、図2(c)に示すように、仮接着層6および基板8を剥離する。そして、この剥離された面(表面)に絶縁膜16を形成し、この絶縁膜16にMEMSデバイス2aおよびCMOSデバイス4aに通じる開孔を形成する。続いて、この開口を埋め込むように配線材料膜を形成し、この配線材料膜をパターニングすることによりMEMSデバイス2aとCMOSデバイス4aとを接続する配線18を形成する。その後、この配線18を覆うように絶縁膜19を形成し、必要であれば、支持基板を剥離又は除去する(図2(c)参照)。

40

【0031】

50

このようにして形成された本実施形態の半導体装置においては、MEMSチップ2とCMOSチップ4は、主面（デバイスが形成された側の面）または裏面（主面と反対側の面）が実質的に同一面上に位置することになる。このことは、図33に示す場合を除き以下の実施形態でも同様である。また、MEMSチップ2とCMOSチップ4は、それらの上に形成される絶縁膜や配線等を除き実質的に同一の高さを有している。

【0032】

以上説明したように、本実施形態では、別々のウェハ上に形成された機能の異なるデバイスチップを切り出して再配置し、接着層を用いて集積化して1枚の大きな接合チップを形成している。この擬似チップは、従来の半導体プロセスをそのまま利用することができ、例えばスパッタ法などの薄膜成膜法により擬似チップ上にメタル薄膜を形成し、フォトリソグラフィ工程によりレジストをパターンニングした後、ドライエッチング法やウエットエッチング法を用いて配線パターンを形成する。このように半導体プロセスを適用することにより、SIPでは難しかったSOC並みの微細配線化、高集積化、チップ・パッケージ薄化が可能となる。また、SOCでは難しかった集積可能なデバイスの種類の制限がなくなり、開発コストも既存チップの利用により低く、開発期間も短く抑えることができる。

【0033】

また、本実施形態は、従来技術として説明した特開2001-189424号公報（特許文献1）に記載された技術に比べて、以下の利点がある。本実施形態においては、チップを接着層で固めているため、チップの断面形状に一切制約がない。チップの断面がテーパ形状でも垂直形状でも問題なく、逆テーパ形状だとむしろ接着層中にチップが埋め込まれて、安定、強固に接着できる。また、特許文献1では、基板としてシリコン基板を用いている。そして凹部をあらかじめエッチングなどで形成する。従って1工程でできる凹部の深さは1通りである。これに対し、本実施形態では、厚みの異なるチップを仮接着層6上に表面側を固定して裏面側から接着材を塗布する（また、研磨による平坦化も組み合わせることができる）ことで1工程にて厚みの異なるチップを混載して集積化することができる。

【0034】

また、本実施形態は、従来技術として説明した特開2005-268453号公報（特許文献2）に記載された技術に比べて以下の利点がある。本実施形態では、デバイス面側の高さが、仮接着層により揃えられる。このため、デバイス上のパッシベーション膜の厚みは最小限に抑えられ、微細なスルーホールをあけることができ、結果的に微細な配線が形成可能となる。

【0035】

さらに、上記特許文献に記載の技術に対して、本実施形態は、接着層によりチップを集積することで、基板を積層した構造において問題となる熱応力による基板のそりやクラックの発生などの問題を解決できる。この効果を、図4、図5を参照して説明する。図4は上記特許文献に記載された方法によって製造された半導体装置の構成を示す模式図である。すなわち、異なる熱膨張率を持つ材質からなる2つの基板30、32がバンプなどの接合部31によって接合されている。この状態で加熱工程を施すと、熱膨張率が異なるため、バンプなどの接合部31が破壊されたり、基板30または基板32が破壊されたりする可能性がある。両基板30、32の熱膨張率を揃えれば解決されるが、その分、設計的な自由度が小さくなる。

【0036】

本実施形態の製造方法によって製造された半導体装置は、図5に示すモデルによって表すことができる。すなわち、ここでは基板32をチップの集合体とし、その間を接着層34で接合する。接着層34に柔らかい材料を用いることで、等価回路的にはばねのような働きとなり、基板30と基板32の熱膨張率差に起因する応力を接着層34が緩和する。接着層34の硬度の指標としては、少なくとも構成部材である各チップの硬度よりも小さければ効果がある。定量的にはシリコンチップのヤング率が100GPa~200GPa

10

20

30

40

50

程度であり、ほぼ1桁程度小さいヤング率例えば10GPa以下の樹脂を用いると緩衝効果に優れていた。例えばエポキシ樹脂はヤング率が8GPa程度であり、この条件を満たしており、緩衝効果も十分であった。またシリコンやガラス基板を接着する上では、アクリル系、シリコンゴム系、ポリイミド系などほぼすべての接着材において効果が見出された。これによりバンプや基板自体が破壊されることがなく、プロセスの安定性や信頼性が向上する。これにより、本実施形態では基板自体が割れにくく頑丈にすることができる。また熱工程における基板の熱膨張による応力変化を接着層が緩和することで、基板の反りなどを防ぐことができる。接着層の物性としては、接着強度が強く、かつ、柔らかい材料やガラス転移温度が低い材料が望ましい。具体的には接着性、応力緩衝性、対薬品性などの観点から、アクリル樹脂、エポキシ樹脂、シリコン樹脂、ポリイミド樹脂などが望ましいが、これに限るものではなく様々な材料を用いることができる。

10

【0037】

熱応力によるクラック発生に対するもう一つの対策としては、積層された基板間の熱膨張率を調整することである。図5で示した2層の積層デバイスを仮定する。1層目は複数のチップが接着樹脂で結合されている。一方の端から*i*番目のチップの長さを $L_a(i)$ 、このチップの熱膨張率を $a(i)$ 、チップ個数を N_a 、各接着層(*i*番目)の長さを $L_b(i)$ 、熱膨張率を $b(i)$ 、接着層の箇所数を N_b とする。2層目は1つの基板からなるとする。この長さを L 、熱膨張率を α とする。この際、一層目のチップ集合化基板の熱膨張による伸縮量が2層目の基板の伸縮量と一致すれば積層デバイスが反ることがない。すなわち以下の式が成り立てばよい。

20

【数1】

$$L \times \alpha = \sum_{i=1}^{N_a} L_a(i) \times \alpha a(i) + \sum_{i=1}^{N_b} L_b(i) \times \alpha b(i)$$

【0038】

接着層の各部分の熱膨張率は同じ材料を用いれば一定であるから、 $b(i) = b$ として、式を変形すると、接着層の熱膨張率を以下の式で表される量に調整すれば積層基板間の熱膨張率の違いによる反りを防止できることになる。

【数2】

$$\alpha b = \frac{L \times \alpha - \sum_{i=1}^{N_a} L_a(i) \times \alpha a(i)}{\sum_{i=1}^{N_b} L_b(i)}$$

30

【0039】

以上説明したように、本実施形態によれば、MEMSデバイスと半導体デバイスとを備えていても、高集積化および薄化することができる。

【0040】

(第2実施形態)

次に、本発明の第2実施形態による半導体装置の製造方法を図6(a)乃至図15(b)を参照して説明する。本実施形態では、MEMSデバイスチップとCMOS回路からなるLSIチップの集積化について説明する。図6(a)乃至図15(b)は、本実施形態による製造方法の製造工程を示す断面図である。

40

【0041】

MEMSチップの形成

まず、初めに集積するチップを作成する。ここではMEMSチップの作成について説明する。図6(a)に示すように、支持基板41と、この支持基板41上に設けられた埋め込み絶縁膜42と、埋め込み絶縁膜42上に設けられたSOI層43とを備えたSOI基板40を用意する。続いて、このSOI基板40上にAlなどからなるメタル層45を形成し、このメタル層45上にフォトリソトからなるレジストパターン(図示せず)を形

50

成する。そして、このレジストパターンをマスクとして燐酸、酢酸、硝酸の混合液からなるエッチャントなどを用いて上記メタル層45をパターンニングし、その後、上記レジストパターンを剥離する。続いて、SOI層43上にレジストパターン(図示せず)を形成した後、このレジストパターンをマスクとしてRIE法を用いてSOI層43を埋め込み絶縁膜42が露出するまでエッチングする。次に、フッ酸等の薬液を用いてSOI層43をエッチングした後、上記レジストパターンを剥離する。これにより、MEMSデバイス44の基本構造が作成される。ここで、各MEMSデバイス44の性能を検査し、不良箇所を判別しておく。

【0042】

この検査の後、保護層を形成する。まず、図6(b)に示すように、MEMSデバイスの空洞を保護するMEMS保護層46を形成する。次に、MEMSデバイス44の全体を保護する保護層47を形成する。ここでMEMS保護層46と保護層47にはそれぞれ異なる種類または状態の材料を用いる必要がある。ここでは、保護層47にポジ型のフォトリソレジストを用い、MEMS保護層46には塗布型のSiO_xを用いた。

【0043】

次に、図7(a)に示すように基板48を用意し、この基板48に仮接着層49を形成しておく。ここでは、仮接着層49として非常に粘着力の弱い微粘着材を塗布したものをを用いた。基板48の仮接着層49側の面を保護層47に押しつけ、保護層47と仮接着層49を仮着する。

【0044】

この仮着した状態で、SOI基板40と基板48との上下位置を反転し、仮接着層49上のSOI基板40を分割し、MEMSチップ50を形成する(図7(b)参照)。分割する方法としてはダイサーを用いたものが一般的であるが、レーザーやジェット水流などを用いることで、よりごみの少なく、端面がきれいなものが形成可能である。また、DRIE法などのドライエッチャーを用いてフォトリソグラフィにより形成したレジストパターンをマスクとしてチップ分割部分をエッチングによりパターンニングすることでさらにごみが少なく、非常にきれいなチップ断面を形成することができる。

【0045】

CMOSチップの形成

同様に、CMOSチップの形成を行う。CMOSチップの構造については図に詳細は図示していない。まず、p型シリコン基板の表面を酸素化でベークして表面に酸化シリコン層を形成する。続いて、上記酸化シリコン層上にフォトリソからなるレジストパターンを形成し、このレジストパターンをマスクとしてドナー不純物(リンイオンなど)をイオン注入することにより、p型基板上にnウェル層が形成される。その後、上記レジストパターンを剥離する。

【0046】

次に、CVD法などによりSiN_x層を形成する。このSiN_x層上にレジストパターンを形成し、このレジストパターンをマスクとしてRIE法などを用いてエッチングし、nウェル領域の周囲に溝を形成する。その後、上記レジストパターンの剥離を行う。

【0047】

次に、CVD法などを用いて、上記溝を埋め込むように、基板全面にSiO_x層を形成する。続いて、CMP法などを用いてSiO_x層を平坦化する。そして、nウェル領域およびp型シリコン基板上を覆っていたSiN_x層とSiO_x層を除去する。これにより、nウェル領域の周囲にSiO_xからなる素子分離領域が形成され、nウェル領域が素子分離される。その後、酸素下でベークすることにより、nウェル領域およびp型シリコン基板の表面にSiO_xからなるゲート絶縁膜を形成する。

【0048】

次に、CVD法などを用いてゲート絶縁膜上にポリシリコン膜を形成する。このポリシリコン膜上にフォトリソからなるレジストパターンを形成し、このレジストパターンをマスクとしてポリシリコン膜およびゲート絶縁膜をエッチングすることによりポリシリ

10

20

30

40

50

コンからなるゲート電極を形成する。その後、上記レジストパターンを除去する。

【0049】

次に、 n ウェル領域のみを覆うレジストパターンを形成し、このレジストパターンおよびゲート電極をマスクとして、ゲート電極の両側の p 型シリコン基板に n 型のドーパント例えば As イオンを注入し、 n 型のエクステンション層を形成する。続いて、上記レジストパターンを除去した後、 n ウェル領域のみが露出するレジストパターンを形成し、このレジストパターンおよびゲート電極をマスクとして p 型のドーパント例えば、ボロンイオンを注入し、ゲート電極の両側の n ウェル領域に p 型のエクステンション層を形成する。

【0050】

続いて、上記レジストパターンを除去した後、全面に SiO_x 膜を形成し、さらにRIE法などにより SiO_x 膜を異方性エッチングする。これによりゲート電極の側部にのみ SiO_x からなるゲート側壁が形成される。

10

【0051】

次に、 n ウェル領域のみを覆うようにフォトリソレジストパターンを形成し、 As イオンをゲート電極の両側の p 型基板にイオン注入し、 n 型ソース・ドレインを形成する。続いて、上記レジストパターンを除去した後、 n ウェル領域のみが露出するレジストパターンを形成し、ボロンイオンをゲート電極の両側の n ウェル領域にイオン注入し、 p 型のソース・ドレインを形成する。

【0052】

次に、 Ti 、 W 、 Ta などの高融点金属からなる金属薄膜をスパッタ法などにより形成する。この後、熱処理を行い、シリコン表面にシリサイド層を形成する。続いて、シリサイド化されない金属をエッチング除去する。

20

【0053】

次に、 SiO_x などからなる層間絶縁膜を形成し、この層間絶縁膜上にレジストパターンを形成し、このレジストパターンをマスクとしてエッチングを行うことによりコンタクトホールを形成する。上記レジストパターンを除去した後、上記コンタクトホールを埋め込むようにアルミ膜を全面に形成し、このアルミ膜をパターニングすることにより、電極パッドを形成する。

【0054】

このようにして形成されたCMOSデバイスをMEMSチップと同様に、ダイシングやレーザーカット、エッチングなどを用いて分割してチップ化する。

30

【0055】

転写

次に図8(a)に示すように基板51を用意する。この基板51には一部の領域のみ仮接着性を有するピックアップ機構を備えておくようにする。例えば、ここでは仮接着性を有する粘着材を島状にパターニングして仮接着層52を形成した。この島状にパターニングされた仮接着層52を目的のMEMSチップ50に押し付け基板48から剥離すると目的のMEMSチップ50のみがピックアップされる。

【0056】

次に、図8(b)に示すように、基板53を用意する。この基板53上にやはり仮接着層54を形成しておく。この仮接着層54上に先ほどピックアップしたMEMSチップ50を貼り付けて、転写する。なお、図8(b)においては、基板53の仮接着層54上には、CMOSチップ55が転写されている。このCMOSチップ55は、シリコン基板56上に形成されたCMOSデバイス57と、CMOSデバイス57を覆う保護膜58とを備えている。CMOSデバイス57は、上述したようにして形成される。

40

【0057】

このようにして、複数種類のチップ50、55の混載が可能となる。ただし、混載をする際には、チップの厚みの薄いものから先に転写の方が良い。厚いチップを転写してから薄いチップを転写すると、先に転写されていたチップが基板51と接触し、不良となる可能性が高くなるためである。なお、ピックアップ用の仮接着層52の厚みを厚くする、

50

ないしはその下地の基板 5 1 にも切り込みをいれるなどしてピックアップ部の凸部全体の厚みを厚くしておけば、このような不良を防ぐことができる。ピックアップ時に粘着材の残渣がチップに残ることがあったが、あらかじめチップ表面に保護層を形成しておきチップを転写した後に保護層を剥離することで防止することができる。

【 0 0 5 8 】

チップのピックアップについては、仮接着層 5 2 を用いてピックアップすることで 1 0 0 μm 程度、またはそれよりも薄いチップでもチップにダメージを与えることなくピックアップすることができた。真空チャック方式のピックアップでももちろん可能である。この場合、チップを吸着する力とリリースする力の選択比について粘着材を用いた場合よりも高くすることができ、より確実にチップをピックアップすることができた。もちろん、真空チャック方式では粘着材の残渣の問題もない。ただし、吸着孔の直径をチップのサイズ (X , Y 方向) の 1 / 4 以下程度に小さくするとチップの反りが大幅に低減できた。例えば、1 0 0 μm 厚、5 0 0 μm 角のサイズのシリコンチップに対し、直径 8 0 μm の吸着孔を 2 x 2 個配置したピックアップ機構で吸着したところ、ほぼ問題なくピックアップすることができた。

【 0 0 5 9 】

チップの平坦化、接着、転写

図 8 (b) に示すように、仮接着層 5 4 上に厚みの違うチップ 5 0、5 5 が複数個形成されている。このため、図 9 (a) に示すように、これらのチップ 5 0、5 5 を覆うように平坦化層を兼ねたチップ間接着層 5 9 を形成する。本実施形態では、チップ間接着層 5 9 としてエポキシ樹脂を印刷法により塗布し、オープン内で大気下にて仮焼成した。ここで MEMS チップ 5 0 の厚みが 6 5 0 μm 程度、CMOS チップ 5 5 の厚みが 6 2 5 μm 程度であり、これに対し接着層 5 9 の総厚が 7 0 0 μm となるように形成した。印刷は真空チャンバー内で行うことにより泡のない状態で膜を形成するようにした。

【 0 0 6 0 】

また、接着層 5 9 の膜厚と基板 5 3 の反りの相関を調べたところ、接着層 5 9 が薄ければ薄いほど樹脂の熱収縮による基板 5 3 の反りが低減することがわかった。本実施形態では、接着層 5 9 の厚さは CMOS チップ 5 5 の裏面 (図 9 (a) においては上面) には 7 5 μm 程度、MEMS チップ 5 0 の裏面 (図 9 (a) においては上面) には 5 0 μm 程度形成されている計算であるが、この程度であれば、基板 5 3 の反りも十分小さく、その後の工程において、成膜装置や露光機などの装置内に導入しても問題ないレベルであった。ただし、反りが大きい場合にはそりを低減する必要があった。この際には、ホットプレス機を用いて、加熱加圧を行った。温度としては接着層 5 9 のガラス転移点以上にとると、接着層 5 9 が柔らかくなり自在に変形することから反りを改善することができた。プレス圧力は直径 5 インチの基板 5 3 に対して 1 0 k N 程度の圧力にとると反りの改善には効果的であった。またプレス機とサンプルの間の密着性を高めるために、シリコーンゴムなどからなるスペーサを入れると、均一に加熱加圧されるようになり、反りの低減及び基板表面の平坦性、平滑性の向上に効果的であった。また、スペーサとサンプルの間にポリイミドやテフロンなどからなる離型性にすぐれたフィルム等を挟み込むことで、チップ表面とスペーサが接着されるのを防止でき、サンプル面の平坦性が向上した。

【 0 0 6 1 】

次に、裏面 (図 9 (a) においては上面) を平坦化するために CMP (Chemical Mechanical Polishing) 法などを用いて、接着層 5 9、MEMS チップの支持基板 4 1、および CMOS チップのシリコン基板 5 6 を研磨することにより平坦化を行い、チップ厚を 1 0 0 μm 程度となるまで薄化した (図 9 (b) 参照)。

【 0 0 6 2 】

次に、図 1 0 に示すように、支持基板 6 0 上に接着層 6 1 が形成された基板を用意し、接着層 6 1 を薄化および平坦化された MEMS チップ 5 0 および CMOS チップ 5 5 に貼り付けた。本実施形態においては、接着層 6 1 としては、ポリイミド薄膜を用いた。接着層 6 1 の膜厚は 5 μm 程度である。また、支持基板 6 0 としてはガラス基板を用いた。な

10

20

30

40

50

お、接着層 6 1 としては、ポリイミド以外にエポキシ樹脂、アクリル樹脂などいろいろな接着剤を用いてもよい。エポキシ樹脂を用いた場合は、支持基板 6 0 がなくとも十分基板として保持する強固な構造が得られた。特に、チップ間接着層 5 9 としてエポキシ樹脂を用いた場合は、チップ間接着層 5 9 のみでもチップを十分保持できたので、接着層 6 1 および支持基板 6 0 がなくともチップを保持するのに十分であった。ただし、ガラス転移点が高い材料に関しては、プロセス中の加熱がガラス転移点以上となると基板自体が変形することがあるため、支持基板 6 0 および接着層 6 1 による保持が効果的であった。

【 0 0 6 3 】

次に、図 1 1 (a) に示すように、仮接着層 5 4 および基板 5 3 を剥離した。この状態において、チップ 5 0、5 5 間にはほぼ接着層 5 9 が埋められていたが、チップ 5 0、5 5 と接着層 5 9 との間の段差は $5 \mu\text{m} \sim 10 \mu\text{m}$ 程度あった。この段差をなくすために平坦化処理を行った。具体的には、このチップの集積化された基板の上下に、スペーサをはさんだ状態で、ホットプレス機にて一定時間、加圧、加熱を行った。樹脂のガラス転移点以上で加熱することで接着層 5 9 の樹脂が軟化して、加圧されることで表面の段差を $1 \mu\text{m}$ 以内レベルまで平坦化することができた。ここではガラス転移点 5 5 度の接着樹脂に対し、 $80 \sim 10 \text{ kN}$ 、1 時間で加熱加圧を行い、加圧した状態で室温まで冷却した。スペーサとしては耐熱性のゴムを用いたが、緩衝性に優れた材料であれば、特にこれに限るものではない。ただし、接着樹脂とスペーサが接着されるのを防ぐため、耐熱性のスペーサとサンプルの間に挟んだ。スペーサとしてはポリイミドシートやテフロンシートを用いた。ここで接着層面と接するフィルムの平坦性、平滑性が接着層表面に転写されるため、十分平滑で平坦なフィルムを介して熱圧着する必要がある。加熱してガラス転移点以上にする方法以外として、例えばアセトンなどの薬液を接着樹脂にしみこませて柔らかくした状態でプレスして成形する方法もある。この場合加熱する必要がないため、低温での処理が可能である。加熱プレスによる反りの防止は本工程に限らず、接着樹脂の形成後であれば、いかなる工程においても原則使用することができる。従って、加熱処理などを行い基板が反り、装置内に導入できない場合やプロセスに支障をきたす場合は適宜この加熱プレス処理を行うことができる。最後に、本焼成を行い、接着層 5 9 を完全に硬化させた。やはりホットプレス機を用いて、上述と同様のスペーサを用い、加熱プレスを行った。ここでは 150°C で $4 \sim 5$ 時間程度、圧力は 10 kgf/cm^2 程度として、加熱加圧を行い、加圧した状態で常温まで冷却した。これにより、反り量も十分小さく抑えられ、その後のプロセス装置に導入するのに十分なレベルが得られた。

【 0 0 6 4 】

次に、図 1 1 (b) に示すように、MEMS チップ 5 0 および CMOS チップ 5 5 の表面保護層 4 7 および 5 8 であるフォトレジストをアセトンにより剥離した。以上の工程を経て、個々のチップが接着層 5 9、6 1 により集積化された擬似 MEMS ウェハが形成される。この擬似ウェハは 1 枚のウェハとほぼ同等の形状となり、この上に薄膜パターンを CVD 法やスパッタ法などにより形成することができる。

【 0 0 6 5 】

接着層 5 9、6 1 の最大の目的は異なるチップを接着して結合し擬似ウェハ化することである。いずれの樹脂を用いた場合においても、基板が熱膨張した際に発生する熱応力を緩衝することで、基板のそりを低減する効果が得られた。接着層 5 9、6 1 の材料としては、ここではエポキシ樹脂を用いたが、これ以外にもシリコン樹脂、ポリイミド樹脂などさまざまな樹脂を用いることができる。

【 0 0 6 6 】

エポキシ樹脂を用いることで、より強固にチップを固定することができる。また、現像液、エッチング液、洗浄液などに用いるアルカリ性や酸性の溶液、有機溶剤などに対する耐薬品性を高くすることができる。これは特にガラス転移温度が低いエポキシ樹脂で顕著であった。シリコン樹脂を用いると、柔軟性に富み、接着樹脂自体が割れにくい構造を得ることができる。ポリイミド樹脂を用いた場合は、耐熱温度が $300 \sim 400$ 程度と非常に高い構造が得られた。このため、後プロセスのプロセス温度に対する制限が少な

10

20

30

40

50

いという利点が得られた。

【0067】

グローバル多層配線層形成

次に、多層配線層、すなわち各チップ間のグローバル配線層を形成する。まず、前処理を行ってから、図12(a)に示すように、平坦化層として絶縁層62を形成する。前処理としては、まず中性洗剤で表面を十分に擦り洗いした後、硫酸と過酸化水素水の混合液による処理を行い、最後に希フッ酸処理を行った。これにより表面の接着層の残渣等の汚れを低減することができた。O₂プラズマ処理を行うことも表面の洗浄には効果的であった。続いて、平坦化層62を形成した。本実施形態では、平坦化層62としてポリイミドを30μmほど形成した。この平坦化層62の、MEMSデバイス44上の部分およびCMOSデバイス57とのコンタクトホール部分をエッチングなどにより除去した。その後、接着層59の部分とチップ上での平坦化層62の段差を完全になくすため、平坦化処理を行った。ここでは機械的・化学的研磨(CMP)法によりポリイミドからなる平坦化層62を膜厚が4μm程度になるまで研磨し平坦化した。

【0068】

次に、図12(b)に示すように、上記コンタクトホールを埋め込むように、アルミニウムとモリブデンからなるメタル層を形成する。そして、このメタル層上にレジストパターン(図示せず)を形成し、このレジストパターンをマスクとしてメタル層をエッチングした後、レジストパターンの剥離を行い、グローバル配線層63を形成する。ここでは配線63および平坦化層(絶縁層)62からなる1層構造のみであるが、さらに続けて絶縁層及び配線層を積層し多層配線層を形成することができる。このような配線層63を形成した後、例えばSOG(Spin-On-Glass)からなるパッシベーション膜64を形成する(図12(b)参照)。なお、図12(b)においては、パッシベーション膜64はパターンニングされて、MEMSデバイス44上の部分およびCMOSチップ55の配線63とのコンタクトをとるためのコンタクト孔の部分のパッシベーション膜64が除去されているが、パッシベーション膜64のパターンニングは、この工程で行わないで、後の工程(図14(a)に示す工程)で行うことが好ましい。後の工程でパターンニングすることにより、開口された部分が直ぐ後の工程で用いる仮接着層の残渣で汚れるのを防止することができる。

【0069】

配線形成に関しては、接着層の上部のみ配線幅を太くすることで配線の断線率を低減する効果が得られた。接着層の上部のみ配線膜厚を大きくすることも効果的である。接着層の上部のみ、配線材料を変える構成も可能である。例えば、接着層上では、接着層の熱膨張率により近い、またはより柔らかい材料を用いることで、接着層上での配線の断線率を低減できた。具体的には、メタル材料ではAu、Ag、Cu、Alなど、伝導性が高くかつ柔らかい材料を用いればよい。また、導電性ポリマーなどの有機系の半導体、導体を用いると、有機材料同士で熱膨張率の差が少なく、さらにクラック等に耐性が強くすることができる。接着層上にて一本の配線を複数本の配線に分岐しても良い。これにより配線幅を太くする場合と同様、断線率を低減する効果がえられる。また冗長性が得られるので作成歩留まりも向上する。

【0070】

支持基板薄化(除去)

次に、図13(a)に示すように、基板65上に形成した仮接着層66をデバイス上面、すなわちパッシベーション膜64に貼り付ける。この状態で、図13(b)に示すように、支持基板60を薄層化ないし除去ないし分離する。例えば、CMP法などの研磨法を用いることもできるし、HF系の溶液を用いてエッチング除去することもできるし、支持基板60と接着層61の間に剥離層を形成しておき、その剥離層のみを除去することで支持基板60を剥がしても良い。本実施形態では支持基板60にガラスを用い、HF系のエッチャントで支持基板60をエッチングした。接着層61にポリイミドを用いた場合はフッ酸に対してストッパー層となり、ガラス基板60を完全に除去することができた。

【 0 0 7 1 】

なお、前述したとおり、支持基板 6 0 および接着層 6 1 を形成しない構成では支持基板 6 0 の薄化の工程は必要ない。例えば、エポキシ樹脂を用いた場合、樹脂のみで問題なくチップを固定できるので、この場合支持基板は必要なかった。ただし、ガラス転移点が高い樹脂を用いる場合、加熱プロセス中に基板がゆがむという問題が起こることがあった。これを防ぐために、支持基板 6 0 上に樹脂を仮接着することは有効であった。この場合は支持基板 6 0 の上に粘着層などを形成しておき、プロセス中はこれで仮固定を行い、プロセス後に剥離した。

【 0 0 7 2 】

MEMS 保護層の除去、キャップの形成

次に、図 1 4 (a) に示すように、仮接着層 6 6 をデバイス層を剥離する。この後、図 1 2 (b) で説明したパッシベーション膜 6 4 のパターニングを行ってもよい。続いて、図 1 2 (b) に示すように、MEMS 保護層 4 6 を除去した。

【 0 0 7 3 】

次に、図 1 5 (a) に示すように、この MEMS デバイス 4 4 のキャップ 6 7 を形成した。このキャップ層 6 7 は以下のようにして形成される。シリコン基板を用意し、このシリコン基板の表面にレジストパターンを形成し、シリコン層をエッチングして数 μm 程度の凹み層を形成した後、上記レジストパターンを剥離する。さらにこのシリコン基板の裏面を研磨してシリコン基板を $20\ \mu\text{m} \sim 100\ \mu\text{m}$ 程度まで薄層化する。キャップ層となる薄層化したシリコン基板と MEMS 用の SOI 基板をフリットガラスなどの接着材 6 8 を用いて接合する。これによりキャップ層 6 7 が形成される。このキャップ層 6 7 によって、MEMS デバイス 4 4 は封止される。

【 0 0 7 4 】

バンプ形成

次に、銅層をめっき法などにより成膜、その上に Ni 層をめっき法などにより成膜する。Ni 層上にレジストパターンを形成し、このレジストパターンをマスクとして Ni 層および銅層をパターニングし、図 1 5 (b) に示すように電極パッド 6 9 を形成する。続いて、半田バンプ層 7 0 を電極パッド 6 9 上に形成する。形成方法としては印刷法を用いた。スキージを通して半田ペーストによる島パターンを電極パッド 6 9 上に形成した後、リフロープロセスを経てボール形状のバンプ層 7 0 を形成した。

【 0 0 7 5 】

このようにして形成された本実施形態の半導体装置は、MEMS デバイスと半導体デバイスとを備えていても、高集積化および薄化することができる。

【 0 0 7 6 】

なお、本実施形態においては、SOI 基板に形成された MEMS チップ 5 0 と、シリコン基板に形成された例えば CMOS チップ 5 5 とを接着層 5 9 および接着層 6 1 を用いて混載した場合を例にとって説明したが、図 1 6 に示す本実施形態の変形例のように、SOI 基板に形成された MEMS チップ 5 0 と、シリコン基板に形成された例えば CMOS チップ 5 5 と、SOI 基板上に形成され、バンプ 7 2 を有する SOI チップ 7 5 とを接着層 5 9 および接着層 6 1 を用いて混載してもよい。この変形例も第 2 実施形態と同様に、MEMS デバイスと半導体デバイスとを備えていても、高集積化および薄化することができる。

【 0 0 7 7 】

(第 3 実施形態)

次に、本発明の第 3 実施形態による半導体装置を図 1 7 に示す。本実施形態の半導体装置は、MEMS チップ 5 0 と、CMOS チップ 5 5 とを接着層 5 9 と接着層 6 1 を用いて集積化したものである。そして、MEMS デバイス 4 4 のキャップ層 8 7 も含めて平坦化されており、かつ MEMS デバイス 4 4 の配線 7 3 がキャップ層 8 7 中のビア層 7 4 を通じて MEMS デバイス 4 4 の外部の配線 6 3 と接続されている点である。これによりフラットで薄くかつフレキシビリティも高い MEMS デバイスを有する擬似ウェハを得ること

10

20

30

40

50

ができる。プロセスは第2実施形態とほぼ同様なプロセスで実現が可能である。キャップ層87の形成はMEMSチップ50を形成する時点で行い、異種チップ間の平坦化時に全体を平坦化するようにしている。

【0078】

本実施形態も第2実施形態と同様に、MEMSデバイスと半導体デバイスとを備えていても、高集積化および薄化することができる。

【0079】

本実施形態で説明した、キャップ層87を通じて外部と接続する場合の製造プロセスの一例を図18(a)乃至図21(c)を参照して説明する。まず、図18(a)に示すように基板90上に仮接着層91を形成し、この仮接着層91にシリコン基板92を仮接着し、シリコン基板92を薄層化する。続いて、DRIE法などのドライエッチングやウエットエッチングによりシリコン基板92にビア93を形成する(図18(b)参照)。そして、図18(c)に示すようにビア93をレジスト94で埋める。

【0080】

次に、図19(a)に示すように、アルミなどの配線層95を形成した後、配線層95を覆うようにSiO₂などの絶縁層96を形成し、この絶縁層96に配線層95とのコンタクト孔96aを開く。続いて、上記コンタクト孔96aを埋め込むように配線層97を形成し、この配線層97を覆うように絶縁層98を形成し多層化する(図19(b)、19(c)参照)。なお、絶縁層98には配線層97とのコンタクトをとるためのコンタクト孔98aが開くされている。

【0081】

次に、図20(a)に示すように、コンタクト孔98aを埋め込むように、絶縁層98上にバンプ柱99を形成する。また、図20(b)に示すように、絶縁層98上に封止材100を形成する。続いて、図20(c)に示すように、仮接着層91および基板90を剥離し、キャップ層87を形成する。

【0082】

次に、図21(a)に示すように、キャップ層87をチップ集積化された擬似ウェハに貼り付ける。このときバンプ柱99を介して、集積化されたチップのパッド101と接続するようにする。続いて、図21(b)に示すように、ビア93を埋めていたレジスト94を除去し、めっき法などを用いて金属ビア102を形成する。そして、図21(c)に示すように金属ビア102に接続する半田ボール層103を形成する。これによりキャップ層87を通じて配線接続が可能なキャップ付MEMS構造が実現する。

【0083】

次に、本実施形態の変形例による半導体装置の断面を図22に示す。本変形例の半導体装置は、SOI基板に形成されたMEMSチップ50と、SOI基板に形成された例えばCMOSチップ75と、SOI基板上に形成されたSOIチップ76とを接着層59、61を用いて混載した接合チップを備えており、これらのチップは、表面に配線81が形成され、この配線81を覆うように層間絶縁膜80が形成された基板82によって上部が覆われる。すなわち、基板82がキャップ層となっている。層間絶縁膜80には配線と接続するコンタクト78と、各チップ間のグローバル配線79が形成されている。層間絶縁膜80の最外周には接着材77が塗布され、この接着材77によって接合チップと基板82が接着される。すなわち、接着材77によって接合チップの各チップ50、55、75が封止されることになる。また、基板82には、配線81に接続し、基板82を貫通するコンタクト83と、基板82の裏面(図22では上面)に設けられてコンタクト83に接続するバンプ84が設けられている。

【0084】

この変形例も、第3実施形態と同様に、外部との接続配線をキャップ層82を通して形成することでチップ間接着層59上に配線を形成する必要がなくなり、断線しにくくなる。また、擬似チップ自体もキャップ層82にも保持されることで力学的にも安定な構造となる。本変形例も第3実施形態と同様に、MEMSデバイスと半導体デバイスとを備えて

10

20

30

40

50

いても、高集積化および薄化することができる。

【0085】

(第4実施形態)

次に、本実施形態の第4実施形態の半導体装置の平面図を図23に示す。本実施形態の半導体装置は、異なる大きさの異種のチップ110、111、112が接着層301を用いて混載され、グローバル配線113によって電氣的に接続されている。このようにチップの大きさは異なっても良い。なお、集積性の観点から、異種チップ間の大きさは整数倍のサイズ、例えばチップ110はチップ112の約半分のサイズとする方が良い。

【0086】

(第5実施形態)

次に、本発明の第5実施形態による半導体装置の断面を図24に示す。本実施形態の半導体装置は、擬似チップを3次的にスタック構造としたものである。すなわち、第1層の擬似チップはチップ114、115、116、117がチップ間接着層118によって接着された構造を有し、第2層の擬似チップはチップ115a、116a、117aがチップ間接着層118aによって接着された構造を有し、第3層の擬似チップはチップ115b、116b、117bがチップ間接着層118aによって接着された構造を有している。そして、第1層の擬似チップと第2層の擬似チップとはピッチが20 μ m程度の微細なバンプ柱119により接続され、第2層の擬似チップと第3層の擬似チップとはピッチが20 μ m程度の微細なバンプ柱119aにより接続されている。I/O端子用に第1層の擬似ウェハ端面に半田バンプ120が形成されている。各層の擬似ウェハは100 μ m厚程度まで研磨している。これにより、数枚スタックしてもデバイスの厚みは1mm以下の非常に薄い多層擬似ウェハ構造を実現することができる。

【0087】

(第6実施形態)

次に、本発明の第6実施形態の半導体装置を、図25(a)を参照して説明する。本実施形態の半導体装置は、チップ123a、123b、123cが支持基板121上に形成された接着層122上に接着されている。すなわち、接着層122と支持基板121によってチップ123a、123b、123cが固定されており、上記第1乃至第5実施形態で説明したチップ間接着層を用いていない。これにより、チップ間接着層分の幅が不要となり、より高集積度にデバイスを集積できる。支持基板は研磨、エッチング等により薄くすることで柔軟性、薄層化が可能である。また、図25(b)に示すように支持基板を剥離又は除去して接着層122のみによって固定してもよい。

【0088】

本実施形態の第1変形例による半導体装置の断面を図26(a)に示す。本変形例の半導体装置は、第6実施形態において、各チップ間にチップ間接着層124を設けた構成となっている。このようにすることにより、強固にチップを固定できる。また、図26(b)に示すように支持基板121は薄くするかまたは完全に除去することも可能である。これにより柔軟性化、薄層化が可能である。また、図26(c)に示すように、接着層122を除去し、チップ間接着層124によってのみチップを固定してもよい。

【0089】

本実施形態の第2変形例による半導体装置の断面を図27(a)に示す。本変形例の半導体装置は、支持基板121上に形成された接着層に122aに間隔をあけてチップ123a、123b、123cを埋め込むことにより、各チップ間にも接着層122aが入り込んだ構成となっている。第1変形例と構造的には似ているが、接着層122aの形成を1層としてできるので省プロセスで低コスト化が可能である。なお、図27(b)に示すように、支持基板を薄くするかまたは完全に削除してもよい。

【0090】

(第7実施形態)

次に、本発明の第7実施形態による半導体装置の製造方法を図28(a)乃至図28(d)を参照して説明する。本実施形態の製造方法は、図28(a)に示すように、異なる

10

20

30

40

50

厚みのチップ126a、126b、126cが接着層125に接着された接合チップの平坦化方法である。接合チップを研磨して平坦化する方法の一つとして図28(b)に示すように接着層125のみを研磨して、接着層125の裏面の平坦化を行うものである。これにより、新たにチップ下に接着層を形成せずにチップを安定して固定し、かつ接着層面は平坦化されている。

【0091】

また、図28(c)に示すように、接着層125のみならずチップまで平坦化してもよい。これにより、接着層の樹脂はチップ間のみとなり、接合チップ全体を非常に薄くすることができる。また、チップ下に接着層がないため、上下方向での熱膨張率の違いによる非対称性が生じず、さらに接合チップの総厚も小さいので、接合チップが反りにくい。この状態でも接着層125が強固な接着樹脂であればまったく問題なくチップを保持することができた。例えばエポキシ樹脂を用いると強固にチップを固定することができ、チップ間のみでも問題なかった。

10

【0092】

また、図28(c)に示す状態において、さらに図28(d)に示すように接着層127を薄くチップ下に形成する構成も可能である。これによりチップの固定強度は強くなりより力学的に安定な構造となる。また、接着層125と接着層127の材質を変えることができ、用途に応じた材料設計の自由度が広がる。

【0093】

(第8実施形態)

次に、本発明の第8実施形態による半導体装置を、図29を参照して説明する。図29は本実施形態の半導体装置のチップ間接着層近傍の断面図である。本実施形態の半導体装置は、第1乃至第5実施形態の半導体装置において、チップ128a、128bと、チップ間接着層129との接合面積を大きくするために、チップ128a、128bのチップ間接着層129との接合面を平坦でなく、図29に示すように凹凸を設けた構成となっている。これにより、チップ128a、128bと接着層129の接着面積が増加し、接着強度が増加する。特にチップ間のみで、チップ下に接着層がない構成では、このようにチップと接着層の接触面積を増加させることは非常に効果的である。

20

【0094】

(第9実施形態)

次に、本発明の第9実施形態による半導体装置を、図30(a)、30(b)、30(c)を参照して説明する。図30(a)は本実施形態による半導体装置の平面図、図30(b)は本実施形態による半導体装置の断面図、図30(c)は部分拡大図である。本実施形態の半導体装置は、複数のチップ132を有し、これらのチップ132は、ベース基板130の枠によって囲まれるように配置されている。すなわち、ベース基板130に凹部が形成され、この凹部に接着層131を介してチップ132が固定される。ベース基板130の凹部の角部には丸み130aが設けられている。ベース基板130の材料としては、シリコン基板を用いたが、SOI基板、ガラス基板、サファイア基板、GaAs基板などを用いてもまったく問題なく同様の効果が得られる。これにより、接着されたチップ群132がより強固に安定に保持される。たとえば、チップ132の基板端面に衝撃が加わったとしても、チップ132の基板が割れにくいという特徴がある。また、枠の内側に丸み130aを形成することで、ベース基板130にクラックが入りにくくなる。丸み130aの曲率半径は10 μ m程度でも十分クラックに対する耐性が向上した。

30

40

【0095】

本実施形態においては、チップ132の下面の接着層131及びベース基板130の枠によりチップ132が保持されるため、強度的に丈夫であるとともに、ベース基板130の裏面の平坦度も従来の基板と同程度の平坦度が確保される。ここでは厚さが625 μ mのシリコン基板の中央部を深さ200 μ mだけドライエッチングし、200 μ mの凹みを形成した。この凹部の底部にエポキシ接着剤を塗布し接着層131を形成した。そして、100 μ m厚の薄いシリコンチップ132を接着し固定した。

50

【0096】

なお、図31(a)に示す第1変形例のように、ベース基板130は、側面の枠のみとし、チップ132の下側は接着層131のみで固定するようにしてもよい。ここでは、本実施形態で形成した半導体装置を裏面から研磨により削り、周りの枠のみベース基板130を残した構成とした。すなわち、厚さが200 μ mの半導体装置を作成することができた。本変形例は、第9実施形態に比べさらに薄い半導体装置を作成することができた。

【0097】

また、図31(b)に示す第2変形例のように、擬似チップ構造を表面側だけでなく裏面側にも作成した例である。すなわち、厚さ625 μ mシリコン基板130の両面に200 μ mの深さの凹みを形成し、これらの凹部の底面に接着剤を塗布することにより接着層131、133を形成し、接着層131にチップ132を接着させるとともに接着層133にチップ134を接着させて集積した。これにより、チップの集積度が向上した。

【0098】

なお、本実施形態およびその変形例においては、すべてのチップは同じ大きさの例であるが、これらは違ってまったく問題ない。ただし、同サイズのチップを同ピッチで形成する方が応力のバランスが良く、過熱した際の基板の反りなども少なく、より安定して強固な擬似チップが形成できた。

【0099】

また、図32に本実施形態の第3変形例による半導体装置の平面図を示す。この変形例の半導体装置は、平面形状が円形の凹部に接着層131が塗布されてこの接着層131に複数のチップ132が接着されて、集積化された構成となっている。本変形例においては、凹部が円形であるので角部が存在せず、第9実施形態に比べてさらにクラックの発生が少なくなり、より強固な構造が実現できた。この構造においてはチップの配置も中心対称にするなどの工夫をすることが、力学的な安定性の観点から望ましい。このような配置とすることにより、基板自体の反りが少なくなるなどの効果が見られた。

【0100】

なお、本実施形態および第1乃至第3変形例においては、チップ132は2次元的に配置された構成であったが、図33に示す第4変形例のように、接着層131中に3次元的にチップ(デバイス)132が配置分散された構成であってもよい。このように接着層131で形成された基板内に半導体チップが分散配置され、かつそれらのチップ132が配線135で接続されることにより、接着層131内に多機能なデバイスを集積した半導体装置を形成することができる。これらは例えば接着層131を硬化させる前にチップ132を分散してその後、硬化させることでランダムにチップを分散させることもできる。また、薄い接着層131中にデバイスを形成しておき、その接着層からなる基板を張り合わせることで1枚の接着層からなる基板を形成することもできる。

【0101】

(第10実施形態)

次に、本発明の第10実施形態による半導体装置の断面を図34に示す。本実施形態の半導体装置は、異なるチップ50、55を擬似チップ化した後、さらにそれらを積層化した例を示している。第1層目140はRF-MEMS層であり、CMOSチップ55とMEMSチップ50がチップ間接着層141によって接着され、擬似チップ化されて集積されている。本実施形態ではMEMSチップ50のデバイス面はCMOSチップ55のデバイス面と逆側に配置されている。逆に配置することでMEMSデバイスは基板間に配置され、力学的な衝撃や電磁気的な外乱の影響を受けにくくなる。そしてそれらデバイスをつなぐ配線142がチップ間接着層141中を貫通するように設けられている。ここで、接合チップ140の厚みは100 μ m~300 μ m程度とした。擬似チップ化した後、絶縁膜143を接合チップ140上に形成し、この絶縁膜143上にインダクタ144およびキャパシタ145といったRF用の受動薄膜部品146を形成した。このRF-MEMS層140に対して第二層としてCPU層150を、第三層としてメモリー層160を積層した。これらの層140、150、160は電極パッド170を介して半田ボールからな

10

20

30

40

50

る bumps 175 によって接合した。第一層 140 の電極パッド 170 は接着層 141 内に形成された配線層 142 により接続した。

【0102】

次に、本実施形態の変形例による半導体装置の断面を図35に示す。この変形例の半導体装置も、擬似チップを積層した構造である。本変形例では、CMOSチップ55と、MEMSチップ50とを接着層181によって擬似チップ化した擬似SOC180を3層積層した構造となっている。図34と異なるのは、半田 bumps 175 の部分の形状である。本変形例では半田 bumps 175 用に外周部に枠185が形成されている。この枠185はチップ、例えばCMOSチップ55と接着層181によって接着されて固定される。枠185を形成することで擬似チップの力学的安定性を増加している。しかし、図34に示す本実施形態の方が素子の集積度の観点からは優れている。なお、各擬似SOC180は、その上に層間絶縁膜143が設けられ、この層間絶縁膜143上にインダクタ144、キャパシタ145等の受動薄膜部品146が形成されている。また、各チップはグローバル配線183によって接続されている。

【0103】

(第11実施形態)

次に、本発明の第11実施形態の半導体装置の基板端面の配線の形成方法を図36(a)乃至図36(d)を参照して説明する。図36(a)は本実施形態の半導体装置の平面図、図36(b)乃至図36(d)は断面図である。まず、図36(a)、(b)に示すように、チップ190を接着層191で集積して固定した接合チップを作成した後、接着層191中に切断線192に沿って貫通孔193を形成する。なお、貫通孔193の直径は30 μ m~60 μ mである。続いて、図36(c)に示すように、これらの貫通孔193にめっき法などを用いて金属を埋め込み、貫通電極194を形成する。この金属電極193の直径は50 μ m~100 μ mである。その後、接着層191の貫通孔193のほぼ中心部分を通る切断線192に沿って擬似チップを切断分離する。これにより擬似チップの端面で接着層191中に配線194aが形成され、チップの表面と裏面の間の電氣的接続が実現する。

【0104】

なお、このようにして形成された各チップ190には、図37(a)、37(b)に示すように、裏面側にI/Oパッド197が複数個設けられ、表側にI/O部196が設けられている。各I/Oパッド197はチップ190の端面を通るように設けられた分岐配線198によって接続されている。チップ190のサイズが4mm \times 4mmの場合、I/Oパッド197は例えばピッチpが100 μ m~200 μ mとなるように配置される。

【0105】

(第12実施形態)

次に、本発明の第12実施形態による半導体装置の断面を図38に示す。本実施形態の半導体装置は、複数のチップ201a、201b、201cを接着層200上で固定した後、平坦化層202、配線層203を形成した構造となっている。特にチップ201a、201b、201cの端面形状をテーパ形状としている。これにより、平坦化層202を薄くしたとしても、配線層203の断線が起きにくくなる。なお、図38ではチップ201a、201b、201cは接着層200中にめり込んでいないが、接着層200中にめり込ませるように形成すれば、テーパ状のチップ端面が接着層200中にしっかりと固定され、より強固に固定することができる。

【0106】

(第13実施形態)

次に、本発明の第13実施形態による半導体装置の製造方法を、図39(a)乃至図42(b)を参照して説明する。図39(a)乃至図42(b)は、本実施形態の製造方法の製造工程を示す断面図である。

【0107】

まず、図39(a)、39(b)に示すように、複数のチップ211a~211dをピ

10

20

30

40

50

ックアップ装置 212 により粘着シート 210 上の所定の位置に置く。ここでチップは厚みが $100\ \mu\text{m}$ 程度に薄化されたシリコンチップなどを用いた。これらのシリコンチップ 211a ~ 211d には CMOS デバイスや MEMS デバイスが形成されている。ピックアップ装置 212 としては真空吸着機構を有するものを用いた。これにより、表面を汚すことなく、かつ高い歩留まりでチップを移載することができる。ピックアップ装置としては粘着層などによりピックアップするものなどを用いても良い。粘着層を用いることで数 $10\ \mu\text{m}$ から数 $100\ \mu\text{m}$ 角程度の小さいチップでも、また数 $10\ \mu\text{m}$ ~ 数 $100\ \mu\text{m}$ 厚の薄いチップでも、チップにダメージを与えずにピックアップすることができる。ただし、ピックアップ部の粘着層から粘着シート 210 上にチップを転写するためには、チップ移動時には強い粘着力を、チップ転写時には弱い粘着力を実現する必要がある。これを実現するために例えば UV 光、レーザー光の照射、又は温度により剥離力が変化する粘着材料をピックアップ装置の粘着層として用いると、粘着シート 210 上に歩留まりよくチップを転写することができる。

10

【0108】

次に、図 40 (a) に示すように、粘着シート 210 上に集積したチップ 211a ~ 211d を金型 213 の中に入れ、チップを覆うように接着層 214 を塗布し、サンプルを作成した。金型 213 の凹み部分は直径が 5 インチで厚さが $300\ \mu\text{m}$ のものを用いた。印刷法を用いて $300\ \mu\text{m}$ 程度のエポキシ樹脂 214 を塗布した。接着樹脂 214 としてはエポキシ樹脂に限るものではなく、エポキシ樹脂以外にもアクリル系樹脂やポリイミド、シリコーン樹脂などを用いることも可能である。例えばシリコーン樹脂やポリイミド樹脂のように比較的柔らかい樹脂、あるいは、ガラス転移点の低い樹脂を薄く形成することで、柔軟性を有するチップ集合体を形成することができる。エポキシ樹脂のように硬い材料を用いた場合は薄くても頑丈なチップ集合体を実現できる。

20

【0109】

次に、図 40 (b) に示すように、エポキシ樹脂 214 の塗布後はホットプレス装置 215 を用いてサンプルの仮焼成を行った。まず、雰囲気温度 100°C 、圧力 $10\ \text{kN}$ 、時間 1 時間の条件でホットプレス装置 215 を用いて上下から加圧しながら加熱した。1 時間経過してからは、加圧した状態で温度を徐々に下げ室温まで下げた。加圧する際にサンプルの上下にスペーサ 216 を挿入することでサンプルとヒート面の密着性を向上した。スペーサ 216 としては、シリコーンゴムなどの耐熱ゴムを用いた。またスペーサ 216 とサンプルの間に $50\ \mu\text{m}$ 厚のポリイミドフィルム 217 を挿入してもよい。こうすることにより、サンプルとスペーサ 216 が接着するのを防止することができた。

30

【0110】

次に、雰囲気の温度が室温になってからプレス装置 215 からサンプルを取り出し、スペーサ 216、フィルム 217 を剥離した。続いて、図 41 (a) に示すように、樹脂 214 の上面を平坦にかつ薄くするために研磨処理を行った。この研磨処理によりシリコンチップ 211a ~ 211d と接着層 214 の膜厚の合計が $125\ \mu\text{m}$ となるまで薄化した。すなわち、シリコンチップ 211a ~ 211d の高さが $100\ \mu\text{m}$ であるので、シリコンチップ 211a ~ 211d 下には $25\ \mu\text{m}$ の接着層 214 が存在していると考えられる (図 41 (b) 参照)。なお、この接着層 214 の厚みは薄ければ薄いほど、チップを接着層 214 で固めた際の樹脂基板の反りが小さい傾向があった。接着層 214 の厚みが厚い場合は、接着層 214 自体の熱応力が原因で反っているためだと考えられる。特に、チップ下に接着層 214 がより多く残っているとチップと接着層の応力差が原因でそりやすいと考えられる。このため、図 41 (c) に示すように、チップ下に一切接着層 214 が残らないサンプルも作成した。このサンプルは基板の上下の構造が対称となり、反りがもっとも少なかった。その後、図 41 (c) に示すように、粘着シート 210 を剥離した。なお、本実施形態においては、粘着シート 210 として、UV 剥離樹脂を用いた。剥離性を生じさせるために UV 光 ($100\ \text{mW}/\text{cm}^2$) を 1 分程照射すると剥離性が生じ、容易に粘着シート 210 を剥離することができた。なお、この粘着シート 210 として加熱剥離シートを用いることも可能である。この場合加熱することで容易に剥離することがで

40

50

きる。なお、チップ側の接着層 214 の表面の平坦性はこの粘着シート 210 の粘着材の表面の平坦性がそのまま転写されていた。粘着材の表面に接着剤が隙間なくコートされていることからこのような現象が起こったと考えられる。従って、この粘着材の平坦性を上げることで、接着層 214 の平坦性も改善される。一つの方法として、粘着材の厚さが $1\ \mu\text{m} \sim 2\ \mu\text{m}$ 程度の薄いものを用いることで、粘着材の平坦性を向上させ、その結果として接着層 214 の表面性を改善することができた。また、粘着材の代わりに、表面がフッ素終端された離型フィルムを用いることも可能である。また、粘着材のかわりに粘着材ではない剥離層と支持基板を形成しておき、デバイスを貼り付け、接着樹脂で固めた後に剥離層からチップ集合化基板を剥離又は除去しても良い。例えば、アモルファスシリコン層を犠牲層とし、ガラス基板上に形成しておいて、剥離の際にはレーザーを照射してアモルファスシリコンをアブレーションさせて剥離させることができる。あるいはガラス基板上にポリイミドなどの耐酸性を有する有機薄膜をコートしたものをを用いて、チップをポリイミド上に熱圧着などで貼り付け、その上に接着樹脂を埋め、焼成した後にガラス基板をフッ酸などの溶液を用いてガラス基板をエッチング除去することでチップ集合体基板をガラスから剥離することができる。この際、デバイス面はポリイミドなどの耐酸性がある樹脂でカバーされて、ダメージを受けない。また接着樹脂自体にもポリイミドなどの耐酸性を有するものを用いると問題がない。耐酸性がない材料の場合は接着層表面を耐酸性のある樹脂ないし材料でカバーする必要がある。

10

【0111】

次に、図 42 (a) に示すように、本焼成を行った。サンプルを再度平坦化した形状に成形するため、ホットプレス装置 215 で熱加圧処理 (150°C 、 $10\ \text{kN}$ 、1 時間) を行った。1 時間経過後はやはり加圧した状態で雰囲気温度を室温まで下げてからサンプルを取り出した。加熱加圧する際には、図 42 (a) に示すように、サンプルの上下にスペーサ 216 及びフィルム 217 を挿入して、サンプルとスペーサがくっつくのを防止した。フィルム 217 としては、テフロンやポリイミドなどを用いると、耐熱性や離型性に優れていた。スペーサ 216 としては、シリコンなどの耐熱性のゴムなどを用いると平坦性などの観点も含めよい特性が得られた。このスペーサ及びフィルムの平坦性も接着層の表面の平坦性を決める重要な要因となることがわかった。すなわち、熱プレスされることで、これらのフィルム、スペーサの平坦性、とりわけ接着層と直接接するフィルムの平坦性が接着層の平坦性に大きく影響を及ぼしていることがわかった。また加圧冷却する際には上下の熱版の温度変化がほぼ一致するようにすることで、反りが低減することが分かった。従って、スペーサの構成もサンプルの上下で対称にするほうが望ましい。このようにして、平坦性に優れ、かつ反りも少ないチップ集合体を形成することができた。

20

30

【0112】

次に、本焼成したサンプル上に多層配線層を形成した。ここでは絶縁膜 218 としてポリイミド薄膜を $4\ \mu\text{m}$ 程度形成した。この絶縁膜 218 にコンタクトホールを形成した後、これらのコンタクトホールを埋め込むように $0.3\ \mu\text{m}$ 程度の厚みの薄膜配線層 219 を形成した。薄膜配線層 219 としてアルミ薄膜を用いた。この工程を、繰り返し多層配線層を形成した。

【0113】

なお、第 1 乃至第 13 実施形態において、チップを接着する接着層としては、ヤング率が $10\ \text{GPa}$ 以下の樹脂を用いると、第 1 実施形態で説明した十分な緩衝効果を得ることができる。

40

【0114】

以上説明したように、上記実施形態によれば、従来直接的に混載が難しかった MEMS デバイス、GaAs などの光デバイスと CMOS 回路などが形成されたシリコンデバイスなど、異種のデバイスを集積化したチップを形成することができる。特に、異種混載デバイス間のグローバル配線を半導体プロセスにより形成できるために $1\ \mu\text{m}$ 以下の微細なピッチで配線を形成することができる。また、既存のチップを混載することができるため、新規開発コストも抑えられ、開発期間を短くすることができる。特に、歩留まりの悪いチ

50

チップを選別して混載することにより、トータルの歩留まりを向上させることができる。このようにSOCの持っていたメリットとSIPのもっていたメリットの両方が得られるので、これまでにない高機能なデバイスをより低コストで実現することができる。

【0115】

また、チップ集積化基板において、接着層にガラス転移点が低いなど柔らかい樹脂を用いることにより、接着層は基板間の熱膨張率の違いによる応力を緩和する応力緩和層となっている。これにより、より多くの種類のデバイスチップを安定して容易に集積化することができる。

【図面の簡単な説明】

【0116】

【図1】本発明の第1実施形態による半導体装置の製造方法を示す断面図。

【図2】本発明の第1実施形態による半導体装置の製造方法を示す断面図。

【図3】第1実施形態の製造方法の概念を説明する図。

【図4】従来の半導体装置の構成を模式的に示す図。

【図5】第1実施形態の製造方法によって製造された半導体装置の等価的な構成を示す図。

【図6】本発明の第2実施形態による半導体装置の製造方法を示す断面図。

【図7】本発明の第2実施形態による半導体装置の製造方法を示す断面図。

【図8】本発明の第2実施形態による半導体装置の製造方法を示す断面図。

【図9】本発明の第2実施形態による半導体装置の製造方法を示す断面図。

【図10】本発明の第2実施形態による半導体装置の製造方法を示す断面図。

【図11】本発明の第2実施形態による半導体装置の製造方法を示す断面図。

【図12】本発明の第2実施形態による半導体装置の製造方法を示す断面図。

【図13】本発明の第2実施形態による半導体装置の製造方法を示す断面図。

【図14】本発明の第2実施形態による半導体装置の製造方法を示す断面図。

【図15】本発明の第2実施形態による半導体装置の製造方法を示す断面図。

【図16】第2実施形態の変形例による半導体装置を示す断面図。

【図17】本発明の第3実施形態による半導体装置を示す断面図。

【図18】第3実施形態の半導体装置の製造方法を示す断面図。

【図19】第3実施形態の半導体装置の製造方法を示す断面図。

【図20】第3実施形態の半導体装置の製造方法を示す断面図。

【図21】第3実施形態の半導体装置の製造方法を示す断面図。

【図22】第3実施形態の変形例による半導体装置の断面図。

【図23】本発明の第4実施形態による半導体装置の断面図。

【図24】本発明の第5実施形態による半導体装置の断面図。

【図25】本発明の第6実施形態による半導体装置の断面図。

【図26】第6実施形態の第1変形例による半導体装置の断面図。

【図27】第6実施形態の第2変形例による半導体装置の断面図。

【図28】本発明の第7実施形態による半導体装置の製造方法を示す断面図。

【図29】本発明の第8実施形態による半導体装置の断面図。

【図30】本発明の第9実施形態による半導体装置の構成を示す図。

【図31】第9実施形態の第1、第2変形例による半導体装置の断面図。

【図32】第9実施形態の第3変形例による半導体装置の断面図。

【図33】第9実施形態の第4変形例による半導体装置の断面図。

【図34】本発明の第10実施形態による半導体装置の断面図。

【図35】第10実施形態の変形例による半導体装置の断面図。

【図36】本発明の第11実施形態による半導体装置の製造方法を示す図。

【図37】第11実施形態の製造方法によって製造されたチップを示す図。

【図38】本発明の第12実施形態による半導体装置の断面図。

【図39】本発明の第13実施形態による半導体装置の製造方法を示す断面図。

10

20

30

40

50

【図40】本発明の第13実施形態による半導体装置の製造方法を示す断面図。

【図41】本発明の第13実施形態による半導体装置の製造方法を示す断面図。

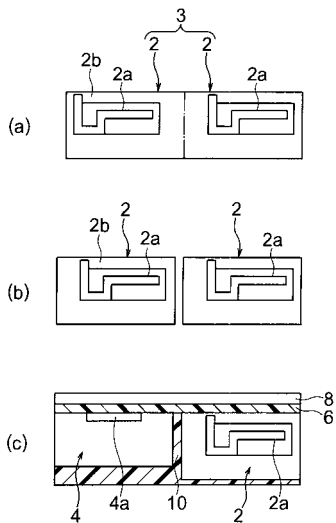
【図42】本発明の第13実施形態による半導体装置の製造方法を示す断面図。

【符号の説明】

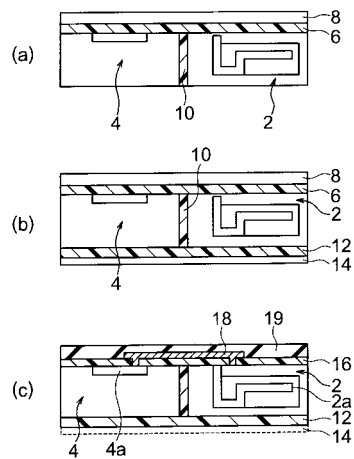
【0117】

- 2 MEMSチップ
- 3 シリコン基板
- 4 CMOSチップ
- 4a CMOSデバイス
- 6 仮接着層
- 8 基板
- 10 接着層
- 12 接着層
- 16 絶縁膜
- 18 配線
- 19 絶縁膜

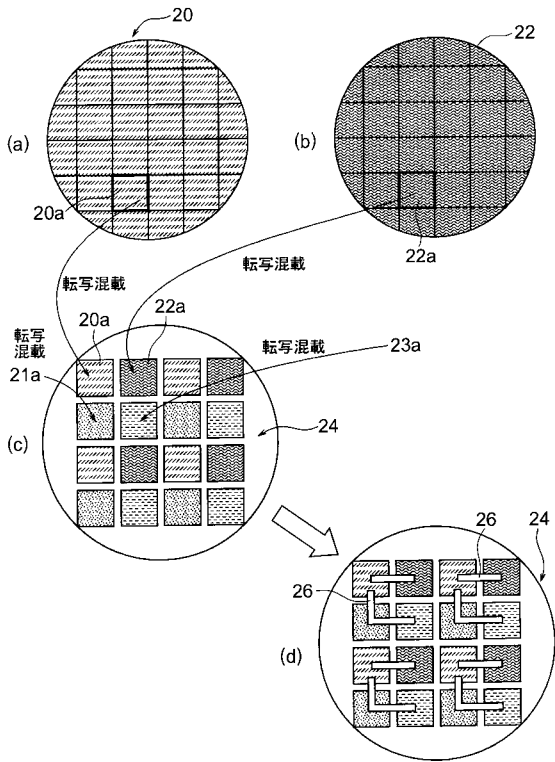
【図1】



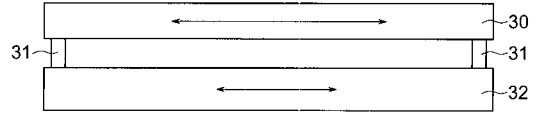
【図2】



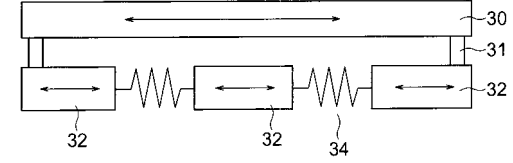
【図3】



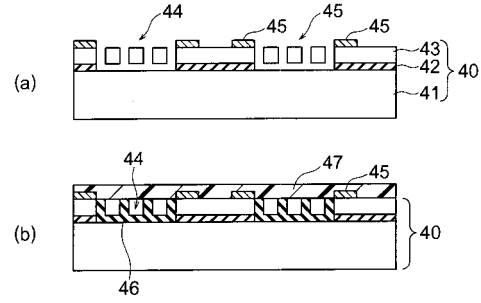
【図4】



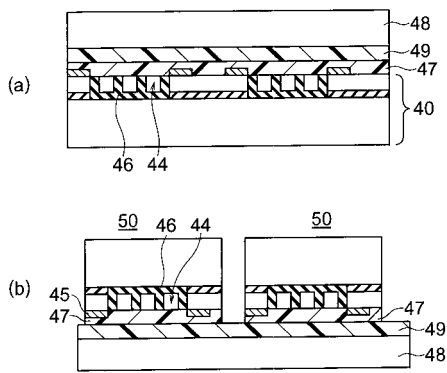
【図5】



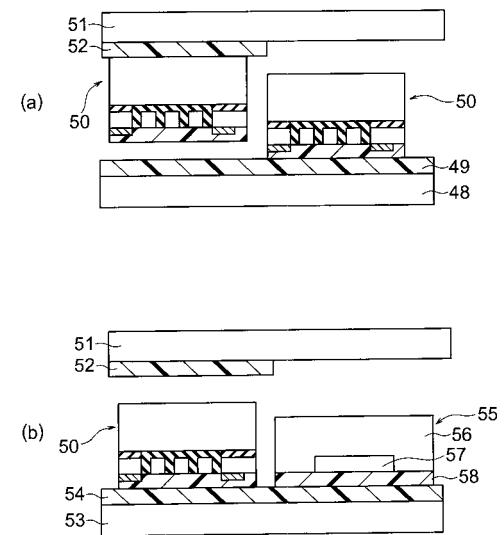
【図6】



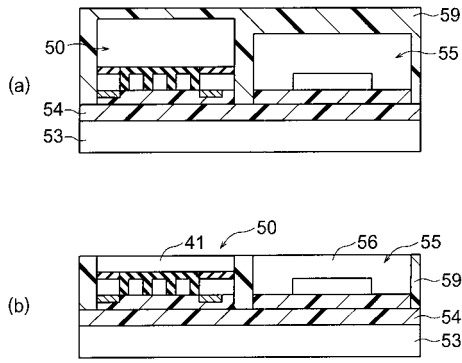
【図7】



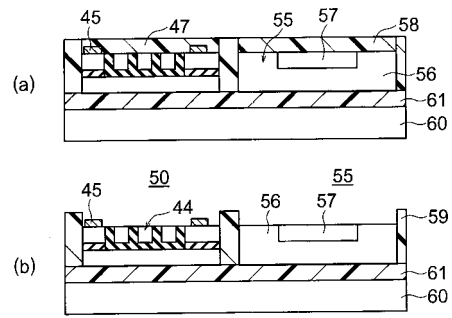
【図8】



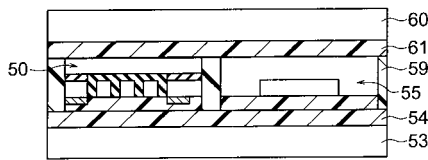
【図 9】



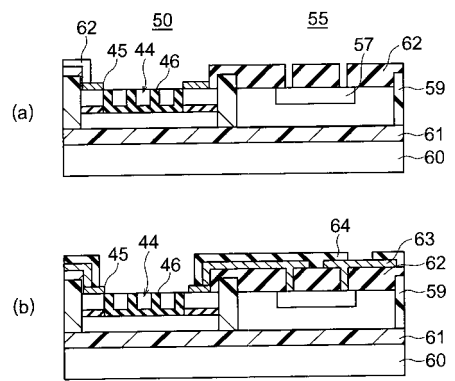
【図 11】



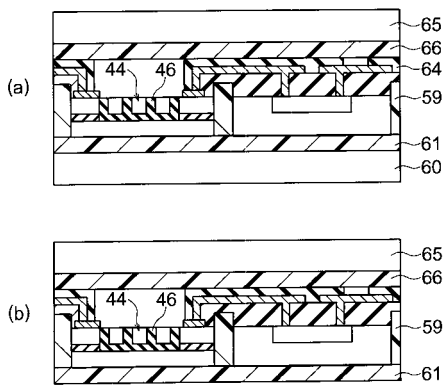
【図 10】



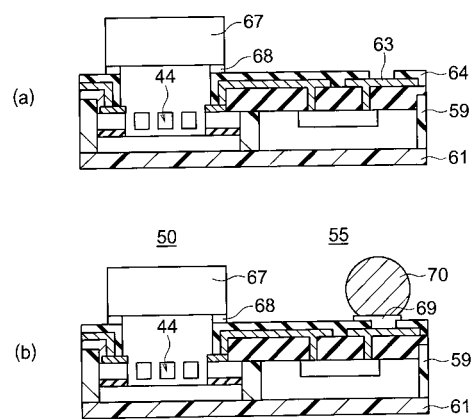
【図 12】



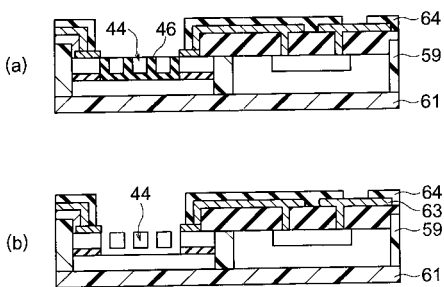
【図 13】



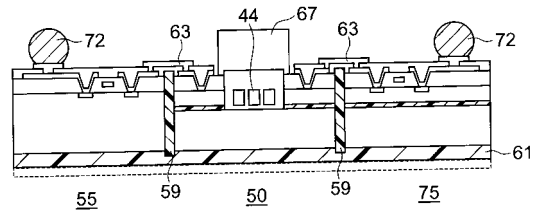
【図 15】



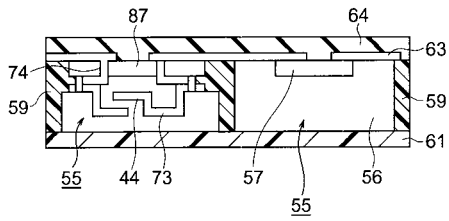
【図 14】



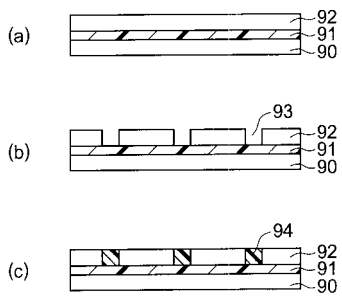
【図 16】



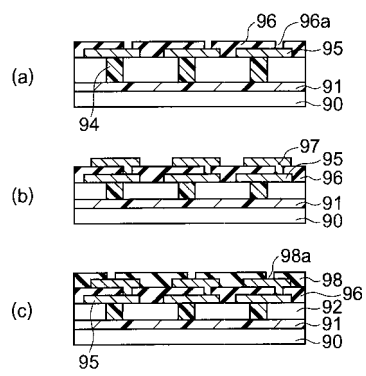
【 図 17 】



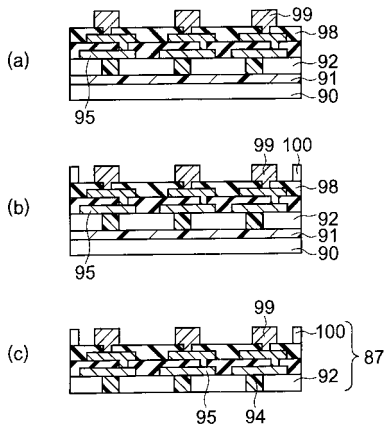
【 図 18 】



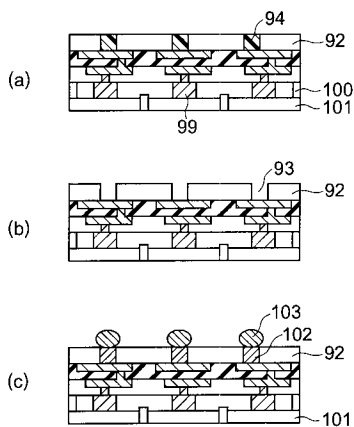
【 図 19 】



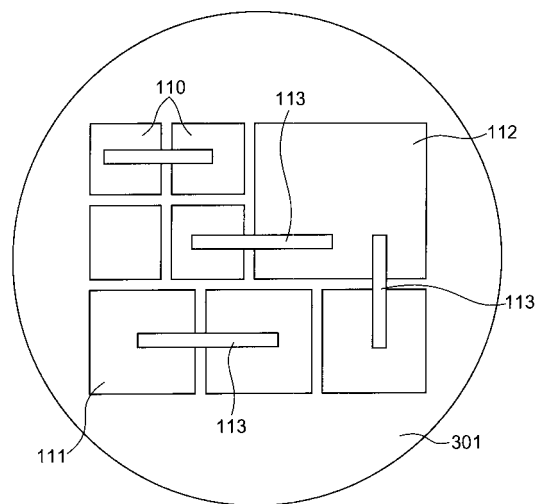
【 図 20 】



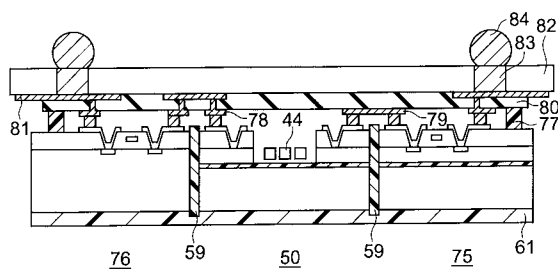
【 図 21 】



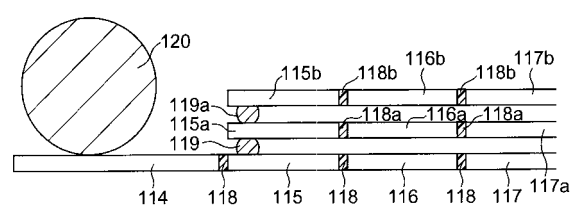
【 図 23 】



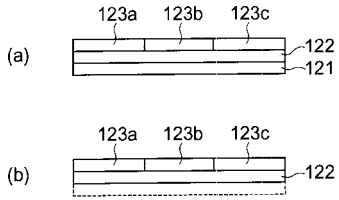
【 図 22 】



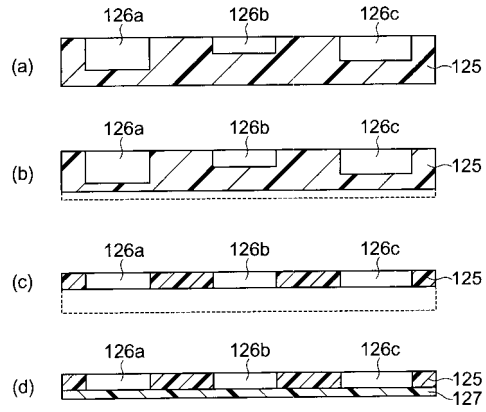
【 図 24 】



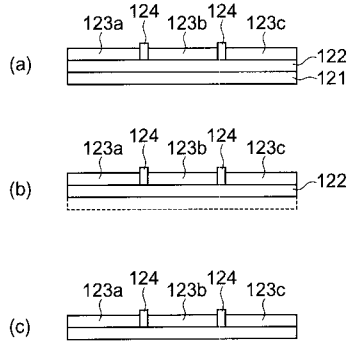
【 図 2 5 】



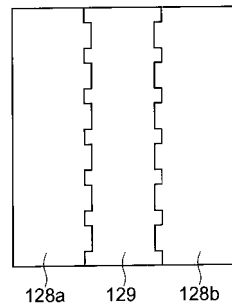
【 図 2 8 】



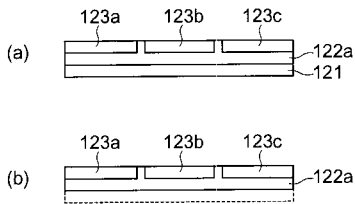
【 図 2 6 】



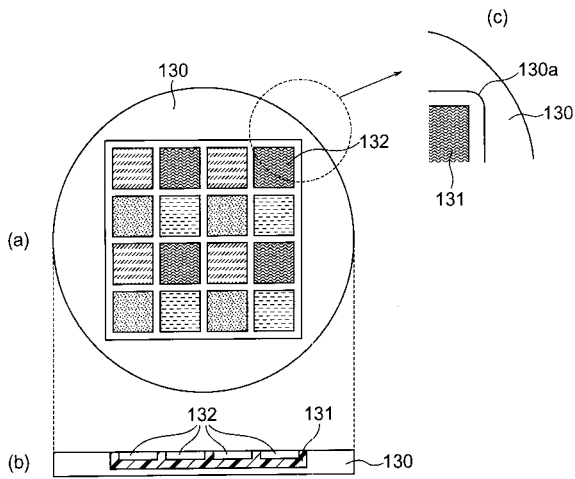
【 図 2 9 】



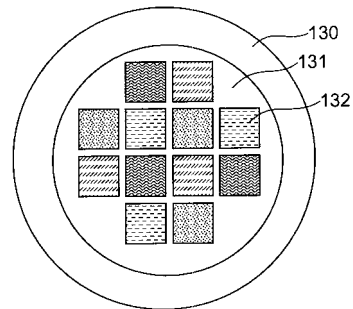
【 図 2 7 】



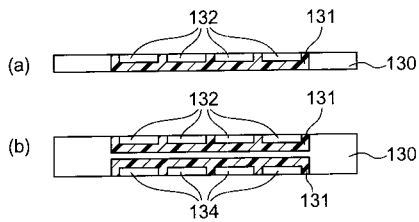
【 図 3 0 】



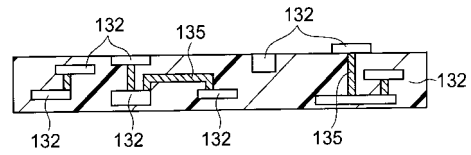
【 図 3 2 】



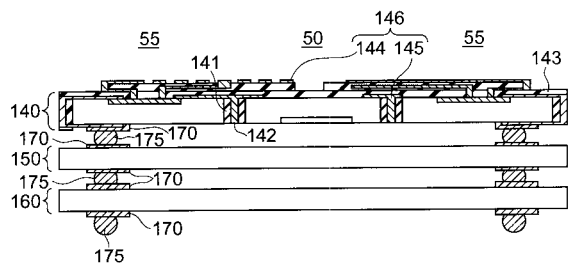
【 図 3 1 】



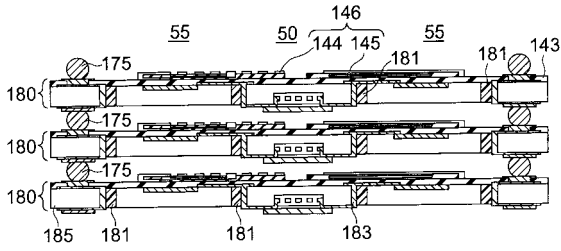
【 図 3 3 】



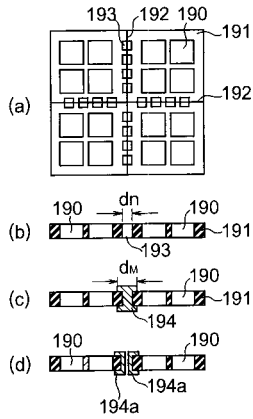
【 図 3 4 】



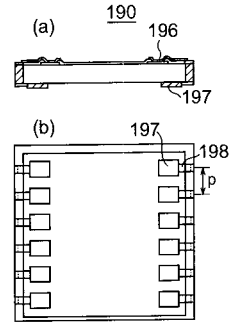
【 図 3 5 】



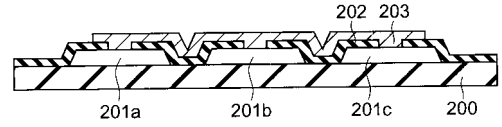
【 図 3 6 】



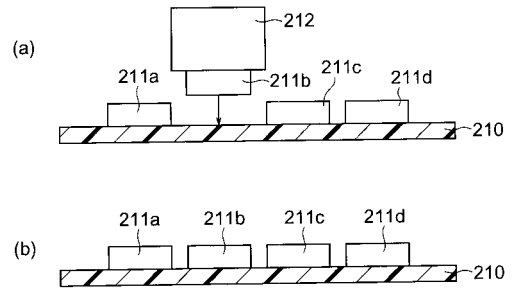
【 図 3 7 】



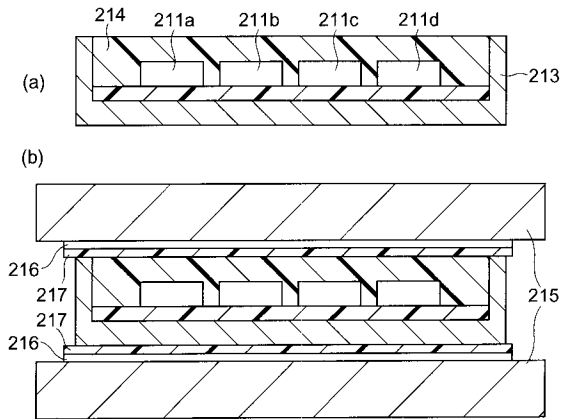
【 図 3 8 】



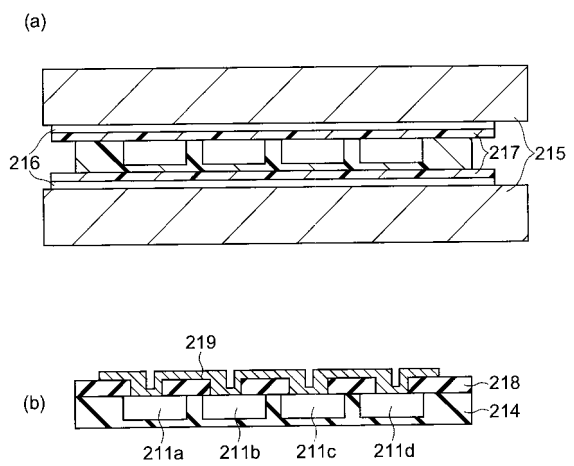
【 図 3 9 】



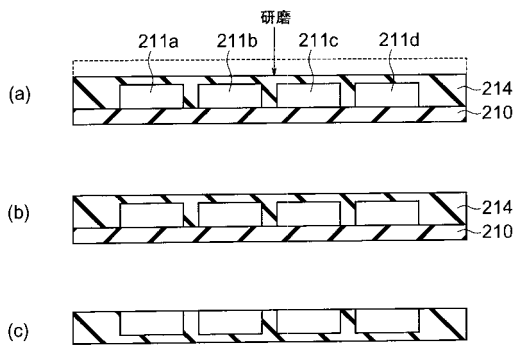
【 図 4 0 】



【 図 4 2 】



【 図 4 1 】



フロントページの続き

- (72)発明者 小野塚 豊
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 山田 浩
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 舟木 英之
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 板谷 和彦
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

審査官 太田 良隆

- (56)参考文献 特開平07-007134(JP,A)
特開2001-332654(JP,A)
特開平09-172137(JP,A)
特開2004-014629(JP,A)
特開2003-084008(JP,A)
米国特許出願公開第2005/0087356(US,A1)
特開平05-267559(JP,A)
特開2002-353398(JP,A)
特開昭59-040553(JP,A)
特開平02-189961(JP,A)
特開平07-083707(JP,A)

(58)調査した分野(Int.Cl., DB名)

B81B 1/00 - 7/04
B81C 1/00 - 99/00
H01L25/00 - 25/07
25/10 - 25/11
25/16 - 25/18
21/301
21/304