



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년09월18일
 (11) 등록번호 10-1899084
 (24) 등록일자 2018년09월10일

(51) 국제특허분류(Int. Cl.)
 G11C 8/00 (2006.01)
 (21) 출원번호 10-2011-0107587
 (22) 출원일자 2011년10월20일
 심사청구일자 2016년10월05일
 (65) 공개번호 10-2013-0043451
 (43) 공개일자 2013년04월30일
 (56) 선행기술조사문헌
 US20090015338 A1
 US7271634 B1

(73) 특허권자
 에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091
 (72) 발명자
 김용주
 경기도 이천시 부발읍 신아로92번길 74-25 705호
 801호 (아미리, 현대7차아파트)
 권대한
 서울특별시 노원구 동일로214길 21 410동 305호
 (상계동, 상계주공4단지아파트)
 (뒷면에 계속)
 (74) 대리인
 특허법인신성

전체 청구항 수 : 총 2 항

심사관 : 손윤식

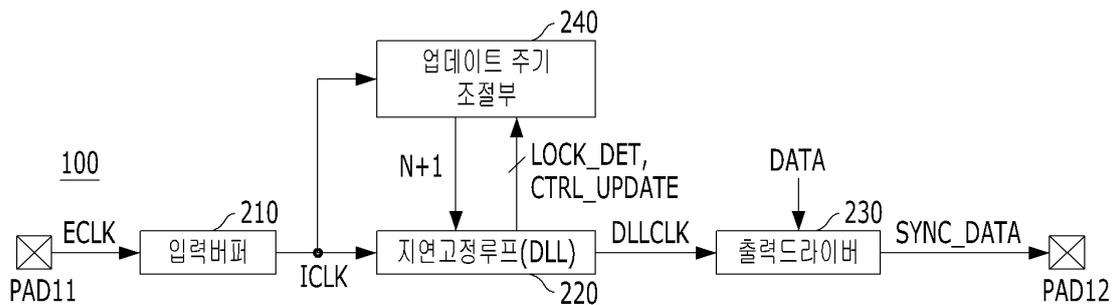
(54) 발명의 명칭 **반도체 집적회로 및 그의 구동 방법**

(57) 요약

지연고정루프를 포함하는 반도체 집적회로에 관한 것으로, 소오스 클럭을 지연고정에 필요한 제1 지연시간만큼 지연시켜 지연고정 클럭을 생성하고 지연고정이 완료된 이후에 업데이트 주기 조절신호에 응답하여 업데이트 주기가 조절되는 지연고정루프; 및 소오스 클럭과 지연고정루프로부터 제공되는 다수의 제어신호에 응답하여 지연고정루프의 루프 경로에서 발생하는 제2 지연시간에 기초한 업데이트 주기 조절신호를 생성하기 위한 업데이트 주기 조절부를 포함하는 반도체 집적회로가 제공된다.

대표도 - 도4

200



(72) 발명자

최해량

경기도 이천시 부발읍 경충대로 2091, 128호 (하이
닉스반도체 청운2관)

장재민

서울특별시 광진구 아차산로 549 1007동 1003호 (광장동, 현대파크빌아파트)

명세서

청구범위

청구항 1

소오스 클럭을 지연고정에 필요한 제1 지연시간만큼 지연시켜 지연고정 클럭을 생성하고, 지연고정이 완료된 이후에 업데이트 주기 조절신호에 응답하여 업데이트 주기가 조절되는 지연고정루프; 및

상기 소오스 클럭과 상기 지연고정루프로부터 제공되는 다수의 제어신호에 응답하여 상기 지연고정루프의 루프 경로에서 발생하는 제2 지연시간에 기초한 상기 업데이트 주기 조절신호를 생성하기 위한 업데이트 주기 조절부를 포함하는 반도체 집적회로.

청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 지연고정루프는,

딜레이 조절신호에 응답하여 상기 소오스 클럭을 상기 제1 지연시간만큼 지연시켜 상기 지연고정 클럭을 출력하기 위한 제1 딜레이 라인;

상기 지연고정 클럭을 실제 클럭 경로에서 발생하는 제3 지연시간만큼 지연시켜 피드백 클럭을 출력하기 위한 제1 레플리카 딜레이;

상기 소오스 클럭과 상기 피드백 클럭에 응답하여 클럭위상 비교신호와 지연고정 완료신호를 생성하기 위한 제1 신호 생성부; 및

상기 클럭위상 비교신호와 상기 업데이트 주기 조절신호에 응답하여 상기 딜레이 조절신호를 생성하기 위한 제2 신호 생성부를 포함하는 반도체 집적회로.

청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제2항에 있어서,

상기 다수의 제어신호는 상기 딜레이 조절신호와 상기 지연고정 완료신호를 포함하는 반도체 집적회로.

청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제2항 또는 제3항에 있어서,

상기 제2 지연시간은 상기 제1 지연시간과 상기 제3 지연시간을 포함하는 반도체 집적회로.

청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제2항 또는 제3항에 있어서,

상기 제1 신호 생성부는,

상기 소오스 클럭과 상기 피드백 클럭의 위상을 비교하여 상기 클럭위상 비교신호를 출력하기 위한 위상 비교부; 및

상기 클럭위상 비교신호에 응답하여 상기 지연고정 완료신호를 출력하기 위한 예지 검출부를 포함하는 반도체 집적회로.

청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제2항 또는 제3항에 있어서,

상기 제2 신호 생성부는 상기 클럭위상 비교신호를 필터링하기 위한 필터부를 포함하는 반도체 집적회로.

청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제4항에 있어서,

상기 업데이트 주기 조절부는,

상기 소오스 클럭, 상기 지연고정 완료신호, 지연된 지연고정 완료신호에 응답하여 동기된 지연고정 완료신호와 상기 업데이트 주기 조절신호를 생성하기 위한 제3 신호 생성부; 및

상기 동기된 지연고정 완료신호(ICMD)를 상기 제2 지연시간 또는 상기 제2 지연시간 중 일부의 시간만큼 지연시켜 상기 지연된 지연고정 완료신호(OCMD)를 생성하기 위한 제4 신호 생성부(243)를 포함하는 반도체 집적회로.

청구항 8

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제7항에 있어서,

상기 제4 신호 생성부는,

상기 동기된 지연고정 완료신호를 상기 제1 지연시간만큼 지연시키기 위한 제2 딜레이 라인; 및

상기 제2 딜레이 라인의 출력신호를 상기 제3 지연시간만큼 지연시켜 상기 지연된 지연고정 완료신호를 출력하기 위한 제2 레플리카 딜레이를 포함하는 반도체 집적회로.

청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제7항에 있어서,

상기 제3 신호 생성부는,

상기 지연고정 완료신호를 상기 소오스 클럭에 동기시켜 상기 동기된 지연고정 완료신호를 출력하기 위한 동기부;

상기 동기된 지연고정 완료신호와 상기 지연된 지연고정 완료신호에 응답하여 인에이블신호를 생성하기 위한 인에이블신호 생성부; 및

상기 인에이블신호와 상기 소오스 클럭에 응답하여 상기 업데이트 주기 조절신호를 출력하기 위한 출력부를 포

함하는 반도체 집적회로.

청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제9항에 있어서,

상기 동기부와 인에이블신호 생성부는 D 플립플롭을 포함하는 반도체 집적회로.

청구항 11

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제9항에 있어서,

상기 출력부는,

상기 인에이블신호가 활성화된 구간 동안 상기 소오스 클럭을 출력하기 위한 출력 제한부; 및

상기 출력 제한부로부터 출력되는 제한된 소오스 클럭을 카운팅하기 위한 카운터를 포함하는 반도체 집적회로.

청구항 12

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆

제11항에 있어서,

상기 출력부는 카운터로부터 출력되는 카운팅 값에 예정된 카운팅 값을 부가하여 상기 업데이트 주기 조절신호를 출력하기 위한 가산부(adder)를 더 포함하는 반도체 집적회로.

청구항 13

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆

제11항에 있어서,

상기 출력 제한부는 상기 인에이블신호와 상기 소오스 클럭을 논리 곱 연산하기 위한 앤드 게이트를 포함하는 반도체 집적회로.

청구항 14

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제2항에 있어서,

외부로부터 인가된 외부 클럭을 버퍼링하여 상기 소오스 클럭을 생성하기 위한 입력 버퍼; 및

상기 지연조정 클럭에 동기되어 데이터를 외부로 출력하기 위한 출력 드라이버를 더 포함하는 반도체 집적회로.

청구항 15

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제14항에 있어서,

상기 제3 지연시간은 상기 입력 버퍼를 포함하는 클럭 입력 경로에서 실제 발생하는 지연시간과 상기 출력 드라이버를 포함하는 클럭 출력 경로에서 실제 발생하는 지연시간을 포함하는 반도체 집적회로.

청구항 16

소오스 클럭을 지연고정에 필요한 제1 지연시간만큼 지연시켜 지연고정 클럭을 생성하기 위한 지연고정루프와, 상기 지연고정루프의 업데이트 주기를 조절하기 위한 업데이트 주기 조절부를 포함하는 반도체 집적회로의 구동 방법에 있어서,

상기 지연고정루프가 소오스 클럭을 가변 조절되는 상기 제1 지연시간만큼 지연시켜 지연고정 클럭을 생성하기 위한 트래킹(tracking) 단계;

상기 트래킹 단계가 완료된 상태에서 상기 업데이트 주기 조절부가 상기 지연고정루프의 루프 경로에서 발생하는 제2 지연시간에 기초하여 업데이트 주기를 조절하는 업데이트 주기 조절단계; 및

상기 지연고정루프가 조절된 업데이트 주기에 대응하여 업데이트를 수행하는 업데이트 수행단계를 포함하는 반도체 집적회로의 구동 방법.

청구항 17

◆청구항 17은(는) 설정등록료 납부시 포기되었습니다.◆

제16항에 있어서,

상기 제2 지연시간은 상기 제1 지연시간과 실제 클럭 경로에서 발생하는 제3 지연시간을 포함하는 반도체 집적회로의 구동 방법.

청구항 18

◆청구항 18은(는) 설정등록료 납부시 포기되었습니다.◆

제16항 또는 제17항에 있어서,

상기 업데이트 주기 조절단계는,

상기 트래킹 단계가 완료됨에 따라 상기 지연고정루프가 지연고정 완료신호를 활성화하는 단계;

상기 지연고정 완료신호가 활성화됨에 따라 상기 업데이트 주기 조절부가 상기 제2 지연시간 동안 상기 소오스 클럭을 카운팅하고 그 카운팅 값을 출력하는 단계; 및

상기 지연고정루프가 상기 카운팅 값에 따라 조절된 업데이트 주기에 대응하여 업데이트를 수행하는 단계를 포함하는 반도체 집적회로의 구동 방법.

청구항 19

◆청구항 19은(는) 설정등록료 납부시 포기되었습니다.◆

제18항에 있어서,

상기 카운팅 값을 출력하는 단계는,

상기 지연고정 완료신호를 상기 소오스 클럭에 동기시켜 동기된 지연고정 완료신호를 생성하는 단계;

상기 동기된 지연고정 완료신호를 상기 제2 지연시간만큼 지연시켜 지연된 지연고정 완료신호를 생성하고, 상기 동기된 지연고정 완료신호와 상기 지연된 지연고정 완료신호에 응답하여 예정된 활성화 구간을 가지는 인에이블 신호를 생성하는 단계; 및

상기 인에이블신호의 활성화 구간 동안 상기 소오스 클럭의 토글링 횟수를 카운팅하는 단계를 포함하는 반도체 집적회로의 구동 방법.

청구항 20

◆청구항 20은(는) 설정등록료 납부시 포기되었습니다.◆

제18항에 있어서,

상기 카운팅 값을 출력하는 단계는 상기 카운팅 값에 예정된 카운팅 값을 추가하여 출력하는 반도체 집적회로의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 설계 기술에 관한 것으로, 더욱 상세하게는 지연고정루프(Delay Locked Loop : DLL)를 포함하는 반도체 집적회로 및 그의 구동 방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 'DDR SDRAM(Double Data Rate Synchronous DRAM)'과 같은 반도체 집적회로는 외부로부터 입력되는 외부 클럭을 내부에서 사용할 때 내부 회로에 의해 발생하는 시간 지연을 보상하기 위하여 내부 클럭과 외부 클럭이 동일한 위상을 갖도록 하기 위한 지연고정루프(Delay Locked Loop: DLL)를 포함한다. 다시 말해, 지연고정루프(DLL)는 외부 클럭을 입력받아 실제 클럭 경로 및 데이터 경로의 지연 성분을 보상하여 미리 네거티브 지연을 반영해 줌으로써, 반도체 집적회로에서 출력되는 데이터가 외부 클럭에 동기될 수 있게 된다.

[0003] 도 1에는 종래기술에 따른 반도체 집적회로가 블록 구성도로 도시되어 있다.

[0004] 도 1을 참조하면, 반도체 집적회로(100)는 제1 패드(PAD1)를 통해 입력된 외부 클럭(ECLK)에 대응하는 내부 클럭(ICLK)을 생성하기 위한 입력 버퍼(110)와, 내부 클럭(ICLK)에 대응하는 지연고정 클럭(DLLCLK)을 생성하기 위한 지연고정루프(120)와, 지연고정 클럭(DLLCLK)에 동기된 데이터(SYNC_DATA)를 제2 패드(PAD2)로 출력하기 위한 출력 드라이버(130)를 포함한다.

[0005] 도 2에는 도 1에 도시된 지연고정루프(120)의 내부 구성도가 도시되어 있다.

[0006] 도 2를 참조하면, 지연고정루프(120)는 딜레이 조절신호(CTRL_DELY)에 응답하여 내부 클럭(ICLK)을 지연고정에 필요한 지연시간만큼 지연시켜 지연고정 클럭(DLLCLK)을 출력하기 위한 딜레이 라인(121)과, 지연고정 클럭(DLLCLK)을 실제 클럭 경로 및 데이터 경로에서 발생하는 지연시간만큼 지연시켜 피드백 클럭(FBCLK)을 출력하기 위한 레플리카 딜레이(123)와, 내부 클럭(ICLK)과 피드백 클럭(FBCLK)의 위상을 비교하기 위한 위상 비교부(125)와, 위상 비교부(125)로부터 출력되는 비교신호(UP/DN)에 응답하여 딜레이 조절신호(CTRL_DELY)를 생성하기 위한 조절신호 생성부(127)를 포함한다.

[0007] 여기서, 실제 클럭 경로 및 데이터 경로에서 발생하는 지연시간(D3)은 통상적으로 모델링된 지연시간이라고도 하며, 외부 클럭(ECLK)이 입력되는 제1 패드(PAD1)로부터 내부 클럭(ICLK)이 생성될 때까지의 경로에서 실질적으로 발생하는 지연시간(D1)과, 지연고정 클럭(DLLCLK)에 동기된 데이터(SYNC_DATA)가 제2 패드(PAD2)로 출력될 때까지의 경로에서 실질적으로 발생하는 지연시간(D2)의 합으로 정의된다(D3 = D1 + D2).

[0008] 이하, 상기와 같은 구성을 가지는 반도체 집적회로(100)의 동작을 설명한다.

[0009] 최초 구동 시 외부 클럭(ECLK)이 입력 버퍼부(110)를 통해 버퍼링되어 내부 클럭(ICLK)으로써 딜레이 라인(121)에 전달되면, 딜레이 라인(121)은 내부 클럭(ICLK)을 바이패스한다.

[0010] 그러면, 레플리카 딜레이(123)는 딜레이 라인(121)으로부터 출력되는 지연고정 클럭(DLLCLK)을 모델링된 제2 지연시간(D3)만큼 지연시켜 위상 비교부(125)로 출력한다.

[0011] 그리고, 위상 비교부(125)는 입력 버퍼부(110)에서 출력된 내부 클럭(ICLK)과 레플리카 딜레이(123)에서 출력된

피드백 클럭(FBCLK)의 위상을 비교하고, 조절신호 생성부(127)는 위상 비교부(125)로부터 출력된 비교신호(UP/DN)에 응답하여 딜레이 조절신호(CTRL_DELY)를 생성하여 딜레이 라인(121)으로 출력한다.

[0012] 이에 따라, 딜레이 라인(121)은 딜레이 조절신호(CTRL_DELY)에 응답하여 내부 클럭(ICLK)을 일정 지연시간만큼 지연시켜 지연고정 클럭(DLLCLK)을 출력한다.

[0013] 상기와 같은 일련의 동작을 반복하고, 위상 비교부(125)의 비교결과 내부 클럭(ICLK)과 피드백 클럭(FBCLK)의 위상이 동기되면, 딜레이 라인(121)의 제1 지연시간이 지연고정된다. 이는 도 3에 도시되어 있다. 도 3을 보면, 내부 클럭(ICLK)과 피드백 클럭(FBCLK)이 동기된 상태임을 알 수 있고, 이때의 지연고정된 클럭(DLLCLK)은 내부 클럭(ICLK)에 비하여 지연고정에 필요한 제1 지연시간($N \times CK - D3$)만큼 지연된 상태가 된다.

[0014] 한편, 딜레이 라인(121)의 지연고정에 필요한 제1 지연시간($N \times CK - D3$)이 결정된 이후, 즉 트래킹(tracking) 과정이 완료된 이후에는 소정 주기마다 업데이트(update) 과정을 수행한다. 업데이트 과정은 노이즈 등으로 인해 지연고정 클럭(DLLCLK)에 지터(jitter)가 발생할 수 있으므로 이를 보상하기 위해 상기와 같은 트래킹 과정을 반복하여 수행하게 된다.

[0015] 이와 같은 반도체 집적회로(100)에 따르면, 데이터 출력 시 외부 클럭(ECLK)에 동기됨에 따라 안정된 동작 성능을 발휘할 수 있는 이점이 있다.

[0016] 그러나, 상기와 같은 구성을 가지는 반도체 집적회로(100)는 다음과 같은 문제점이 있다.

[0017] 반도체 집적회로(100)에 포함된 지연고정루프(120)는 트래킹(tracking) 과정이 완료된 이후에 일정하게 정해진 업데이트 주기에 기초하여 업데이트 과정을 수행하게 된다. 그렇기 때문에, 지연고정루프(120)는 동작 환경별로 안정된 지연고정 클럭(DLLCLK)이 생성되지 못하는 문제점이 있다. 예컨대, 저전원전압(Low-VDD) 및 고주파수(High-frequency) 환경에서는 업데이트 주기가 지연고정루프(100)의 루프 경로 - 딜레이 라인(121), 레플리카 딜레이(123), 위상 비교부(125), 조절신호 생성부(127)를 포함함 - 에서 발생하는 지연시간에 비하여 너무 빠르기 때문에 지연고정 클럭(DLLCLK)에 지터가 발생하게 되고, 고전원전압(High-VDD) 및 저주파수(Low-frequency) 환경에서는 업데이트 주기가 지연고정루프(100)의 루프 경로에서 발생하는 지연시간에 비하여 너무 느리기 때문에 업데이트 시 트래킹 속도가 최적화되지 못한다. 특히, 지연고정루프(120)의 루프 경로에서 발생하는 지연시간은 동작 주파수 또는 PVT(Process, Voltage, Temperature) 조건에 따라 변하기 때문에 지연고정루프(120)의 업데이트 주기를 최적화하는데 더욱 어려운 문제점이 있다.

발명의 내용

해결하려는 과제

[0018] 본 발명은 동작 환경에 상관없이 지연고정루프의 업데이트 주기가 최적화된 반도체 집적회로 및 그의 구동 방법을 제공하는데 그 목적이 있다.

[0019] 본 발명의 다른 목적은 PVT(Process, Voltage, Temperature) 변동에 상관없이 지연고정루프의 업데이트 주기가 최적화된 반도체 집적회로 및 그의 구동 방법을 제공하는 것이다.

과제의 해결 수단

[0020] 본 발명의 일 측면에 따르면, 본 발명은 소오스 클럭을 지연고정에 필요한 제1 지연시간만큼 지연시켜 지연고정 클럭을 생성하고 지연고정이 완료된 이후에 업데이트 주기 조절신호에 응답하여 업데이트 주기가 조절되는 지연고정루프; 및 소오스 클럭과 지연고정루프로부터 제공되는 다수의 제어신호에 응답하여 지연고정루프의 루프 경로에서 발생하는 제2 지연시간에 기초한 업데이트 주기 조절신호를 생성하기 위한 업데이트 주기 조절부를 포함한다.

[0021] 본 발명의 다른 측면에 따르면, 본 발명은 소오스 클럭을 지연고정에 필요한 제1 지연시간만큼 지연시켜 지연고정 클럭을 생성하기 위한 지연고정루프와, 지연고정루프의 업데이트 주기를 조절하기 위한 업데이트 주기 조절부를 포함하는 반도체 집적회로의 구동 방법에 있어서, 지연고정루프가 소오스 클럭을 가변 조절되는 제1 지연시간만큼 지연시켜 지연고정 클럭을 생성하기 위한 트래킹(tracking) 단계; 트래킹 단계가 완료된 상태에서 업데이트 주기 조절부가 지연고정루프의 루프 경로에서 발생하는 제2 지연시간에 기초하여 업데이트 주기를 조절하는 업데이트 주기 조절단계; 및 지연고정루프가 조절된 업데이트 주기에 대응하여 업데이트를 수행하는 업데이트 수행단계를 포함한다.

발명의 효과

[0022] 지연고정루프가 업데이트를 수행할 때 지연고정루프의 루프 경로에서 발생하는 지연시간에 기초하여 업데이트 주기가 조절되므로, PVT(Process, Voltage, Temperature) 특성 또는 동작 주파수에 상관없이 트래킹 속도 (tracking speed)가 최적화됨에 따라 반도체 집적회로의 동작 성능을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

[0023] 도 1은 종래기술에 따른 반도체 집적회로의 블록 구성도이다.
 도 2는 도 1에 도시된 지연고정루프의 내부 구성도이다.
 도 3은 도 1에 도시된 지연고정루프가 지연고정된 상태를 보인 타이밍도이다.
 도 4는 본 발명의 실시예에 따른 반도체 집적회로의 블록 구성도이다.
 도 5는 도 4에 도시된 지연고정루프의 내부 구성도이다.
 도 6은 도 4에 도시된 업데이트 주기 조절부의 내부 구성도이다.
 도 7은 도 6에 도시된 제3 신호 생성부의 내부 구성도이다.
 도 8 및 도 9는 본 발명의 실시예에 따른 반도체 집적회로의 구동 방법을 설명하기 위한 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0025] 본 발명의 실시예는 설명의 편의상 종래기술(도 1 내지 도 3)과 동일한 신호에 대해서 동일한 신호명을 이용하여 설명한다.

[0026] 도 4에는 본 발명의 실시예에 따른 반도체 집적회로가 블록 구성도로 도시되어 있고, 도 5에는 도 1에 도시된 지연고정루프(220)의 내부 구성도가 도시되어 있고, 도 6에는 도 4에 도시된 업데이트 주기 조절부(240)의 내부 구성도가 도시되어 있고, 도 7에는 도 6에 도시된 제3 신호 생성부(241)의 내부 구성도가 도시되어 있다.

[0027] 먼저, 도 4를 참조하면, 반도체 집적회로(200)는 제1 패드(PAD11)를 통해 입력된 외부 클럭(ECLK)에 대응하는 내부 클럭(ICLK)을 생성하기 위한 입력 버퍼(210)와, 내부 클럭(ICLK)을 지연고정에 필요한 지연시간(이하 "제1 지연시간"이라 칭함)만큼 지연시켜 지연고정 클럭(DLLCLK)을 생성하고, 지연고정이 완료된 이후에 업데이트 주기 조절신호(N+1)에 응답하여 업데이트 주기가 조절되는 지연고정루프(Delay Locked Loop : DLL)(220)와, 지연고정 클럭(DLLCLK)에 동기된 데이터(SYNC_DATA)를 제2 패드(PAD12)로 출력하기 위한 출력 드라이버(230)와, 내부 클럭(ICLK)과 지연고정루프로부터 제공되는 지연고정 완료신호(LOCK_DET) 및 딜레이 조절신호(CTRL_UPDATE)에 응답하여 지연고정루프(220)의 루프 경로 - 아래에서 설명될 제1 딜레이 라인(221), 제1 레플리카 딜레이(223), 위상 비교부(225A), 제2 신호 생성부(227)를 포함함 - 에서 발생하는 지연시간(이하 "제2 지연시간"이라 칭함)에 기초한 업데이트 주기 조절신호(N+1)를 생성하기 위한 업데이트 주기 조절부(240)를 포함한다.

[0028] 다음, 도 5를 참조하면, 지연고정루프(220)는 딜레이 조절신호(CTRL_DELY)에 응답하여 내부 클럭(ICLK)을 제1 지연시간만큼 지연시켜 지연고정 클럭(DLLCLK)을 출력하기 위한 제1 딜레이 라인(221)과, 지연고정 클럭(DLLCLK)을 실제 클럭 경로 및 데이터 경로에서 발생하는 지연시간(이하 "제3 지연시간"이라 칭함)만큼 지연시켜 피드백 클럭(FBCLK)을 출력하기 위한 제1 레플리카 딜레이(223)와, 내부 클럭(ICLK)과 피드백 클럭(FBCLK)에 응답하여 클럭위상 비교신호(UP/DN)와 지연고정 완료신호(LOCK_DET)를 생성하기 위한 제1 신호 생성부(225)와, 클럭위상 비교신호(UP/DN)와 업데이트 주기 조절신호(N+1)에 응답하여 딜레이 조절신호(CTRL_UPDATE)를 생성하기 위한 제2 신호 생성부(227)를 포함한다. 참고로, 제3 지연시간은 통상적으로 모델링된 지연시간(D3)이라고도 하며, 외부 클럭(ECLK)이 입력되는 제1 패드(PAD1)로부터 내부 클럭(ICLK)이 생성될 때까지의 경로에서 실질적으로 발생하는 지연시간(D1)과, 지연고정 클럭(DLLCLK)에 동기된 데이터(SYNC_DATA)가 제2 패드(PAD2)로 출력될 때까지의 경로에서 실질적으로 발생하는 지연시간(D2)의 합으로 정의된다(D3 = D1 + D2).

[0029] 한편, 제1 신호 생성부(225)는 내부 클럭(ICLK)과 피드백 클럭(FBCLK)의 위상을 비교하여 클럭위상 비교신호(UP/DN)를 출력하기 위한 위상 비교부(225A)와, 클럭위상 비교신호(UP/DN)에 응답하여 지연고정 완료신호

(LOCK_DET)를 출력하기 위한 예지 검출부(225B)를 포함한다. 이하에서는 제1 딜레이 라인(221)의 출력에 기초한 제2 신호 생성부(227)의 결과가 다시 제1 딜레이 라인(221)에 반영될 때까지의 경로를 루프 경로라 칭한다. 다시 말해, 루프 경로는 제1 딜레이 라인(221), 제1 레플리카 딜레이(223), 위상 비교부(225A), 제2 신호 생성부(227)를 포함한다.

[0030] 그리고, 제2 신호 생성부(227)는 클럭위상 비교신호(UP/DN)가 정상적으로 생성된 신호인지를 판별하기 위한 디지털 필터(Digital Filter)를 포함할 수 있다. 이러한 경우, 제2 신호 생성부(227)는 업데이트 주기 조절신호(N+1)에 따라 조절된 필터 뎀스(filter depth)에 기초하여 클럭위상 비교신호(UP/DN)를 샘플링하고 그 샘플링 결과에 대응하여 딜레이 조절신호(CTRL_UPDATE)를 생성한다.

[0031] 이어서, 도 6을 참조하면, 업데이트 주기 조절부(240)는 내부 클럭(ICLK), 지연고정 완료신호(LOCK_DET), 지연된 지연고정 완료신호(OCMD)에 응답하여 동기된 지연고정 완료신호(ICMD)와 업데이트 주기 조절신호(N+1)를 생성하기 위한 제3 신호 생성부(241)와, 동기된 지연고정 완료신호(ICMD)를 제2 지연시간 중 일부의 시간만큼 지연시켜 지연된 지연고정 완료신호(OCMD)를 생성하기 위한 제4 신호 생성부(243)를 포함한다. 특히, 제4 신호 생성부(243)는 딜레이 조절신호(CTRL_UPDATE)에 응답하여 동기된 지연고정 완료신호(ICMD)를 제1 지연시간만큼 지연시키기 위한 제2 딜레이 라인(243A)과, 제2 딜레이 라인(243A)의 출력신호(DCMD)를 제3 지연시간만큼 지연시켜 지연된 지연고정 완료신호(OCMD)를 출력하기 위한 제2 레플리카 딜레이(243B)를 포함한다. 이때, 제2 딜레이 라인(243A)과 제2 레플리카 딜레이(243B)는 지연고정루프(220)의 루프 경로 중 제1 딜레이 라인(221)과 제1 레플리카 딜레이(223)에 대응한다.

[0032] 계속해서, 도 7을 참조하면, 제3 신호 생성부(241)는 지연고정 완료신호(LOCK_DET)를 내부 클럭(ICLK)에 동기시켜 동기된 지연고정 완료신호(ICMD)를 출력하기 위한 동기부(241A)와, 동기된 지연고정 완료신호(ICMD)와 지연된 지연고정 완료신호(OCMD)에 응답하여 인에이블신호(CLKEN)를 생성하기 위한 인에이블신호 생성부(241B)와, 인에이블신호(CLKEN)와 내부 클럭(ICLK)에 응답하여 업데이트 주기 조절신호(N+1)를 출력하기 위한 출력부(241C)를 포함한다.

[0033] 여기서, 동기부(241A)는 지연고정 완료신호(LOCK_DET)를 내부 클럭(ICLK)의 클럭 예지에 맞춰 동기된 지연고정 완료신호(ICMD)로써 출력하고, 인에이블신호 생성부(241B)는 동기된 지연고정 완료신호(ICMD)에 따라 활성화되고 지연된 지연고정 완료신호(OCMD)에 따라 비활성화되는 인에이블신호(CLKEN)를 출력한다. 이와 같은 동기부(241A)와 인에이블신호 생성부(241B)는 D 플립플롭으로 구현될 수 있다.

[0034] 그리고, 출력부(241C)는 인에이블신호(CLKEN)가 활성화된 구간 동안 내부 클럭(ICLK)을 출력하기 위한 출력 제한부(241C_1)와, 출력 제한부(241C_1)로부터 출력되는 제한된 내부 클럭(NCLK)의 토글링 횟수를 카운팅하기 위한 카운터(241C_3)와, 카운터(241C_3)로부터 출력되는 카운팅 값(N)에 예정된 카운팅 값(1)을 부가하여 업데이트 주기 조절신호(N+1)를 출력하기 위한 가산부(241C_5)를 포함한다. 여기서, 출력 제한부(241C_1)는 인에이블신호(CLKEN)와 내부 클럭(ICLK)을 논리 곱 연산하기 위한 앤드 게이트(AND)로 구현될 수 있다.

[0035] 이하, 상기와 같은 구성을 가지는 본 발명의 실시예에 따른 반도체 집적회로(200)의 구동 방법을 설명한다.

[0036] 일단, 반도체 집적회로(200)의 구동 방법은 지연고정루프(220)가 소오스 클럭을 가변 조절되는 상기 제1 지연시간만큼 지연시켜 지연고정 클럭을 생성하기 위한 트래킹(tracking) 단계와, 트래킹 단계가 완료된 상태에서 상기 업데이트 주기 조절부(240)가 지연고정루프(220)의 루프 경로에서 발생하는 제2 지연시간에 기초하여 업데이트 주기를 조절하는 업데이트 주기 조절단계와, 지연고정루프(220)가 조절된 업데이트 주기에 대응하여 업데이트를 수행하는 업데이트 수행단계를 포함한다.

[0037] 도 8에는 지연고정루프(220)의 트래킹 단계를 설명하기 위한 타이밍도가 도시되어 있고, 도 9에는 지연고정루프(220)의 트래킹 단계가 종료된 후 업데이트 주기 조절부(240)의 업데이트 주기 조절단계를 설명하기 위한 타이밍도가 도시되어 있다.

[0038] 먼저, 도 8을 참조하면, 최초 구동 시 외부 클럭(ECLK)이 입력 버퍼부(210)를 통해 버퍼링되어 내부 클럭(ICLK)으로써 제1 딜레이 라인(221)에 전달되면, 제1 딜레이 라인(221)은 내부 클럭(ICLK)을 바이패스한다.

[0039] 그러면, 제1 레플리카 딜레이(223)는 제1 딜레이 라인(221)으로부터 출력되는 지연고정 클럭(DLLCLK)을 모델링된 제3 지연시간(D3)만큼 지연시켜 위상 비교부(125)로 출력한다. 여기서, 모델링된 제3 지연시간(D3)은, 실제 클럭 경로 및 데이터 경로에서 발생하는 지연시간으로, 외부 클럭(ECLK)이 입력되는 제1 패드(PAD11)로부터 내부 클럭(ICLK)이 생성될 때까지의 경로에서 실제 발생하는 지연시간과, 지연고정 클럭(DLLCLK)에 동기되어 동기된 데이터(SYNC_DATA)가 제2 패드(PAD12)로 출력될 때까지의 경로에서 실제 발생하는 지연시간의 합으로 정의된

다.

- [0040] 계속해서, 위상 비교부(225A)는 입력 버퍼부(210)에서 출력된 내부 클럭(ICLK)과 제1 레플리카 딜레이(223)에서 출력된 피드백 클럭(FBCLK)의 위상을 비교하고, 제2 신호 생성부(227)는 위상 비교부(225A)로부터 출력된 클럭 위상 비교신호(UP/DN)에 응답하여 딜레이 조절신호(CTRL_UPDATE)를 생성하여 제1 딜레이 라인(221)으로 출력한다.
- [0041] 이에 따라, 제1 딜레이 라인(121)은 딜레이 조절신호(CTRL_UPDATE)에 응답하여 내부 클럭(ICLK)을 일정 지연시간만큼 지연시켜 지연고정 클럭(DLLCLK)을 출력한다.
- [0042] 상기와 같은 일련의 동작을 반복하고, 위상 비교부(225A)의 비교결과 내부 클럭(ICLK)과 피드백 클럭(FBCLK)의 위상이 동기되면, 제1 딜레이 라인(221)의 제1 지연시간이 지연고정된다. 이는 도 8에 도시된 바와 같이, 내부 클럭(ICLK)과 피드백 클럭(FBCLK)이 동기된 상태를 알 수 있고, 이때의 지연고정된 클럭(DLLCLK)은 내부 클럭(ICLK)에 비하여 지연고정에 필요한 제1 지연시간($2 \cdot t_{CK} - D3$)만큼 지연된 상태가 된다.
- [0043] 다음, 도 9를 참조하면, 제1 딜레이 라인(221)의 지연고정에 필요한 제1 지연시간($2 \cdot t_{CK} - D3$)이 결정된 이후, 즉 트래킹(tracking) 단계가 완료되면, 지연고정 완료신호(LOCK_DET)가 논리 하이 레벨로 활성화된다. 다시 말해, 예지 검출부(225B)는 위상 비교부(225A)로부터 출력되는 클럭위상 비교신호(UP/DN)가 예정된 논리 레벨로 천이되는 시점을 검출하여 지연고정 완료신호(LOCK_DET)를 활성화한다.
- [0044] 지연고정 완료신호(LOCK_DET)가 활성화됨에 따라 동기부(241A)에 의해 내부 클럭(ICLK)의 클럭 에지에 맞춰 동기된 지연고정 완료신호(ICMD)가 활성화되면, 예정된 시간 이후에 제4 신호 생성부(243)을 통해 지연된 지연고정 완료신호(OCMD)가 활성화된다. 이때, 예정된 시간은 제2 딜레이 라인(243A)에 의한 제1 지연시간과 제2 레플리카 딜레이(243B)에 의한 제3 지연시간을 포함한다. 특히, 제2 딜레이 라인(243A)은 제1 딜레이 라인(221)과 함께 제2 신호 생성부(227)로부터 출력되는 딜레이 조절신호(CTRL_UPDATE)에 의해 지연시간이 조절되며, 제1 딜레이 라인(221)이 제1 지연시간($2 \cdot t_{CK} - D3$)으로 지연고정됨에 따라 함께 제2 딜레이 라인(243A)도 제1 지연시간($2 \cdot t_{CK} - D3$)으로 지연고정된다.
- [0045] 한편, 인에이블신호 생성부(241B)는 동기된 지연고정 완료신호(ICMD)의 활성화 시점에 대응하여 인에이블신호(CLKEN)를 논리 하이 레벨로 활성화하고 지연된 지연고정 완료신호(OCMD)의 활성화시점에 대응하여 인에이블신호(CLKEN)를 논리 로우 레벨로 비활성화한다.
- [0046] 그러면, 출력 제한부(241C_1)는 인에이블신호(CLKEN)가 활성화된 구간 동안만 내부 클럭(ICLK)을 제한적으로 카운터(241C_3)에게 전달하고, 카운터(241C_3)는 제한된 내부 클럭(ICLK)의 토클링 횟수(예:3)를 카운팅하여 그 카운팅 값(N=3)을 가산부(241C_5)에게 전달하며, 가산부(241C_5)는 내부 클럭(ICLK)의 1 주기($1t_{CK}$)에 대응하는 카운팅 값(1)을 카운터(241C_3)로부터 전달된 카운팅 값(N=3)에 부가하여 제2 신호 생성부(227)로 출력한다. 여기서, 가산부(241C_5)에 의하여 예정된 카운팅 값(1)이 부가되는 이유는 지연고정루프(220)의 루프 경로에서 발생하는 지연시간 중 제1 딜레이 라인(221)에 설정된 지연시간이 업데이트되는 시간 - 위상 비교부(225A) 및 제2 신호 생성부(227)의 동작 시간을 포함함 - 을 보장해 주기 위한 것이다.
- [0047] 이에 따라, 제2 신호 생성부(227)는 업데이트 주기 조절부(240)로부터 인가된 업데이트 주기 조절신호(N+1)에 따라 조절된 업데이트 주기에 대응하여 딜레이 조절신호(DELY_UPDATE)를 출력한다. 예컨대, 제2 신호 생성부(227)의 필터 뎀스(filter depth)가 업데이트 주기 조절신호(N+1)에 따라 ' $5t_{CK}$ '로 조절되었다면, 제2 신호 생성부(227)는 클럭위상 비교신호(UP/DN)를 샘플링하고 그 샘플링 결과 클럭위상 비교신호(UP/DN)의 논리 상태가 ' $5t_{CK}$ ' 이상인 경우 딜레이 조절신호(DELY_UPDATE)를 활성화한다(단, ' t_{CK} '는 클럭의 주기를 말함). 이와는 달리, 제2 신호 생성부(227)의 필터 뎀스(filter depth)가 업데이트 주기 조절신호(N+1)에 따라 ' $3t_{CK}$ '로 조절되었다면, 제2 신호 생성부(227)는 클럭위상 비교신호(UP/DN)를 샘플링하고 그 샘플링 결과 클럭위상 비교신호(UP/DN)의 논리 상태가 ' $3t_{CK}$ ' 이상인 경우 딜레이 조절신호(DELY_UPDATE)를 활성화한다.
- [0048] 이와 같은 본 발명의 실시예에 따르면, 지연고정루프(220)의 루프 경로에서 발생하는 지연시간을 모니터링하여 업데이트 주기를 조절함으로써, PVT(Process, Voltage, Temperature) 특성 또는 동작 주파수에 상관없이 트래킹 속도(tracking speed)가 최적화됨에 따라 반도체 집적회로의 동작 성능을 향상시킬 수 있는 이점이 있다.
- [0049] 본 발명의 기술 사상은 상기 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을

것이다.

[0050] 예컨대, 본 발명의 실시예에 도시된 제4 신호 생성부(243)는 제2 지연시간 중 일부의 시간만큼만 지연될 수 있도록 제1 딜레이 라인(221) 및 제1 레플리카 딜레이(223)에 대응하는 구성만을 포함하는 것으로 예를 들어 설명하고 있지만, 반드시 이에 한정되는 것은 아니고, 제2 지연시간만큼 지연될 수 있도록 제1 딜레이 라인(221), 제1 레플리카 딜레이(223), 위상 비교부(225A) 및 제2 신호 생성부(227)에 대응하는 구성을 모두 포함할 수도 있다. 이러한 경우에는 제3 신호 생성부(241)에 포함된 가산부(241C_5)가 생략 가능하다.

[0051] 또한, 본 발명의 실시예에서는 가산부(241C_5)가 클럭의 1 주기(1tCK)에 대응하는 카운팅 값을 부가하는 것으로 예를 들어 설명하고 있지만, 반드시 이에 한정되는 것은 아니고, 동작 주파수에 따라 2 주기(2tCK) 이상에 대응하는 카운팅 값을 부가할 수도 있다.

부호의 설명

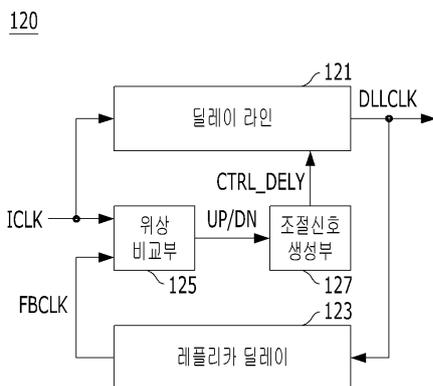
- | | | |
|--------|-------------------|-------------------|
| [0052] | 200 : 반도체 집적회로 | 210 : 입력 버퍼부 |
| | 220 : 지연고정루프(DLL) | 221 : 제1 딜레이 라인 |
| | 223 : 제1 레플리카 딜레이 | 225 : 제1 신호 생성부 |
| | 225A : 위상 비교부 | 225B : 에지 검출부 |
| | 227 : 제2 신호 생성부 | 230 : 출력 드라이버 |
| | 240 : 업데이트 주기 조절부 | 241 : 제3 신호 생성부 |
| | 241A : 동기부 | 241B : 인에이블신호 생성부 |
| | 241C : 출력부 | 241C_1 : 출력 제한부 |
| | 241C_3 : 카운터 | 241C_5 : 가산부 |
| | 243 : 제4 신호 생성부 | 243A : 제2 딜레이 라인 |
| | 243B : 제 레플리카 딜레이 | |

도면

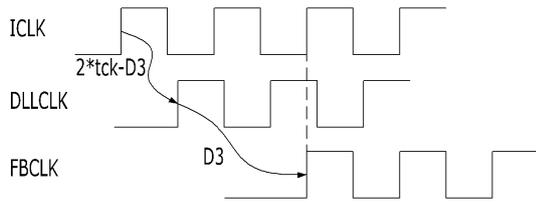
도면1



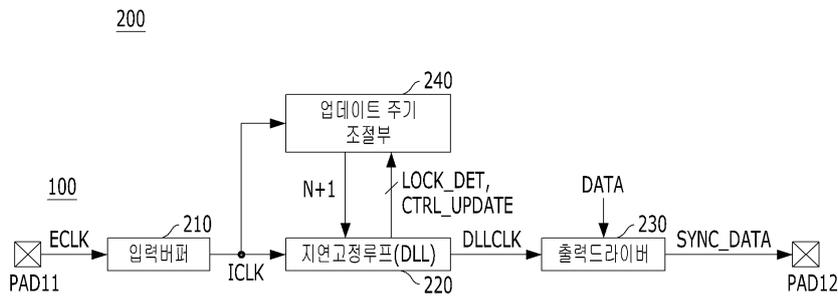
도면2



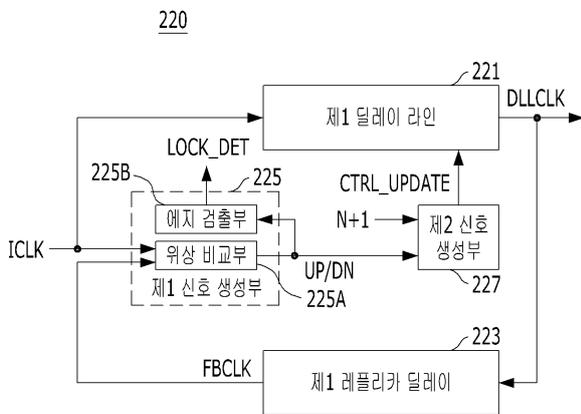
도면3



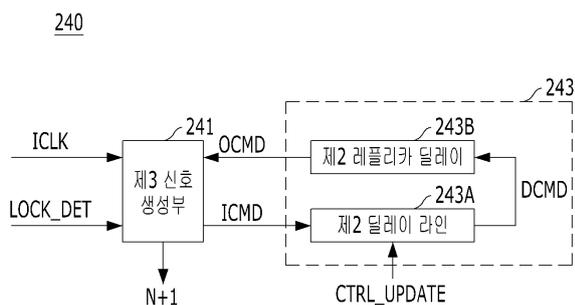
도면4



도면5

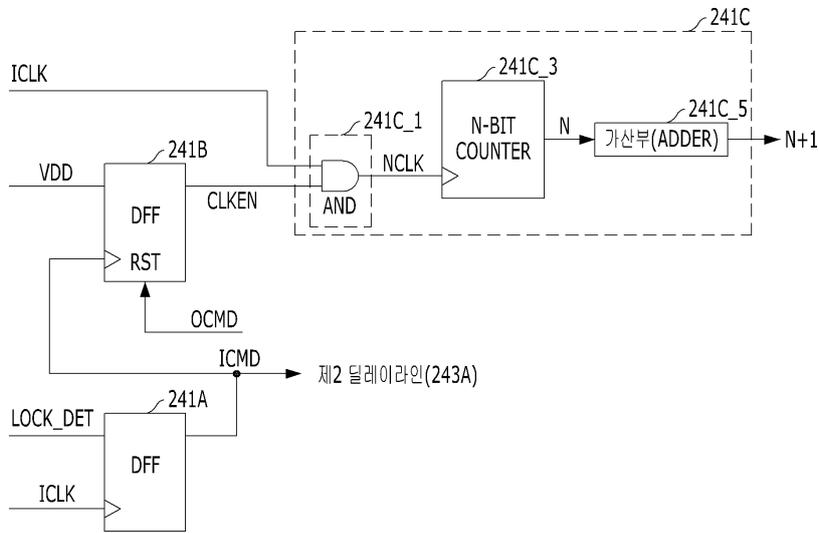


도면6

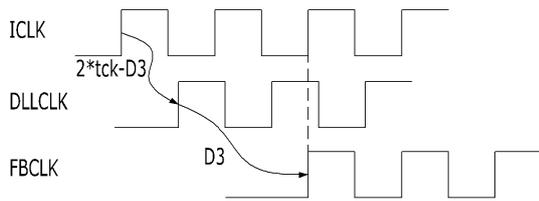


도면7

241



도면8



도면9

