

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3616745号  
(P3616745)

(45) 発行日 平成17年2月2日(2005.2.2)

(24) 登録日 平成16年11月12日(2004.11.12)

(51) Int. Cl.<sup>7</sup>

F I

HO 1 L 21/20	HO 1 L 21/20	
HO 1 L 21/203	HO 1 L 21/203	M
HO 1 L 21/338	HO 1 S 5/323	
HO 1 L 29/778	HO 1 L 29/80	H
HO 1 L 29/812		

請求項の数 1 (全 8 頁) 最終頁に続く

(21) 出願番号 特願2000-242751 (P2000-242751)  
 (22) 出願日 平成12年8月4日(2000.8.4)  
 (62) 分割の表示 特願平6-172252の分割  
 原出願日 平成6年7月25日(1994.7.25)  
 (65) 公開番号 特開2001-111039 (P2001-111039A)  
 (43) 公開日 平成13年4月20日(2001.4.20)  
 審査請求日 平成13年6月26日(2001.6.26)

(73) 特許権者 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区丸の内二丁目4番1号  
 (74) 代理人 100083552  
 弁理士 秋田 収喜  
 (74) 代理人 100075096  
 弁理士 作田 康夫  
 (72) 発明者 三島 友義  
 東京都国分寺市東恋ヶ窪1丁目280番地  
 株式会社日立製作所中央研究  
 所内  
 (72) 発明者 樋口 克彦  
 東京都国分寺市東恋ヶ窪1丁目280番地  
 株式会社日立製作所中央研究  
 所内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板結晶上に、半導体からなるバッファ層を介して、上記基板結晶とは上記基板結晶面と平行方向の格子定数が異なる半導体薄膜結晶が積層されている格子不整合系積層結晶構造を有する半導体装置の製造方法において、分子線エピタキシー法により、上記半導体からなるバッファ層及び半導体薄膜結晶を積層し、該バッファ層を積層方向で複数の第1の領域と複数の第2の領域を交互に積層させた構成とし、第1の領域の格子定数を積層方向で半導体薄膜結晶に向かって増加させ、第1の領域の厚さを基板結晶との格子不整合に起因する格子歪が緩和する厚さとし、第2の領域を第1の領域の半導体薄膜結晶側の面上にこれに接して形成し、第2の領域の格子定数を積層方向で一定とし、かつバッファ層の格子定数を積層方向で連続させたことを特徴とする半導体装置の製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、格子不整合系積層結晶構造およびそれを用いた電子素子や光素子等の半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来から、格子不整合系積層結晶構造を半導体装置に用いるときの問題、すなわち基板結晶上にこれと格子定数の異なる（厳密には、基板面と平行方向の格子定数の異なる）半導

20

体の薄膜結晶を成長する際の成長薄膜結晶の電気的特性の問題は種々論じられている。

#### 【0003】

例えば、ジャーナルオブアプライドフィジックス67巻第7号(1990年)3323頁から3327頁(Journal of Applied Physics, Vol. 67, No. 7, pp 3323 - 3327)において、InAlAsキャリア供給層/InGaAsチャネル形成層構造のHEMT素子のチャネル中の電子移動度の改善が論じられている。この論文では、GaAs基板結晶とHEMT素子の能動層を構成する薄膜結晶の間に、階段状に格子定数の異なるInGaAs結晶層を積層した構造のバッファ層を介在させて、格子不整合による転位欠陥を減少させ、チャネル中の電子移動度の改善を図っている。この方法では、バッファ層全体の厚さが2.5  $\mu\text{m}$ の場合、能動層の転位欠陥密度は $10^6 \text{ cm}^{-2}$ 程度であり、室温における電子移動度は $8150 \text{ cm}^2 / \text{Vs}$ である。

10

#### 【0004】

また、アプライドフィジックスレターズ61巻第8号(1992年)922頁(Applied Physics Letters, Vol. 61, No. 8, p. 922)において、GaAs基板結晶とHEMT素子の能動層を構成するInAlAs薄膜結晶の間に、連続的に格子定数が変化するInGaAsグレーデッドバッファ層を1層のみ、或いはInGaAsグレーデッド層を格子定数が一定の層で挟んだ構造のバッファ層を介在させて、格子不整合による転位欠陥を減少させ、HEMT素子の電子移動度の改善する方法が論じられている。この方法では、In組成比が0.3と格子不整合度が小さく、バッファ層の厚さが1  $\mu\text{m}$ の場合、室温における電子移動度は $8500 \text{ cm}^2 / \text{Vs}$ である。

20

#### 【0005】

##### 【発明が解決しようとする課題】

上記従来技術の室温における電子移動度は、バッファ層の厚さを1  $\mu\text{m}$ にした場合の $8500 \text{ cm}^2 / \text{Vs}$ に留まっていた。すなわち、GaAs基板上に格子整合したHEMT結晶程度のものしか得られず、電子移動度の改善効果が不十分であった。

#### 【0006】

本発明の目的は、基板結晶上に、厚さ1  $\mu\text{m}$ 以下の半導体からなるバッファ層を介して、基板結晶とは基板結晶面と平行方向の格子定数(以下、単に格子定数という)が異なる半導体薄膜結晶が積層されており、かつ室温における電子移動度が $8500 \text{ cm}^2 / \text{Vs}$ より大きい格子不整合系積層結晶構造およびそれを用いた半導体装置を提供することにある。

30

#### 【0007】

##### 【課題を解決するための手段】

上記目的は、バッファ層を積層方向で複数の第1の領域と複数の第2の領域を積層させた構成とし、第1の領域の格子定数を積層方向で半導体薄膜結晶に向かって増加させ、第1の領域の厚さを基板結晶との格子不整合に起因する格子歪が緩和する厚さとし、第2の領域を第1の領域の半導体薄膜結晶側の面上にこれに接して形成し、第2の領域の格子定数を積層方向で一定とし、かつバッファ層の格子定数を積層方向で連続させることにより達成できる。

40

#### 【0008】

ここで、第1の領域および第2の領域の格子定数は、第1の領域および第2の領域に共通の構成元素の組成比により制御されるが、この共通の構成元素の組成比を、少なくとも1つの第1の領域の第2の領域との界面近傍で、この第1の領域に接した第2の領域中より大きくすることができる。

#### 【0009】

本発明は、図4、図5に示すように、バッファ層の厚さが1  $\mu\text{m}$ 以下であっても、2段階以上連続のバッファ層構造としたとき(ここで、1段階は、1つの第1の領域とこれに接した1つの第2の領域の組で定義される。)、室温における電子移動度が $8500 \text{ cm}^2$

50

/Vsより大きい格子不整合系積層結晶構造が得られることを見出すことにより成された。

#### 【0010】

本発明により室温における電子移動度が増加する理由として次のことが推察される。まず、第1の段階において、第1の領域はその中に蓄積される格子歪が緩和する厚さまで成長させるので、第1の領域形成中にそれ自身に転位欠陥が発生する。次に、第1の領域で発生した転位欠陥は、第2の領域形成中に第2の領域中に延びていくが、転位欠陥同士が出会った地点で所謂転位結合により消滅する。すなわち、第1の領域で発生した転位欠陥は第2の領域に吸収される。また、第2の領域は第1の領域と格子整合しているので、第2の領域中での新たな転位欠陥の発生はない。その結果、第2の領域は、第2の段階の第1の領域に対しほぼ無欠陥の基板結晶として働く。これは、第2の領域が第1の段階における基板結晶と同じ状態にあることを示している。したがって、第2の段階以降は同じ作用を繰り返す。

10

#### 【0011】

以上要するに、本発明の特徴は、転位欠陥の少ないうちにこれを吸収してしまうので、転位欠陥の吸収効率が良く、電子移動度を増加させることができる。

#### 【0012】

これに対して、例えば、1段階の場合は、1つの第1の領域の中で一度に格子定数を変えるために格子定数の変化量が大きく、多量の転位欠陥が発生する。したがって、第2の領域によって十分に転位欠陥を吸収しきれない。

20

#### 【0013】

また、第1の領域および第2の領域の格子定数を制御する、第1の領域および第2の領域に共通の構成元素の組成比を、少なくとも1つの第1の領域の第2の領域との界面近傍で、この第1の領域に接した第2の領域中より大きくしたバッファ層は、特に、半導体レーザーやバイポーラトランジスタ等の半導体薄膜結晶が厚く(約200nm以上)、動作の中心となるキャリアが少数キャリアである素子に有効である。

#### 【0014】

本方法の作用として次のことが推察される。第1の領域における格子定数の増大に伴う格子歪の緩和は、一度起こった後は新たな転位欠陥の発生にともなわずに生じるが、格子歪は完全には緩和されずに残る。その為、格子定数を制御する元素の第1の領域中の組成比が、第2の領域中の組成比に単調に増加して近づく場合には(図2参照)、第1の領域の第2の領域との界面における格子定数はそれが本来持つべき格子定数より小さくなり、第2の領域の格子定数と一致しない。その結果、第2の領域中での転位の発生の可能性が残る。これに対して本方法では、上記の本来持つべき格子定数より小さくなることを見込んで、格子定数を制御する元素の組成比を、第1の領域の第2の領域との界面近傍で大きくしているので(図8参照)、第1の領域と第2の領域の界面での格子定数の一致が可能である。その結果、第2の領域中での転位の発生の可能性を小さくできる。なお、第1の領域の組成比は、第2の領域のそれより大きくなった後、第2の領域のそれと合わせるために連続的に減少させる。以上より、転位欠陥の吸収効率をより良くすることができ、電子移動度をより大きくすることができるので、少数キャリア素子において有効となる。

30

40

#### 【0015】

本発明において、バッファ層を構成する各領域間の格子定数の連続性は0.5%以内のずれを含んでいることは云うまでもない。また、キャリアが電子の場合について説明したが、キャリアは電子に限らず正孔でも良いことは云うまでもない。また、このような格子不整合系積層結晶構造を用い、半導体薄膜結晶に半導体装置の能動領域を形成することにより特性の良好な半導体装置の実現が期待できる。

#### 【0016】

#### 【発明の実施の形態】

実施例1

50

以下、本発明の実施例 1 の H E M T 結晶および H E M T 素子を図 1 乃至図 6 により説明する。

【 0 0 1 7 】

図 1 に示すように、半絶縁性 G a A s 基板 1 の上に順に、分子線エピタキシー法により、アンドープ I n A l A s バッファ層 2 を 5 0 0 n m、アンドープ I n G a A s チャネル形成層 3 を 4 0 n m、アンドープ I n A l A s スペース層 5 を 2 n m、n 型 I n A l A s キャリア供給層 ( S i ドープ量 :  $3 \times 10^{18} \text{ cm}^{-3}$  ) 5 を 1 5 n m、アンドープ I n A l A s 層 6 を 1 0 n m、n 型 I n G a A s キャップ層 ( S i ドープ量 :  $3 \times 10^{19} \text{ cm}^{-3}$  ) 7 を 3 0 n m の厚さ形成し H E M T 結晶と成す。

【 0 0 1 8 】

ここで、I n A l A s キャリア供給層および I n G a A s チャネル形成層の I n 組成比は 0 . 5 とする。また、I n A l A s バッファ層 2 の I n 組成比を、図 2 に示すように、5 段階に分けて変化させた。また、結晶成長には一切の中断時間を設けることなく I n 分子線源の温度変化により I n の組成比変化を行っている。

【 0 0 1 9 】

また、本発明の要点である I n A l A s バッファ層 2 については、I n 組成比が連続的に増加する領域 ( 第 1 の領域 ) の I n 組成比の各段階における厚さの割合、バッファ層の厚さおよびバッファ層の I n 組成比の段階の数を種々設定し種々形成した。まず、第 1 の領域の厚さの割合に対する 2 次元電子ガスの室温における電子移動度の関係を図 3 に示す。連続的領域の割合がほぼ 0 . 1 ~ 0 . 4 5 の範囲において電子移動度が従来技術の  $8500 \text{ cm}^2 / \text{Vs}$  を超えている。次に、第 1 の領域の厚さの割合が 0 . 2 の場合における、バッファ層の厚さに対する 2 次元電子ガスの室温における電子移動度の関係を図 4 に示す。従来技術では電子移動度の低下が著しかった 1 0 0 0 n m 以下の厚さにおいても高い電子移動度を維持している。特に、5 0 0 ~ 1 0 0 0 n m のバッファ層の厚さで、約  $10000 \text{ cm}^2 / \text{Vs}$  の電子移動度という数値は、I n P 基板の格子整合系の H E M T 結晶と同等である。バッファ層を薄くすることが可能なので、従来技術に比べて結晶成長時間を半分以下に短縮できるという効果もある。次に、バッファ層厚さを 6 0 0 n m と一定にして、バッファ層の I n 組成比の段階数に対する 2 次元電子ガスの室温における電子移動度の関係を図 5 に示す。2 段階以上で電子移動度が従来技術の  $8500 \text{ cm}^2 / \text{Vs}$  を超えている。1 0 段階で電子移動度の値が減少し始め、段階数は多いほど良いわけではないことを示している。この電子移動度の減少は、転位欠陥を吸収する組成比が一定の領域 ( 第 2 の領域 ) の厚さが薄くなるためと思われる。なお、第 1 の領域、第 2 の領域の厚さは全段階で同一にしなくても良い。I n 組成の上昇開始点は、図 2 においては 0 に設定されているが、0 に設定することが作業上難しい場合には 0 . 1 5 以下であれば差し支えない。また、バッファ層の材料としては、上記の I n 組成を用いれば I n A l G a A s の 4 元系材料を用いることが出来る。

【 0 0 2 0 】

次に、図 1 の H E M T 結晶を用い図 6 に示すようなゲート長 1 5 0 0 n m の H E M T 素子を作製した。H E M T 結晶として、第 1 の領域の厚さの割合は 0 . 2、バッファ層厚さは 5 0 0 n m のものを用いた。通常のリソグラフィ及び電子ビーム露光法により、図 1 の H E M T 結晶から n 形 I n G a A s キャップ層 7 を加工し、ソース、ドレイン電極 8、9、ショットキーゲート電極 1 0 を形成して H E M T 素子を完成させる。

【 0 0 2 1 】

この素子の外部相互コンダクタンスは  $1.3 \text{ S/mm}$ 、遮断周波数は  $250 \text{ GHz}$  であった。これらの値は、従来技術に比べ共に約 2 倍の値であり、I n P 基板上に格子整合して形成した H E M T 素子と遜色ない値である。

【 0 0 2 2 】

実施例 2

以下、本発明の実施例 2 の半導体レーザを図 7 および図 8 により説明する。図 7 に示すように、n 型 G a A s 基板 1 1 の上に順次、n 型 I n G a A s バッファ層 1 2 ( 厚さ 5 0 0

10

20

30

40

50

nm)、In組成比が0.5でAlの組成比が0から0.5に変化し同時にGaの組成比が0.5から0に変化するn型InAlGaAsグレーデッド層13(厚さ200nm)、In組成比が0.5のn型InAlAsクラッド層14(厚さ1500nm)、In組成比が0.5でGaの組成比が0から0.5に変化し同時にAlの組成比が0.5から0に変化するアンドープInAlGaAsGRIN層15(厚さ120nm)、In組成比が0.5のアンドープInGaAs活性層16(厚さ15nm)、In組成比が0.5でAlの組成比が0から0.5に変化し同時にGaの組成比が0.5から0に変化するアンドープInAlGaAsGRIN層17(厚さ120nm)、In組成比が0.5のp型InAlAsクラッド層18(厚さ1500nm)、In組成比が0.5でGaの組成比が0から0.5に変化し同時にAlの組成比が0.5から0に変化するp型InAlGaAsグレーデッド層19(厚さ200nm)、更に、In組成比が0.5のp型InGaAsコンタクト層20(厚さ100nm)を分子線エピタキシー法で形成した。n型層の導電型決定不純物としてはSiを用い、 $2 \times 10^{18} \text{ cm}^{-3}$  ドープし、p型層の導電型決定不純物としてBeを用い、 $1 \times 10^{18} \text{ cm}^{-3}$  ドープした。n型InAlGaAsグレーデッド層13からp型InGaAsコンタクト層20までの厚さは3755nmである。

10

#### 【0023】

次に、結晶表面及び基板裏面にオーミック電極21を形成した後、共振器長300 $\mu\text{m}$ 、幅200 $\mu\text{m}$ に切り出してブロードエリアコンタクト構造の半導体レーザを完成させた。

#### 【0024】

20

ここで、本発明の要点であるn型InGaAsバッファ層12については、図8に示すように、バッファ層のIn組成比の段階の数を5とし、さらに各段階におけるIn組成比が連続的に変化する領域(第1の領域)にその上にくる層(第2の領域)よりもIn組成比が5%大きい領域を設けた構造とした。また、第1の領域の厚さの割合を0.1とした(第1の領域の厚さ10nm、第2の領域の厚さ90nm)。なお、In組成比が5%大きい領域を一部の段階に設けた場合にはそれなりの効果が得られる。第1の領域、第2の領域の厚さは全段階で同一にしないで良い。In組成の上昇開始点は、図8においては0に設定されているが、0に設定することが作業上難しい場合には0.15以下であれば差し支えない。また、バッファ層の材料としては、上記のIn組成を用いればInAlGaAsの4元系材料を用いることができる。

30

#### 【0025】

この素子の閾値電流密度は500A/cm<sup>2</sup>と、InP基板を用いた格子整合系の半導体レーザと同等の結果が得られた。このように、本実施例によれば、InP基板に比べて安価なGaAs基板を用いて、InP基板を用いた格子整合系半導体レーザと同等の特性をもつ半導体レーザが得られる。また、本実施例のGaAs基板に更に電子素子を形成して、光素子と電子素子を集積化(OEIC化)すれば、本実施例の長所をより活かすことができる。

#### 【0026】

##### 【発明の効果】

本発明によれば、バッファ層の厚さが1 $\mu\text{m}$ 以下と薄くても、室温における電子移動度が8500cm<sup>2</sup>/Vsより大きい格子不整合系積層結晶構造およびそれを用いた半導体装置を実現できる。

40

##### 【図面の簡単な説明】

【図1】本発明の実施例1のHEMT結晶HEMT結晶の縦断面図である。

【図2】本発明の実施例1のInAlAsバッファ層のIn組成比の分布図である。

【図3】本発明の実施例1のInAlAsバッファ層のIn組成比の連続変化領域の割合とInGaAsチャネル層の電子移動度の関係を示す図である。

【図4】本発明の実施例1のバッファ層の厚さとInGaAsチャネル層の電子移動度の関係を示す図である。

【図5】本発明の実施例1のバッファ層のIn組成比の段階の数とInGaAsチャネル

50

層の電子移動度の関係を示す図である。

【図6】本発明の実施例1のHEMT素子の断面図である。

【図7】本発明による半導体レーザの断面図である。

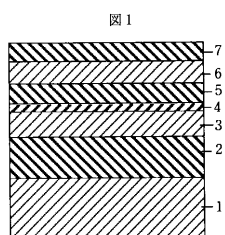
【図8】本発明の実施例2のInGaAsバッファ層のIn組成比の分布図である。

【符号の説明】

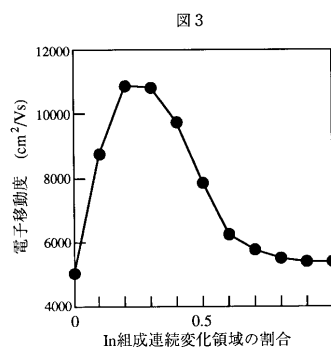
1...半絶縁性GaAs基板、2...アンドープInAlAsバッファ層、3...アンドープInGaAsチャンネル形成層、4...アンドープInAlAsスペーサ層、5...n型InAlAs層、6...アンドープInAlAs層、7...n型InGaAsキャップ層、8...ソース電極、9...ドレイン電極、10...ゲート電極、11...n型GaAs基板、12...n型InGaAsバッファ層、13...n型InAlGaAsグレーデッド層、14...n型InAlAsクラッド層、15...アンドープInAlGaAsGRIN層、16...アンドープInGaAs活性層、17...アンドープInAlGaAsGRIN層、18...p型InAlAsクラッド層、19...p型InAlGaAsグレーデッド層、20...p型InGaAsコンタクト層、21...オーミック電極。

10

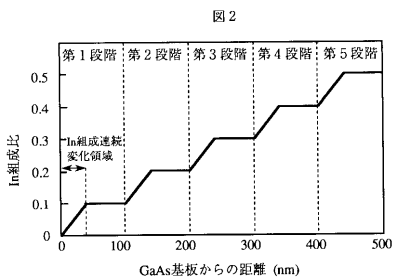
【図1】



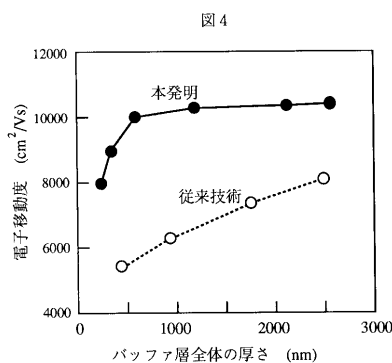
【図3】



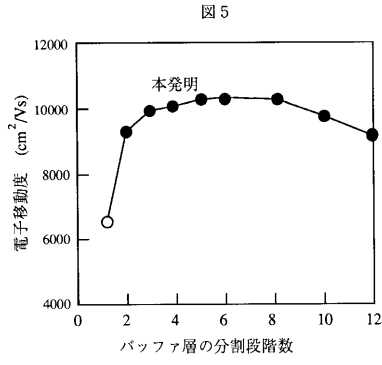
【図2】



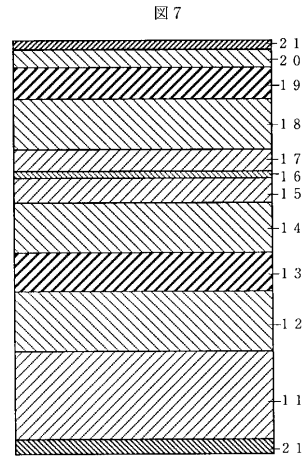
【図4】



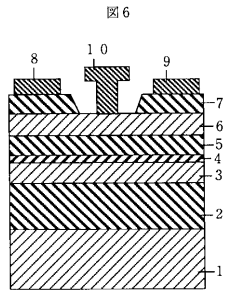
【 図 5 】



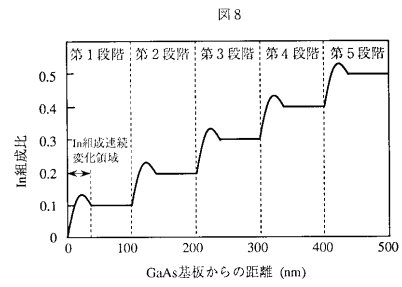
【 図 7 】



【 図 6 】



【 図 8 】



## フロントページの続き

(51) Int.Cl.<sup>7</sup> F I  
H 0 1 S 5/323

- (72)発明者 森 光廣  
東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 工藤 真  
東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 草野 忠四郎  
東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

審査官 長谷山 健

- (56)参考文献 特開平06-163601(JP,A)  
特開平02-303068(JP,A)  
特開平01-281719(JP,A)  
特開昭63-197379(JP,A)  
特開昭61-268069(JP,A)  
特開昭61-110467(JP,A)  
特開昭61-104611(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 21/20  
H01L 21/203  
H01L 21/338  
H01L 29/778  
H01L 29/812  
H01S 5/323