



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년12월06일
(11) 등록번호 10-2044314
(24) 등록일자 2019년11월07일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) G09G 3/30 (2006.01)
(21) 출원번호 10-2013-0052583
(22) 출원일자 2013년05월09일
심사청구일자 2018년05월02일
(65) 공개번호 10-2014-0133669
(43) 공개일자 2014년11월20일
(56) 선행기술조사문헌
KR1020060073513 A*
KR1020100055249 A
KR1020030058150 A
KR1020050102783 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
변기열
경기도 성남시 분당구 정자동 412-1304
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 8 항

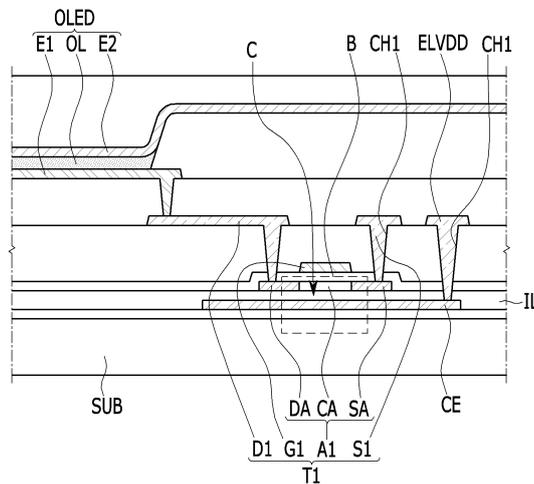
심사관 : 이우리

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 제1 게이트 전극, 상기 제1 게이트 전극과 중첩되는 제1 액티브층을 포함하는 제1 박막 트랜지스터, 상기 제1 액티브층과 연결되며, 상기 제1 액티브층을 사이에 두고 상기 제1 게이트 전극과 중첩되어 상기 제1 액티브층의 채널 영역과 캐패시터를 형성하는 캐패시터 전극, 및 상기 제1 박막 트랜지스터와 연결된 유기 발광 소자를 포함한다.

대표도 - 도3



명세서

청구범위

청구항 1

제1 게이트 전극, 상기 제1 게이트 전극과 중첩하는 제1 액티브층을 포함하는 제1 박막 트랜지스터;

상기 제1 액티브층과 연결되며, 상기 제1 액티브층을 사이에 두고 상기 제1 게이트 전극과 중첩하고, 상기 제1 액티브층의 채널 영역과 캐패시터를 형성하는 캐패시터 전극;

상기 제1 박막 트랜지스터와 연결된 유기 발광 소자; 및

상기 제1 액티브층 및 상기 캐패시터 전극과 연결된 구동 전원 라인을 포함하며,

상기 캐패시터 전극은 상기 캐패시터의 한 전극으로서 기능하고 상기 채널 영역은 상기 캐패시터의 다른 전극으로서 기능하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 제1 액티브층의 상기 채널 영역은 P형 도핑(P type doping)된 반도체 또는 N형 도핑(N type doping)된 반도체를 포함하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 제1 액티브층은 절연층을 사이에 두고 상기 캐패시터 전극 상에 위치하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 캐패시터 전극은 불순물이 도핑된 비정질 실리콘 또는 불순물이 도핑된 폴리 실리콘을 포함하는 유기 발광 표시 장치.

청구항 5

제1항에서,

제1 방향으로 연장된 스캔 라인;

상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 라인; 및

상기 스캔 라인과 연결된 제2 게이트 전극을 포함하며, 상기 데이터 라인 및 상기 제1 게이트 전극과 연결된 제2 액티브층을 포함하는 제2 박막 트랜지스터

를 더 포함하며,

상기 구동 전원 라인은 상기 데이터 라인과 이격되어 상기 제2 방향으로 연장하는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 구동 전원 라인은 서로 다른 컨택홀을 통해 상기 캐패시터 전극 및 상기 제1 액티브층 각각과 연결되는 유기 발광 표시 장치.

청구항 7

제1항에서,
 상기 유기 발광 소자는,
 상기 제1 액티브층과 연결된 제1 전극;
 상기 제1 전극 상에 위치하는 유기 발광층; 및
 상기 유기 발광층 상에 위치하는 제2 전극
 을 포함하는 유기 발광 표시 장치.

청구항 8

제7항에서,
 상기 제1 전극은 광 투과성 전극이며,
 상기 제2 전극은 광 반사성 전극인 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 보다 상세하게는 캐패시터를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 종래의 유기 발광 표시 장치는 이미지(image)를 표시하는 최소 단위인 하나의 화소마다 유기 발광 소자, 유기 발광 소자와 연결된 박막 트랜지스터 및 박막 트랜지스터와 연결된 캐패시터를 포함하였다.

[0005] 상술한 종래의 유기 발광 표시 장치는 캐패시터를 포함함으로써, 화소마다 캐패시터가 위치하는 공간이 추가적으로 필요하였다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 실시예는, 캐패시터가 위치하는 공간을 최소화하는 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0007] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 측면은 제1 게이트 전극, 상기 제1 게이트 전극과 중첩되는 제1 액티브층을 포함하는 제1 박막 트랜지스터, 상기 제1 액티브층과 연결되며, 상기 제1 액티브층을 사이에 두고 상기 제1 게이트 전극과 중첩되어 상기 제1 액티브층의 채널 영역과 캐패시터를 형성하는 캐패시터 전극, 및 상기 제1 박막 트랜지스터와 연결된 유기 발광 소자를 포함하는 유기 발광 표시 장치를 제공한다.

[0008] 상기 제1 액티브층의 상기 채널 영역은 P형 도핑(P type doping)된 반도체 또는 N형 도핑(N type doping)된 반도체를 포함할 수 있다.

[0009] 상기 제1 액티브층은 절연층을 사이에 두고 상기 캐패시터 전극 상에 위치할 수 있다.

[0010] 상기 캐패시터 전극은 불순물이 도핑된 비정질 실리콘 또는 불순물이 도핑된 폴리 실리콘을 포함할 수 있다.

[0011] 제1 방향으로 연장된 스캔 라인, 상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 라인, 상기 스캔 라인

과 연결된 제2 게이트 전극을 포함하며, 상기 데이터 라인과 상기 제1 게이트 전극 사이를 연결하는 제2 액티브층을 포함하는 제2 박막 트랜지스터, 및 상기 데이터 라인과 이격되어 상기 제2 방향으로 연장되며, 상기 제1 액티브층과 상기 캐패시터 전극 사이를 연결하는 구동 전원 라인을 더 포함할 수 있다.

[0012] 상기 구동 전원 라인은 서로 다른 컨택홀을 통해 상기 캐패시터 전극 및 상기 제1 액티브층 각각과 연결될 수 있다.

[0013] 상기 유기 발광 소자는, 상기 제1 액티브층과 연결된 제1 전극, 상기 제1 전극 상에 위치하는 유기 발광층, 및 상기 유기 발광층 상에 위치하는 제2 전극을 포함할 수 있다.

[0014] 상기 제1 전극은 광 투과성 전극이며, 상기 제2 전극은 광 반사성 전극일 수 있다.

발명의 효과

[0015] 상술한 본 발명의 과제 해결 수단의 일부 실시예 중 하나에 의하면, 캐패시터가 위치하는 공간을 최소화하는 유기 발광 표시 장치가 제공된다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타낸 도면이다.

도 2는 도 1의 A 부분을 나타낸 화소의 배치도이다.

도 3은 도 2의 III-III을 따른 단면도이다.

도 4는 도 3의 B 부분을 확대한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0018] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0019] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0020] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0021] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

[0022] 이하, 도 1 내지 도 4를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명한다.

[0023] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타낸 도면이다.

[0024] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 표시 장치(1000)는 기관(SUB), 게이트 구동부(GD), 게이트 배선들(GW), 데이터 구동부(DD), 데이터 배선들(DW) 및 화소(PE)를 포함한다. 여기서, 화소(PE)는 이미지(image)를 표시하는 최소 단위를 말하며, 표시 장치(1000)는 복수의 화소(PE)를 통해 이미지를 표시한다.

[0025] 기관(SUB)은 유리, 석영, 세라믹, 및 플라스틱 등으로 이루어진 투명한 절연성 기관으로 형성된다. 그러나 본 발명의 일 실시예가 이에 한정되는 것은 아니며, 기관(SUB)이 스테인리스 강 등으로 이루어진 금속성 기관으로 형성될 수도 있다. 또한, 기관(SUB)이 플라스틱 등으로 만들어질 경우 표시 장치(1000)는 플렉서블(flexible)한 특성, 스트레처블(stretchable) 또는 롤러블(rollable)한 특성을 가질 수 있다.

- [0026] 게이트 구동부(GD)는 도시되지 않은 외부의 제어회로, 예컨대 타이밍 제어부 등으로부터 공급되는 제어신호에 대응하여 게이트 배선들(GW)에 스캔 신호를 순차적으로 공급한다. 그러면, 화소(PE)는 스캔 신호에 의해 선택되어 순차적으로 데이터 신호를 공급받는다.
- [0027] 게이트 배선들(GW)은 기판(SUB) 상에 위치하며, 제1 방향으로 연장되어 있다. 게이트 배선들(GW)은 스캔 라인(S1~SCn)을 포함하며, 이 스캔 라인(SCn)은 게이트 구동부(GD)와 연결되어 게이트 구동부(GD)로부터 스캔 신호를 공급받는다.
- [0028] 한편, 본 발명의 일 실시예에 따른 표시 장치(1000)는 게이트 배선들(GW)이 스캔 라인(SCn)을 포함하나, 본 발명의 다른 실시예에 따른 표시 장치는 게이트 배선들이 추가적인 스캔 라인, 초기화 전원 라인, 발광 제어 라인 등을 더 포함할 수 있다. 이 경우, 표시 장치는 6Tr-2Cap 구조의 능동 구동(active matrix, AM)형 유기 발광 표시 장치일 수 있다.
- [0029] 데이터 구동부(DD)는 타이밍 제어부 등의 외부로부터 공급되는 제어신호에 대응하여 데이터 배선들(DW) 중 데이터 라인(DAm)으로 데이터 신호를 공급한다. 데이터 라인(DAm)으로 공급된 데이터 신호는 스캔 라인(SCn)으로 스캔 신호가 공급될 때마다 스캔 신호에 의해 선택된 화소(PE)로 공급된다. 그러면, 화소(PE)는 데이터 신호에 대응하는 전압을 충전하고 이에 대응하는 휘도로 발광한다.
- [0030] 데이터 배선들(DW)은 게이트 배선들(GW) 상에 위치하거나, 게이트 배선들(GW)과 기판(SUB) 사이에 위치할 수 있으며, 제1 방향과 교차하는 제2 방향으로 연장되어 있다. 데이터 배선들(DW)은 데이터 라인(D1~Dm) 및 구동 전원 라인(ELVDDL)을 포함한다. 데이터 라인(DAm)은 데이터 구동부(DD)와 연결되어 있으며, 데이터 구동부(DD)로부터 데이터 신호를 공급받는다. 구동 전원 라인(ELVDDL)은 데이터 라인(DAm)과 이격되어 제2 방향으로 연장되어 있으며, 외부의 제1 전원(ELVDD)과 연결되어 제1 전원(ELVDD)으로부터 구동 전원을 공급받는다.
- [0031] 화소(PE)는 게이트 배선들(GW) 및 데이터 배선들(DW)이 교차하는 영역에 위치하여 게이트 배선들(GW) 및 데이터 배선들(DW)과 연결되어 있다. 화소(PE)는 게이트 배선들(GW) 및 데이터 배선들(DW)과 연결된 2개의 박막 트랜지스터와 캐패시터, 그리고 박막 트랜지스터들 사이에 두고 제2 전원(ELVSS)과 연결된 유기 발광 소자를 포함한다. 화소(PE)는 스캔 라인(SCn)을 통해 스캔 신호가 공급될 때 선택되어, 데이터 라인(DAm)을 통해 데이터 신호에 대응하는 전압을 충전하고, 충전된 전압에 대응하여 소정 휘도의 빛을 발광한다. 화소(PE)의 자세한 배치에 대해서는 후술한다.
- [0032] 이하, 도 2 및 도 3을 참조하여 화소(PE)의 구성에 대하여 자세히 설명한다.
- [0033] 도 2는 도 1의 A 부분을 나타낸 화소의 배치도이다. 도 3은 도 2의 III-III을 따른 단면도이다.
- [0034] 도 2 및 도 3에 도시된 바와 같이, 하나의 화소(PE)는 유기 발광 소자(organic light emitting diode)(OLED), 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 캐패시터(C)가 배치된 2Tr-1Cap 구조를 갖는다. 하지만, 본 발명의 다른 실시예에서는 하나의 화소가 셋 이상의 박막 트랜지스터와 둘 이상의 캐패시터가 배치된 구조를 가질 수 있다.
- [0035] 유기 발광 소자(OLED)는 제1 박막 트랜지스터(T1)와 연결되어 있으며, 정공 주입 전극으로서 기능하는 애노드(anode) 전극인 제1 전극(E1), 전자 주입 전극으로서 기능하는 캐소드(cathode) 전극인 제2 전극(E2), 그리고 제1 전극(E1)과 제2 전극(E2) 사이에 배치된 유기 발광층(OL)을 포함한다.
- [0036] 제1 전극(E1)은 광 투과성 전극이며, 제2 전극(E2)은 광 반사성 전극이다. 즉, 유기 발광층(OL)으로부터 발광된 빛은 제2 전극(E2)에 의해 반사되어 제1 전극(E1)을 투과해 유기 발광 표시 장치(1000)의 배면에서 시인된다.
- [0037] 한편, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 제1 전극 및 제2 전극 중 하나 이상이 광 투과성 전극으로 형성될 수 있다. 일례로 제1 전극이 광 반사성 전극으로 형성되고, 제2 전극이 광 투과성 전극으로 형성될 수 있으며, 다른 예로 제1 전극 및 제2 전극 각각이 광 투과성 전극으로 형성될 수 있다.
- [0038] 제2 박막 트랜지스터(T2)는 제2 게이트 전극(G2), 제2 액티브층(A2), 제2 소스 전극(S2) 및 제2 드레인 전극(D2)을 포함한다.
- [0039] 제2 게이트 전극(G2)은 스캔 라인(SCn)과 연결되어 있다. 제2 액티브층(A2)은 제2 게이트 전극(G2)과 대응하여 제2 게이트 전극(G2)과 중첩되어 위치한다. 제2 액티브층(A2)의 각 단부에는 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 각각이 연결되어 있다. 제2 소스 전극(S2)은 데이터 라인(DAm)과 연결되어 있다. 제2 드레인 전극

(D2)은 제2 게이트 전극(G2)을 사이에 두고 제2 소스 전극(S2)과 이격되어 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 즉, 제2 액티브층(A2)은 데이터 라인(DAm)과 제1 게이트 전극(G1) 사이를 연결하고 있다.

- [0040] 제1 박막 트랜지스터(T1)는 제1 게이트 전극(G1), 제1 액티브층(A1), 제1 소스 전극(S1) 및 제1 드레인 전극(D1)을 포함한다.
- [0041] 제1 게이트 전극(G1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2)과 연결되어 있다. 제1 게이트 전극(G1)은 제1 액티브층(A1) 상에 위치하고 있으며, 제2 액티브층(A2)의 채널 영역(CA)과 대응하고 있다.
- [0042] 제1 액티브층(A1)은 제1 게이트 전극(G1) 및 캐패시터(C)의 캐패시터 전극(CE)과 중첩되어 있으며, 제1 게이트 전극(G1)과 캐패시터 전극(CE) 사이에 위치하고 있다. 제1 액티브층(A1)은 구동 전원 라인(ELVDDL)과 유기 발광 소자(OLED) 사이를 연결하며, 제1 소스 전극(S1)과 연결되는 소스 영역(SA), 제2 소스 전극(S2)과 연결되는 드레인 영역(DA) 및 소스 영역(SA)과 드레인 영역(DA) 사이에 위치하는 채널 영역(CA)을 포함한다.
- [0043] 제1 액티브층(A1)의 채널 영역(CA)은 P형 도핑(P type doping)된 반도체 또는 N형 도핑(N type doping)된 반도체를 포함하며, 소스 영역(SA) 및 드레인 영역(DA) 각각은 불순물 도핑된 도전체를 포함한다. 제1 액티브층(A1)은 폴리 실리콘 또는 산화물을 포함할 수 있다.
- [0044] 제1 액티브층(A1)은 절연층(IL)을 사이에 두고 캐패시터 전극(CE) 상에 위치하고 있으며, 제1 액티브층(A1)의 채널 영역(CA)은 제1 게이트 전극(G1)에 전원이 공급될 때 캐패시터 전극(CE)과 캐패시터(C)를 형성한다.
- [0045] 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각은 제1 게이트 전극(G1)을 사이에 두고 상호 이격되어 제1 액티브층(A1)의 소스 영역(SA) 및 드레인 영역(DA) 각각에 연결되어 있다. 제1 소스 전극(S1)은 구동 전원 라인(ELVDDL)과 연결되어 있으며, 제1 드레인 전극(D1)은 유기 발광 소자(OLED)의 애노드 전극인 제1 전극(E1)과 연결되어 있다. 제1 소스 전극(S1)은 구동 전원 라인(ELVDDL)과 일체로 형성되어 있으며, 제1 컨택홀(CH1)을 통해 제1 액티브층(A1)과 연결된다. 즉, 구동 전원 라인(ELVDDL)은 제1 컨택홀(CH1)을 통해 제1 액티브층(A1)과 연결된다.
- [0046] 캐패시터(C)는 절연층(IL)을 사이에 두고 제1 액티브층(A1)이 채널 영역(CA)과 대향하는 캐패시터 전극(CE)을 포함한다.
- [0047] 캐패시터 전극(CE)은 구동 전원 라인(ELVDDL)을 통해 제1 액티브층(A1)과 연결되며, 제1 액티브층(A1)을 사이에 두고 제1 게이트 전극(G1)과 중첩되어 있다. 캐패시터 전극(CE)은 제1 게이트 전극(G1)에 전원이 공급될 때, 제1 액티브층(A1)의 채널 영역(CA)과 캐패시터(C)를 형성한다. 캐패시터 전극(CE)은 불순물이 도핑된 비정질 실리콘 또는 불순물이 도핑된 폴리 실리콘을 포함하는 도전체이다. 캐패시터 전극(CE)은 제2 컨택홀(CH2)을 통해 구동 전원 라인(ELVDDL)과 연결된다. 즉, 구동 전원 라인(ELVDDL)은 제2 컨택홀(CH2)을 통해 구동 전원 라인(ELVDDL)과 연결되는데, 제2 컨택홀(CH2) 내부에 채워진 알루미늄(A1), 은(Ag) 등의 추가적인 도전 물질에 의해 구동 전원 라인(ELVDDL)과 캐패시터 전극(CE) 사이가 연결될 수 있다. 캐패시터 전극(CE)은 제1 액티브층(A1) 대비 큰 면적을 가지고 있으나, 이에 한정되지 않고 제1 액티브층(A1)과 실질적으로 동일한 면적을 가지거나, 제1 액티브층(A1) 대비 작은 면적을 가질 수 있다.
- [0048] 이하, 도 2 내지 도 4를 참조하여 상술한 화소의 동작을 설명한다.
- [0049] 도 4는 도 3의 B 부분을 확대한 단면도이다.
- [0050] 도 2 내지 도 4에 도시된 바와 같이, 우선, 스캔 라인(SCn)을 통해 제2 게이트 전극(G2)으로 전원이 공급되어 제2 박막 트랜지스터(T2)가 순간적으로 턴 온되면, 제1 게이트 전극(G1), 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각에 전압이 인가된다. 이와 같은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1), 제1 소스 전극(S1), 제1 드레인 전극(D1) 각각에 상기한 전압이 인가되면, 제1 게이트 전극(G1)과 드레인 전극(D1) 사이에 강한 전기장(electric field)이 형성되면서, 제1 액티브층(A1)의 채널 영역(CA)에 전기장(electric field)이 증가되어 채널 영역(CA)에 전자-정공 쌍(electron-hole pair)이 발생한다. 이때, 채널 영역(CA)이 P형 도핑된 반도체(또는 N형 도핑된 반도체)이므로, 채널 영역(CA)에서는 정공과 결합하지 못한 전자(e^-)(또는 정공(h^+))들이 채널 영역(CA)의 저부(bottom)에 축적되는 플로팅 바디 효과(Floating body effect)가 발생하게 된다. 이 채널 영역(CA)의 저부에 축적된 전자(e^-)층(또는 정공(h^+)층)이 캐패시터(C)의 다른 전극으로서 기능하여 구동 전원 라인(ELVDDL)으로부터 전원이 공급된 캐패시터 전극(CE)과 캐패시터(C)를 형성하여 캐패시터(C)가 축전된다.

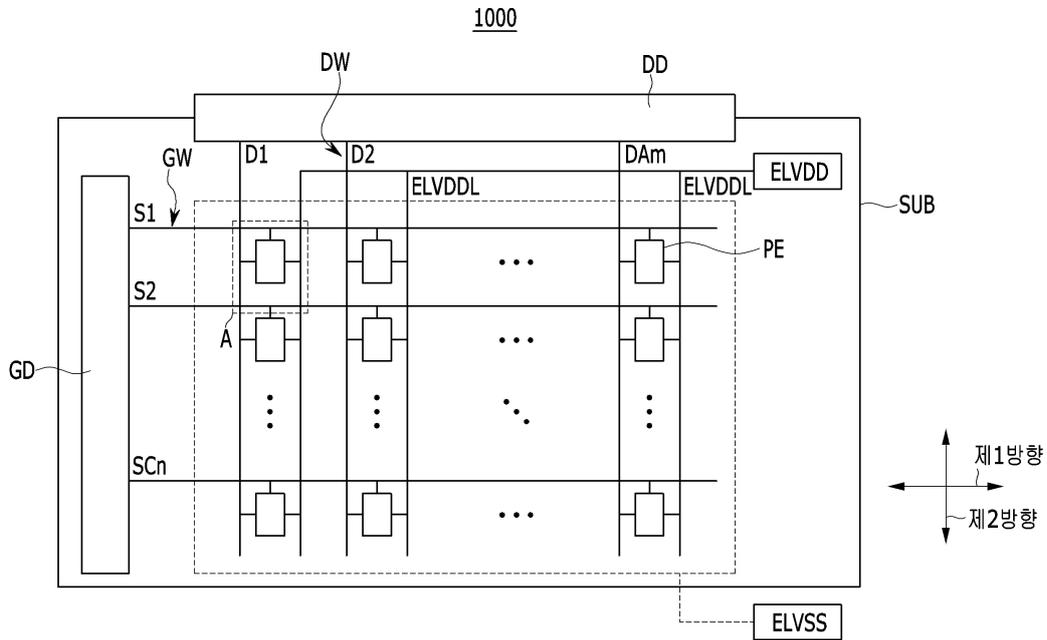
- [0051] 즉, 캐패시터(C)를 형성하는 캐패시터 전극(CE)에 구동 전원 라인(ELVDDL)으로부터 전원이 공급되는 동시에 제2 박막 트랜지스터(T2)를 통해 데이터 라인(DAm)으로부터 제1 게이트 전극(G1)에 전원이 공급되어 플로팅 바디 효과에 의해 제1 액티브층(A1)의 채널 영역(CA)의 저부에 전자(e^-)층(또는 정공(h^+)층)이 축적됨으로써, 이 전자(e^-)층(또는 정공(h^+)층)이 캐패시터(C)의 다른 전극으로서 기능하여 캐패시터(C)가 축전된다.
- [0052] 이때 축전되는 전하량은 데이터 라인(DAm)으로부터 인가되는 전압에 비례한다. 그리고 제2 박막 트랜지스터(T2)가 턴 오프된 상태에서 제1 박막 트랜지스터(T1)의 게이트 전위는 캐패시터(C)에 축전된 전위를 따라서 상승한다. 그리고 제1 박막 트랜지스터(T1)는 게이트 전위가 문턱 전압을 넘으면 턴온된다. 그러면 구동 전원 라인(ELVDDL)에 인가되던 전압이 제1 박막 트랜지스터(T1)를 통하여 유기 발광 소자(OLED)로 인가되고, 이로 인해 유기발광 소자(OLED)는 발광된다.
- [0053] 이와 같은 화소(PE)의 배치는 전술한 바에 한정되지 않고 해당 기술 분야의 종사자가 용이하게 변형 실시할 수 있는 범위 내에서 다양하게 변형 가능하다.
- [0054] 이상과 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1000)는 캐패시터 전극(CE)이 제1 액티브층(A1)의 P형 도핑 또는 N형 도핑된 채널 영역(CA)과 중첩됨으로써, 채널 영역(CA)과 캐패시터 전극(CE)이 캐패시터(C)를 형성하기 때문에, 캐패시터(C)를 위한 추가적인 공간을 최소화할 수 있다.
- [0055] 이로 인해, 하나의 화소(PE)마다 캐패시터(C)를 위한 추가적인 공간을 최소화할 수 있기 때문에, 한정된 면적에서 많은 수의 화소를 배치시킬 수 있다. 즉, 한정된 면적에서 고해상도의 유기 발광 표시 장치(1000)가 제공된다.
- [0056] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1000)는 제1 전극(E1)이 광 투과성 전극으로 형성되어 유기 발광층(OL)으로부터 발광된 빛이 제1 전극(E1)을 통해 외부에 시인되는 배면 발광형 유기 발광 표시 장치(1000)이나, 상술한 바와 같이 캐패시터 전극(CE)을 제1 액티브층(A1)의 채널 영역(CA)과 중첩시켜 캐패시터(C)를 위한 추가적인 면적을 최소화함으로써, 하나의 화소마다 캐패시터(C)를 위한 추가적인 면적을 줄이고 제1 전극(E1)의 크기를 증가시켜 전체적인 유기 발광 소자(OLED)의 개구율을 최대화할 수 있다. 즉, 배면 발광형이더라도 개구율을 최대화시켜 표시 품질을 향상시킨 유기 발광 표시 장치(1000)가 제공된다.
- [0057] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

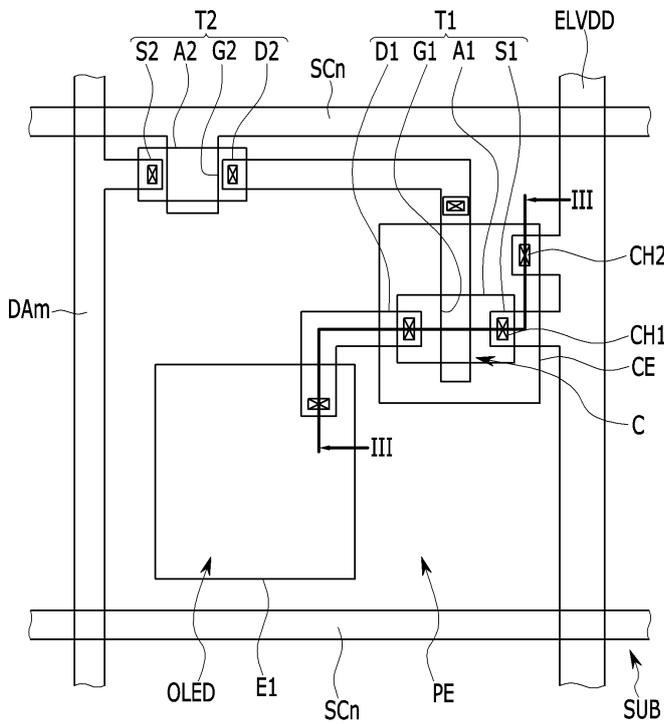
- [0058] 제1 게이트 전극(G1), 제1 액티브층(A1), 제1 박막 트랜지스터(T1), 캐패시터 전극(CE), 유기 발광 소자(OLED)

도면

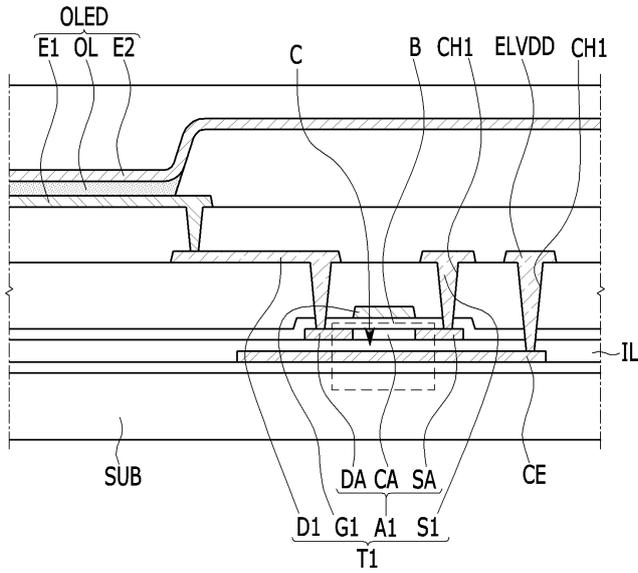
도면1



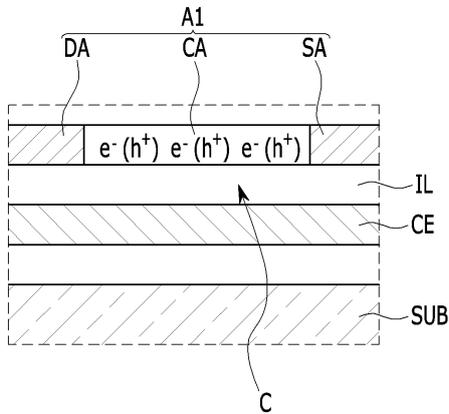
도면2



도면3



도면4



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제1항의 7-8번째줄

【변경전】

연결된 구동 전압 라인을 포함하며,

【변경후】

연결된 구동 전원 라인을 포함하며,