

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/125107 A1

(43) 国際公開日

2011年10月13日(13.10.2011)

PCT

- (51) 国際特許分類:
G09G 3/30 (2006.01) H01L 27/32 (2006.01)
G09F 9/30 (2006.01) H01L 51/50 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2010/002471
- (22) 国際出願日: 2010年4月5日(05.04.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 戎野浩平 (EBISUNO, Kouhei).
- (74) 代理人: 新居広守 (NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

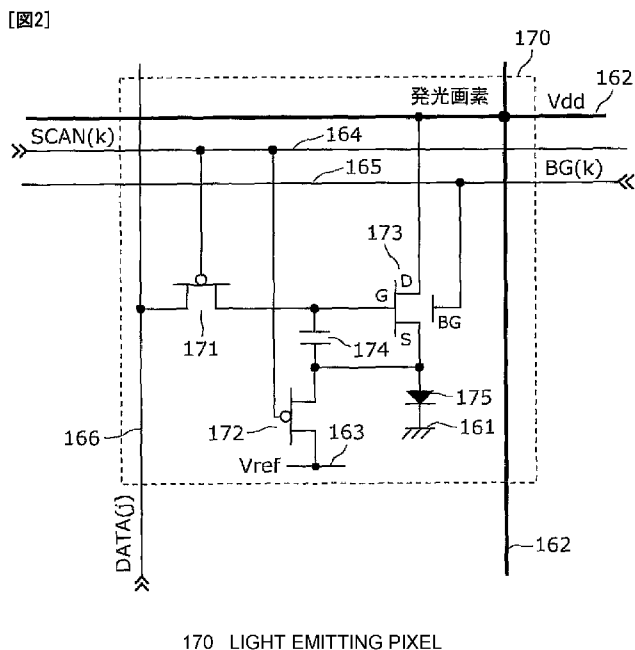
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲 (条約第 19 条(1))

(54) Title: ORGANIC EL DISPLAY DEVICE AND METHOD FOR CONTROLLING SAME

(54) 発明の名称: 有機 EL 表示装置及びその制御方法



(57) Abstract: Disclosed is an organic EL display device which comprises: a light emitting pixel (170) that comprises a drive transistor (173), a scan transistor (171), a reset transistor (172), a capacitor (174) that is inserted between the gate electrode and the source electrode of the drive transistor (173), and a light emitting element (175) that is connected to the source electrode of the drive transistor (173); and a drive circuit. The drive transistor (173) comprises a back gate electrode. The drive circuit electrically disconnects the drive transistor (173) by applying a predetermined bias voltage to the back gate electrode and making the threshold voltage of the drive transistor (173) larger than the potential difference between the gate electrode and the source electrode, and has the capacitor (174) hold a voltage that corresponds to a signal voltage, while maintaining the drive transistor (173) in the electrically disconnected state.

(57) 要約: 本発明に係る有機 EL 表示装置は、駆動トランジスタ (173) と、走査トランジスタ (171) と、リセットトランジスタ (172) と、駆動トランジスタ (173) のゲート電極-ソース電極間に挿入されたコンデンサ (174) と、駆動トランジスタ (173) のソース電極に接

続された発光素子 (175) とを備える発光画素 (170) と、駆動回路とを備え、駆動トランジスタ (173) はバックゲート電極を有し、駆動回路は、所定のバイアス電圧をバックゲート電極に印加することにより、駆動トランジスタ (173) の閾値電圧をゲート電極及びソース電極間の電位差よりも大きくして駆動トランジスタ (173) を非導通とし、駆動トランジスタ (173) を非導通とした状態で、コンデンサ (174) に信号電圧に対応する電圧を保持させる。

WO 2011/125107 A1

明 細 書

発明の名称：有機EL表示装置及びその制御方法

技術分野

[0001] 本発明は、有機EL（Electro Luminescence）素子を用いたアクティブマトリクス方式の有機EL表示装置に関する。

背景技術

[0002] 有機EL表示装置は、発光素子及びこの発光素子を駆動するための駆動素子を含む画素部をマトリクス状に配置した表示部を有し、表示部に含まれる各画素部に対応して複数の走査線及び複数のデータ線が配置されている。例えば、各画素部を2個のトランジスタ及び1個のコンデンサで構成し、駆動素子のソース電極に電氣的に接続された高電位側の電源線を、走査線に平行な方向及び垂直な方向の両方に網目状に配置する場合、コンデンサの第1電極に駆動素子のゲート電極が接続され、コンデンサの第2電極に駆動素子のソース電極が接続される（例えば、特許文献1参照）。この場合、コンデンサの第1電極に信号電圧が供給され、ソース電極に接続されているコンデンサの第2電極の電位は高電位側の電源線の電位によって決定される。

先行技術文献

特許文献

- [0003] 特許文献1：特開2002-108252号公報
特許文献2：特開2009-271320号公報
特許文献3：特開2009-69571号公報

発明の概要

発明が解決しようとする課題

- [0004] しかし、上記従来技術では以下のような問題が生じていた。
- [0005] 即ち、走査線に平行な各ラインのうち発光動作を行っているラインでは、第1電源線に電流が流れることにより電圧降下が生じて電位が変動する。このとき、発光動作を行っているラインに隣接するラインの各画素部に、映像

信号に対応する信号電圧を書き込む場合、第1電源線は網目状に配置されているので、走査線に垂直な方向に沿って設けられた配線を介して、発光動作を行っているラインに配置された第1電源線の電圧降下の影響が、信号電圧の書き込み動作を行っているラインに配置された第1電源線に伝わる。言い換えると、走査線に垂直な方向に配置された第1電源線を介して、走査線に平行な方向に配置され発光動作を行っているラインに対応する第1電源線の電圧降下が、走査線に平行な方向に配置され信号電圧の書き込み動作を行っているラインに対応する第1電源線に伝播する。その結果、信号電圧の書き込み動作を行っているラインに対応し、走査線に平行な方向に配置された第1電源線の電位が変動する。

[0006] さらに、発光動作を行っているラインにおいて、表示部の中央に向かって電圧降下の影響が大きくなるため、信号電圧の書き込み動作を行っているラインに配置された各画素部に第1電源線から供給される電位にばらつきが生じる。

[0007] このように、第1電源線の電位が電圧降下により低下している場合にコンデンサの第1電極に信号電圧の書き込みを行うと、コンデンサの第2電極の電位が低下した状態でコンデンサの第1電極に信号電圧が供給されるので、コンデンサには所望の電圧値よりも小さな電圧が保持される。また、コンデンサに保持される電圧が各画素部間でばらつく。その結果、表示部から発光される輝度が低下するとともに表示部に輝度ムラが発生し、表示部を所望の輝度で発光させることができないという問題が生じる。

[0008] また、信号電圧の書き込み期間中に、駆動素子が導通状態となって駆動素子の駆動電流が流れる場合がある。この場合、信号電圧の書き込み期間中に駆動電流が第1電源線を介して流れることにより第1電源線の電位が変動する。その結果、コンデンサには所望の電圧値よりも小さな電圧が保持される。

[0009] かかる問題を解決するために、第1電源線及び、第2電源線のいずれか一方、もしくは両方の電源線を走査線に平行なライン毎に走査し、発光素子の

発光動作時と信号電圧の書き込み時とで駆動素子の導通、非導通状態を切り換えることで、コンデンサに所望の電圧値を書き込む方法がある（例えば、特許文献2参照）。この方法では、発光動作時には、発光素子に順バイアスが印加される向きに第1電源線及び第2電源線の電位を制御し、一方、信号電圧の供給期間には、発光素子に順バイアスが印加されないように第1電源線及び第2電源線の電位を制御する。これによって、信号電圧の供給期間内に第1電源線を介して発光素子に流れる駆動電流を防止できる。

[0010] しかしながら、この場合、第1電源線及び第2電源線の電位を変動させるための専用ドライバが別途必要となり、コスト高を招くという問題がある。

[0011] 一方、第1電源線及び第2電源線と発光素子との間に別途スイッチ用のトランジスタを設け、信号電圧の供給期間内にこのトランジスタをオフすることで信号電圧の供給期間内の駆動電流を防止する方法もある（例えば、特許文献3参照）。しかしながら、この方法では、別途スイッチ用のトランジスタを設ける分だけ画素部を構成する素子の点数及びトランジスタを制御する為の配線が増加し、製造工程において歩留まりが低下するとともに電源部から供給する電源電圧が大きくなり消費電力の増加を招くという問題がある。

[0012] 本発明は、上記課題に鑑みてなされたものであって、表示部に含まれる各画素部の構成を簡素化しつつ表示部を所望の輝度で発光させることができる有機EL表示装置を提供することを目的とする。

課題を解決するための手段

[0013] 上記目的を達成するために、本発明の一態様に係る有機EL表示装置は、複数の画素部をマトリクス状に配置した有機EL表示装置であって、前記複数の画素部の各々は、第1電極と第2電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記コンデンサの第2電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給されることにより前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と

、前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第1電源線と、前記駆動素子のドレイン電極に電氣的に接続された第2電源線と、前記第1電源線とは異なる電源線であって前記コンデンサの第2電極に所定の基準電圧を設定する第3電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第1電極に接続され、前記データ線と前記コンデンサの第1電極との導通及び非導通を切り換える第1スイッチング素子と、一方の端子が前記コンデンサの第2電極に接続され、他方の端子が前記第3電源線に接続され、前記コンデンサの第2電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、前記有機EL表示装置は、さらに、前記第1スイッチング素子の制御、前記第2スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、前記駆動回路は、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定しつつ前記コンデンサの第1電極に前記信号電圧を供給する。

発明の効果

[0014] 上述のように、前記コンデンサの第2電極を前記駆動素子のソース電極に電氣的に接続された前記第1電源線に接続した場合、前記コンデンサの第2電極の電位が前記第1電源線の電圧降下の影響を受ける。その結果、前記信号電圧の供給時に前記コンデンサに保持される電圧も変動する。

[0015] そこで、本態様では、前記第1電源線とは異なる電源線であって前記コン

デンサの第2電極に所定の基準電圧を設定する第3電源線を設けた。そして、前記コンデンサの固定電位側である第2電極を前記第3電源線に接続した。これにより、前記信号電圧の書き込み期間中、前記コンデンサの第2電極には前記第3電源線が接続されるので、コンデンサの第2電極の電位に対する前記第1電源線の電圧降下の影響を防ぐことができ、前記コンデンサに保持される電圧の変動を防止できる。

[0016] その上で、本態様では、前記バックゲート電極を用いて前記駆動素子の駆動電流を停止し、前記駆動電流を停止させた状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第1電極に供給する。これにより、前記駆動電流を停止させた状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定しつつ前記信号電圧を前記コンデンサの第1電極に供給するので、前記信号電圧の供給期間中に前記駆動電流が流れることによる前記コンデンサの第2電極の電位の変動を防止できる。その結果、前記コンデンサに所望の電圧を保持させることができ、前記表示部に含まれる各画素部を所望の輝度で発光させることができる。

[0017] ここで、本態様では、前記バックゲート電極を、前記駆動素子の導通及び非導通を切り換えるためのスイッチとして用いている。前記所定のバイアス電圧は前記駆動素子のゲート電極及びソース電極間の電位差よりも前記駆動素子の閾値電圧を大きくするための電圧である。前記バイアス電圧の供給制御により、前記駆動素子の導通及び非導通の切り換えを制御することで、前記バックゲート電極をスイッチ素子として用いることができるので、前記信号電圧の書き込み期間中に前記駆動電流を遮断するためのスイッチ素子を別途設ける必要がなくなる。その結果、各画素部の回路構成を簡素化でき、製造コストを削減することができる。

[0018] つまり、本発明によれば、表示部に含まれる各画素部の構成を簡素化しつつ表示部を所望の輝度で発光させることができる有機EL表示装置を実現する。

図面の簡単な説明

[0019] [図1]図 1 は、実施の形態 1 に係る有機 EL 表示装置の構成を示すブロック図である。

[図2]図 2 は、発光画素の詳細な回路構成を示す回路図である。

[図3]図 3 は、駆動トランジスタの $V_{gs} - I_d$ 特性の一例を示すグラフである。

[図4A]図 4 A は、最大階調での発光時の発光画素の状態を模式的に示す図である。

[図4B]図 4 B は、信号電圧書き込み時の発光画素の状態を模式的に示す図である。

[図5]図 5 は、有機 EL 表示装置の動作を示すタイミングチャートである。

[図6]図 6 は、実施の形態 1 の変形例に係る有機 EL 表示装置の構成を示すブロック図である。

[図7]図 7 は、発光画素の詳細な回路構成を示す回路図である。

[図8]図 8 は、有機 EL 表示装置の動作を示すタイミングチャートである。

[図9]図 9 は、実施の形態 2 に係る有機 EL 表示装置の構成を示すブロック図である。

[図10]図 1 0 は、発光画素の詳細な回路構成を示す回路図である。

[図11]図 1 1 は、駆動トランジスタの $V_{gs} - I_d$ 特性の他の一例を示すグラフである。

[図12A]図 1 2 A は、最大階調での発光時の発光画素の状態を模式的に示す図である。

[図12B]図 1 2 B は、信号電圧書き込み時の発光画素の状態を模式的に示す図である。

[図13]図 1 3 は、実施の形態 2 に係る有機 EL 表示装置の動作を示すタイミングチャートである。

[図14]図 1 4 は、実施の形態 2 の変形例に係る有機 EL 表示装置の動作を示すタイミングチャートである。

[図15]図 1 5 は、実施の形態 3 に係る有機 EL 表示装置が有する発光画素の

詳細な回路構成を示す回路図である。

[図16A]図16Aは、最大階調での発光時の発光画素の状態を模式的に示す図である。

[図16B]図16Bは、信号電圧書き込み時の発光画素の状態を模式的に示す図である。

[図17]図17は、実施の形態3の変形例に係る有機EL表示装置が有する発光画素の詳細な構成を示す回路図である。

[図18A]図18Aは、最大階調での発光時の発光画素の状態を模式的に示す図である。

[図18B]図18Bは、信号電圧書き込み時の発光画素の状態を模式的に示す図である。

[図19A]図19Aは、駆動トランジスタをP型トランジスタとした場合の、発光画素の回路構成の一例を示す図である。

[図19B]図19Bは、駆動トランジスタをP型トランジスタとした場合の、発光画素の回路構成の他の一例を示す図である。

[図20]図20は、本発明の有機EL表示装置を内蔵した薄型フラットTVの外観図である。

発明を実施するための形態

- [0020] 請求項1記載の態様の有機EL表示装置は、複数の画素部をマトリクス状に配置した有機EL表示装置であって、前記複数の画素部の各々は、第1電極と第2電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記コンデンサの第2電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給されることにより前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第1電源線と、前記駆動素子のドレイン電極に電氣的に接続された第2電源線と、前記第1電源線とは異

なる電源線であって前記コンデンサの第2電極に所定の基準電圧を設定する第3電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第1電極に接続され、前記データ線と前記コンデンサの第1電極との導通及び非導通を切り換える第1スイッチング素子と、一方の端子が前記コンデンサの第2電極に接続され、他方の端子が前記第3電源線に接続され、前記コンデンサの第2電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、前記有機EL表示装置は、さらに、前記第1スイッチング素子の制御、前記第2スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、前記駆動回路は、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定しつつ前記コンデンサの第1電極に前記信号電圧を供給する。

[0021] 上述のように、前記コンデンサの第2電極を前記駆動素子のソース電極に電氣的に接続された前記第1電源線にした場合、前記コンデンサの第2電極の電位が前記第1電源線の電圧降下の影響を受ける。その結果、前記信号電圧の供給時に前記コンデンサに保持される電圧も変動する。

[0022] そこで、本態様では、前記第1電源線とは異なる電源線であって前記コンデンサの第2電極に所定の基準電圧を設定する第3電源線を設けた。そして、前記コンデンサの固定電位側である第2電極を前記第3電源線に接続した。これにより、前記信号電圧の書き込み期間中、前記コンデンサの第2電極

には前記第 3 電源線が接続されるので、コンデンサの第 2 電極の電位に対する前記第 1 電源線の電圧降下の影響を防ぐことができ、前記コンデンサに保持される電圧の変動を防止できる。

[0023] その上で、本態様では、前記バックゲート電極を用いて前記駆動素子の駆動電流を停止し、前記駆動電流を停止させた状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第 1 電極に供給する。これにより、前記駆動電流を停止させた状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定しつつ前記信号電圧を前記コンデンサの第 1 電極に供給するので、前記信号電圧の供給期間中に前記駆動電流が流れることによる前記コンデンサの第 2 電極の電位の変動を防止できる。その結果、前記コンデンサに所望の電圧を保持させることができ、前記表示部に含まれる各画素部を所望の輝度で発光させることができる。

[0024] ここで、本態様では、前記バックゲート電極を、前記駆動素子の導通及び非導通を切り換えるためのスイッチとして用いている。前記所定のバイアス電圧は前記駆動素子のゲート電極及びソース電極間の電位差よりも前記駆動素子の閾値電圧を大きくするための電圧である。前記バイアス電圧の供給制御により、前記駆動素子の導通及び非導通の切り換えを制御することで、前記バックゲート電極をスイッチ素子として用いることができるので、前記信号電圧の書き込み期間中に前記駆動電流を遮断するためのスイッチ素子を別途設ける必要がなくなる。その結果、各画素部の回路構成を簡素化でき、製造コストを削減することができる。

[0025] つまり、本態様によれば、表示部に含まれる各画素部の構成を簡素化しつつ表示部を所望の輝度で発光させることができる有機 EL 表示装置を実現する。

[0026] 請求項 2 記載の態様の有機 EL 表示装置によれば、前記有機 EL 表示装置は、さらに、マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、前記第 2 電源線は、マトリクス状に配置された複数の画素部の各行および各

列に対応して、前記基幹電源線から分岐して網目状に設けられている。

[0027] 本態様によると、マトリクス状に配置された複数の画素部の各行及び各列に対応させて第2電源線を網目状に配置する。これにより、各列に沿った第2電源線を配置せず、各行に沿って第2電源線を基幹電源線から分岐して1本ずつ設ける場合に比べて、各列に沿って配置された第2電源線のみだけ複数の第2電源線の抵抗の総和が小さくなる。よって、本態様によると、第2電源線で生じる電圧降下量は小さくなる。そのため、電源部から供給する固定電位を小さくすることができ、消費電力を低減することができる。

[0028] 請求項3記載の態様の有機EL表示装置によれば、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするように設定された電圧である。

[0029] 本態様によると、前記所定のバイアス電圧を、各画素部に含まれる前記発光素子において最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧が前記ゲート電極及びソース電極間の電位差よりも大きくなるように設定する。このように前記バイアス電圧を設定することによって、全ての表示階調において、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくすることができる。その結果、前記信号電圧の書き込みを行う際に、前記駆動素子を確実に非導通として、前記駆動電流を停止させることができる。

[0030] 請求項4記載の態様の有機EL表示装置によれば、さらに、前記第1スイッチング素子の導通及び非導通を制御する信号を供給する第1走査線と、前記第2スイッチング素子の導通及び非導通を制御する信号を供給する第2走査線と、を備える。

[0031] 請求項5記載の態様の有機EL表示装置によれば、前記第3電源線及び前

記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、一の行に対応して配置された第3電源線と、前記一の行の前の行に対応して配置されたバイアス線とは共用されている。

[0032] 本態様によると、一の行に配置された各画素に含まれる第3電源線と、前記一の行の前の行に配置された各画素に含まれるバイアス線とを共用する。これにより、駆動素子のバックゲートを用いてオンオフすることによりTFTを削減した上に、さらに、配線の本数まで削減できる。そのため、回路構成を大幅にコンパクトにして、電圧降下による影響を防止できる。

[0033] 請求項6記載の態様の有機EL表示装置によれば、前記駆動回路は、前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第3電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第2電極に、前記バイアス線と共用の前記第3電源線を介して前記所定の基準電圧を設定する。

[0034] 本態様によると、前記一の行の前の行に配置された各画素部では発光期間であり、一方、一の行に配置された各画素部では非発光期間である。そのため、一の行に配置された各画素に含まれる第3電源線と、前記一の行の前の行に配置された各画素に含まれるバイアス線とを共用した場合、前記一の行に配置された各画素部に含まれるコンデンサの第2電極には、前記バイアス線と共用の前記第3電源線を介して、前記所定の基準電圧ではなく、前記所定のバイアス電圧が書き込まれることになる。その際、前記データ線から供給される信号電圧の範囲を、前記所定のバイアス電圧と前記所定の基準電圧の電圧差だけオフセットさせれば、前記コンデンサに所望の電圧を保持させることができる。従って、前記一の行に配置された各画素部の非発光期間において前記第3電源線と共用の前記バイアス線を介して前記一の行に配置された各画素部に含まれるコンデンサの第2電極に前記所定のバイアス電圧を供給しても動作上の影響はない。

[0035] 請求項7記載の態様の有機EL表示装置によれば、前記駆動回路は、前記

一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第3電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第2スイッチング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第2電極に、前記バイアス線と共用の前記第3電源線を介して前記所定のバイアス電圧を書き込まない。

[0036] 本態様によると、前記一の行の前の行に配置された各画素部では非発光期間であり、一方、前記一の行に配置された各画素部では発光期間である。そのため、一の行に配置された各画素に含まれる第3電源線と、前記一の行の前の行に配置された各画素に含まれるバイアス線とを共用した場合であっても、前記第2スイッチング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第2電極に、前記バイアス線と共用の前記第3電源線を介して前記所定のバイアス電圧が書き込まれないようにすれば、前記駆動素子のソース電極の電位が変動することはない。その結果、前記一の行に配置された各画素部の発光に影響を与えることはない。

[0037] 請求項8記載の態様の有機EL表示装置によれば、前記第1走査線と前記第2走査線とを共通の制御線とする。

[0038] 本態様によると、前記第1スイッチング素子を走査する第1走査線と前記第2スイッチング素子を走査する前記第2走査線とを共通の制御線としてもよい。

[0039] 請求項9記載の態様の有機EL表示装置によれば、前記第1スイッチング素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第1電極に前記信号電圧を供給している期間とを同じとし、前記第1走査線と前記バイアス線とを共通の制御線とする。

[0040] 本態様によると、前記第1スイッチング素子と前記駆動素子とを互いに極性が逆のトランジスタで構成し、前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第1電極に前記信号電圧を

供給している期間とを同じとする。この場合、前記第 1 スイッチング素子に供給される信号の極性が反転し、前記極性が前記バックゲート電極の極性と同一になるので、前記走査線と前記バイアス線とを共通の制御線とすることができる。そのため、前記表示部の配線数を削減することができ、回路構成を簡素化できる。

[0041] 請求項 10 記載の態様の有機 EL 表示装置によれば、前記駆動素子は N 型トランジスタである。

[0042] 請求項 11 記載の態様の有機 EL 表示装置によれば、前記第 3 電源線から供給される前記所定の基準電圧は前記第 1 電源線の電位以下とする。

[0043] 本態様によると、前記駆動素子が N 型トランジスタの場合、前記第 3 電源線から供給される所定の固定電位の電圧値を、前記第 1 電源線の電位以下となるように設定する。これにより、前記コンデンサの第 2 電極に前記所定の固定電位を設定しているときに、前記発光素子の第 1 電極の電位は前記発光素子の第 2 電極の電位以下となるので、前記第 3 電源線から前記発光素子に流れる電流を防止できる。その結果、前記コンデンサに前記信号電圧を供給している期間に不要な発光が生じてコントラストが低下することを防ぐことができる。

[0044] 請求項 12 記載の態様の有機 EL 表示装置によれば、前記駆動回路は、前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記第 1 スイッチング素子を非導通とし、前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧の絶対値を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる。

[0045] 本態様によると、前記駆動素子が N 型トランジスタの場合、前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記所定のバイアス電圧よりも大きな電位である逆バイアス電圧を前記バックゲート電極に供給する。その結果、前記駆動素子を非導通状態から導通状態へと遷移させて、前記コンデ

ンサに保持されている電圧に対応する駆動電流を流して前記発光素子を発光させる。

[0046] これにより、前記信号電圧の書き込み期間中に前記駆動電流が流れることによる電圧降下の発生を防止できるので、前記コンデンサに所望の電圧を保持することができる。その結果、前記駆動素子は前記所望の電圧に対応する前記駆動電流を流して前記発光素子を発光させることができる。

[0047] 請求項 1 3 記載の態様の有機 EL 表示装置によれば、前記駆動素子は P 型トランジスタである。

[0048] 請求項 1 4 記載の態様の有機 EL 表示装置によれば、前記第 3 電源線から供給される前記所定の基準電圧は前記第 1 電源線の電位以上とする。

[0049] 本態様によると、前記駆動素子が P 型トランジスタの場合、前記第 3 電源線から供給される所定の固定電位の電圧値を、前記第 1 電源線の電位以上となるように設定する。これにより、前記コンデンサの第 2 電極に前記所定の固定電位を設定しているときに、前記発光素子の第 2 電極の電位は前記発光素子の第 1 電極の電位以上となるので、前記発光素子から第 3 電源線に流れる電流を防止できる。その結果、前記コンデンサに前記信号電圧を供給している期間に不要な発光が生じてコントラストが低下することを防ぐことができる。

[0050] 請求項 1 5 記載の態様の有機 EL 表示装置によれば、前記駆動回路は、前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記第 1 スイッチング素子をオフし、前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧の絶対値を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる。

[0051] 本態様によると、前記駆動素子が N 型トランジスタの場合、前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記所定のバイアス電圧よりも

大きな電位である逆バイアス電圧を前記バックゲート電極に供給する。そして、前記バックゲート電極への前記バイアス電圧の供給を停止させることにより前記駆動素子を非導通状態から導通状態へと遷移させて、前記コンデンサに保持されている電圧に対応する駆動電流を流して前記発光素子を発光させる。

[0052] これにより、前記信号電圧の書き込み期間中に、前記第 1 電源線に前記駆動電流が流れることによる電圧降下を防止できるので、前記コンデンサに所望の電圧を保持することができる。その結果、前記駆動素子は前記所望の電圧に対応する前記駆動電流を流して前記発光素子を発光させることができる。

[0053] 請求項 16 記載の態様の有機 EL 表示装置の制御方法によれば、第 1 電極と第 2 電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と、前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、前記第 1 電源線とは異なる電源線であって前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 1 電極に接続され、前記データ線と前記コンデンサの第 1 電極との導通及び非導通を切り換える第 1 スwitching 素子と、前記コンデンサの第 2 電極と前記第 3 電源線との間に設けられ前記コンデンサの第 2 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スwitching 素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機 EL 表示装置の制御方法であって、前記所定のバイアス電圧は、前

記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第1電極に供給させる。

- [0054] 請求項17記載の態様の有機EL表示装置によれば、複数の画素部をマトリクス状に配置した有機EL表示装置であって、前記複数の画素部の各々は、第1電極と第2電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記コンデンサの第2電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第1電源線と、前記駆動素子のドレイン電極に電氣的に接続された第2電源線と、前記第1電源線とは異なる電源線であって前記コンデンサの第1電極に所定の基準電圧を設定する第3電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第2電極に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第1スイッチング素子と、一方の端子が前記コンデンサの第1電極に接続され、他方の端子が前記第3電源線に接続され、前記コンデンサの第1電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、前記有機EL表示装置は、さらに、前記第1スイッチング素子の制御、前記第2スイッチング素子の制御

、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、前記駆動回路は、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第1電極に前記所定の基準電圧を設定しつつ前記コンデンサの第2電極に前記信号電圧を供給する。

[0055] 請求項18記載の態様の有機EL表示装置によれば、前記有機EL表示装置は、さらに、マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、前記第2電源線は、マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている。

[0056] 請求項19記載の態様の有機EL表示装置によれば、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくなるように設定された電圧である。

[0057] 請求項20記載の態様の有機EL表示装置によれば、前記有機EL表示装置は、さらに、前記第1スイッチング素子の導通及び非導通を制御する信号を供給する第1走査線と、前記第2スイッチング素子の導通及び非導通を制御する信号を供給する第2走査線と、を備える。

[0058] 請求項21記載の態様の有機EL表示装置によれば、前記第3電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、一の行に対応して配置された第3電源線と、前記一の行の前の

行に対応して配置されたバイアス線とは共用されている。

- [0059] 請求項 2 2 記載の態様の有機 EL 表示装置によれば、前記駆動回路は、前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第 1 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定の基準電圧を設定する。
- [0060] 請求項 2 3 記載の態様の有機 EL 表示装置によれば、前記駆動回路は、前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第 2 スwitching 素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第 1 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧を書き込まない。
- [0061] 請求項 2 4 記載の態様の有機 EL 表示装置によれば、前記第 1 走査線と前記第 2 走査線とを共通の制御線とする。
- [0062] 請求項 2 5 記載の態様の有機 EL 表示装置によれば、前記第 1 スwitching 素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 1 電極に前記信号電圧を供給している期間とを同じとし、前記第 1 走査線と前記バイアス線とを共通の制御線とする。
- [0063] 請求項 2 6 記載の態様の有機 EL 表示装置によれば、前記駆動素子は N 型トランジスタである。
- [0064] 請求項 2 7 記載の態様の有機 EL 表示装置によれば、前記データ線から供給される前記信号電圧の最大値は前記第 1 電源線の電位以下とする。
- [0065] これにより、駆動素子が N 型トランジスタの場合、信号電圧が書き込まれているときに、前記データ線から前記発光素子に流れる電流を防止できる。よって、信号電圧の書き込み中に、発光素子を確実に消光できる。

- [0066] 請求項 28 記載の態様の有機 EL 表示装置によれば、前記駆動回路は、前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スイッチング素子を非導通とし、前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧の絶対値を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる。
- [0067] 請求項 29 記載の態様の有機 EL 表示装置によれば、前記駆動素子は P 型トランジスタである。
- [0068] 請求項 30 記載の態様の有機 EL 表示装置によれば、前記データ線から供給される前記信号電圧の最小値は前記第 1 電源線の電位以上とする。
- [0069] これにより、駆動素子が P 型トランジスタの場合、信号電圧が書き込まれているときに、前記発光素子から前記データ線に流れる電流を防止できる。よって、信号電圧の書き込み中に、発光素子を確実に消光できる。
- [0070] 請求項 31 記載の態様の有機 EL 表示装置によれば、前記駆動回路は、前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スイッチング素子を非導通とし、前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧の絶対値を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる。
- [0071] 請求項 32 記載の態様の有機 EL 表示装置の制御方法によれば、第 1 電極と第 2 電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前

記発光素子を介して、前記駆動素子のドレイン電極に電氣的に接続された第 1 電源線と、前記駆動素子のソース電極に電氣的に接続された第 2 電源線と、前記第 1 電源線とは異なる電源線であって前記コンデンサの第 1 電極に所定の基準電圧を設定する第 3 電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 2 電極に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 1 スwitching 素子と、前記コンデンサの第 1 電極と前記第 3 電源線との間に設けられ前記コンデンサの第 1 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スwitching 素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機 EL 表示装置の制御方法であって、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電位であり、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第 1 スwitching 素子及び前記第 2 スwitching 素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第 1 電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第 2 電極に供給させる。

[0072] 以下、本発明の好ましい実施の形態を図に基づき説明する。なお、以下では、全ての図を通じて同一又は相当する要素には同じ符号を付して、その重複する説明を省略する。

[0073] (実施の形態 1)

以下、本発明の実施の形態 1 について、図面を用いて説明する。

[0074] 図 1 は、本実施の形態に係る有機 EL 表示装置の構成を示すブロック図である。

[0075] 同図に示す有機 EL 表示装置 100 は、書き込み駆動回路 110 と、データ線駆動回路 120 と、バイアス電圧制御回路 130 と、基準電源 140 と

、直流電源 150 と、表示パネル 160 とを備える。ここで、表示パネル 160 は、 n 行 \times m 列 (n 、 m は自然数) の行列状に配置された複数の発光画素 170 が配置された表示部 180 と、表示部 180 の外周に配置され、所定の固定電位 V_{dd} を表示部 180 に供給する基幹電源線 190 とを有し、書き込み駆動回路 110、データ線駆動回路 120、バイアス電圧制御回路 130、基準電源 140 及び直流電源 150 に接続されている。

[0076] 図 2 は、発光画素 170 の詳細な回路構成を示す回路図である。

[0077] 同図に示す発光画素 170 は、本発明の画素部であって、第 1 電源線 161、第 2 電源線 162、基準電源線 163、走査線 164、バイアス配線 165 及びデータ線 166 と、走査トランジスタ 171 と、リセットトランジスタ 172 と、駆動トランジスタ 173 と、コンデンサ 174 と、発光素子 175 とを備える。なお、図 2 に示す発光画素 170 は、 k 行、 j 列 ($1 \leq k \leq n$ 、 $1 \leq j \leq m$) の発光画素 170 を例に示しているが、他の発光画素も同様の構成を有する。

[0078] 以下、図 1 及び図 2 に記載した各構成要素について、その接続関係及び機能を説明する。

[0079] 書き込み駆動回路 110 は、複数の発光画素 170 の行ごとに対応して設けられた複数の走査線 164 に接続され、複数の走査線 164 に走査パルス $SCAN(1) \sim SCAN(n)$ を供給することにより、複数の発光画素 170 を行単位で順次走査する。この走査パルス $SCAN(1) \sim SCAN(n)$ は、走査トランジスタ 171 のオン及びオフを制御する信号である。

[0080] データ線駆動回路 120 は、複数の発光画素 170 の列ごとに対応して設けられた複数のデータ線 166 に接続され、複数のデータ線 166 にデータ線電圧 $DATA(1) \sim DATA(m)$ を供給する。各データ線電圧 $DATA(1) \sim DATA(m)$ は、対応する列の発光素子 175 の発光輝度に対応する信号電圧を時分割で含む。つまり、データ線駆動回路 120 は、複数のデータ線 166 に信号電圧を供給する。なお、データ線駆動回路 120 とバイアス電圧制御回路 130 とは、本発明の駆動回路に相当する。

- [0081] バイアス電圧制御回路130は、複数の発光画素170の行ごとに対応して設けられた複数のバイアス配線165に接続され、複数のバイアス配線165にバックゲートパルスBG(1)~BG(n)を供給することにより、複数の発光画素170の閾値電圧を行単位で制御する。言い換えると、複数の発光画素170の導通及び非導通を行単位で切り換える。なお、バックゲートパルスBG(1)~BG(n)により発光画素170の閾値電圧が制御されることについては後述する。
- [0082] 基準電源140は、基準電源線163に接続され、基準電圧Vrefを基準電源線163に供給する。
- [0083] 直流電源150は、基幹電源線190を介して第2電源線162に接続され、基幹電源線190に固定電位Vddを供給する。例えば、固定電位Vddは15Vである。
- [0084] 第1電源線161は、本発明の第1電源線であって、発光素子175を介して駆動トランジスタ173のソース電極に接続されている。この第1電源線161は、例えば電位が0Vのグランド線である。
- [0085] 第2電源線162は、本発明の第2電源線であって、直流電源150及び駆動トランジスタ173のドレイン電極に接続されている。この第2電源線は、例えば、行列状に配置された複数の発光画素170の各行及び各列に対応して、基幹電源線190から分岐して網目状に設けられている。
- [0086] 基準電源線163は、本発明の第3電源線であって、基準電源140と、リセットトランジスタ172のソース電極及びドレイン電極の一方の電極とに接続され、基準電源140から基準電圧Vrefが供給される。この基準電圧Vrefは、例えば0Vである。
- [0087] 走査線164は、複数の発光画素170の行ごとに対応して共通に設けられ、書き込み駆動回路110と、対応する発光画素170が有する走査トランジスタ171のゲート電極に接続されている。
- [0088] バイアス配線165は、複数の発光画素170の行ごとに対応して共通に設けられ、バイアス電圧制御回路130と、対応する発光画素170が有す

る駆動トランジスタ 173 のバックゲート電極 BG に接続されている。

[0089] データ線 166 は、複数の発光画素 170 の列ごとに対応して共通に設けられ、データ線駆動回路 120 からデータ線電圧 DATA (1) ~ DATA (m) が供給される。

[0090] 走査トランジスタ 171 は、本発明の第 1 スイッチング素子であり、一方の端子がデータ線 166 に接続され、他方の端子がコンデンサ 174 の第 1 電極に接続され、データ線 166 とコンデンサ 174 の第 1 電極との導通及び非導通を切り換える。具体的には、走査トランジスタ 171 は、ゲート電極が走査線 164 に接続され、ソース電極及びドレイン電極の一方がデータ線 166 に接続され、ソース電極及びドレイン電極の他方がコンデンサ 174 の第 1 電極に接続されている。そして、書き込み駆動回路 110 から走査線 164 を介してゲート電極に供給される走査パルス SCAN (k) に応じてデータ線 166 とコンデンサ 174 の第 1 電極との導通及び非導通を切り換える。

[0091] リセットトランジスタ 172 は、本発明の第 2 スイッチング素子であり、一方の端子がコンデンサ 174 の第 2 電極に接続され、他方の端子が基準電源線 163 に接続され、コンデンサ 174 の第 2 電極と基準電源線 163 との導通及び非導通を切り換える。具体的には、リセットトランジスタ 172 は、ゲート電極が走査線 164 を介して書き込み駆動回路 110 に接続され、ソース電極及びドレイン電極の一方が基準電源線 163 に接続され、ソース電極及びドレイン電極の他方がコンデンサ 174 の第 2 電極に接続されている。そして、書き込み駆動回路 110 から走査線 164 を介してゲート電極に供給される走査パルス SCAN (k) に応じて基準電源線 163 とコンデンサ 174 の第 2 電極との導通及び非導通を切り換える。

[0092] 駆動トランジスタ 173 は、本発明の駆動素子であり、ソース電極 S、ドレイン電極 D、ゲート電極 G 及びバックゲート電極 BG を有し、ゲート電極 G がコンデンサ 174 の第 1 電極に接続され、ソース電極 S がコンデンサ 174 の第 2 電極に接続され、コンデンサ 174 に保持された電圧に応じた駆

動電流を発光素子 175 に流すことにより発光素子 175 を発光させ、バックゲート電極 BG に所定のバイアス電圧が供給されることにより駆動トランジスタ 173 を非導通とする。つまり、駆動トランジスタ 173 は、コンデンサ 174 に保持された電圧に応じたドレイン電流である駆動電流を発光素子 175 に供給する。この駆動トランジスタ 173 の詳細な説明は後述する。

[0093] コンデンサ 174 は、発光画素 170 の発光素子 175 の発光輝度に対応する電圧を保持するためのコンデンサである。具体的には、コンデンサ 174 は、第 1 電極及び第 2 電極を有し、第 1 電極が駆動トランジスタ 173 のゲート電極及び走査トランジスタ 171 のソース電極及びドレイン電極の他方に接続され、第 2 電極が駆動トランジスタ 173 のソース電極と、リセットトランジスタ 172 のソース電極及びドレイン電極の他方とに接続されている。つまり、コンデンサ 174 の第 1 電極は、走査トランジスタ 171 が導通したときにデータ線 166 に供給されているデータ線電圧 DATA (j) が設定される。一方、コンデンサ 174 の第 2 電極は、リセットトランジスタ 172 が導通状態のときに基準電源線 163 の固定電位である基準電圧 V_{ref} が設定され、リセットトランジスタ 172 が導通から非導通へと切り換わったときに基準電源線 163 から切り離される。言い換えると、コンデンサ 174 の第 2 電極は固定電位側の電極である。

[0094] 発光素子 175 は、第 1 電極と第 2 電極を有し、駆動トランジスタ 173 から供給されるドレイン電流により発光する発光素子であり、例えば、有機 EL 発光素子である。例えば、第 1 電極は発光素子 175 のアノードであり、第 2 電極は発光素子 175 のカソードである。

[0095] 走査トランジスタ 171 及びリセットトランジスタ 172 は、例えば P 型薄膜トランジスタ (P 型 TFT) であり、駆動トランジスタ 173 は N 型薄膜トランジスタ (N 型 TFT) である。

[0096] 次に、上述した駆動トランジスタ 173 の特性について説明する。

[0097] 図 3 は、駆動トランジスタ 173 のゲート-ソース間電圧に対するドレイ

ン電流特性 ($V_{gs} - I_d$ 特性) の一例を示すグラフである。

[0098] 同図の横軸は、駆動トランジスタ 173 のゲートソース間電圧 V_{gs} を示し、同図の縦軸は、駆動トランジスタ 173 のドレイン電流 I_d を示す。具体的には、縦軸は、駆動トランジスタ 173 のソース電極の電圧を基準としたゲート電極の電圧を示し、ゲート電極の電圧がソース電極の電圧より高い場合に正、低い場合に負となる。

[0099] 同図には、異なる複数のバックゲート電圧に対応する $V_{gs} - I_d$ 特性が示されており、具体的には、駆動トランジスタ 173 のバックゲートソース間電圧 V_{bs} を $-8V$ 、 $-4V$ 、 $0V$ 、 $4V$ 、 $8V$ 、 $12V$ とした場合の $V_{gs} - I_d$ 特性が示されている。ここで、駆動トランジスタ 173 のバックゲートソース間電圧 V_{bs} は、駆動トランジスタ 173 のソース電極の電圧を基準としたバックゲート電極の電圧を示し、バックゲート電極の電圧がソース電極の電圧より高い場合に正、低い場合に負となる。

[0100] 図 3 に示す $V_{gs} - I_d$ 特性から、 V_{gs} が同じ場合であっても V_{bs} に応じて I_d が異なることが分かる。ここで例えば、ドレイン電流 I_d が $100pA$ 以下の場合、駆動トランジスタ 173 は非導通、ドレイン電流が $1\mu A$ 以上の場合、駆動トランジスタ 173 は導通しているとする。例えば、 $V_{gs} = 6V$ の場合、 $V_{bs} = -8V$ 、 $-4V$ の場合は I_d が $100pA$ 以下であるので、駆動トランジスタ 173 は非導通となる。また、同様に $V_{gs} = 6V$ であっても $V_{bs} = 4V$ 、 $8V$ 、 $12V$ の場合は I_d が $1\mu A$ 以上となるので、駆動トランジスタ 173 は導通となる。

[0101] これに対し、 $V_{gs} = 2V$ の場合、 $V_{bs} = -8V$ 、 $-4V$ 、 $0V$ の場合は I_d が $100pA$ 以下であるので、駆動トランジスタ 173 は非導通となる。また、同様に $V_{gs} = 2V$ であっても、 $V_{bs} = 12V$ の場合は I_d が $1\mu A$ 以上となるので、駆動トランジスタ 173 は導通となる。

[0102] このように、駆動トランジスタ 173 は、 V_{gs} が同じであっても、 V_{bs} に応じて導通と非導通とが切り換わる。つまり、駆動トランジスタ 173 は、 V_{bs} に応じて閾値電圧が変化する。具体的には、 V_{bs} が低くなるほ

ど、閾値電圧が高くなる。よって、駆動トランジスタ 173 は、ゲートソース間電圧が同じであっても、バイアス配線 165 を介してバイアス電圧制御回路 130 から供給されるバックゲートパルス BG (1) ~ BG (n) に応じて導通及び非導通が切り換えられる。

[0103] なお、駆動トランジスタ 173 の導通及び非導通を区別する電流量は、駆動トランジスタ 173 が組み込まれる回路によって規定され、上記の例に限らない。具体的には、駆動トランジスタ 173 が導通しているとは、駆動トランジスタ 173 のゲートソース間電圧が最大階調に対応する電圧の場合に、当該最大階調に対応するドレイン電流を供給可能な状態である。一方、駆動トランジスタ 173 が非導通であるとは、駆動トランジスタ 173 のゲートソース間電圧が最大階調に対応する電圧の場合に、ドレイン電流が許容電流以下となっている状態である。

[0104] 許容電流とは、第 1 電源線 161 に電圧降下が生じない程度のドレイン電流の最大値である。言い換えると、発光画素 170 に許容電流が流れても、その許容電流の電流量は十分に小さいので、第 1 電源線 161 に生じる電圧降下が十分に小さく影響はない。

[0105] ここで、バイアス電圧制御回路 130 から供給されるバックゲートパルス BG (1) ~ BG (n) のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。

[0106] 発光画素 170 の駆動トランジスタ 173 に要求される条件として、以下の 2 点が挙げられる。

[0107] (条件 i) 最大階調での発光時に、最大階調に対応したドレイン電流を発光素子 175 に供給する。

[0108] (条件 ii) 信号電圧の書き込み時に、発光素子 175 に供給するドレイン電流を許容電流以下とする。

[0109] 例えば、最大階調に対応したドレイン電流を $3 \mu A$ 、書き込み期間の許容電流を $100 pA$ とする。

[0110] 以下、図 3 に示した $V_{gs} - I_d$ 特性を用いて、バックゲートパルス BG

(1) ~ BG (n) のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。

[0111] まず、発光時のバックゲートソース間電圧の特性として、 $V_{bs} = 8V$ を選択する。

[0112] 次に、最大階調での発光時のゲートソース間電圧を決定する。具体的には、最大階調に対応したドレイン電流 I_d は $3\mu A$ であるので、上述したように $V_{bs} = 8V$ を選択すると、 $V_{gs} = 5.6V$ と決まる。

[0113] 次に、信号電圧の書き込み時に、ドレイン電流 I_d を許容電流以下とするようなバックゲートソース間電圧 V_{bs} を選択する。ここで、ドレイン電流 I_d は、いかなる階調に対応する信号電圧が発光画素 170 に書き込まれた場合であっても、許容電流以下となることが要求される。発光素子 175 の発光輝度の階調は、コンデンサ 174 に保持された電圧が大きいほど高くなる。よって、最大階調に対応する信号電圧に対応する電圧をコンデンサ 174 が保持していても、ドレイン電流 I_d が許容電流以下でなければならない。例えば、最大階調に対応する信号電圧を発光画素 170 に書き込んだときにコンデンサ 174 が保持する電圧は、上述した最大階調で発光したときの駆動トランジスタ 173 のゲートソース間電圧である $5.6V$ である。

[0114] $V_{gs} = 5.6V$ のときにドレイン電流 I_d が $100pA$ 以下となるバックゲートソース間電圧 V_{bs} は、 $V_{bs} \leq -4V$ である。したがって、信号電圧書き込み時のバックゲートソース間電圧 V_{bs} として $V_{bs} = -4V$ を選択する。

[0115] 以上のように、発光時のバックゲートソース間電圧が $V_{bs} = 8V$ 、書き込み時のバックゲートソース間電圧が $V_{bs} = -4V$ と決定される。

[0116] ところで、バックゲートパルス BG (1) ~ BG (n) のハイレベル電圧は、発光時のバックゲートソース間電圧にソース電位を足し合わせた電圧である。一方、バックゲートパルス BG (1) ~ BG (n) のローレベル電圧は、書き込み時のバックゲートソース間電圧にソース電位を足し合わせた電圧である。そこで、バックゲートパルス BG (1) ~ BG (n) のハイ

レベル電圧とローレベル電圧を決定するためには、駆動トランジスタ 173 のソース電位を考慮しなければならない。

[0117] 図 4 A は、最大階調での発光時の発光画素 170 の状態を模式的に示す図である。図 4 B は、信号電圧書き込み時の発光画素 170 の状態を模式的に示す図である。

[0118] 図 4 A に示す最大階調での発光時に、上述のようにドレイン電流 $I_d = 3 \mu A$ の場合、駆動トランジスタ 173 のソース電位 V_s は 6 V となる。ソース電位 V_s が 6 V の場合、図 3 に示した $V_{bs} = 8 V$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = 14 V$ と決定される。つまり、バックゲートパルス BG (1) ~ バックゲートパルス BG (n) のハイレベル電圧は 14 V と決定される。

[0119] 一方、図 4 B に示す信号電圧書き込み時には、リセットトランジスタ 172 が導通することにより、駆動トランジスタ 173 のソースはリセットトランジスタ 172 を介して基準電源線 163 と接続されている。よって、駆動トランジスタ 173 のソース電位は基準電圧 V_{ref} である 0 V となっている。ソース電位が 0 V の場合、図 3 に示した $V_{bs} = -4 V$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = -4 V$ と決定される。つまり、バックゲートパルス BG (1) ~ バックゲートパルス BG (n) のローレベル電圧は -4 V と決定される。

[0120] 以上のように、図 3 に示した V_{bs} 毎の $V_{gs} - I_d$ 特性を用いて、(条件 i) 最大階調での発光時に最大階調に対応した $3 \mu A$ のドレイン電流を発光素子 175 に供給するようなバックゲートソース間電圧 V_{bs} から、バックゲートパルス BG (1) ~ BG (n) のハイレベル電圧は 14 V と決定される。また、(条件 ii) 信号電圧の書き込み時に、発光素子 175 に供給するドレイン電流を許容電流以下とするようなバックゲートソース間電圧 V_{bs} から、バックゲートパルス BG (1) ~ BG (n) のローレベル電圧は -4 V と決定される。つまり、バイアス電圧制御回路 130 は、ハイレベル電圧が 14 V、ローレベル電圧が -4 V、振幅が 18 V のバックゲートパル

スBG (1) ~ BG (n) をバイアス配線 165 に供給する。

- [0121] なお、駆動トランジスタ 173 のソース電位はドレイン電流 I_d の大きさに応じて変化する。具体的には、上述したように最大階調（例えば、階調値 255）での発光時には駆動トランジスタ 173 のソース電位は 6 V であるが、例えば、階調値 1 での発光時には駆動トランジスタ 173 のソース電位は 2 V となる。よって、階調値 1 で発光している発光画素 170 の駆動トランジスタ 173 の $V_{gs} - I_d$ 特性は、 $V_{bs} = 12 V$ 相当となる。
- [0122] 以上のように構成された有機 EL 表示装置 100 は、第 1 電源線 161 とは異なる電源線であってコンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定する基準電源線 163 を設けた。そして、コンデンサ 174 の固定電位側である第 2 電極を基準電源線 163 に接続した。これにより、例えば、走査トランジスタ 171 を導通してコンデンサ 174 の第 1 電極に信号電圧を書き込む期間中に、リセットトランジスタ 172 を導通状態とすれば、コンデンサ 174 の第 2 電極には基準電源線 163 が接続されるので、コンデンサ 174 に保持される電圧に対する第 1 電源線 161 の電圧降下の影響を防止でき、前記コンデンサに保持される電圧の変動を防止できる。
- [0123] その上で、例えば、バックゲートパルス BG (1) ~ BG (n) により発光画素 170 の閾値電圧を制御することで、駆動トランジスタ 173 のドレイン電流 I_d である駆動電流を停止し、駆動電流を停止させた状態で、コンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定し、コンデンサ 174 の第 1 電極に信号電圧を書き込む。これにより、コンデンサ 174 の第 1 電極に信号電圧を書き込む期間に、駆動電流が流れることによりコンデンサ 174 の第 2 電極の電位の変動を防止することが可能になる。つまり、第 1 電源線 161 の電圧降下の影響を受けることなく、コンデンサ 174 に所望の電圧を保持することが可能となり、表示部に含まれる各発光画素 170 を所望の輝度で発光させることが可能となる。
- [0124] ここで、本実施の形態に係る有機 EL 表示装置 100 では、駆動トランジスタ 173 のバックゲート電極を、駆動トランジスタ 173 の導通及び非導

通を切り換えるためのスイッチとして用いている。

[0125] 言い換えると、バイアス電圧制御回路130は、バイアス配線165を介してバックゲート電極に供給するバックゲートパルスBG(1)~BG(n)により、駆動トランジスタ173の閾値電圧を制御する。具体的には、バイアス電圧制御回路130は、書き込み駆動回路110が走査トランジスタ171を導通させてコンデンサ174の第1電極にデータ線166から信号電圧を書き込む期間中に、駆動トランジスタ173のドレイン電流が停止するようなバックゲートパルスBG(1)~BG(n)を供給する。なお、駆動トランジスタ173のドレイン電流が停止するとは、ドレイン電流が許容電流以下となることである。

[0126] つまり、駆動トランジスタ173のドレイン電流が停止するようなバックゲートパルスBG(1)~BG(n)の電圧は、信号電圧の書き込み期間中に、駆動トランジスタ173のゲートソース間電圧よりも駆動トランジスタ173の閾値電圧を大きくするための電圧である。以降、本明細書において、駆動トランジスタ173のドレイン電流が停止するようなバックゲートパルスBG(1)~BG(n)の電圧を、バイアス電圧として記載する場合がある。

[0127] 本実施の形態に係る有機EL表示装置100は、バイアス電圧制御回路130から供給されるバックゲートパルスBG(1)~BG(n)により、駆動トランジスタ173の導通及び非導通を切り換えることができる。言い換えると、バイアス電圧の供給制御により、駆動トランジスタ173の導通及び非導通の切り換えを制御することで、バックゲート電極をスイッチ素子として用いることができるので、信号電圧の書き込み期間中にドレイン電流を遮断するためのスイッチ素子を別途設ける必要がなくなる。その結果、発光画素170の回路構成を簡素化でき、製造コストを削減することができる。

[0128] 次に、上述した有機EL表示装置100の動作について説明する。

[0129] 図5は、実施の形態1に係る有機EL表示装置100の動作を示すタイミングチャートであり、具体的には、図2に示したk行、j列の発光画素17

0の動作を中心に示している。同図において、横軸は時刻を示し、縦方向には上から順に、 j 列の発光画素170のデータ線166に供給されるデータ線電圧DATA(j)、 $k-1$ 行の発光画素170の走査線164に供給される走査パルスSCAN($k-1$)、 $k-1$ 行の発光画素170のバイアス配線165に供給されるバックゲートパルスBG($k-1$)が示され、さらに、 k 行及び $k+1$ 行の発光画素に供給される走査パルスSCAN(k)、バックゲートパルスBG(k)、走査パルスSCAN($k+1$)、バックゲートパルスBG($k+1$)が示されている。

[0130] ここで、例えば、最大階調の信号電圧に対応するデータ線電圧VDHを6V、最低階調(例えば、階調値0)の信号電圧に対応するデータ線電圧VDLを0Vとする。例えば、また、走査パルスSCAN(1)~SCAN(n)のハイレベル電圧VGHを20V、ローレベル電圧VGLを-5Vとする。また、図3を用いて決定したように、バックゲートパルスBG(1)~BG(n)のハイレベル電圧BGHを14V、ローレベル電圧BGLを-4Vとする。

[0131] 時刻 t_0 より前において、走査パルスSCAN(k)及びバックゲートパルスBG(k)はハイレベルであるので、 k 行の発光画素170は直前のフレーム期間の信号電圧に応じて発光している。

[0132] 次に、時刻 t_0 において、バックゲートパルスBG(k)がハイレベルからローレベルへと切り換わることにより、駆動トランジスタ173のバックゲート電位は $V_b = 14V$ から $V_b = -4V$ へと低下する。つまり、駆動トランジスタ173の閾値電圧は、最大階調に対応する信号電圧が発光画素170に書き込まれても、駆動トランジスタ173のドレイン電流が許容電流以下となるような値とする。言い換えると、最大階調に対応する信号電圧が発光画素170に書き込まれた場合にコンデンサ174に保持される電圧よりも、駆動トランジスタ173の閾値電圧が大きくなるようにする。

[0133] 次に、時刻 t_1 において、走査パルスSCAN(k)がハイレベルからローレベルへと切り換わることにより、走査トランジスタ171がオンする。

これにより、データ線166とコンデンサ174の第1電極とが導通することにより、コンデンサ174の第1電極にデータ線電圧DATA(j)が供給される。また、このとき、同時にリセットトランジスタ172がオンする。これにより、基準電源線163とコンデンサ174の第2電極とが導通する。基準電源線163の基準電圧Vrefは0Vであるので、コンデンサ174の第2電極の電位は0Vとなる。

[0134] ここで、例えばデータ線電圧DATA(j)が5.6Vとすると、図4Bに示すようにバックゲートソース間の電圧は $V_{bs} = -4V$ 、ゲートソース間の電圧は $V_{gs} = 5.6V$ となる。ここで、図3に示すように $V_{bs} = -4V$ の $V_{gs} - I_d$ 特性より、 $V_{gs} = 5.6V$ に対応するドレイン電流 I_d は100pAとなる。よって、ドレイン電流 I_d は許容電流以下であるので、書き込み時に第1電源線161の電圧降下を十分に抑制できる。これにより、第1電源線161の電圧降下の影響を受けずに、コンデンサ174に信号電圧に応じた電圧を保持させることができる。

[0135] 次に、時刻 t_2 において走査パルスSCAN(k)がローレベルからハイレベルへと切り換わることにより、走査トランジスタ171及びリセットトランジスタ172がオフする。これにより、コンデンサ174は、時刻 t_2 の直前の電圧を保持する。つまり、コンデンサ174は、第1電源線161の電圧降下の影響を受けずに信号電圧に応じた電圧を保持する。

[0136] つまり、時刻 $t_1 \sim t_2$ は信号電圧の書き込み期間である。この信号電圧の書き込み期間において、バックゲートパルスBG(k)は継続してローレベルであるので、最大階調に対応する信号電圧をコンデンサ174の第1電極に供給しても駆動トランジスタ173のドレイン電流 I_d が許容電流以下となる。よって、ドレイン電流 I_d を停止させた状態で、コンデンサ174の第2電極に $V_{ref} = 0V$ を供給するので、コンデンサ174の第2電極にドレイン電流 I_d が流れ込むことにより、信号電圧の書き込み期間中にコンデンサ174の第2電極の電位の変動を防止できる。

[0137] なお、信号電圧は、階調が大きくなるにつれて高くなるので、最大階調以

外に対応する信号電圧をコンデンサ174の第1電極に供給しても駆動トランジスタ173のドレイン電流 I_d が許容電流以下となることは明白である。

[0138] 次に、時刻 t_3 において、バックゲートパルス $BG(k)$ がローレベルからハイレベルへと切り換わることにより、駆動トランジスタ173のバックゲート電位は $V_b = -4V$ から $V_b = 12V$ へと上昇する。よって、駆動トランジスタ173の閾値電圧が低下し、信号電圧に対応するコンデンサ174に保持された電圧に応じたドレイン電流 I_d が供給されることにより、発光素子175の発光が開始される。例えば、信号電圧が5.6Vの場合、コンデンサ174に保持された電圧は、信号電圧と基準電圧 V_{ref} （例えば、0V）との差分である5.6Vであり、図3に示すようにドレイン電流 I_d は $3\mu A$ となり、発光素子175は最大階調に対応した輝度で発光する。

[0139] その後、時刻 $t_3 \sim t_4$ において、バックゲートパルス $BG(k)$ は、継続してハイレベルであるので、発光素子175は継続して発光する。つまり、時刻 $t_3 \sim t_4$ は、発光期間である。

[0140] 次に、時刻 t_5 において、時刻 t_1 と同様に、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、走査トランジスタ171がオンする。これにより、データ線166とコンデンサ174の第1電極とが導通することにより、コンデンサ174の第1電極にデータ線電圧 $DATA(j)$ が供給される。また、このとき、同時にリセットトランジスタ172がオンする。これにより、基準電源線163とコンデンサ174の第2電極とが導通する。基準電源線163の基準電圧 V_{ref} は0Vであるので、コンデンサ174の第2電極の電位は0Vとなる。

[0141] 上述した時刻 $t_1 \sim t_5$ は、有機EL表示装置100の1フレーム期間に相当し、時刻 t_5 以降も時刻 $t_1 \sim t_5$ と同様の動作が繰り返し実行される。

[0142] このように、有機EL表示装置100は、バックゲートパルス $BG(k)$ をローレベルとして駆動トランジスタ173のドレイン電流を許容電流以下

とした状態で、コンデンサ 174 の第 2 電極に基準電圧 ($V_{ref} = 0V$) を設定し、さらに、信号電圧をコンデンサ 174 の第 1 電極に供給する。これにより、ドレイン電流を停止させた状態で、コンデンサ 174 の第 2 電極に基準電圧を設定し、コンデンサ 174 の第 1 電極に信号電圧を供給するので、信号電圧の書き込み期間中にドレイン電流 I_d が流れることによりコンデンサ 174 の第 2 電極の電位の変動を防止できる。その結果、時刻 $t_3 \sim t_4$ の発光期間において、発光画素 170 は所望の発光輝度で発光できる。なお、駆動トランジスタ 173 のドレイン電流が許容電流以下のとき、当該駆動トランジスタ 173 は実質的に非導通である。

[0143] 以上のように、本実施の形態に係る有機 EL 表示装置 100 は、複数の発光画素 170 をマトリクス状に配置した有機 EL 表示装置であって、複数の発光画素 170 の各々は、第 1 電極と第 2 電極とを有する発光素子 175 と、電圧を保持するためのコンデンサ 174 と、ゲート電極がコンデンサ 174 の第 1 電極に接続され、ソース電極が前記コンデンサ 174 の第 2 電極に接続され、前記コンデンサ 174 に保持された電圧に応じたドレイン電流 I_d を前記発光素子 175 に流すことにより前記発光素子 175 を発光させる駆動トランジスタ 173 であって、バックゲートパルス $BG(1) \sim BG(n)$ のローレベル電圧 BGL が供給され、ローレベル電圧 BGL に応じて前記駆動トランジスタ 173 を非導通とするバックゲート電極を備えた駆動トランジスタ 173 と、発光素子 175 を介して、駆動トランジスタ 173 のソース電極に電氣的に接続された第 1 電源線 161 と、駆動トランジスタ 173 のドレイン電極に電氣的に接続された第 2 電源線 162 と、第 1 電源線 161 とは異なる電源線であってコンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定する基準電源線 163 と、信号電圧を供給するためのデータ線 166 と、一方の端子がデータ線 166 に接続され、他方の端子がコンデンサ 174 の第 1 電極に接続され、データ線 166 とコンデンサ 174 の第 1 電極との導通及び非導通を切り換える走査トランジスタ 171 と、一方の端子がコンデンサ 174 の第 2 電極に接続され、他方の端子が基準電源

線 163 に接続され、コンデンサ 174 の第 2 電極と基準電源線 163 との導通及び非導通を切り換えるリセットトランジスタ 172 と、バックゲート電極に印加されるローレベル電圧 BGL を供給するバイアス線とを備え、有機 EL 表示装置は、さらに、走査トランジスタ 171 の制御、リセットトランジスタ 172 の制御、及びバックゲート電極へのバイアス電圧の供給制御を実行する書き込み駆動回路 110 及びバイアス電圧制御回路 130 を備え、ローレベル電圧 BGL は、駆動トランジスタ 173 の閾値電圧の絶対値を駆動トランジスタ 173 のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、バイアス電圧制御回路 130 は、ローレベル電圧 BGL をバックゲート電極に印加することにより、駆動トランジスタ 173 の閾値電圧をゲート電極及びソース電極間の電位差よりも大きくして駆動トランジスタ 173 を非導通とし、ローレベル電圧 BGL を印加している期間内に走査トランジスタ 171 及びリセットトランジスタ 172 を導通させて、駆動トランジスタ 173 を非導通とした状態で、コンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定しつつコンデンサ 174 の第 1 電極に信号電圧を供給する。

[0144] 仮に、コンデンサ 174 の第 2 電極が第 1 電源線 161 に直接接続されている場合、第 1 電源線 161 の電圧降下の影響を受けコンデンサ 174 に保持される電圧も変動する。

[0145] そこで、本実施の形態では、第 1 電源線 161 とは異なる電源線であってコンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定する基準電源線 163 を設けた。そして、コンデンサ 174 の固定電位側である第 1 電極を第 1 電源線 161 から切り離し、基準電源線 163 に接続した。これにより、信号電圧の書き込み期間中、コンデンサ 174 の第 2 電極には基準電源線 163 が接続されるので、コンデンサ 174 の第 2 電極に対する第 1 電源線 161 の電圧降下の影響を防止でき、コンデンサ 174 に保持される電圧の変動を防止できる。

[0146] その上で、本実施の形態では、バックゲート電極を用いて駆動トランジス

タ 173 のドレイン電流 I_d を停止し、駆動電流 I_d を停止させた状態で、コンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定し、信号電圧をコンデンサ 174 の第 1 電極に供給する。これにより、ドレイン電流 I_d を停止させた状態で、コンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定しつつ信号電圧をコンデンサ 174 の第 1 電極に供給するので、信号電圧の供給期間中にドレイン電流 I_d が流れ、信号電圧の供給期間中にコンデンサ 174 の第 2 電極の電位の変動を防止できる。その結果、コンデンサ 174 に所望の電圧を保持させることができ、表示部に含まれる各発光画素 170 を所望の輝度で発光させることができる。

[0147] ここで、本実施の形態では、駆動トランジスタ 173 のバックゲートを、駆動トランジスタ 173 の導通及び非導通を切り換えるためのスイッチとして用いている。バックゲート電極に印加されるローレベル電圧 BGL は、駆動トランジスタ 173 のゲート電極及びソース電極間の電位差よりも駆動トランジスタ 173 の閾値電圧を大きくするための電位である。バイアス電位の供給制御により、駆動トランジスタ 173 の導通及び非導通の切り換えを制御することで、バックゲート電極をスイッチ素子として用いることができるので、信号電圧の書き込み期間中に駆動電流を遮断するためのスイッチ素子を別途設ける必要がなくなる。

[0148] つまり、駆動トランジスタ 173 は、駆動トランジスタ 173 のバックゲートに供給されるバックゲートパルス $BG(k)$ に応じて導通及び非導通が切り換わる。具体的には、バックゲートパルス $BG(k)$ のローレベル電圧 ($BGL = -4V$) は、駆動トランジスタ 173 のゲート-ソース間電圧よりも駆動トランジスタ 173 の閾値電圧を大きくするための電位である。一方、バックゲートパルス $BG(k)$ のハイレベル電圧 ($BGH = 14V$) は、駆動トランジスタ 173 のゲート-ソース間電圧よりも駆動トランジスタ 173 の閾値電圧を小さくするための電位である。よって、有機 EL 表示装置 100 は、バックゲートパルス $BG(k)$ により駆動トランジスタ 173 の導通及び非導通の切り換えを制御できる。つまり、駆動トランジスタ 17

3のバックゲートをスイッチ素子の代わりに用いている。

- [0149] したがって、有機EL表示装置100は、信号電圧の書き込み期間中のドレイン電流 I_d を遮断するためのスイッチ素子を別途設けることなく、発光画素を所望の発光輝度で発光させることができる。
- [0150] つまり、本実施の形態に係る有機EL表示装置100は、表示部180に含まれる各発光画素170の構成を簡素化しつつ表示部180を所望の輝度で発光させることができる。
- [0151] また、基幹電源線190は表示部180の外周に配置され、第2電源線162は複数の発光画素170の各行及び各列に対応して、基幹電源線190から分岐して網目状に設けられている。なお、表示部180の外周とは、マトリクス状に配置された複数の発光画素170を含む領域のうち最小となる領域と、表示パネル160の外縁との間の領域である。
- [0152] これにより、各列に沿った第2電源線162を配置せず、各行に沿って第2電源線162を基幹電源線190から分岐して1本ずつ設ける場合に比べて、各列に沿って配置された第2電源線162の分だけ複数の第2電源線162の抵抗の総和が小さくなる。よって、本実施の形態によると、第2電源線162で生じる電圧降下量は小さくなる。そのため、直流電源150から供給する固定電位 V_{dd} を小さくすることができ、消費電力を低減することができる。
- [0153] また、有機EL表示装置100は、図5の時刻 $t_1 \sim t_2$ において、コンデンサ174の第1電極に信号電圧を供給した後、時刻 t_2 において走査トランジスタ171を非導通とする。そして時刻 t_3 において、バックゲートパルス $BG(k)$ のローレベル電圧($BGL = -4V$)よりも大きなバックゲートパルス $BG(k)$ のハイレベル電圧($BGH = 14V$)をバックゲート電極に供給して駆動トランジスタ173の閾値電圧をゲートソース間電圧よりも小さくすることで駆動トランジスタ173を導通状態とし、コンデンサ174に保持されている電圧に対応するドレイン電流 I_d を発光素子175に流して発光素子175の発光を開始する。

- [0154] つまり、本実施の形態のように駆動トランジスタ 173 が N 型トランジスタの場合、コンデンサ 174 の第 1 電極に信号電圧を供給した後、所定のバイアス電圧であるバックゲートパルス BG (k) のローレベル電圧よりも大きな電圧の逆バイアス電圧であるバックゲートパルス BG (k) のハイレベル電圧を駆動トランジスタ 173 のバックゲート電極に供給する。その結果、駆動トランジスタ 173 を非導通状態から導通状態へと遷移させて、コンデンサ 174 に保持されている電圧に対応するドレイン電流 I_d を流して発光素子 175 を発光させる。
- [0155] これにより、信号電圧の書き込み期間中にドレイン電流 I_d が流れることによる電圧降下の発生を防止できるので、コンデンサ 174 に所望の電圧を保持することができる。その結果、駆動トランジスタ 173 は所望の電圧に対応するドレイン電流 I_d を流して発光素子 175 を発光させることができる。
- [0156] また、走査トランジスタ 171 及びリセットトランジスタ 172 とは、共通の走査線 164 を介して供給される走査パルス SCAN (1) ~ SCAN (n) により導通及び非導通が切り換えられる。これにより、表示部 180 の配線数を削減することができ、回路構成を簡素化できる。
- [0157] また、基準電源線 163 から供給される基準電圧 V_{ref} は、第 1 電源線の電位以下である。
- [0158] これにより、コンデンサ 174 の第 2 電極に基準電圧 V_{ref} を設定しているときに、発光素子 175 のアノードの電位はカソードの電位以下となるので、基準電源線 163 から発光素子 175 に流れる電流を防止できる。その結果、信号電圧を書き込んでいる期間に不要な発光が生じてコントラストが低下することを防ぐことが出来る。なお、上記説明では基準電圧 V_{ref} が 0 V、第 1 電源線の電位が 0 V、を例に挙げて説明したが、基準電圧 V_{ref} は第 1 電源線の電位以下であればよく、上記の例に限らない。
- [0159] (実施の形態 1 の変形例)
- 本変形例に係る有機 EL 表示装置は、実施の形態 1 に係る有機 EL 表示装

置 100 とほぼ同じであるが、駆動トランジスタ 173 のバックゲートに所定のバイアス電位を供給している期間と、コンデンサ 174 の第 1 電極に信号電圧を供給している期間とを同じとし、走査線 164 とバイアス線とを共通の制御線とした点が異なる。

[0160] 以下、実施の形態 1 の変形例について、実施の形態 1 と異なる点を中心に図面を用いて具体的に説明する。

[0161] 図 6 は、本変形例に係る有機 EL 表示装置の構成を示すブロック図であり、図 7 は、本変形例に係る有機 EL 表示装置が有する発光画素の詳細な回路構成を示す回路図である。

[0162] 図 6 に示すように、本変形例に係る有機 EL 表示装置 200 は、図 1 に示した実施の形態 1 に係る有機 EL 表示装置 100 と比較してバイアス電圧制御回路 130 およびバイアス配線 165 を備えず、発光画素 170 に代わり発光画素 270 を備える。また、有機 EL 表示装置 200 は、表示パネル 160 に代わり、複数の発光画素 270 が配置された表示部 280 を含む表示パネル 260 を備える。

[0163] 図 7 に示すように、発光画素 270 は、発光画素 170 と比較して、駆動トランジスタ 173 のバックゲート電極が走査線 164 に接続されている。つまり、本変形例に係る有機 EL 表示装置 200 は、実施の形態 1 に係る有機 EL 表示装置 100 と比較して、バイアス配線 165 がないので配線数を削減でき、回路構成を簡素化できる。

[0164] 図 8 は、実施の形態 1 の変形例に係る有機 EL 表示装置 200 の動作を示すタイミングチャートである。具体的には、図 6 に示した k 行、 j 列の発光画素 270 の動作を中心に示している。

[0165] まず、時刻 t_{21} において、走査パルス SCAN (k) がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 171 及びリセットトランジスタ 172 がオフする。

[0166] ここで、走査パルス SCAN (k) のハイレベル電圧 V_{GH} は 20V、ローレベル電圧 V_{GL} は -5V である。よって、走査パルス SCAN (k) が

ハイレベルからローレベルへと切り換わることにより、駆動トランジスタ 173 のバックゲート電位は $V_b = 20\text{V}$ から $V_b = -5\text{V}$ へと低下する。つまり、駆動トランジスタ 173 の閾値電圧は、最大階調に対応する信号電圧が発光画素 270 に書き込まれても、駆動トランジスタ 173 のドレイン電流が許容電流以下となるような値となる。言い換えると、走査パルス SCAN (k) のローレベル電圧 VGL は、最大階調に対応する信号電圧が発光画素 270 に書き込まれた場合にコンデンサ 174 に保持される電圧よりも、駆動トランジスタ 173 の閾値電圧が大きくなるような電圧である。

[0167] つまり、本変形例に係る有機 EL 表示装置 200 は、実施の形態 1 に係る有機 EL 表示装置 100 のように、駆動トランジスタ 173 のバックゲートの電位を所定のバイアス電位にするためのバイアス配線 165 を設けず、走査線 164 に供給される走査パルス SCAN (k) のローレベル電圧 VGL を所定のバイアス電位として利用している。

[0168] 次に、時刻 t_{22} において、走査パルス SCAN (k) がローレベルからハイレベルへと切り換わることにより、走査トランジスタ 171 及びリセットトランジスタ 172 がオフする。

[0169] つまり、時刻 $t_{21} \sim t_{22}$ は信号電圧の書き込み期間である。この信号電圧の書き込み期間において、駆動トランジスタ 173 のバックゲートに供給される電圧は継続して走査パルス SCAN (k) のローレベル電圧 VGL であるので、最大階調に対応する信号電圧をコンデンサ 174 の第 1 電極に供給しても駆動トランジスタ 173 のドレイン電流 I_d が許容電流以下となる。よって、本変形例に係る有機 EL 表示装置 200 は、実施の形態 1 に係る有機 EL 表示装置 100 と同様に、信号電圧の書き込み期間中、コンデンサ 174 の第 2 電極の電位の変動を防止できる。

[0170] ところで、時刻 t_{22} において、走査パルス SCAN (k) のハイレベル電圧 ($V_{GH} = 20\text{V}$) が供給された場合の、駆動トランジスタ 173 のバックゲートソース間電圧 V_{bs} は 20V となる。実施の形態 1 において述べたように、発光素子 175 が最大階調で発光している場合の駆動トランジ

スタ 173 のソース電位は 6 V であるので、発光素子 175 が最大階調で発光している場合の駆動トランジスタ 173 のバックゲートソース間電圧 V_{bs} は 14 V となる。よって、図 3 に示した $V_{gs} - I_d$ 特性より、駆動トランジスタ 173 に要求される条件である（条件 i）最大階調での発光時に、最大階調に対応したドレイン電流を発光素子 175 に供給する、を満たすことができる。

[0171] つまり、本変形例に係る有機 EL 表示装置 200 は、走査線 164 に供給される走査パルス SCAN (k) のハイレベル電圧 V_{GH} を、最大階調に対応したドレイン電流 I_d を流すバックゲートソース間電圧を得るためのバックゲート電位として利用している。

[0172] 次に、時刻 t_{23} において、時刻 t_{21} と同様に、走査パルス SCAN (k) がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 171 及びリセットトランジスタ 172 がオンする。また、駆動トランジスタ 173 のバックゲート電位は $V_b = 20 V$ から $V_b = -5 V$ へと低下する。

[0173] 上述した時刻 $t_{21} \sim t_{23}$ は、有機 EL 表示装置 100 の 1 フレーム期間に相当し、時刻 t_{23} 以降も時刻 $t_{21} \sim t_{23}$ と同様の動作が繰り返し実行される。

[0174] 以上のように、本変形例に係る有機 EL 表示装置 200 は、実施の形態 1 に係る有機 EL 表示装置 100 と比較して、駆動トランジスタ 173 のバックゲートに所定のバイアス電位 ($V_{GL} = -5 V$) を供給している期間と、コンデンサ 174 の第 1 電極に信号電圧を供給している期間とを同じとし、走査線 164 とバイアス配線 165 とを共通の制御線としてした。つまり、走査線 164 は、実施の形態 1 と比較してさらに、駆動トランジスタ 173 のバックゲートに接続されている。

[0175] （実施の形態 2）

実施の形態 2 に係る有機 EL 表示装置は、実施の形態 1 に係る有機 EL 表示装置 100 とほぼ同じであるが、一の行に対応して配置された基準電源線

と、当該一の行の前の行に対応して配置されたバイアス配線とが共用されている点異なる。以下、本実施の形態に係る有機EL表示装置について、実施の形態1に係る有機EL表示装置100と異なる点を中心に述べる。

[0176] 図9は、実施の形態2に係る有機EL表示装置の構成を示すブロック図である。

[0177] 同図に示す有機EL表示装置300は、図1に示す有機EL表示装置100と比較して、

一の行に配置された複数の発光画素370が前の行の発光画素370に対応して配置されたバイアス配線165と接続されている点と、基準電圧 V_{ref} を供給する基準電源140を備えない点と、ダミーバイアス配線365を備える点とが異なる。また、有機EL表示装置200は、表示パネル160に代わり、複数の発光画素370が配置された表示部380を含む表示パネル360を備える。

[0178] ダミーバイアス配線365は、複数の発光画素370の最前行に配置された発光画素370に接続され、バイアス配線165と同様にバイアス電圧制御回路130により、バックゲートパルスBG(1)を1水平期間早めたバックゲートパルスBG(0)が供給される。

[0179] 図10は、図9に示した発光画素370の詳細な回路構成を示す回路図である。なお、同図に示す発光画素370はk行j列に設けられた発光画素370であり、同図には、k-1行j列の発光画素370の構成の一部と、k+1行j列の発光画素370の構成の一部も示されている。

[0180] 同図に示す発光画素370は、図2に示す発光画素170と比較して、リセットトランジスタ172が前の行の発光画素370に対応して配置されたバイアス配線165に接続されている点と、基準電圧 V_{ref} が供給されている基準電源線163を備えない点異なる。

[0181] 言い換えると、一の行に対応して配置された基準電源線と、当該一の行の前の行に対応して配置されたバイアス配線165とは共用されている。

[0182] これにより、本実施の形態に係る有機EL表示装置300は、実施の形態

1に係る有機EL表示装置100と比較して、配線本数を削減できるので、回路構成を大幅に簡素化できる。

[0183] ここで、バイアス電圧制御回路130から供給されるバックゲートパルスBG(0)~BG(n)のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。

[0184] 発光画素370の駆動トランジスタ173に要求される条件としては、実施の形態1で説明した(条件i)及び(条件ii)が挙げられる。また、最大階調に対応したドレイン電流、書き込み期間の許容電流も、実施の形態1と同様に、それぞれ $3\mu\text{A}$ 、 100pA とする。

[0185] 図11は、駆動トランジスタ173のゲートソース間電圧に対するドレイン電流特性($V_{gs}-I_d$ 特性)の他の一例を示すグラフである。同図に示す $V_{gs}-I_d$ 特性は、図3に示す $V_{gs}-I_d$ 特性と比較して、 V_{gs} の範囲と、バックゲートソース間電圧 V_{bs} が異なる。具体的には、バックゲートソース間電圧 V_{bs} を -22V 、 -18V 、 -14V 、 -10V 、 -6V 、 -2V とした場合の $V_{gs}-I_d$ 特性が示されている。

[0186] 以下、図11に示した $V_{gs}-I_d$ 特性を用いて、バックゲートパルスBG(0)~BG(n)のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。なお、決定手順は実施の形態1と同じであり、ここでは詳しい説明を省略する。

[0187] まず、発光時のバックゲートソース間電圧の特性として、 $V_{bs}=-6\text{V}$ を選択する。

[0188] 次に、最大階調での発光時のゲートソース間電圧を決定する。具体的には、最大階調に対応したドレイン電流 I_d は $3\mu\text{A}$ であるので、上述したように $V_{bs}=-6\text{V}$ を選択すると、 $V_{gs}=11.6\text{V}$ と決まる。

[0189] 次に、信号電圧の書き込み時に、ドレイン電流 I_d を許容電流以下とするようなバックゲートソース間電圧 V_{bs} を選択する。ここで、ドレイン電流 I_d は、いかなる階調に対応する信号電圧が発光画素370に書き込まれた場合であっても、許容電流以下となることが要求される。 $V_{gs}=11.$

6 Vのときにドレイン電流 I_d が 100 pA 以下となるバックゲートソース間電圧 V_{bs} は、 $V_{bs} \leq -18 \text{ V}$ である。したがって、信号電圧書き込み時のバックゲートソース間電圧 V_{bs} として $V_{bs} = -18 \text{ V}$ を選択する。

[0190] 以上のように、発光時のバックゲートソース間電圧が $V_{bs} = -6 \text{ V}$ 、書き込み時のバックゲートソース間電圧が $V_{bs} = -18 \text{ V}$ と決定される。

[0191] ところで上述したように、バックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧は、発光時のバックゲートソース間電圧にソース電位を足し合わせた電圧である。また、バックゲートパルス $BG(0) \sim BG(n)$ のローレベル電圧は、書き込み時のバックゲートソース間電圧にソース電位を足し合わせた電圧である。そこで、バックゲートパルス $BG(1) \sim BG(n)$ のハイレベル電圧とローレベル電圧を決定するためには、駆動トランジスタ 173 のソース電位を考慮しなければならない。

[0192] 図 12A は、最大階調での発光時の発光画素 370 の状態を模式的に示す図である。図 12B は、信号電圧書き込み時の発光画素 370 の状態を模式的に示す図である。

[0193] 図 12A に示す最大階調での発光時に、上述のようにドレイン電流 $I_d = 3 \mu\text{A}$ の場合、駆動トランジスタ 173 のソース電位 V_s は 6 V となる。ソース電位 V_s が 6 V の場合、図 11 に示した $V_{bs} = -6 \text{ V}$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = 0 \text{ V}$ と決定される。つまり、バックゲートパルス $BG(0) \sim$ バックゲートパルス $BG(n)$ のハイレベル電圧は 0 V と決定される。

[0194] 一方、図 12B に示す信号電圧書き込み時には、リセットトランジスタ 172 が導通することにより、駆動トランジスタ 173 のソースはリセットトランジスタ 172 を介して前の行に対応して配置されたバイアス配線 165 と接続されている。よって、駆動トランジスタ 173 のソース電位は、 k 行の発光画素 370 への信号電圧書き込み期間において $k-1$ 行の発光画素 3

70に対応して配置されたバイアス配線165の電位となる。

[0195] ここで、 k 行の発光画素370の信号電圧書き込み期間において、 $k-1$ 行の発光画素370への信号電圧の書き込みは終了しているので、バックゲートパルスBG($k-1$)はハイレベルとなっている。つまり、 $k-1$ 行の発光画素370に対応して配置されたバイアス配線165の電圧は、0Vとなっている。

[0196] したがって、 k 行の発光画素370の駆動トランジスタ173のソース電位は、0Vとなる。ソース電位が0Vの場合、図11に示した $V_{bs} = -18$ V相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = -18$ Vと決定される。つまり、バックゲートパルスBG(0)～バックゲートパルスBG(n)のローレベル電圧は -18 Vと決定される。

[0197] 以上のように、図11に示した V_{bs} 毎の $V_{gs} - I_d$ 特性を用いて、(条件i)最大階調での発光時に最大階調に対応した $3\mu A$ のドレイン電流を発光素子175に供給するようなバックゲートソース間電圧 V_{bs} から、バックゲートパルスBG(0)～BG(n)のハイレベル電圧は0Vと決定される。また、(条件ii)信号電圧の書き込み時に、発光素子175に供給するドレイン電流 I_d を許容電流以下とするようなバックゲートソース間電圧 V_{bs} から、バックゲートパルスBG(0)～BG(n)のローレベル電圧は -18 Vと決定される。つまり、本実施の形態において、バイアス電圧制御回路130は、ハイレベル電圧が0V、ローレベル電圧が -18 V、振幅が 18 VのバックゲートパルスBG(0)～BG(n)をバイアス配線165及びダミーバイアス配線365に供給する。

[0198] 次に、上述した有機EL表示装置300の動作について説明する。

[0199] 図13は、実施の形態2に係る有機EL表示装置300の動作を示すタイミングチャートであり、具体的には、図10に示した k 行、 j 列の発光画素370の動作を中心に示している。同図において、横軸は時刻を示し、縦方向には上から順に、 j 列の発光画素370のデータ線166に供給されるデ

一タ線電圧 DATA (j)、k-1 行の発光画素 370 の走査線 164 に供給される走査パルス SCAN (k-1)、k-1 行の発光画素 370 のバイアス配線 165 に供給されるバックゲートパルス BG (k-1) が示され、さらに、k 行及び k+1 行の発光画素に供給される走査パルス SCAN (k)、バックゲートパルス BG (k)、走査パルス SCAN (k+1)、バックゲートパルス BG (k+1) が示されている。

[0200] ここで、例えば、最大階調の信号電圧に対応するデータ線電圧 VDH を 11.6 V、最低階調の信号電圧に対応するデータ線電圧 VDL を 6 V とする。また、走査パルス SCAN (1) ~ SCAN (n) のハイレベル電圧 VGH を 20 V、ローレベル電圧 VGL を -5 V とする。また、図 11 を用いて決定したように、バックゲートパルス BG (0) ~ BG (n) のハイレベル電圧 BGH を 0 V、ローレベル電圧 BGL を -18 V とする。

[0201] 時刻 t30 より前において、走査パルス SCAN (k) 及びバックゲートパルス BG (k) はハイレベルであるので、k 行の発光画素 370 は直前のフレーム期間の信号電圧に応じて発光している。

[0202] 次に、時刻 t30 において、バックゲートパルス BG (k) がハイレベルからローレベルへと切り換わることにより、駆動トランジスタ 173 のバックゲート電位は $V_b = 0\text{ V}$ から $V_b = -18\text{ V}$ へと低下する。よって、最大階調に対応する信号電圧が発光画素 370 に書き込まれた場合にコンデンサ 174 に保持される電圧よりも、駆動トランジスタ 173 の閾値電圧が大きくなるようにする。

[0203] 次に、時刻 t31 において、走査パルス SCAN (k) がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 171 がオンする。これにより、データ線 166 とコンデンサ 174 の第 1 電極とが導通することにより、コンデンサ 174 の第 1 電極にデータ線電圧 DATA (j) が供給される。また、このとき、同時にリセットトランジスタ 172 がオンする。これにより、k-1 行の発光画素 370 に対応して配置されたバイアス配線 165 とコンデンサ 174 の第 2 電極とが導通する。k-1 行の発光画

素 370 に対応して配置されたバイアス配線 165 にはバックゲートパルス BG (k-1) が供給されている。時刻 t31 において、バックゲートパルス BG (k-1) の電位は -18V であるので、コンデンサ 174 の第 2 電極の電位は -18V となる。

[0204] その後、時刻 t32 において、バックゲートパルス BG (k-1) がローレベルからハイレベルへと切り換わることにより、k-1 行の発光画素 370 に対応して配置されたバイアス配線 165 の電位は -18V から 0V へと切り換わる。よって、コンデンサ 174 の第 2 電極の電位も -18V から 0V へと切り換わる。

[0205] したがって、実施の形態 1 と同様に、最大階調に対応する信号電圧が書き込まれた場合であっても、図 11 に示す $V_{bs} = -18V$ の $V_{gs} - I_d$ 特性より、ドレイン電流 I_d は許容電流以下であるので、書き込み時に第 1 電源線 161 の電圧降下を十分に抑制できる。これにより、第 1 電源線 161 の電圧降下の影響を受けずに、コンデンサ 174 に信号電圧に応じた電圧を保持させることができる。

[0206] 次に、時刻 t33 において走査パルス SCAN (k) がローレベルからハイレベルへと切り換わることにより、走査トランジスタ 171 及びリセットトランジスタ 172 がオフする。これにより、コンデンサ 174 は、時刻 t33 の直前の電圧を保持する。つまり、コンデンサ 174 は、第 1 電源線 161 の電圧降下の影響を受けずに信号電圧に応じた電圧を保持する。

[0207] 言い換えると、コンデンサ 174 に保持される電圧は、走査パルス SCAN (k) をローレベルからハイレベルへと切り換えたときに、コンデンサ 174 の第 1 電極に供給されている電圧と、コンデンサ 174 の第 2 電極に供給されている電圧により確定する。よって、本実施の形態に係る有機 EL 表示装置 300 では、走査パルス SCAN (k) がローレベルからハイレベルへと切り換わる時刻 t33 に、走査パルス SCAN (k-1) がハイレベルとなっていることにより k-1 行の発光画素 370 に対応するバイアス配線 165 の電位が 0V であることが必須である。

- [0208] 次に、時刻 t_{34} において、バックゲートパルス $BG(k)$ がローレベルからハイレベルへと切り換わることにより、駆動トランジスタ 173 のバックゲート電位は $V_b = -18V$ から $V_b = 0V$ へと上昇する。よって、駆動トランジスタ 173 の閾値電圧が低下し、信号電圧に対応するコンデンサ 174 に保持された電圧に応じたドレイン電流 I_d が供給されることにより、発光素子 175 の発光が開始される。
- [0209] その後、時刻 $t_{34} \sim t_{35}$ において、バックゲートパルス $BG(k)$ は、継続してハイレベルであるので、発光素子 175 は継続して発光する。
- [0210] 次に、時刻 t_{35} において、時刻 t_{31} と同様に、バックゲートパルス $BG(k)$ がハイレベルからローレベルへと切り換わることにより、駆動トランジスタ 173 のバックゲート電位は $V_b = 0V$ から $V_b = -18V$ へと低下する。よって、最大階調に対応する信号電圧が発光画素 370 に書き込まれた場合にコンデンサ 174 に保持される電圧よりも、駆動トランジスタ 173 の閾値電圧が大きくなるようにする。
- [0211] 上述した時刻 $t_{30} \sim t_{35}$ は、有機 EL 表示装置 300 の 1 フレーム期間に相当し、時刻 t_{35} 以降も時刻 $t_{30} \sim t_{35}$ と同様の動作が繰り返し実行される。
- [0212] 以上のように、本実施の形態に係る有機 EL 表示装置 300 は、実施の形態 1 に係る有機 EL 表示装置 100 と比較して、 k 行の発光画素 370 のリセットトランジスタ 172 が基準電源線 163 に代わり、 $k-1$ 行の発光画素 370 に対応して配置されたバイアス配線 165 と接続されている。つまり、 k 行の発光画素 370 に対応して配置された基準電源線 163 と、 $k-1$ 行の発光画素 370 に対応して配置されたバイアス配線 165 とが共有されている。
- [0213] これにより、有機 EL 表示装置 300 は、有機 EL 表示装置 100 と比較して、さらに配線数を削減できるので、回路構成を大幅にコンパクトにできる。
- [0214] また、有機 EL 表示装置 300 は、 k 行の発光画素 370 に対応して配置

された走査線 164 に供給される走査パルス SCAN (k) をローレベルからハイレベルに切り換えるとき (時刻 t33) に、k-1 行の発光画素 370 に対応して配置されたバイアス配線 165 に供給されるバックゲートパルス BG (k-1) をハイレベルとすることで、コンデンサ 174 の第 2 電極に、実施の形態 1 に係る有機 EL 表示装置 100 と同様に、0V を設定する。言い換えると、k-1 行に対応して配置された発光画素 370 に含まれる駆動トランジスタ 173 を、k-1 行に対応して配置されたバイアス配線 165 を介して所定の基準電圧を供給して導通状態としつつ、k 行に配置された発光画素 370 に含まれるコンデンサ 174 の第 2 電極に、k-1 行に対応して配置されたバイアス配線 165 を介して所定の基準電圧 V_{ref} を設定する。

[0215] 時刻 t33 は、k-1 行の発光画素 370 では発光期間であり、一方、k 行の発光画素 370 では非発光期間である。そのため、k 行の発光画素 370 に含まれるリセットトランジスタ 172 を、図 1 及び 2 に示す基準電源線 163 に代わり、k-1 行の発光画素 370 に対応して配置されたバイアス配線 165 に接続しても、動作上の影響はない。つまり、k-1 行の発光画素 370 を非発光期間とする際にバイアス配線 165 を介して所定のバイアス電圧を供給して k 行の発光画素 370 の駆動トランジスタ 173 を導通状態とするので、k-1 行の発光画素 370 の発光期間において k-1 行の発光画素 370 に対応して配置されたバイアス配線 165 を介して、k 行の発光画素 370 のコンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定しても動作上の影響はない。

[0216] また、有機 EL 表示装置 300 は、k-1 行に配置された発光画素 370 に含まれる駆動トランジスタ 173 を、k-1 行の発光画素 370 に対応して配置されたバイアス配線 165 を介して所定のバイアス電圧を供給して非導通状態としつつ、k 行に配置された発光画素 370 に含まれるリセットトランジスタ 172 を非導通として、k 行に配置された発光画素 370 に含まれるコンデンサ 174 の第 2 電極に、k-1 行の発光画素 370 に対応して

配置されたバイアス配線 165 を介して所定のバイアス電圧を書き込まない。

[0217] $k-1$ 行に配置された発光画素 370 では非発光期間であり、一方、 k 行に配置された発光画素 370 では発光期間である。そのため、 k 行の発光画素 370 に含まれるリセットトランジスタ 172 を、図 1 及び 2 に示す基準電源線 163 に代わり、 $k-1$ 行の発光画素 370 に対応して配置されたバイアス配線 165 に接続しても、動作上の影響はない。つまり、 k 行に配置された発光画素 370 に含まれるリセットトランジスタ 172 を非導通として、 k 行に配置された発光画素 370 に含まれるコンデンサ 174 の第 2 電極に、 $k-1$ 行のバイアス配線 165 から所定のバイアス電圧である $V_{GL} = -1.8V$ が書き込まないようにすれば、 k 行に配置されたコンデンサ 174 の第 2 電極に設定された所定の基準電圧が変動することはない。その結果、 $k-1$ 行に配置された発光画素 370 の発光に影響を与えることはない。

[0218] (実施の形態 2 の変形例)

実施の形態 2 の変形例に係る有機 EL 表示装置は、実施の形態 2 に係る有機 EL 表示装置 300 とほぼ同じであるが、バックゲートパルス $BG(0) \sim BG(n)$ のローレベルからハイレベルへと切り換わるタイミングが異なる。

[0219] 図 14 は、本変形例に係る有機 EL 表示装置の動作を示すタイミングチャートである。

[0220] 同図に示すように、本変形例に係る有機 EL 表示装置の動作は、図 13 に示す実施の形態 2 に係る有機 EL 表示装置 300 の動作と比較して、バックゲートパルス $BG(0) \sim BG(k)$ がローレベルからハイレベルへと切り換わる時刻が異なる。以下、図 13 に示す実施の形態 2 に係る有機 EL 表示装置 300 の動作と異なる点を中心に説明する。

[0221] 時刻 t_{40} は、図 13 の時刻 t_{30} に対応し、バックゲートパルス $BG(k)$ がハイレベルからローレベルへと切り換わる。

[0222] 次に、時刻 t_{41} において、走査パルス $SCAN(k)$ がハイレベルから

ローレベルへと切り換わることにより、走査トランジスタ 171 がオンする。この時刻 t_{41} において、図 13 の時刻 t_{31} と比較して、さらに、 $k-1$ 行の発光画素 370 に対応して配置されたバイアス配線 165 に供給されるバックゲートパルス $BG(k-1)$ がローレベルからハイレベルへと切り換わる。

[0223] 次に、時刻 t_{42} において、走査パルス $SCAN(k)$ がローレベルからハイレベルへと切り換わり、同時に、バックゲートパルス $BG(k)$ もローレベルからハイレベルへと切り換わる。

[0224] 図 13 に示す実施の形態 2 に係る有機 EL 表示装置 300 の動作タイミングでは、時刻 t_{31} において走査パルス $SCAN(k)$ がローレベルとなり信号電圧の書き込みが開始されても、リセットトランジスタ 172 を介して接続された $k-1$ 行の発光画素 370 に対応して配置されたバイアス配線 165 に供給されているバックゲートパルス $BG(k-1)$ がローレベルとなっている。そして、バックゲートパルス $BG(k-1)$ は時刻 t_{32} において、ローレベルからハイレベルへと切り換わることにより、 k 行の発光画素 370 のコンデンサ 174 の第 2 電極に所定の基準電圧である 0V が供給される。言い換えると、時刻 $t_{31} \sim t_{32}$ においては、コンデンサ 174 に信号電圧に対応する電圧を書き込むことはできない。

[0225] つまり、実施の形態 2 に係る有機 EL 表示装置 300 では、時刻 $t_{32} \sim t_{33}$ までの時間 Δt_1 が実際の信号電圧書き込み期間に相当する。

[0226] これに対し、図 14 に示す本変形例に係る有機 EL 表示装置では、時刻 t_{41} において走査パルス $SCAN(k)$ がハイレベルからローレベルに切り換わるときに、同時にバックゲートパルス $BG(k-1)$ がローレベルからハイレベルへと切り換わるので、時刻 t_{41} からコンデンサ 174 の第 2 電極に所定の基準電圧である 0V が供給される。

[0227] つまり、本変形例に係る有機 EL 表示装置では、時刻 $t_{41} \sim t_{42}$ までの時間 Δt_2 が実際の信号書き込み期間に相当する。

[0228] 走査パルス $SCAN(k)$ がローレベルとなっている期間を一定とすると

、 $\Delta t_1 < \Delta t_2$ となる。よって、本変形例に係る有機EL表示装置は、実施の形態2に係る有機EL表示装置300と比較して、信号電圧の書き込み期間を長く確保できる。

[0229] 以上のように、本変形例に係る有機EL表示装置は、実施の形態2に係る有機EL表示装置300と比較して、走査パルスSCAN(k)がハイレベルからローレベルへと切り換わるタイミングと、バックゲートパルスBG(k-1)がローレベルからハイレベルへと切り換わるタイミングとが同時である。

[0230] これにより、本変形例に係る有機EL表示装置は、実施の形態2に係る有機EL表示装置300と比較して、実際の信号電圧の書き込み期間を長く確保できる。

[0231] (実施の形態3)

実施の形態3に係る有機EL表示装置は、実施の形態1に係る有機EL表示装置100と比較してほぼ同じであるが、第1スイッチング素子の一方の端子がデータ線に接続され、第1スイッチング素子の他方の端子がコンデンサの第2電極に接続されている点と、第2スイッチング素子の一方の端子がコンデンサの第1電極に接続され、第2スイッチング素子の他方の端子が第3基準電源線に接続されている点が異なる。以下、本実施の形態に係る有機EL表示装置について、実施の形態1に係る有機EL表示装置100と異なる点を中心に述べる。

[0232] 図15は、本実施の形態に係る有機EL表示装置が有する発光画素の詳細な回路構成を示す回路図である。

[0233] 同図に示す発光画素470は、図2に示す実施の形態1に係る有機EL表示装置が有する発光画素170と比較して、走査トランジスタ171に代わり走査トランジスタ471を有し、リセットトランジスタ172に代わりリセットトランジスタ472を備える。

[0234] 走査トランジスタ471は、本実施の形態において本発明の第1スイッチング素子であり、一方の端子がデータ線166に接続され、他方の端子がコ

ンデンサ 174 の第 2 電極に接続され、データ線 166 とコンデンサ 174 の第 2 電極との導通及び非導通を切り換える。具体的には、走査トランジスタ 471 は、ゲート電極が走査線 164 に接続され、ソース電極及びドレイン電極の一方がデータ線 166 に接続され、ソース電極及びドレイン電極の他方がコンデンサ 174 の第 2 電極に接続されている。つまり、走査トランジスタ 471 は、図 2 に示す走査トランジスタ 171 と比較して、書き込み駆動回路 110 から走査線 164 を介してゲート電極に供給される走査パルス SCAN (k) に応じてデータ線 166 とコンデンサ 174 の第 2 電極との導通及び非導通を切り換える点異なる。

[0235] リセットトランジスタ 472 は、本実施の形態において本発明の第 2 スイッチング素子であり、一方の端子がコンデンサ 174 の第 1 電極に接続され、他方の端子が基準電源線 163 に接続され、コンデンサ 174 の第 1 電極と、基準電源線 163 との導通及び非導通を切り換える。具体的には、リセットトランジスタ 472 は、ゲート電極が走査線 164 を介して書き込み駆動回路 110 に接続され、ソース電極及びドレイン電極の一方が基準電源線 163 に接続され、ソース電極及びドレイン電極の他方がコンデンサ 174 の第 1 電極に接続されている。つまり、リセットトランジスタ 472 は、図 2 に示すリセットトランジスタ 172 と比較して、書き込み駆動回路 110 から走査線 164 を介してゲート電極に供給される走査パルス SCAN (k) に応じて基準電源線 163 とコンデンサ 174 の第 1 電極との導通及び非導通を切り換える点異なる。

[0236] このように、本実施の形態に係る有機 EL 表示装置が有する発光画素 470 は、実施の形態 1 に係る有機 EL 表示装置 100 が有する発光画素 170 と比較して、コンデンサ 174 の第 1 電極及び第 2 電極のうち、駆動トランジスタ 173 のソース電極と接続されている第 2 電極に、データ線 166 及び走査トランジスタ 471 を介して供給される信号電圧が供給される。一方、駆動トランジスタ 173 のゲート電極と接続されている第 1 電極には、基準電源線 163 及びリセットトランジスタ 472 を介して供給される基準電

圧 V_{ref} が供給される。

- [0237] 次に、このように構成された発光画素 470 にバイアス電圧制御回路 130 から供給されるバックゲートパルス $BG(1) \sim BG(n)$ のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。
- [0238] 発光画素 470 の駆動トランジスタ 173 に要求される条件としては、実施の形態 1 で説明した (条件 i) 及び (条件 ii) が挙げられる。また、最大階調に対応したドレイン電流、書き込み期間の許容電流も、実施の形態 1 と同様に、それぞれ $3 \mu A$ 、 $100 pA$ とする。
- [0239] ただし、本実施の形態では、コンデンサ 174 の第 2 電極に信号電圧を書き込むので、実施の形態 1 と比較して、最大階調の信号電圧に対応するデータ線電圧 V_{DH} と、最低階調の信号電圧に対応するデータ線電圧 V_{DL} の絶対値が反転する。具体的には、 $V_{DH} = -5.6 V$ 、 $V_{DL} = 0 V$ である。言い換えると、データ線電圧 $DATA(j)$ は、 $V_{DL} = 0 V$ の場合に最大値の $0 V$ となり、 $V_{DH} = -5.6 V$ の場合に最小値の $-5.6 V$ となる。
- [0240] 図 16A は、最大階調での発光時の発光画素 470 の状態を模式的に示す図である。図 16B は、信号電圧書き込み時の発光画素 470 の状態を模式的に示す図である。
- [0241] 図 16A に示す最大階調での発光時に、上述のようにドレイン電流 $I_d = 3 \mu A$ の場合、駆動トランジスタ 173 のソース電位 V_s は $6 V$ となる。ソース電位 V_s が $6 V$ の場合、図 3 に示した $V_{bs} = 8 V$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = 14 V$ と決定される。つまり、本実施の形態では、バックゲートパルス $BG(1) \sim$ バックゲートパルス $BG(n)$ のハイレベル電圧は $14 V$ と決定される。
- [0242] 一方、図 16B に示す信号電圧書き込み時には、リセットトランジスタ 472 が導通することにより、駆動トランジスタ 173 のゲートはリセットトランジスタ 472 を介して基準電源線 163 と接続されている。よって、駆動トランジスタ 173 のゲート電位は基準電圧 V_{ref} である $0 V$ となっている。また、駆動トランジスタ 173 のソース電位は、最大階調の信号電圧

に対応するので、 $V_s = -5.6\text{ V}$ となっている。ソース電位が -6 V の場合、図3に示した $V_{bs} = -4\text{ V}$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = -9.6\text{ V}$ と決定される。つまり、バックゲートパルスBG(1)～バックゲートパルスBG(n)のローレベル電圧は -9.6 V と決定される。

[0243] 以上のように、図3に示した V_{bs} 毎の $V_{gs} - I_d$ 特性を用いて、(条件i)最大階調での発光時に最大階調に対応した $3\text{ }\mu\text{ A}$ のドレイン電流を発光素子175に供給するようなバックゲートソース間電圧 V_{bs} から、バックゲートパルスBG(1)～BG(n)のハイレベル電圧は 14 V と決定される。また、(条件ii)信号電圧の書き込み時に、発光素子175に供給するドレイン電流 I_d を許容電流以下とするようなバックゲートソース間電圧 V_{bs} から、バックゲートパルスBG(1)～BG(n)のローレベル電圧は -9.6 V と決定される。つまり、本実施の形態において、バイアス電圧制御回路130は、ハイレベル電圧が 14 V 、ローレベル電圧が -9.6 V 、振幅が 23.6 V のバックゲートパルスBG(1)～BG(n)をバイアス配線165に供給する。なお、発光画素470を有する本実施の形態に係る有機EL表示装置の動作は、図5に示す有機EL表示装置100の動作と同様である。

[0244] 以上のように、発光画素470を備える本実施の形態に係る有機EL表示装置は、実施の形態1に係る有機EL表示装置100と比較して、コンデンサ174の第1電極及び第2電極のうち、駆動トランジスタ173のソース電極と接続されている第2電極に、データ線166及び走査トランジスタ471を介して供給される信号電圧が供給される。一方、駆動トランジスタ173のゲート電極と接続されている第1電極には、基準電源線163及びリセットトランジスタ472を介して供給される基準電圧 V_{ref} が供給される。ここで、所定のバイアス電位である -10 V を駆動トランジスタ173のバックゲート電極に印加することにより、駆動トランジスタ173の閾値電圧をゲート電極及びソース電極間の電位差よりも大きくすることにより駆

動トランジスタ 173 を非導通とし、所定のバイアス電圧を印加している期間内に走査トランジスタ 471 及びリセットトランジスタ 472 を導通して、コンデンサ 174 の第 1 電極に基準電圧 V_{ref} を設定し、信号電圧をコンデンサ 174 の第 2 電極に供給する。

[0245] これにより、実施の形態 3 に係る有機 EL 表示装置は、実施の形態 1 に係る有機 EL 表示装置 100 と同様の効果を奏する。

[0246] なお、本実施の形態では、コンデンサ 174 の第 2 電極へ信号電圧を供給するときに、データ線 166 から供給される信号電圧の最大値は第 1 電源線 161 の電位以下とする。これにより、コンデンサ 174 の第 2 電極に信号電圧を供給しているときに、発光素子 175 のアノードの電位はカソードの電位以下となるので、基準電源線 163 から発光素子 175 に流れる電流を防止できる。

[0247] その結果、信号電圧を書き込んでいる期間に不要な発光が生じてコントラストが低下することを防ぐことができる。なお、上記説明では信号電圧を V 、第 1 電源線 161 の電位を $0V$ として説明したが、信号電圧は第 1 電源線 161 の電位以下であればよく、上記の例に限らない。

[0248] (実施の形態 3 の変形例)

本変形例に係る有機 EL 表示装置が有する発光画素は、実施の形態 3 に係る有機 EL 表示装置が有する発光画素 470 とほぼ同じであるが、リセットトランジスタ 472 のソース及びドレインの一方が基準電源線 163 に代わり、前の行の発光画素 570 に対応して配置されたバイアス配線 165 に接続されている点が異なる。つまり、本変形例に係る有機 EL 表示装置は、実施の形態 2 に係る有機 EL 表示装置 300 と実施の形態 3 に係る有機 EL 表示装置との組み合わせである。

[0249] 図 17 は、本変形例に係る有機 EL 表示装置が有する発光画素 570 の詳細な構成を示す回路図である。

[0250] 同図に示すように、発光画素 570 が有するリセットトランジスタ 472 は、図 10 に示したリセットトランジスタ 172 と同様に、前の行の発光画

素570に対応して配置されたバイアス配線165に接続されている。

- [0251] 次に、このように構成された発光画素570にバイアス電圧制御回路130から供給されるバックゲートパルスBG(0)~BG(n)のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。
- [0252] 発光画素570の駆動トランジスタ173に要求される条件としては、実施の形態1で説明した(条件i)及び(条件ii)が挙げられる。また、最大階調に対応したドレイン電流、書き込み期間の許容電流も、実施の形態1と同様に、それぞれ $3\mu\text{A}$ 、 100pA とする。
- [0253] また、最大階調の信号電圧に対応するデータ線電圧VDHと、最低階調の信号電圧に対応するデータ線電圧VDLは、実施の形態2と正負が反転した電圧である $\text{VDH}=-11.6\text{V}$ 、 $\text{VDL}=-6\text{V}$ とする。
- [0254] 図18Aは、最大階調での発光時の発光画素570の状態を模式的に示す図である。図18Bは、信号電圧書き込み時の発光画素570の状態を模式的に示す図である。
- [0255] 図18Aに示す最大階調での発光時に、上述のようにドレイン電流 $I_d=3\mu\text{A}$ の場合、駆動トランジスタ173のソース電位 V_s は 6V となる。ソース電位 V_s が 6V の場合、図11に示した $V_{bs}=-6\text{V}$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b=V_s+V_{bs}$ より $V_b=0\text{V}$ と決定される。つまり、本実施の形態では、バックゲートパルスBG(0)~バックゲートパルスBG(n)のハイレベル電圧は 0V と決定される。
- [0256] 一方、図18Bに示す信号電圧書き込み時には、リセットトランジスタ472が導通することにより、駆動トランジスタ173のゲートはリセットトランジスタ472を介して前の行に対応して配置されたバイアス配線165と接続されている。よって、駆動トランジスタ173のゲート電位は、k行の発光画素570への信号電圧書き込み期間においてk-1行の発光画素570に対応して配置されたバイアス配線165の電位となる。
- [0257] ここで、k行の発光画素570の信号電圧書き込み期間において、k-1行の発光画素570への信号電圧の書き込みは終了しているので、バックゲ

ートパルスBG (k-1) はハイレベルとなっている。つまり、k-1 行の発光画素570に対応して配置されたバイアス配線165の電位は、0Vとなっている。

[0258] したがって、k 行の発光画素570の駆動トランジスタ173のゲート電位は、0Vとなる。ソース電位が-11.6Vの場合、図11に示した $V_{bs} = -18V$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = -29.6V$ と決定される。つまり、バックゲートパルスBG(0)~バックゲートパルスBG(n)のローレベル電圧は-29.6Vと決定される。つまり、本変形例において、バイアス電圧制御回路130は、ハイレベル電圧が0V、ローレベル電圧が-29.6V、振幅が29.6VのバックゲートパルスBG(0)~BG(n)をバイアス配線165及びダミーバイアス配線365に供給する。

[0259] なお、発光画素570を有する本変形例に係る有機EL表示装置の動作は、図13に示す実施の形態2に係る有機EL表示装置の動作、又は、図14に示す実施の形態2の変形例に係る有機EL表示装置の動作と同様である。

[0260] 以上のように、発光画素570を備える実施の形態3の変形例に係る有機EL表示装置は、実施の形態3に係る有機EL表示装置と比較して、k 行の発光画素570のリセットトランジスタ472が基準電源線163に代わり、k-1 行の発光画素570に対応して配置されたバイアス配線165と接続されている。つまり、k 行の発光画素570に対応して配置された基準電源線163と、k-1 行の発光画素570に対応して配置されたバイアス配線165とが共有されている。

[0261] これにより、本変形例に係る有機EL表示装置は、実施の形態3に係る有機EL表示装置と比較して、さらに配線数を削減できるので、回路構成を大幅にコンパクトにできる。

[0262] 以上、本発明の実施の形態及び変形例に基づいて説明したが、本発明は、これら実施の形態及び変形例に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態及び変形例に施し

たものや、異なる実施の形態及び変形例における構成要素を組み合わせる構築される形態も、本発明の範囲内に含まれる。

[0263] 例えば、上記説明では、走査トランジスタ及びリセットトランジスタをゲート電極に印加されているパルスがローレベルのときに導通するP型トランジスタとし、駆動トランジスタをゲート電極に印加されているパルスがハイレベルのときにオンするN型トランジスタとしたが、これらを逆の極性のトランジスタで構成し、走査線164及びバイアス配線165の極性を反転させて、例えば図19A及び図19Bに示すような回路構成としてもよい。

[0264] 駆動トランジスタ173をP型トランジスタで実現して図19Aのような回路構成とする場合、第3電源線から供給される所定の基準電位 V_{ref} は、第1電源線の電位以上が望ましい。これにより、駆動トランジスタ173をP型トランジスタとした場合でも、コンデンサ174の第2電極に基準電位 V_{ref} を設定しているときに、発光素子175のアノードの電位は発光素子のカソードの電位以下となるので、発光素子175から基準電源線163に流れる電流を防止できる。

[0265] 一方、駆動トランジスタ173をP型トランジスタで実現して図19Bのような回路構成とする場合、データ線166から供給される信号電圧の最小値は第1電源線の電位以上が望ましい。これにより、信号電圧の書き込み中に発光素子175からデータ線166に流れる電流を防止できる。よって、信号電圧の書き込み中に、発光素子175を確実に消光できる。

[0266] また、駆動トランジスタ173の極性は、走査トランジスタ171及びリセットトランジスタ172の極性と同じでもよい。

[0267] また、駆動トランジスタ、走査トランジスタ及びリセットトランジスタは、TFTであるとしたが、例えば接合型の電界効果トランジスタであってもよい。また、これらのトランジスタは、ベース、コレクタ及びエミッタを有するバイポーラトランジスタであってもよい。

[0268] また、上記各実施の形態では、基準電源140と直流電源150とを別としたが、基準電源140及び直流電源150に代わり、複数の電圧を出力す

る1つの電源を設けてもよい。

[0269] また、上記各実施の形態では、第1電源線161をグランド線としたが、第1電源線161が直流電源150に接続され、0V以外の電位（例えば、1V）が供給されてもよい。さらに、この第1電源線161は、網目状に形成されていても、ベタ膜状に形成されていてもよい。

[0270] また、第2電源線162は網目状に形成されていても（二次元配線）、走査線の配線方向及びデータ線の配線方向のいずれか一方と平行な方向に形成されていても（一次元配線）、ベタ膜状に形成されていてもよい。

[0271] また、上記各実施の形態では、走査トランジスタ及びリセットトランジスタは、共通の走査線を介して供給される走査パルスSCAN(1)～SCAN(n)により導通及び非導通が切り換えられていたが、走査トランジスタの導通及び非導通を制御する信号を供給するための配線である第1走査線と、リセットトランジスタの導通及び非導通を制御する信号を供給するための配線である第2走査線とを、独立に設けてもよい。

[0272] また、例えば、本発明に係る有機EL表示装置は、図20に記載されたような薄型フラットTVに内蔵される。本発明に係る有機EL表示装置が内蔵されることにより、映像信号を反映した高精度な画像表示が可能な薄型フラットTVが実現される。

産業上の利用可能性

[0273] 本発明は、とりわけアクティブ型の有機ELフラットパネルディスプレイに有用である。

符号の説明

[0274] 100、200、300 有機EL表示装置
110 書き込み駆動回路
120 データ線駆動回路
130 バイアス電圧制御回路
140 基準電源
150 直流電源

- 160、260、360 表示パネル
- 161 第1電源線
- 162 第2電源線
- 163 基準電源線
- 164 走査線
- 165 バイアス配線
- 166 データ線
- 170、270、370、470、570 発光画素
- 171、471 走査トランジスタ
- 172、472 リセットトランジスタ
- 173 駆動トランジスタ
- 174 コンデンサ
- 175 発光素子
- 180、280、380 表示部
- 190 基幹電源線
- 365 ダミーバイアス配線

請求の範囲

[請求項1]

複数の画素部をマトリクス状に配置した有機EL表示装置であって、

、

前記複数の画素部の各々は、

第1電極と第2電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記コンデンサの第2電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給されることにより前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第1電源線と、

前記駆動素子のドレイン電極に電氣的に接続された第2電源線と、

前記第1電源線とは異なる電源線であって前記コンデンサの第2電極に所定の基準電圧を設定する第3電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第1電極に接続され、前記データ線と前記コンデンサの第1電極との導通及び非導通を切り換える第1スイッチング素子と、

一方の端子が前記コンデンサの第2電極に接続され、他方の端子が前記第3電源線に接続され、前記コンデンサの第2電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、

前記有機EL表示装置は、さらに、

前記第1スイッチング素子の制御、前記第2スイッチング素子の制

御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、

前記駆動回路は、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定しつつ前記コンデンサの第1電極に前記信号電圧を供給する、

有機EL表示装置。

[請求項2]

前記有機EL表示装置は、さらに、

マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、

前記第2電源線は、

マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている、

請求項1に記載の有機EL表示装置。

[請求項3]

前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、

各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極

間の電位差よりも大きくするように設定された電圧である、

請求項 1 又は請求項 2 に記載の有機 EL 表示装置。

[請求項4]

前記有機 EL 表示装置は、さらに、

前記第 1 スイッチング素子の導通及び非導通を制御する信号を供給する第 1 走査線と、

前記第 2 スイッチング素子の導通及び非導通を制御する信号を供給する第 2 走査線と、を備える、

請求項 1 乃至請求項 3 のいずれか 1 項に記載の有機 EL 表示装置。

[請求項5]

前記第 3 電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、

一の行に対応して配置された第 3 電源線と、前記一の行の前の行に対応して配置されたバイアス線とは共用されている、

請求項 1 乃至請求項 4 のいずれか 1 項に記載の有機 EL 表示装置。

[請求項6]

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第 2 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定の基準電圧を設定する、

請求項 5 に記載の有機 EL 表示装置。

[請求項7]

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第 2 スイッチング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第 2 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧を書き込まない、

請求項 6 に記載の有機 EL 表示装置。

- [請求項8] 前記第1走査線と前記第2走査線とを共通の制御線とする、
請求項4又は請求項5に記載の有機EL表示装置。
- [請求項9] 前記第1スイッチング素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、
前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第1電極に前記信号電圧を供給している期間とを同じとし、
前記第1走査線と前記バイアス線とを共通の制御線とする、
請求項4又は請求項5に記載の有機EL表示装置。
- [請求項10] 前記駆動素子はN型トランジスタである、
請求項1乃至請求項9のいずれか1項に記載の有機EL表示装置。
- [請求項11] 前記第3電源線から供給される前記所定の固定電圧は前記第1電源線の電位以下とする、
請求項10に記載の有機EL表示装置。
- [請求項12] 前記駆動回路は、
前記コンデンサの第1電極に前記信号電圧を供給した後、前記第1スイッチング素子を非導通とし、
前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、
前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、
請求項10に記載の有機EL表示装置。
- [請求項13] 前記駆動素子はP型トランジスタである、
請求項1乃至請求項9のいずれか1項に記載の有機EL表示装置。
- [請求項14] 前記第3電源線から供給される前記所定の固定電位は前記第1電源線の電位以上とする、

請求項 1 3 に記載の有機 EL 表示装置。

[請求項15]

前記駆動回路は、

前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記第 1 スwitchング素子をオフし、

前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、

前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、

請求項 1 3 に記載の有機 EL 表示装置。

[請求項16]

第 1 電極と第 2 電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と、

前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、

前記第 1 電源線とは異なる電源線であって前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 1 電極に接続され、前記データ線と前記コンデンサの第 1 電極

との導通及び非導通を切り換える第1スイッチング素子と、

前記コンデンサの第2電極と前記第3電源線との間に設けられ前記コンデンサの第2電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機EL表示装置の制御方法であって、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第1電極に供給させる、

有機EL表示装置の制御方法。

[請求項17]

複数の画素部をマトリクス状に配置した有機EL表示装置であって、

前記複数の画素部の各々は、

第1電極と第2電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記コンデンサの第2電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲ

ート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第1電源線と、

前記駆動素子のドレイン電極に電氣的に接続された第2電源線と、

前記第1電源線とは異なる電源線であって前記コンデンサの第1電極に所定の基準電圧を設定する第3電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第2電極に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第1スイッチング素子と、

一方の端子が前記コンデンサの第1電極に接続され、他方の端子が前記第3電源線に接続され、前記コンデンサの第1電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、

前記有機EL表示装置は、さらに、

前記第1スイッチング素子の制御、前記第2スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、

前記駆動回路は、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子を導通させて、前記駆動素子

を非導通とした状態で、前記コンデンサの第1電極に前記所定の基準電圧を設定しつつ前記コンデンサの第2電極に前記信号電圧を供給する、

有機EL表示装置。

[請求項18]

前記有機EL表示装置は、さらに、

マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、

前記第2電源線は、

マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている、

請求項17に記載の有機EL表示装置。

[請求項19]

前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、

各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするように設定された電圧である、

請求項17又は請求項18に記載の有機EL表示装置。

[請求項20]

前記有機EL表示装置は、さらに、

前記第1スイッチング素子の導通及び非導通を制御する信号を供給する第1走査線と、

前記第2スイッチング素子の導通及び非導通を制御する信号を供給する第2走査線と、を備える、

請求項17乃至請求項19のいずれか1項に記載の有機EL表示装置。

[請求項21]

前記第3電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、

一の行に対応して配置された第3電源線と、前記一の行の前の行に対応して配置されたバイアス線とは共用されている、

請求項17乃至請求項20のいずれか1項に記載の有機EL表示装置。

[請求項22]

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第3電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第1電極に、前記バイアス線と共用の前記第3電源線を介して前記所定の基準電圧を設定する、

請求項21に記載の有機EL表示装置。

[請求項23]

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第3電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第2スイッチング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第1電極に、前記バイアス線と共用の前記第3電源線を介して前記所定のバイアス電圧を書き込まない、

請求項22に記載の有機EL表示装置。

[請求項24]

前記第1走査線と前記第2走査線とを共通の制御線とする、

請求項20又は請求項21に記載の有機EL表示装置。

[請求項25]

前記第1スイッチング素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、

前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第1電極に前記信号電圧を供給している期間とを同じとし、

前記第1走査線と前記バイアス線とを共通の制御線とする、

請求項20又は請求項21に記載の有機EL表示装置。

- [請求項26] 前記駆動素子はN型トランジスタである、
請求項17乃至請求項25のいずれか1項に記載の有機EL表示装置。
- [請求項27] 前記データ線から供給される前記信号電圧の最大値は前記第1電源線の電位以下とする、
請求項26に記載の有機EL表示装置。
- [請求項28] 前記駆動回路は、
前記コンデンサの第2電極に前記信号電圧を供給した後、前記第1スイッチング素子を非導通とし、
前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、
前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、
請求項26に記載の有機EL表示装置。
- [請求項29] 前記駆動素子はP型トランジスタである、
請求項17乃至請求項25のいずれか1項に記載の有機EL表示装置。
- [請求項30] 前記データ線から供給される前記信号電圧の最小値は前記第1電源線の電位以上とする、
請求項29に記載の有機EL表示装置。
- [請求項31] 前記駆動回路は、
前記コンデンサの第2電極に前記信号電圧を供給した後、前記第1スイッチング素子を非導通とし、
前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態と

し、

前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、

請求項 29 に記載の有機 EL 表示装置。

[請求項 32]

第 1 電極と第 2 電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のドレイン電極に電氣的に接続された第 1 電源線と、

前記駆動素子のソース電極に電氣的に接続された第 2 電源線と、

前記第 1 電源線とは異なる電源線であって前記コンデンサの第 1 電極に所定の基準電圧を設定する第 3 電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 2 電極に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 1 スイッチング素子と、

前記コンデンサの第 1 電極と前記第 3 電源線との間に設けられ前記コンデンサの第 1 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機 EL 表示装置の制御方法であって、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電

位であり、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第1電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第2電極に供給させる、

有機EL表示装置の制御方法。

補正された請求の範囲
[2010年7月27日(27.07.2010)国際事務局受理]

- [請求項 1] 複数の画素部をマトリクス状に配置した有機EL表示装置であって、
- 前記複数の画素部の各々は、
- 第1電極と第2電極とを有する発光素子と、
- 電圧を保持するためのコンデンサと、
- ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記コンデンサの第2電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給されることにより前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、
- 前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第1電源線と、
- 前記駆動素子のドレイン電極に電氣的に接続された第2電源線と、
- 前記第1電源線とは異なる電源線であって前記コンデンサの第2電極に所定の基準電圧を設定する第3電源線と、
- 信号電圧を供給するためのデータ線と、
- 一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第1電極に接続され、前記データ線と前記コンデンサの第1電極との導通及び非導通を切り換える第1スイッチング素子と、
- 一方の端子が前記コンデンサの第2電極に接続され、他方の端子が前記第3電源線に接続され、前記コンデンサの第2電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、
- 前記バックゲート電極に印加される前記所定のバイアス電

圧を供給するバイアス線とを備え、

前記有機EL表示装置は、さらに、

前記第1スイッチング素子の制御、前記第2スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、

前記駆動回路は、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定しつつ前記コンデンサの第1電極に前記信号電圧を供給する、

有機EL表示装置。

[請求項2]

前記有機EL表示装置は、さらに、

マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、

前記第2電源線は、

マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている、

請求項1に記載の有機EL表示装置。

[請求項3] 前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、

各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするように設定された電圧である、

請求項1又は請求項2に記載の有機EL表示装置。

[請求項4] 前記有機EL表示装置は、さらに、

前記第1スイッチング素子の導通及び非導通を制御する信号を供給する第1走査線と、

前記第2スイッチング素子の導通及び非導通を制御する信号を供給する第2走査線と、を備える、

請求項1乃至請求項3のいずれか1項に記載の有機EL表示装置。

[請求項5] 前記第3電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、

一の行に対応して配置された第3電源線と、前記一の行の前の行に対応して配置されたバイアス線とは共用されている、

請求項1乃至請求項4のいずれか1項に記載の有機EL表示装置。

[請求項6] 前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第3電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第2電極に、前記バイアス線と共用の前記第3電源線を介して前記所定の基

準電圧を設定する、

請求項 5 に記載の有機 EL 表示装置。

[請求項 7] 前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第 2 スwitching 素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第 2 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧を書き込まない、

請求項 6 に記載の有機 EL 表示装置。

[請求項 8] (補正後) 前記第 1 走査線と前記第 2 走査線とを共通の制御線とする、

請求項 4 に記載の有機 EL 表示装置。

[請求項 9] (補正後) 前記第 1 スwitching 素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、

前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 1 電極に前記信号電圧を供給している期間とを同じとし、

前記第 1 走査線と前記バイアス線とを共通の制御線とする、
請求項 4 に記載の有機 EL 表示装置。

[請求項 10] 前記駆動素子は N 型トランジスタである、

請求項 1 乃至請求項 9 のいずれか 1 項に記載の有機 EL 表示装置。

[請求項 11] 前記第 3 電源線から供給される前記所定の固定電圧は前記第 1 電源線の電位以下とする、

請求項 10 に記載の有機 EL 表示装置。

[請求項 12] 前記駆動回路は、

前記コンデンサの第1電極に前記信号電圧を供給した後、前記第1スイッチング素子を非導通とし、

前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、

前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、

請求項10に記載の有機EL表示装置。

[請求項13] 前記駆動素子はP型トランジスタである、

請求項1乃至請求項9のいずれか1項に記載の有機EL表示装置。

[請求項14] 前記第3電源線から供給される前記所定の固定電位は前記第1電源線の電位以上とする、

請求項13に記載の有機EL表示装置。

[請求項15] (補正後)前記駆動回路は、

前記コンデンサの第1電極に前記信号電圧を供給した後、前記第1スイッチング素子をオフし、

前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、

前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、

請求項13に記載の有機EL表示装置。

[請求項16] 第1電極と第2電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第1電極に接続され、ソース

電極が前記コンデンサの第2電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第1電源線と、

前記駆動素子のドレイン電極に電氣的に接続された第2電源線と、

前記第1電源線とは異なる電源線であって前記コンデンサの第2電極に所定の基準電圧を設定する第3電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第1電極に接続され、前記データ線と前記コンデンサの第1電極との導通及び非導通を切り換える第1スイッチング素子と、

前記コンデンサの第2電極と前記第3電源線との間に設けられ前記コンデンサの第2電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機EL表示装置の制御方法であって、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及び

ソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第1電極に供給させる、

有機EL表示装置の制御方法。

[請求項17] 複数の画素部をマトリクス状に配置した有機EL表示装置であって、

前記複数の画素部の各々は、

第1電極と第2電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記コンデンサの第2電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第1電源線と、

前記駆動素子のドレイン電極に電氣的に接続された第2電源線と、

前記第1電源線とは異なる電源線であって前記コンデンサの第1電極に所定の基準電圧を設定する第3電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コ

ンデンサの第2電極に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第1スイッチング素子と、

一方の端子が前記コンデンサの第1電極に接続され、他方の端子が前記第3電源線に接続され、前記コンデンサの第1電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、

前記有機EL表示装置は、さらに、

前記第1スイッチング素子の制御、前記第2スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、

前記駆動回路は、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第1電極に前記所定の基準電圧を設定しつつ前記コンデンサの第2電極に前記信号電圧を供給する、

有機EL表示装置。

[請求項18] 前記有機EL表示装置は、さらに、

マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、

前記第2電源線は、

マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている、

請求項17に記載の有機EL表示装置。

[請求項19] 前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、

各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするように設定された電圧である、

請求項17又は請求項18に記載の有機EL表示装置。

[請求項20] 前記有機EL表示装置は、さらに、

前記第1スイッチング素子の導通及び非導通を制御する信号を供給する第1走査線と、

前記第2スイッチング素子の導通及び非導通を制御する信号を供給する第2走査線と、を備える、

請求項17乃至請求項19のいずれか1項に記載の有機EL表示装置。

[請求項21] 前記第3電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、

一の行に対応して配置された第3電源線と、前記一の行の前の行に対応して配置されたバイアス線とは共用されている、

請求項 17 乃至請求項 20 のいずれか 1 項に記載の有機 EL 表示装置。

[請求項 22] 前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第 1 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定の基準電圧を設定する、

請求項 21 に記載の有機 EL 表示装置。

[請求項 23] 前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第 2 スwitching 素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第 1 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧を書き込まない、

請求項 22 に記載の有機 EL 表示装置。

[請求項 24] (補正後) 前記第 1 走査線と前記第 2 走査線とを共通の制御線とする、

請求項 20 に記載の有機 EL 表示装置。

[請求項 25] (補正後) 前記第 1 スwitching 素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、

前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 2 電極に前記信号電圧を供給している期間とを同じとし、

前記第 1 走査線と前記バイアス線とを共通の制御線とする、

- 請求項 20 に記載の有機 EL 表示装置。
- [請求項 26] 前記駆動素子は N 型トランジスタである、
請求項 17 乃至請求項 25 のいずれか 1 項に記載の有機 EL 表示装置。
- [請求項 27] 前記データ線から供給される前記信号電圧の最大値は前記第 1 電源線の電位以下とする、
請求項 26 に記載の有機 EL 表示装置。
- [請求項 28] 前記駆動回路は、
前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スイッチング素子を非導通とし、
前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、
前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、
請求項 26 に記載の有機 EL 表示装置。
- [請求項 29] 前記駆動素子は P 型トランジスタである、
請求項 17 乃至請求項 25 のいずれか 1 項に記載の有機 EL 表示装置。
- [請求項 30] 前記データ線から供給される前記信号電圧の最小値は前記第 1 電源線の電位以上とする、
請求項 29 に記載の有機 EL 表示装置。
- [請求項 31] 前記駆動回路は、
前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スイッチング素子を非導通とし、
前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電

極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、

前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、

請求項 29 に記載の有機 EL 表示装置。

[請求項 32] (補正後) 第 1 電極と第 2 電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と、

前記駆動素子のソース電極に電氣的に接続された第 2 電源線と、

前記第 1 電源線とは異なる電源線であって前記コンデンサの第 1 電極に所定の基準電圧を設定する第 3 電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 2 電極に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 1 スイッチング素子と、

前記コンデンサの第 1 電極と前記第 3 電源線との間に設けられ前記コンデンサの第 1 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機EL表示装置の制御方法であって、

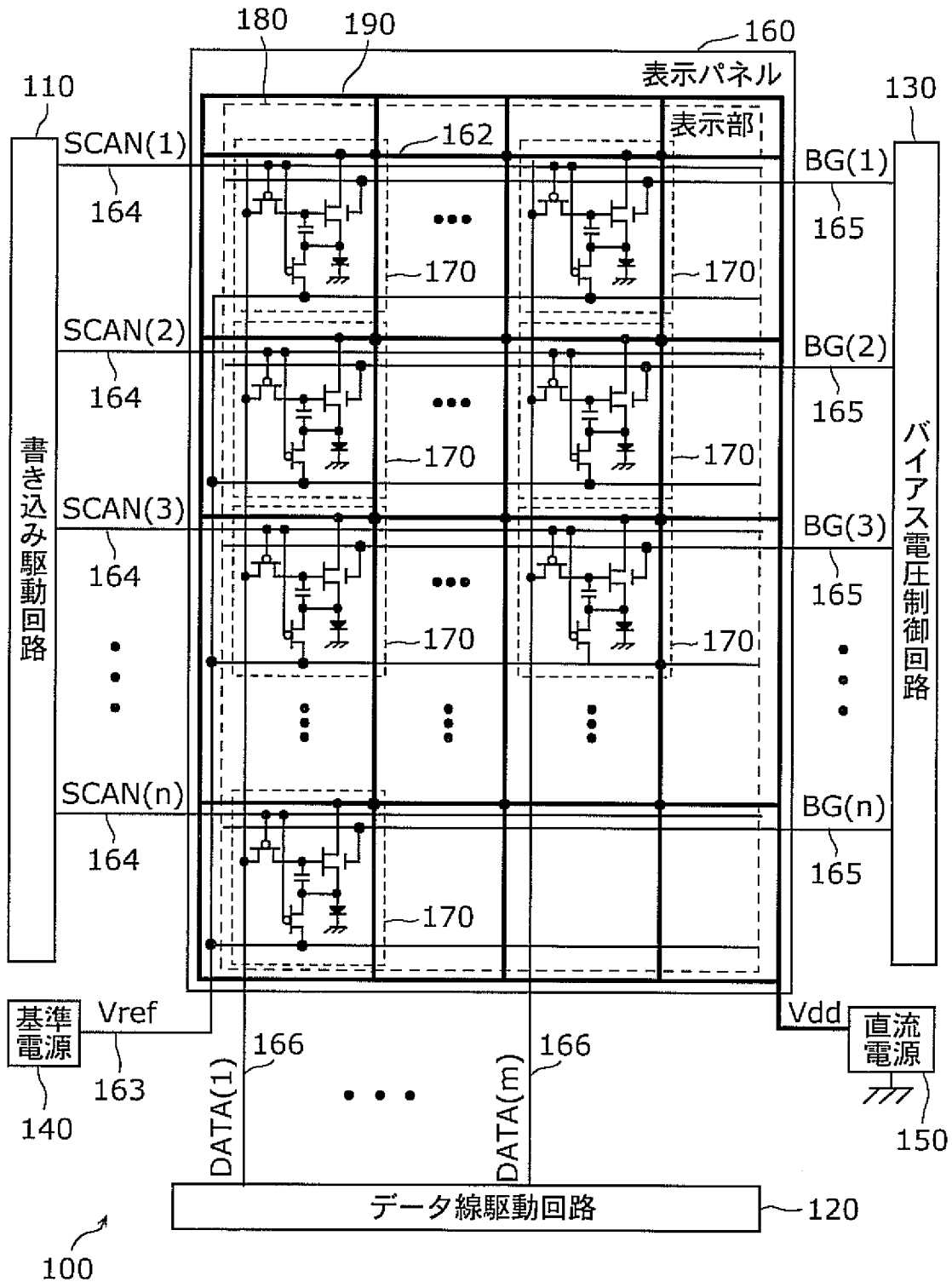
前記所定のバイアス電圧は、前記駆動素子の閾値電圧を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電位であり、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

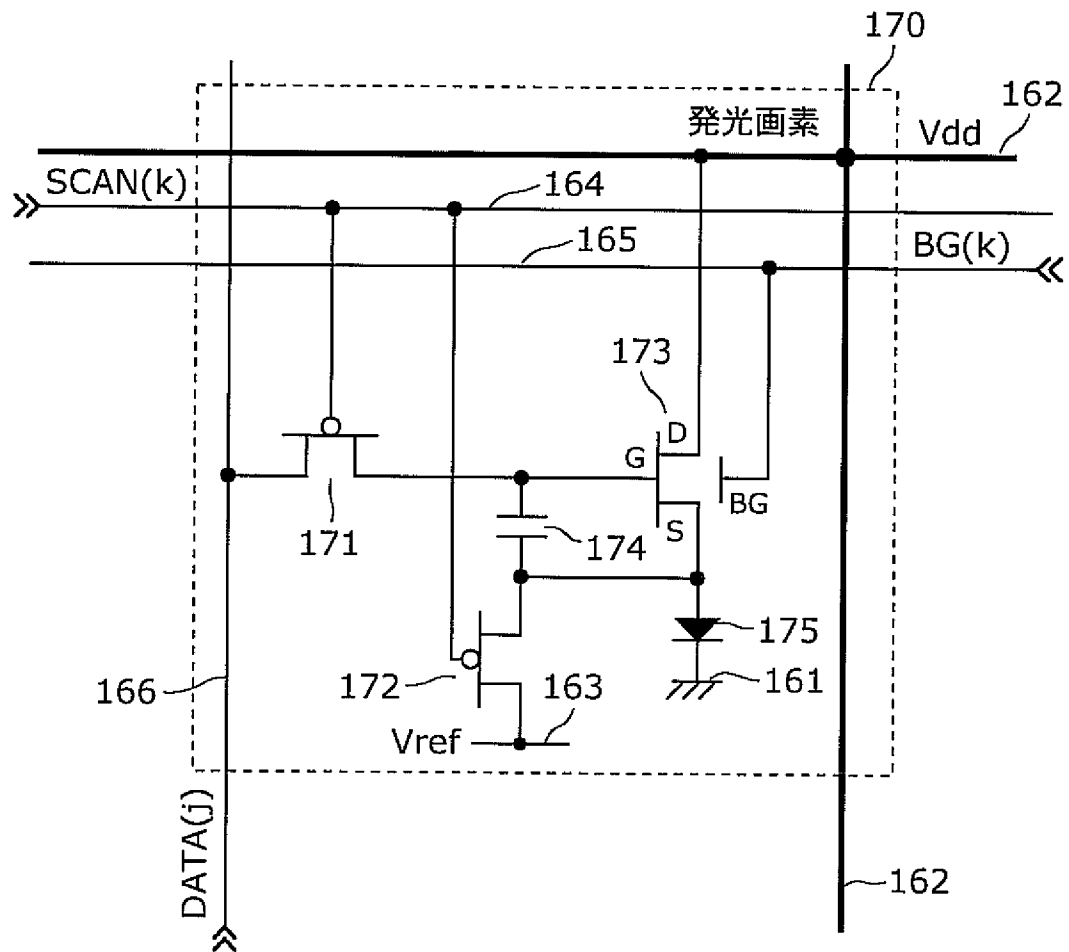
前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第1電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第2電極に供給させる、

有機EL表示装置の制御方法。

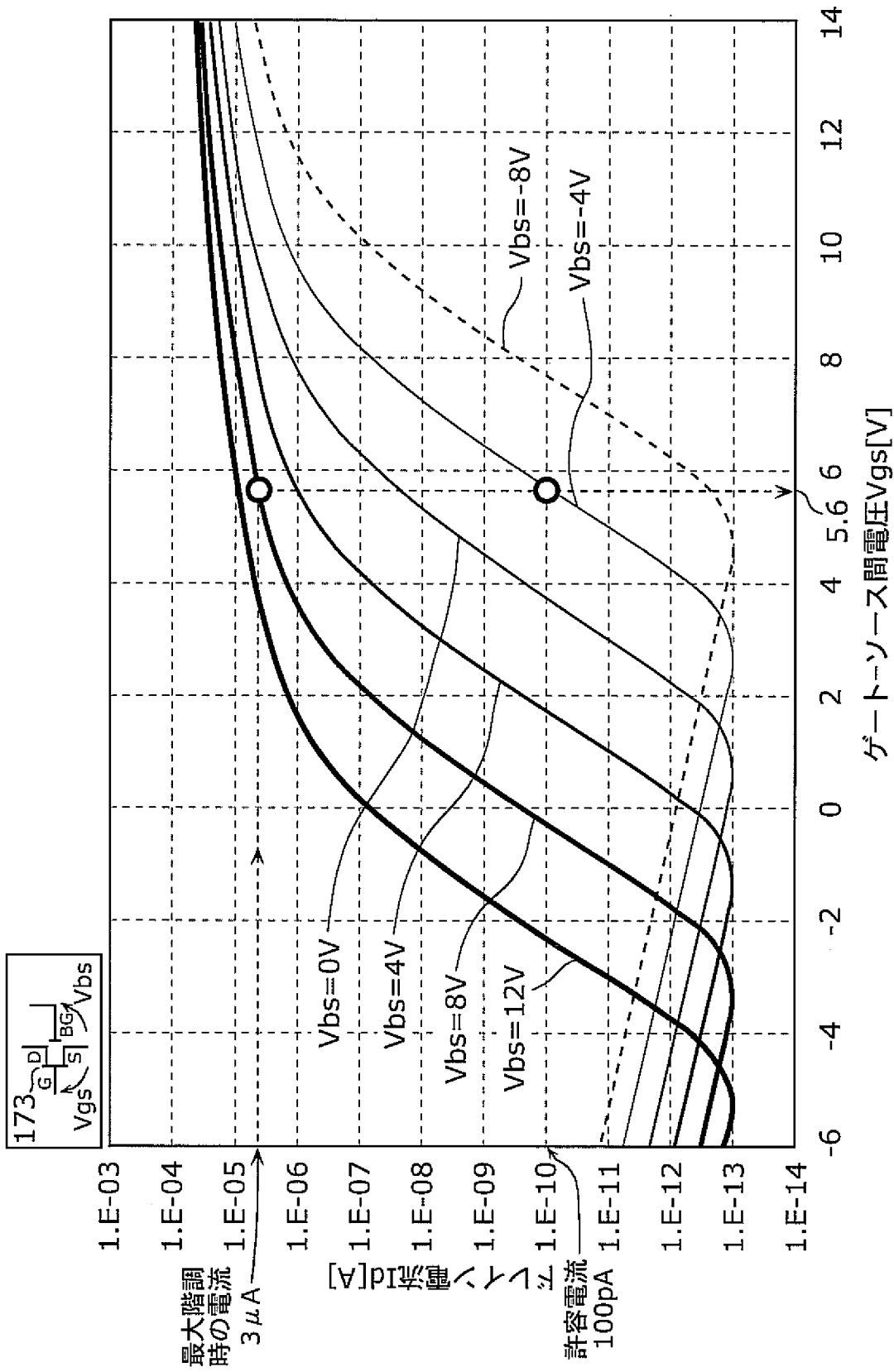
[図1]



[図2]

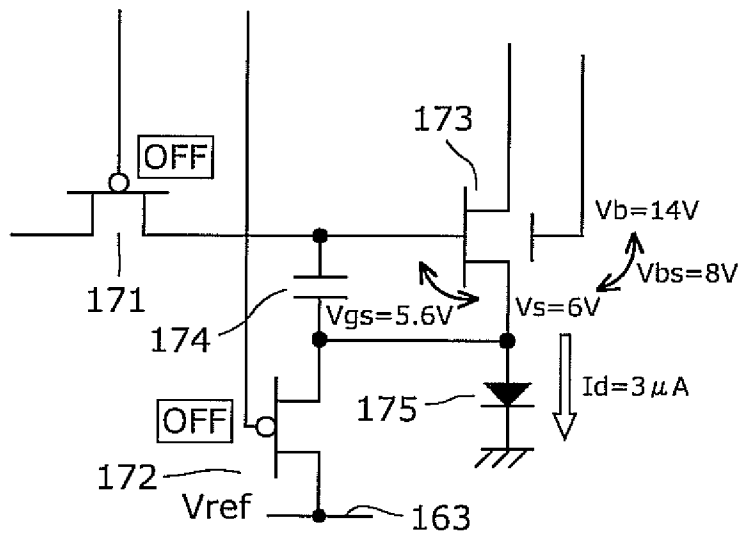


[図3]



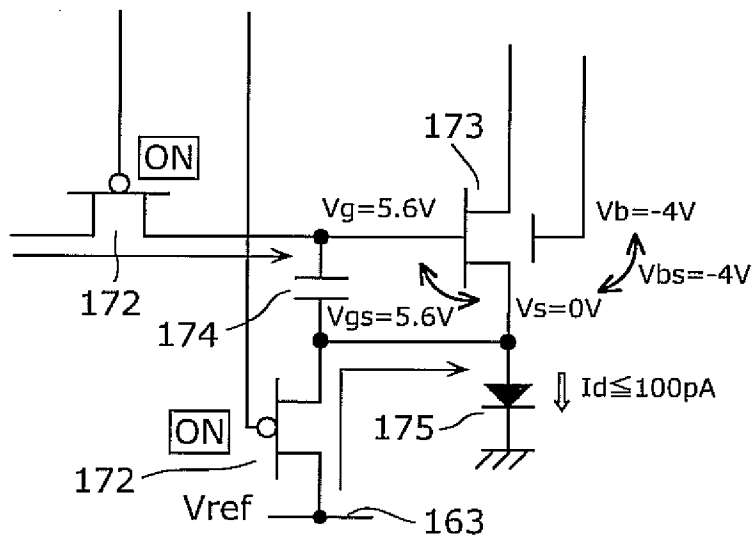
[図4A]

最大階調発光時

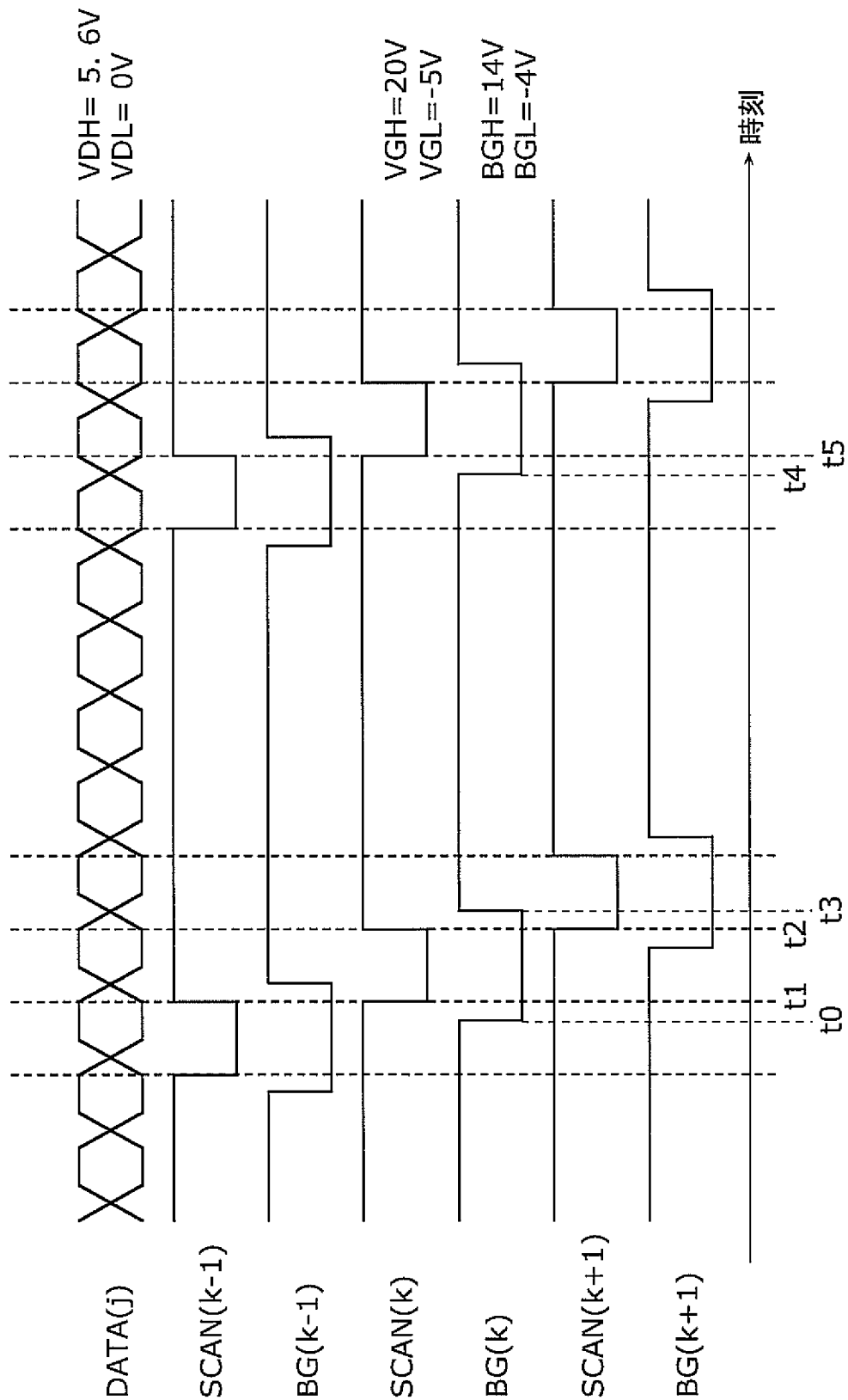


[図4B]

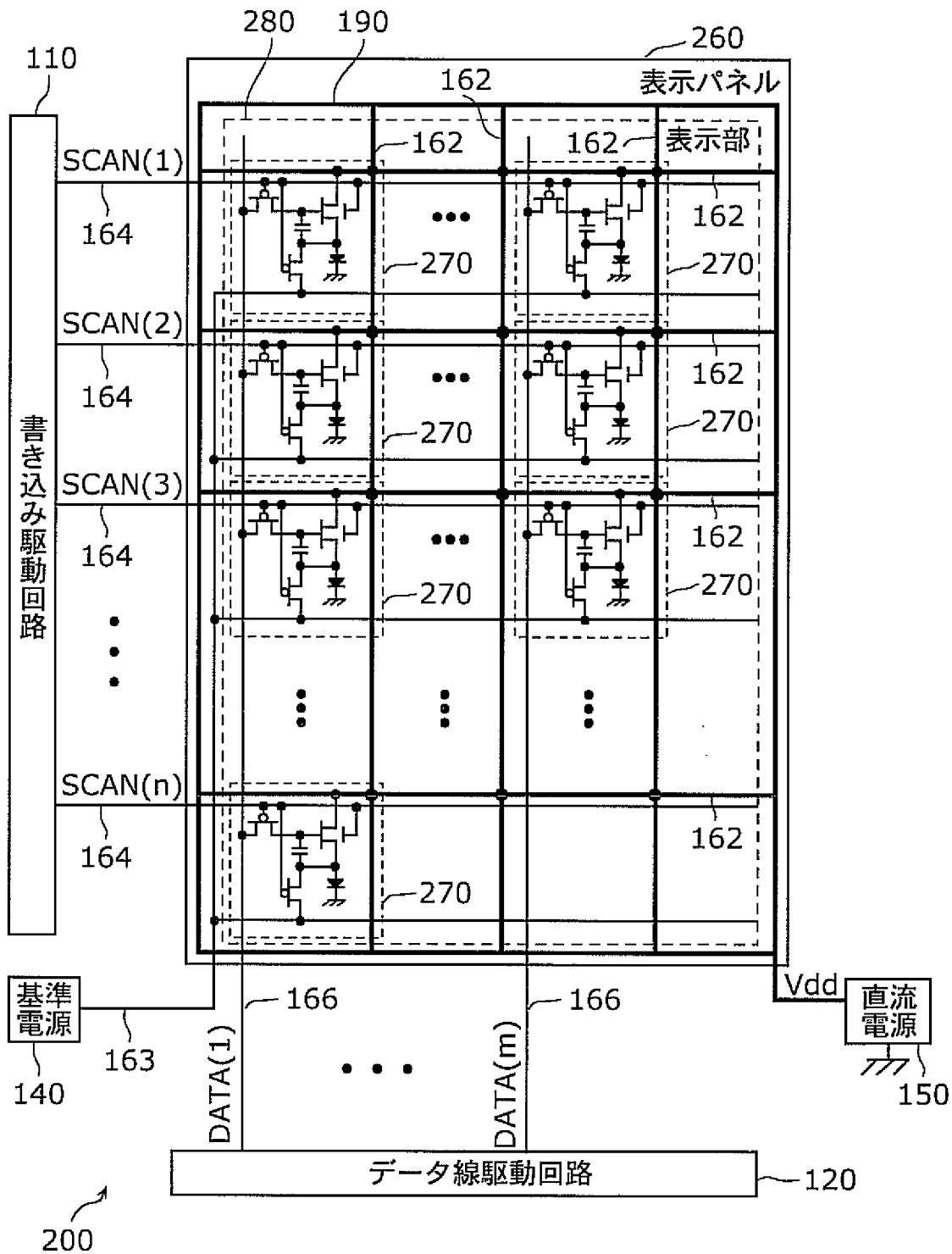
信号電圧書き込み時



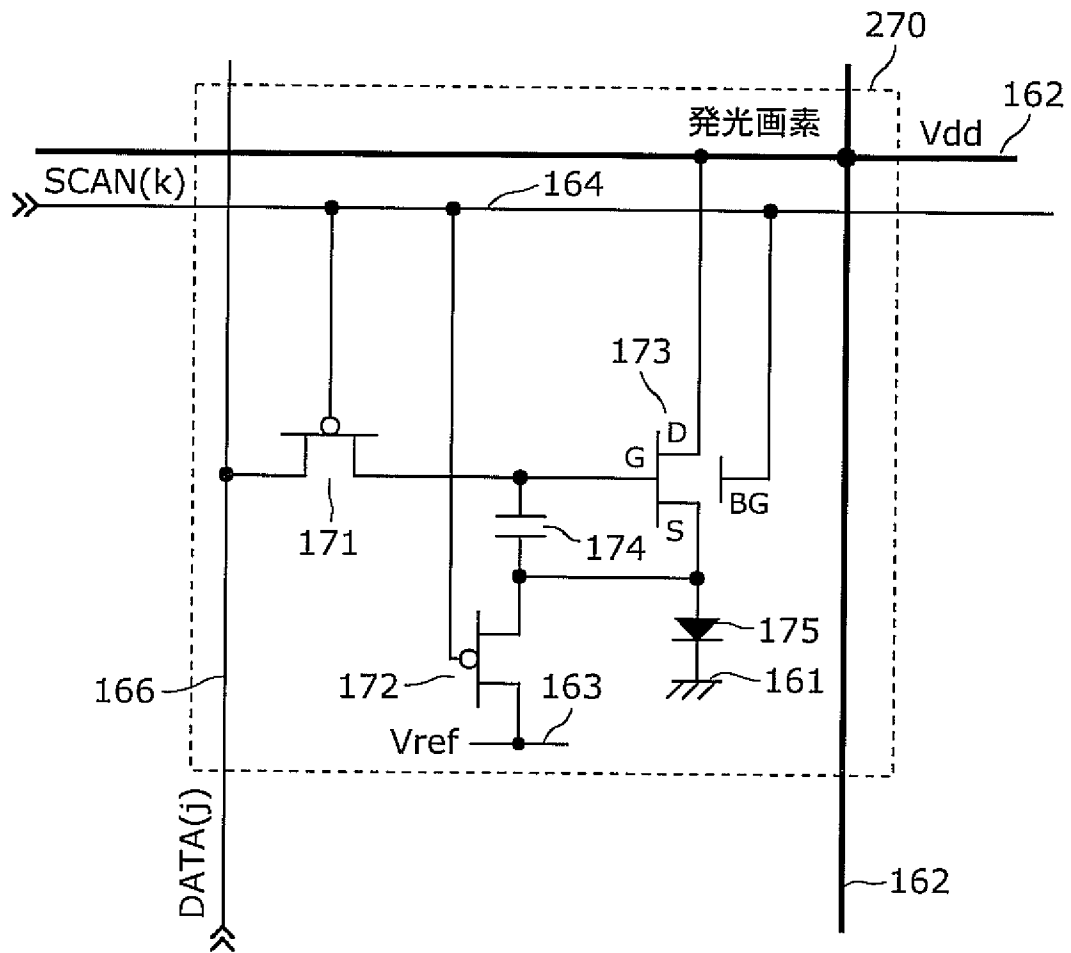
[圖5]



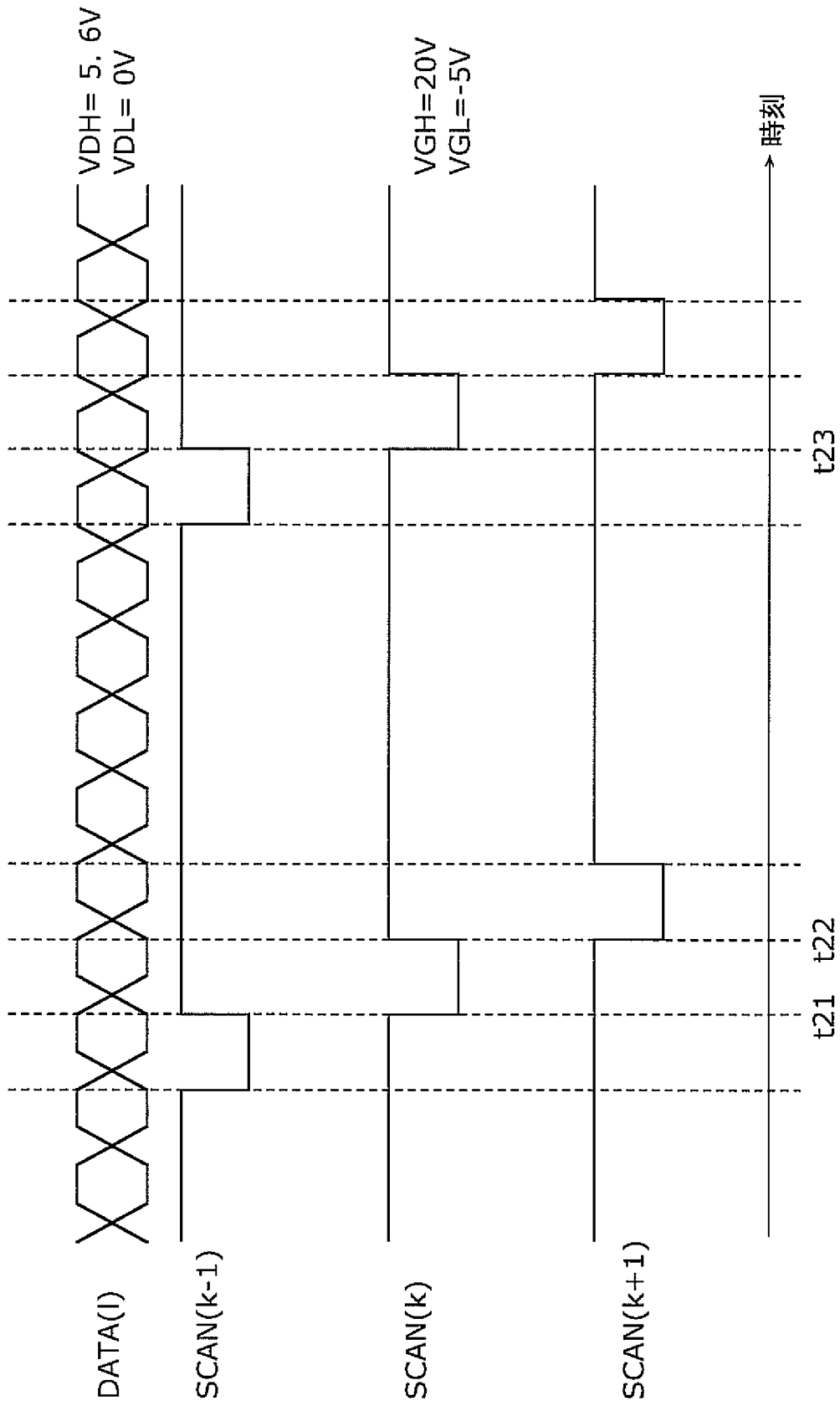
[図6]



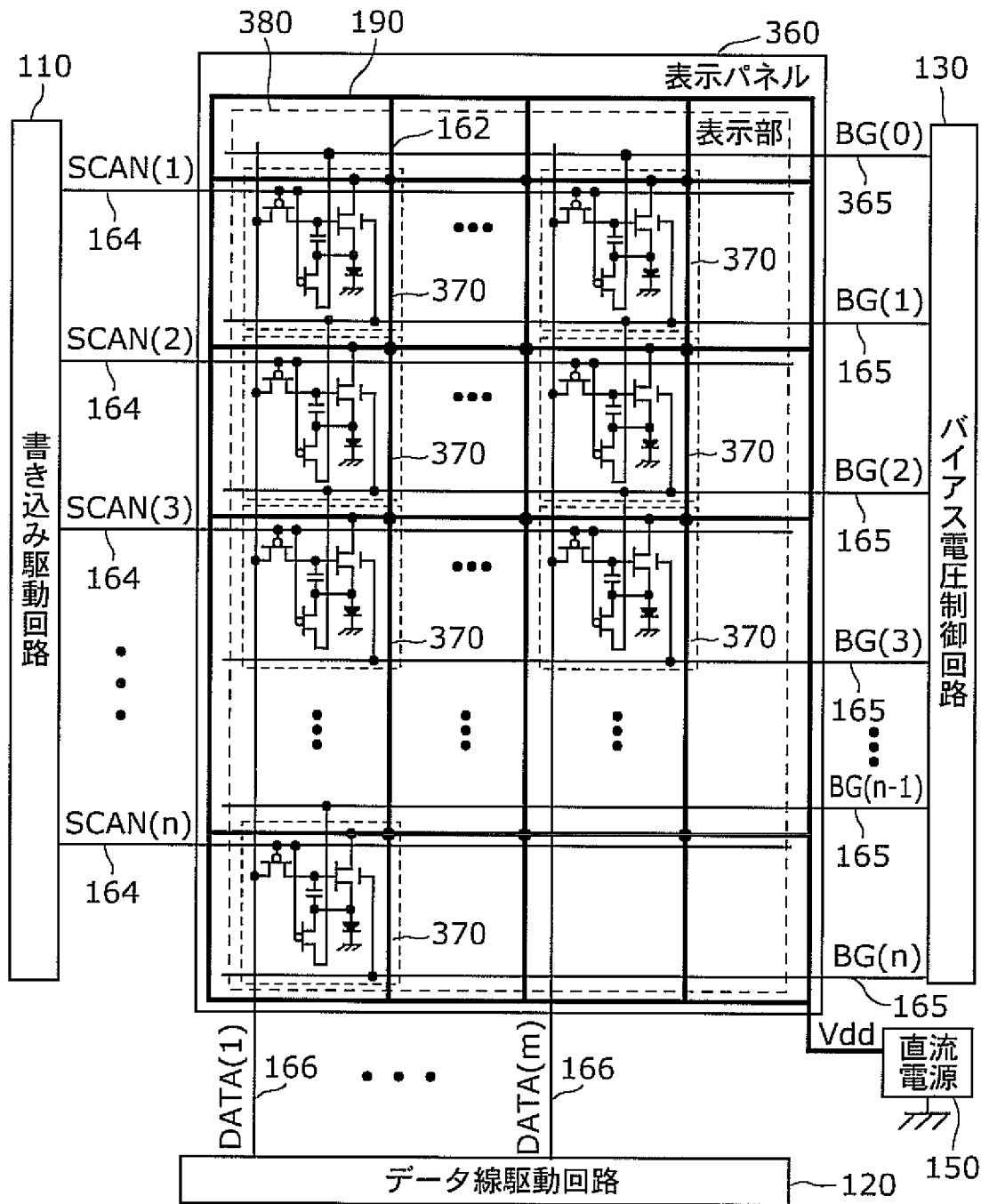
[図7]



[圖8]

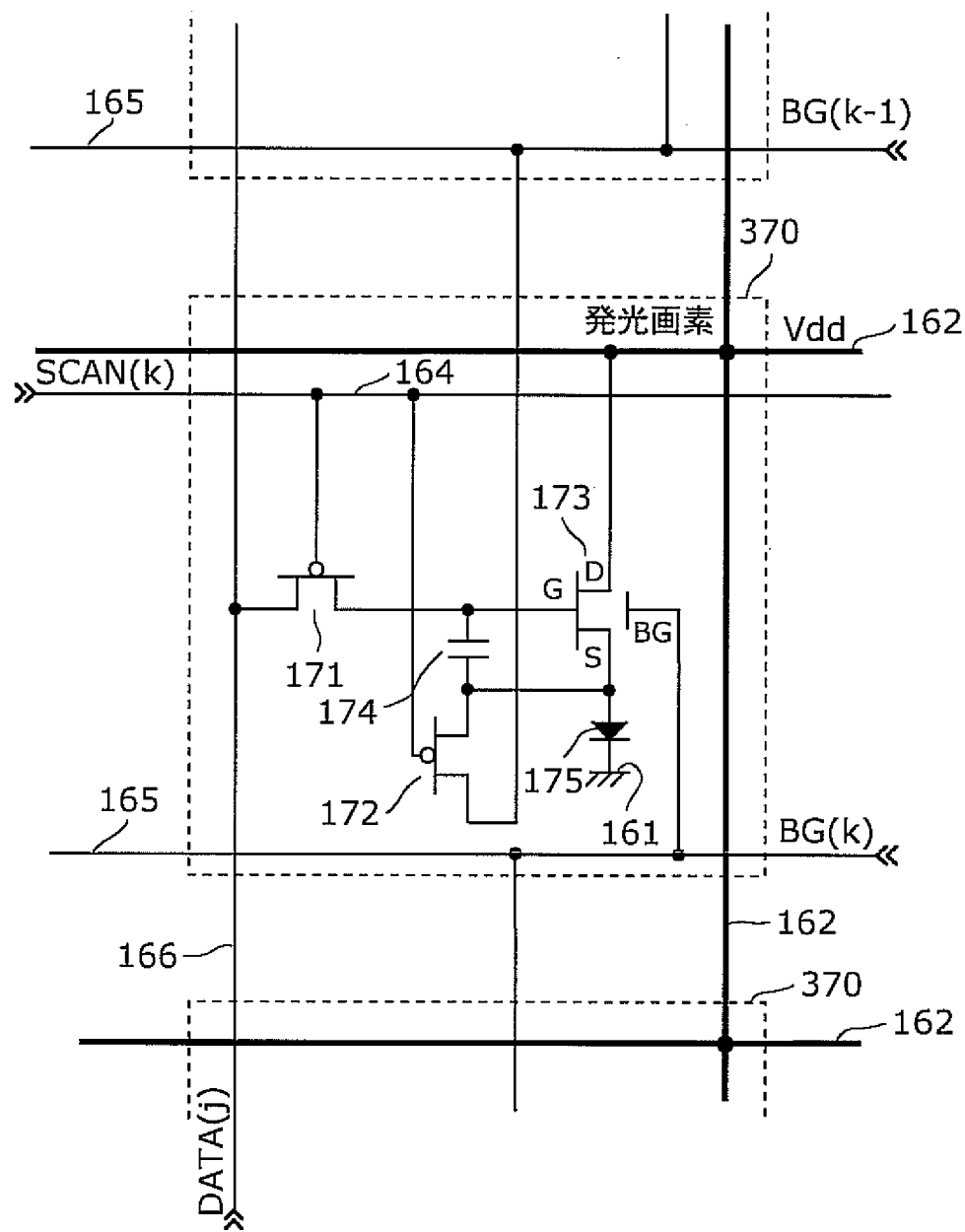


[図9]

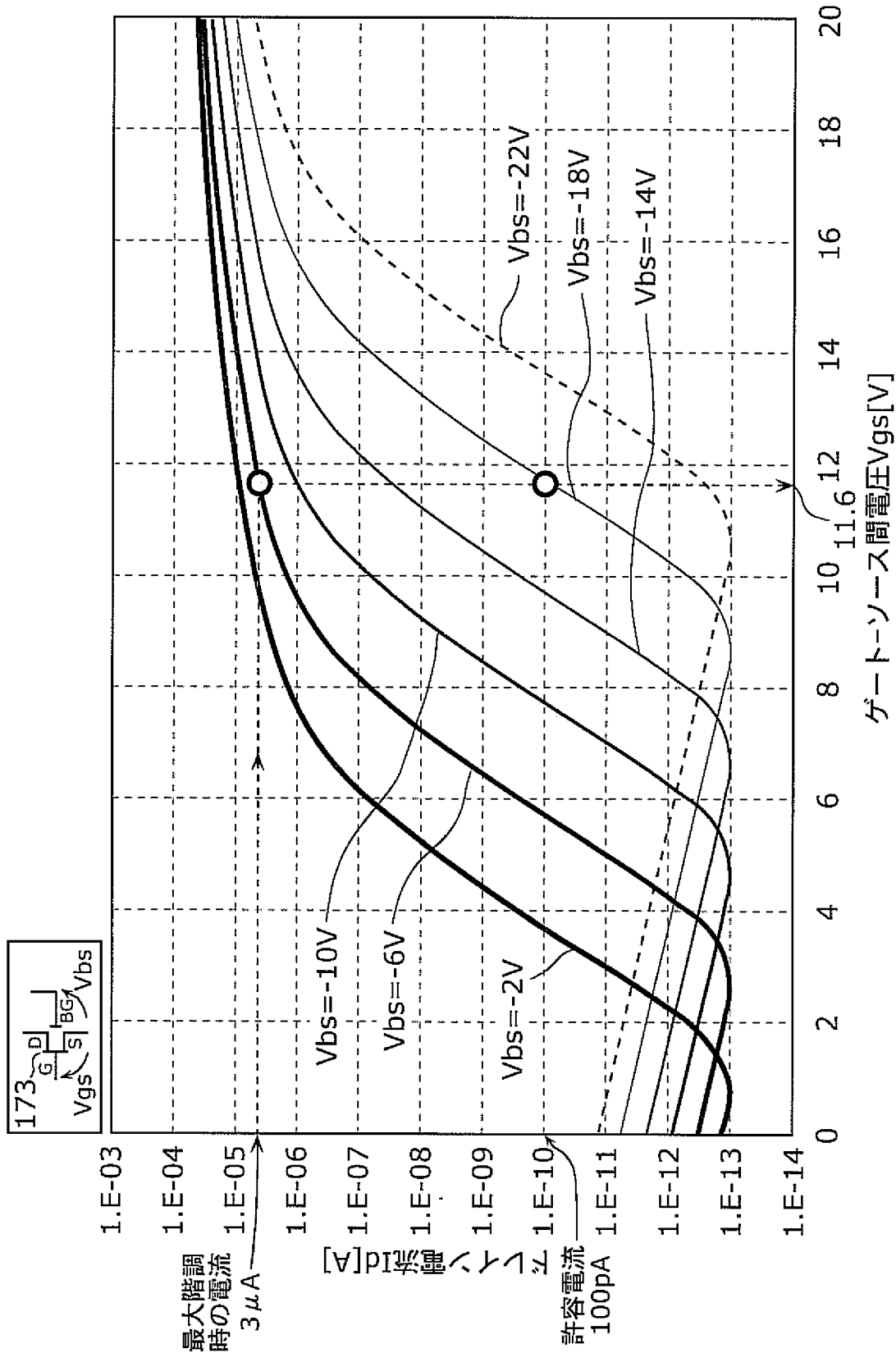


300

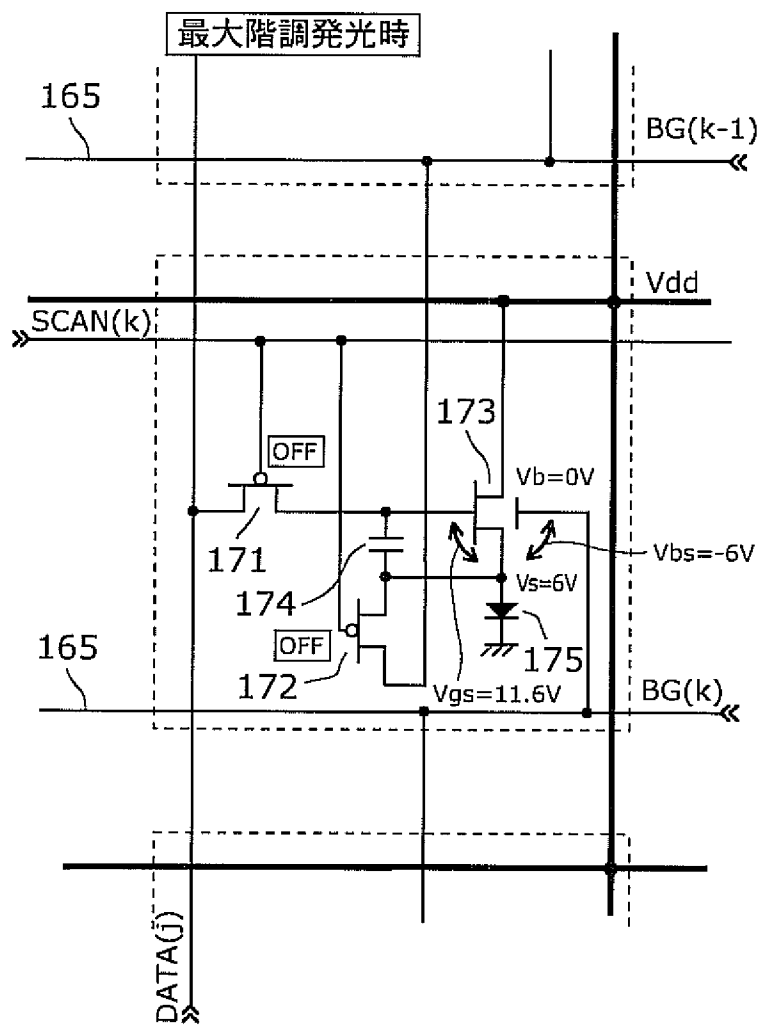
[図10]



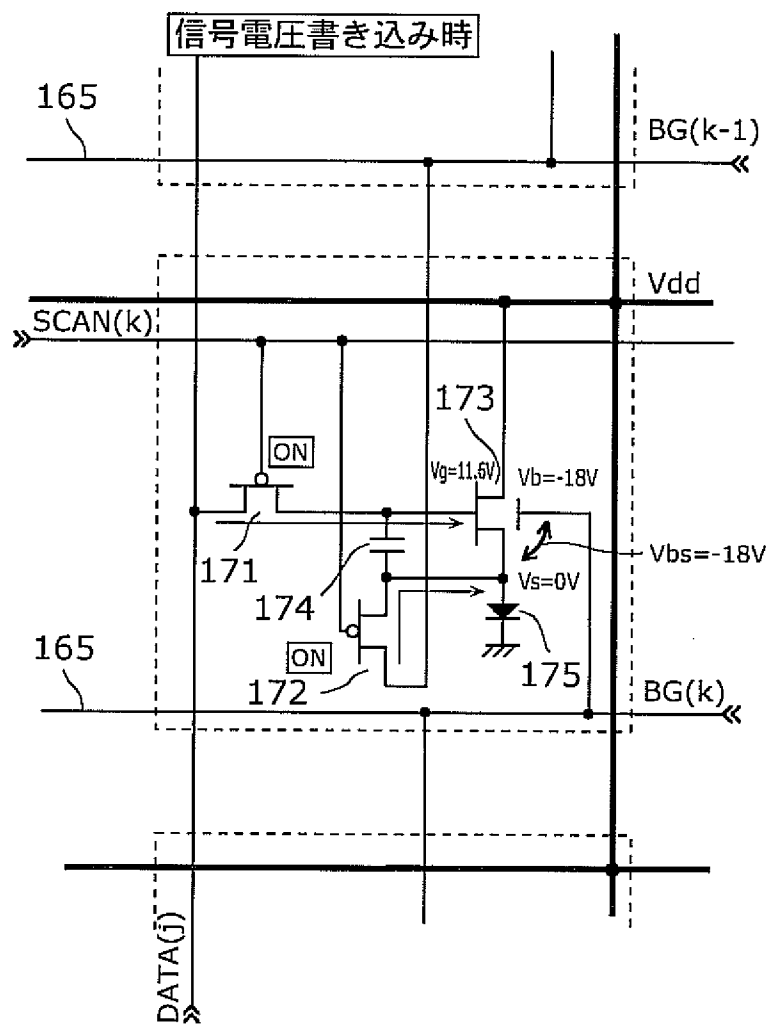
[図11]



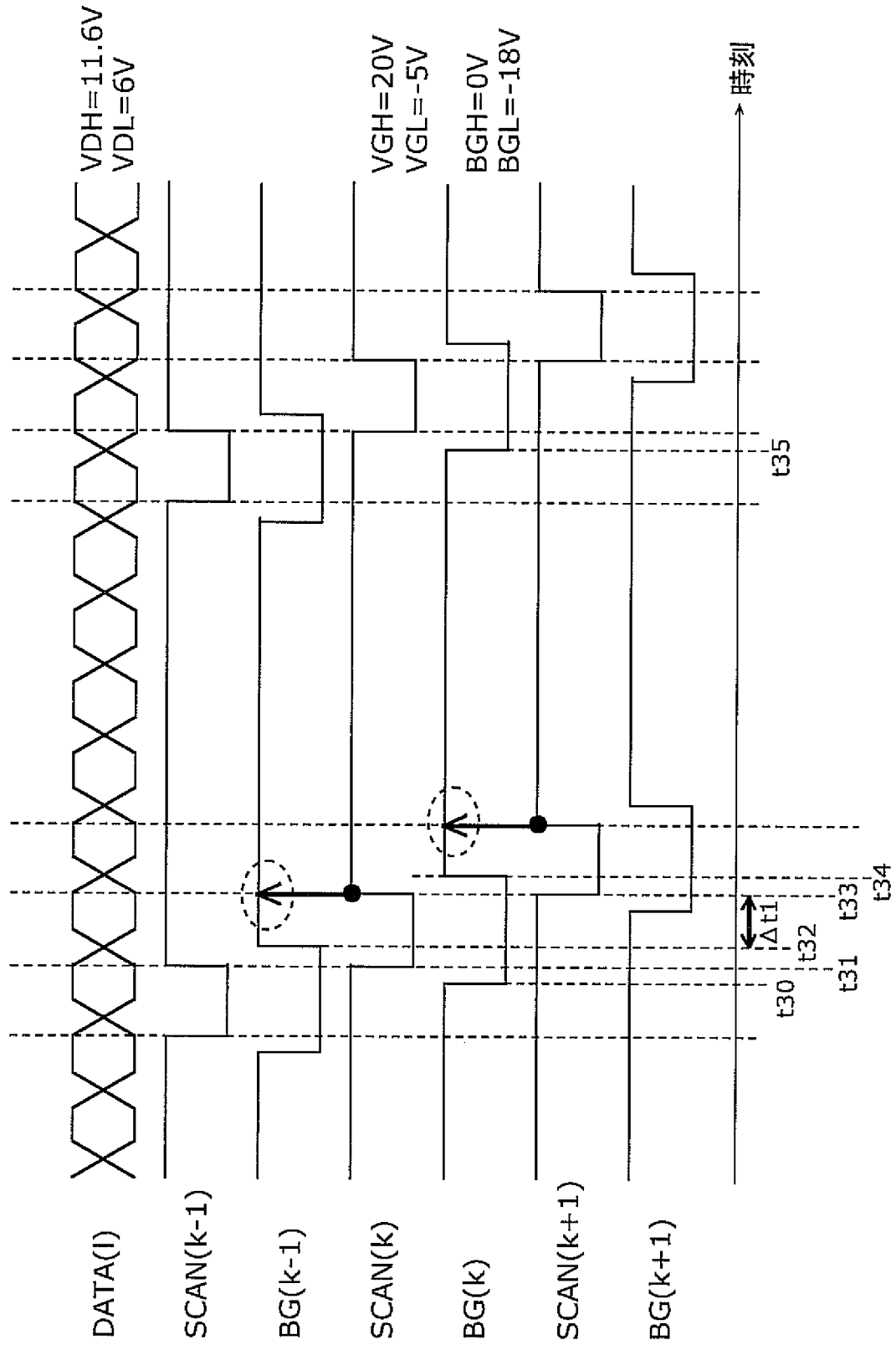
[図12A]



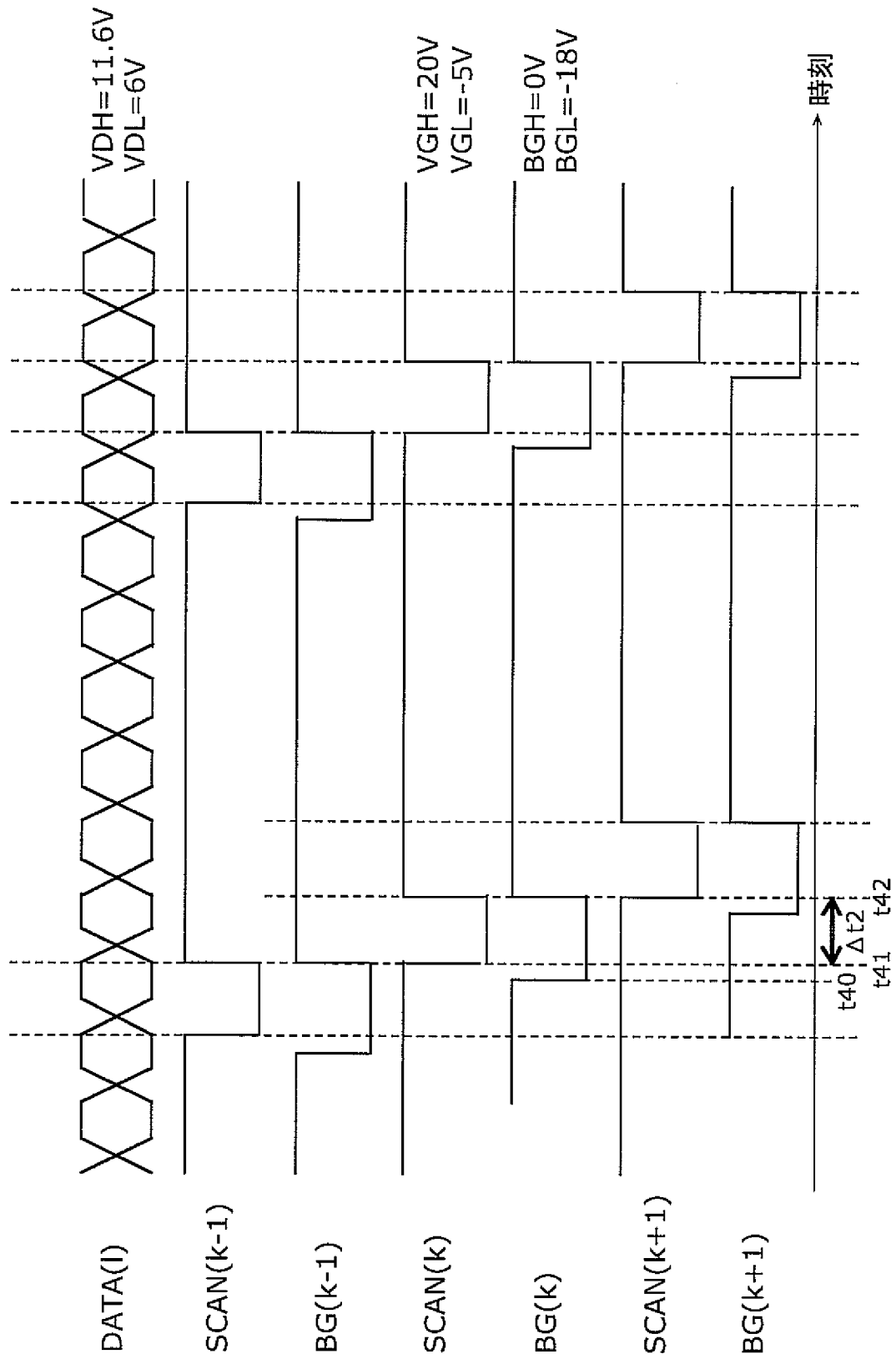
[図12B]



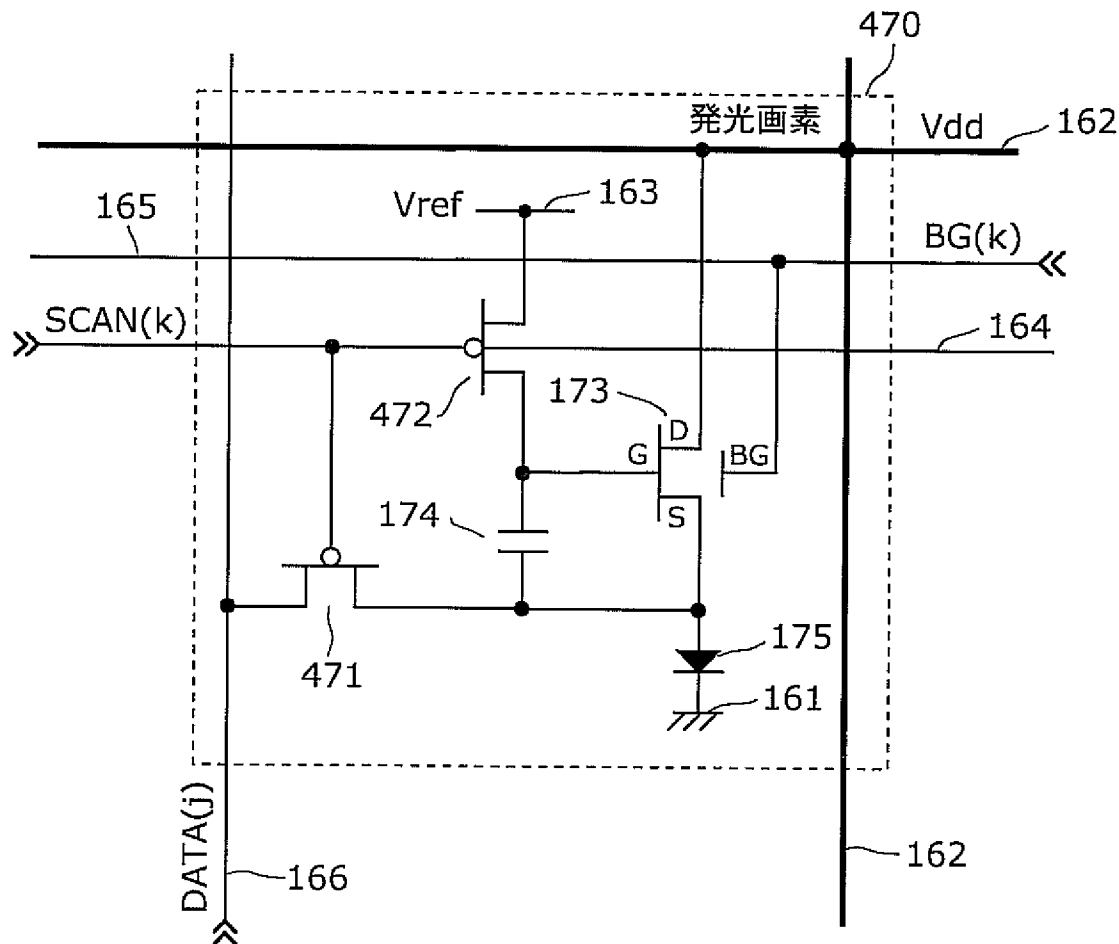
[圖13]



[圖14]

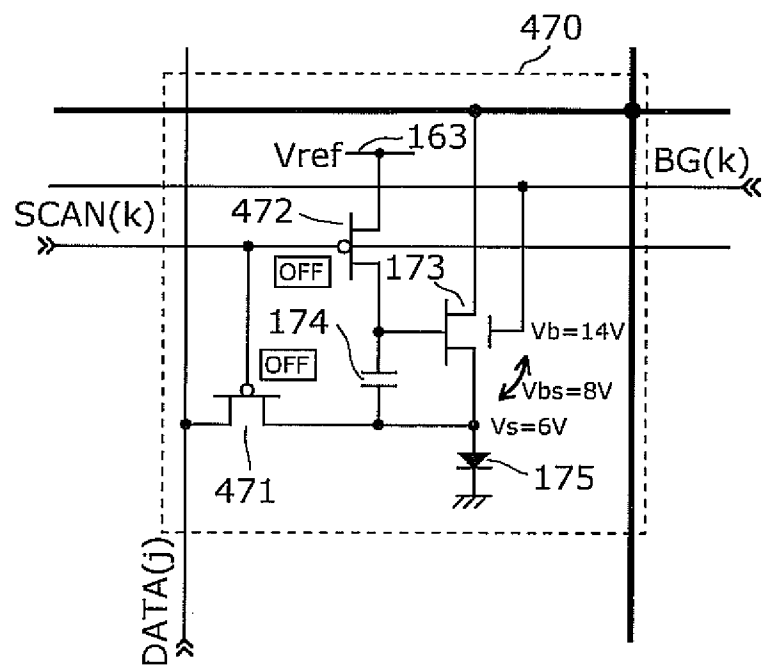


[図15]



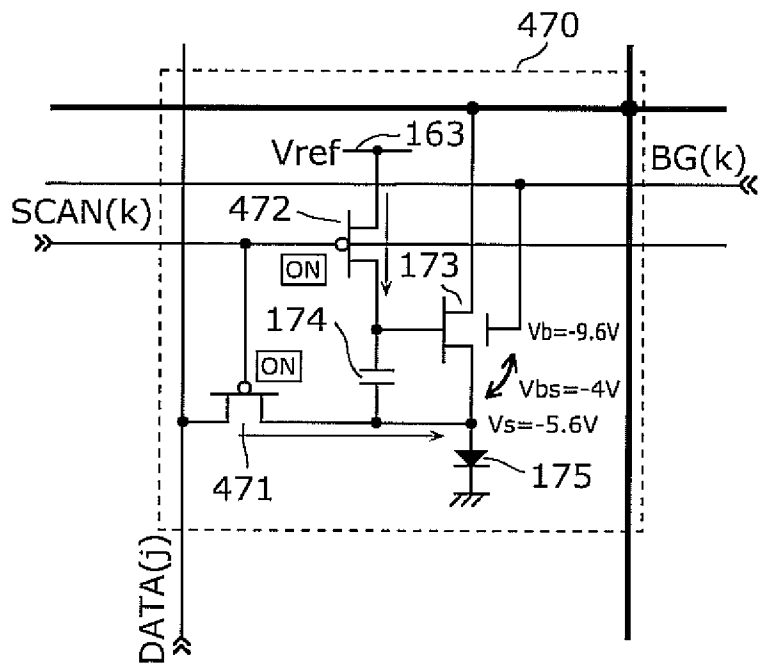
[図16A]

最大階調発光時

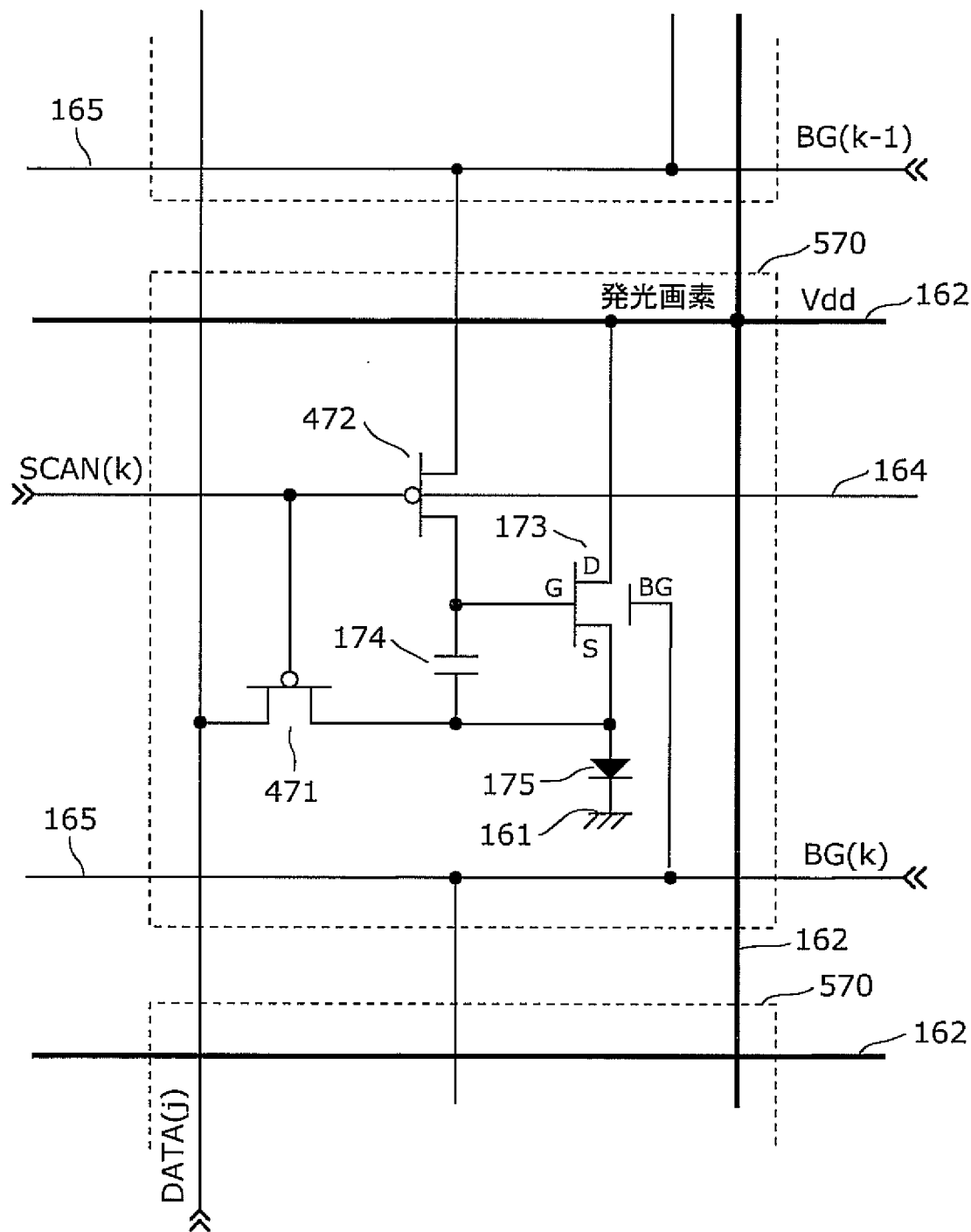


[図16B]

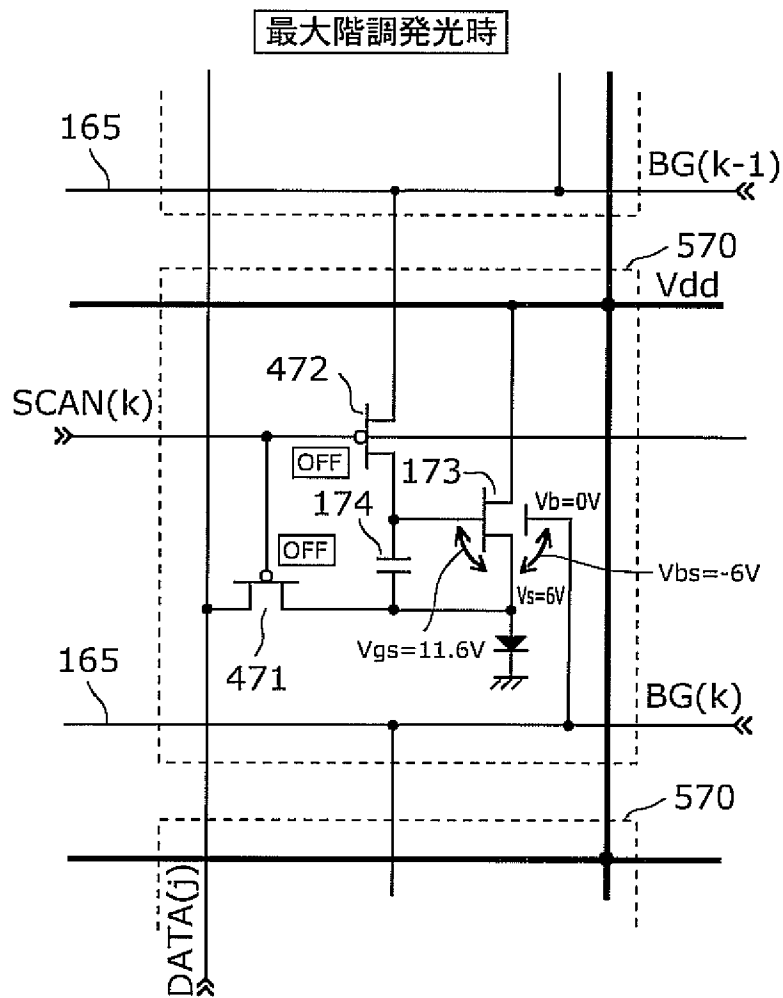
信号電圧書き込み時



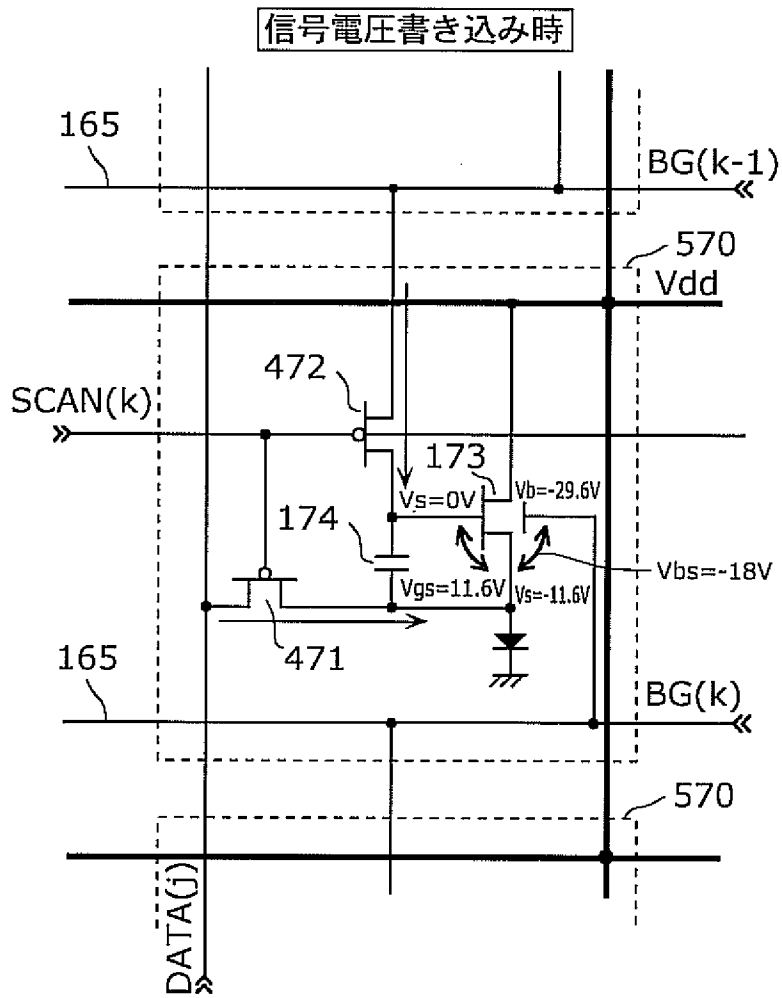
[図17]



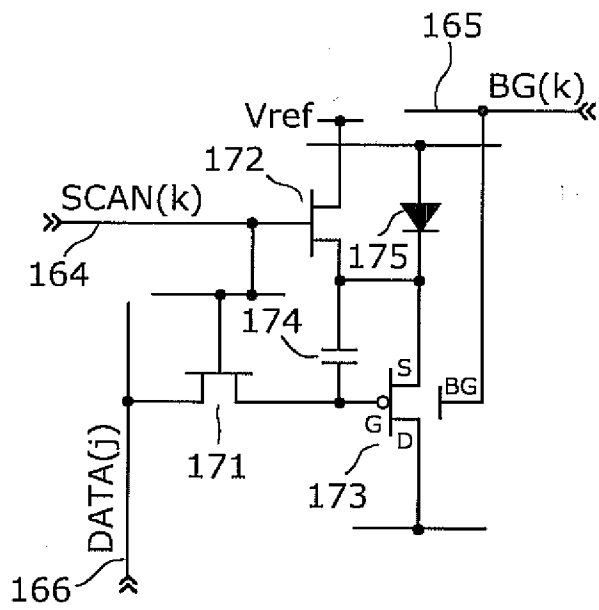
[図18A]



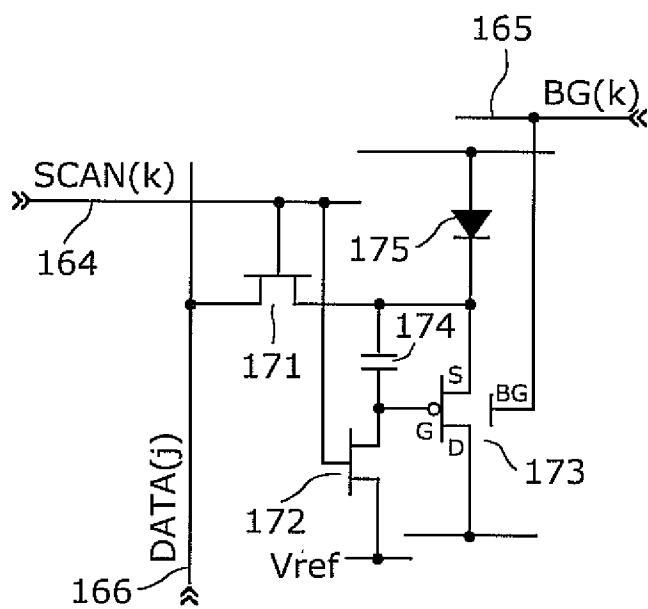
[図18B]



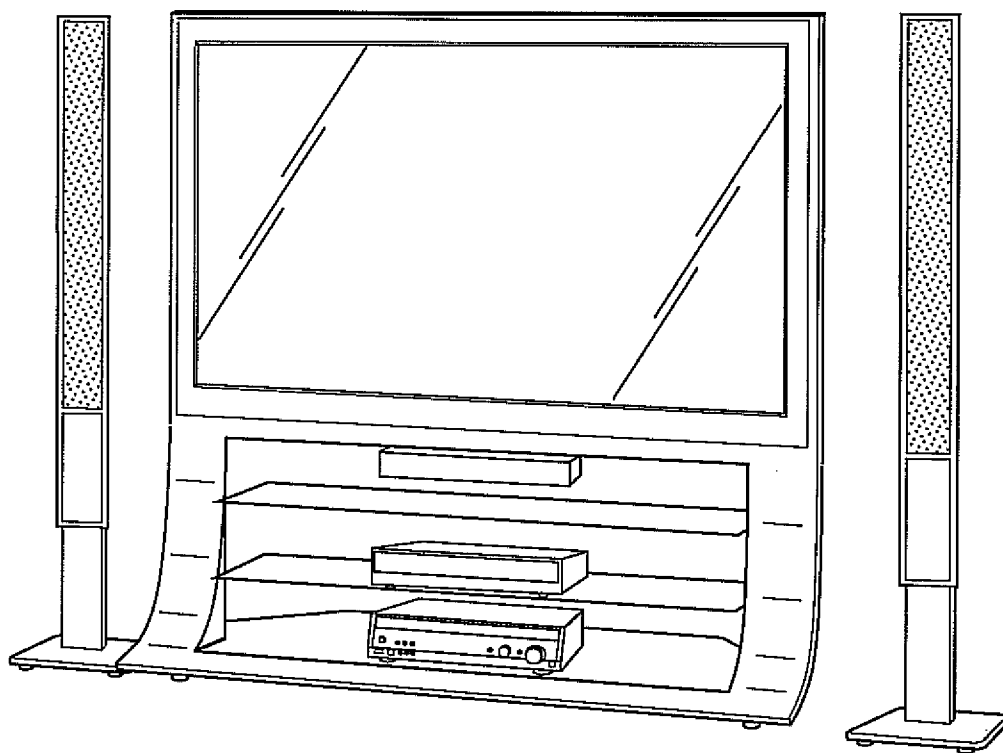
[図19A]



[図19B]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002471

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09F9/30, G09G3/20, H01L27/32, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-060816 A (Canon Inc.), 18 March 2010 (18.03.2010), entire text; all drawings (Family: none)	1-32
A	WO 2009/041061 A1 (Panasonic Corp.), 02 April 2009 (02.04.2009), entire text; all drawings (Family: none)	1-32
A	JP 2009-251205 A (Sony Corp.), 29 October 2009 (29.10.2009), entire text; all drawings (Family: none)	1-32

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
10 June, 2010 (10.06.10)

Date of mailing of the international search report
22 June, 2010 (22.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002471

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-195028 A (Rohm Co., Ltd.), 19 July 2001 (19.07.2001), entire text; all drawings & US 2001/0007447 A1	1-32
A	JP 2009-063607 A (Seiko Epson Corp.), 26 March 2009 (26.03.2009), entire text; all drawings (Family: none)	1-32
A	JP 2005-208346 A (Seiko Epson Corp.), 04 August 2005 (04.08.2005), entire text; all drawings & US 2005/0162353 A1 & US 2009/0091521 A1 & EP 1557815 A2 & KR 10-2005-0076734 A & CN 1645445 A & TW 286728 B	1-32
A	JP 2003-216110 A (Semiconductor Energy Laboratory Co., Ltd.), 30 July 2003 (30.07.2003), paragraphs [0052] to [0065]; fig. 1, 3 & JP 2009-163268 A & US 2003/0090481 A1 & EP 1310937 A1 & KR 10-2003-0040056 A & CN 1419228 A & CN 101042840 A & KR 10-2007-0110242 A & KR 10-2007-0116763 A & CN 101127188 A	1-16
E,A	WO 2010/041426 A1 (Panasonic Corp.), 15 April 2010 (15.04.2010), entire text; all drawings (Family: none)	1-32

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/30(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/30, G09F9/30, G09G3/20, H01L27/32, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-060816 A (キヤノン株式会社) 2010.03.18, 全文全図 (ファミリーなし)	1-32
A	WO 2009/041061 A1 (パナソニック株式会社) 2009.04.02, 全文全図 (ファミリーなし)	1-32
A	JP 2009-251205 A (ソニー株式会社) 2009.10.29, 全文全図 (ファミリーなし)	1-32

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

10.06.2010

国際調査報告の発送日

22.06.2010

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

奈良田 新一

2G

3805

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-195028 A (ローム株式会社) 2001. 07. 19, 全文全図 & US 2001/0007447 A1	1-32
A	JP 2009-063607 A (セイコーエプソン株式会社) 2009. 03. 26, 全文全図 (ファミリーなし)	1-32
A	JP 2005-208346 A (セイコーエプソン株式会社) 2005. 08. 04, 全文全図 & US 2005/0162353 A1 & US 2009/0091521 A1 & EP 1557815 A2 & KR 10-2005-0076734 A & CN 1645445 A & TW 286728 B	1-32
A	JP 2003-216110 A (株式会社半導体エネルギー研究所) 2003. 07. 30, 段落【0052】 - 【0065】, 図1, 3 & JP 2009-163268 A & US 2003/0090481 A1 & EP 1310937 A1 & KR 10-2003-0040056 A & CN 1419228 A & CN 101042840 A & KR 10-2007-0110242 A & KR 10-2007-0116763 A & CN 101127188 A	1-16
E, A	WO 2010/041426 A1 (パナソニック株式会社) 2010. 04. 15, 全文全図 (ファミリーなし)	1-32