

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4626500号
(P4626500)

(45) 発行日 平成23年2月9日(2011.2.9)

(24) 登録日 平成22年11月19日(2010.11.19)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 7 N

H O 1 L 29/78 6 2 6 C

請求項の数 3 (全 13 頁)

(21) 出願番号 特願2005-343303 (P2005-343303)
 (22) 出願日 平成17年11月29日(2005.11.29)
 (65) 公開番号 特開2007-150016 (P2007-150016A)
 (43) 公開日 平成19年6月14日(2007.6.14)
 審査請求日 平成19年9月11日(2007.9.11)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 加藤 樹理
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に第1半導体層を成膜する工程と、
 第2半導体層を前記第1半導体層上に成膜する工程と、
 第3半導体層を前記第2半導体層上に成膜する工程と、
 第4半導体層を前記第3半導体層上に成膜する工程と、
 前記第1半導体層から前記第4半導体層を貫通して前記半導体基板を露出させる第1溝を形成する工程と、
 前記半導体基板上で前記第2半導体層および前記第4半導体層を支持する支持体を前記第1溝内に形成する工程と、
 前記支持体が形成された前記第1半導体層および前記第3半導体層の少なくとも一部を露出させる第2溝を形成する工程と、
 前記第2溝から前記第1半導体層および前記第3半導体層を選択的にエッチングすることにより、前記第1半導体層および前記第3半導体層がそれぞれ除去された第1空洞部および第2空洞部を形成する工程と、
 前記第1空洞部および前記第2空洞部にそれぞれ埋め込まれた第1埋め込み絶縁層および第2埋め込み絶縁層を形成する工程と、
 前記第4半導体層上にゲート電極を形成する工程と、
 前記ゲート電極を通して前記第2半導体層にイオン注入を行うことにより、前記ゲート電極下の前記第2半導体層に自己整合的に配置された不純物導入層を形成する工程とを備

えることを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 1 空洞部および前記第 2 空洞部を形成する工程において、
前記第 2 半導体層は前記第 1 半導体層よりエッチングレートが小さく、
前記第 3 半導体層は前記第 1 半導体層と同等のエッチングレートであり、
前記第 4 半導体層は前記第 2 半導体層と同等のエッチングレートであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記半導体基板および前記第 2 半導体層および前記第 4 半導体層は単結晶 Si、前記第 1 半導体層および前記第 3 半導体層は単結晶 SiGe であることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置および半導体装置の製造方法に関し、特に、バックゲート電極が設けられた SOI (Silicon On Insulator) トランジスタに適用して好適なものである。

【背景技術】

【0002】

SOI (Silicon On Insulator) 基板上に形成された電界効果型トランジスタは、素子分離の容易性、ラッチアップフリー、ソース/ドレイン接合容量が小さいなどの点から、その有用性が注目されている。

20

また、例えば、特許文献 1 には、大面積の絶縁膜上に結晶性および均一性の良いシリコン薄膜を形成するために、絶縁膜上に成膜された非晶質もしくは多結晶シリコン層に紫外線ビームをパルス状に照射することにより、正方形に近い単結晶粒が基盤の目状に配列された多結晶シリコン膜を絶縁膜上に形成し、この多結晶シリコン膜の表面を CMP (化学的機械的研磨) にて平坦化する方法が開示されている。

【特許文献 1】特開平 10 - 261799 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0003】

しかしながら、絶縁膜上に形成されたシリコン薄膜には、グレインバウンダリ、マイクロツイン、その他様々の微小欠陥が存在する。このため、このようなシリコン薄膜に形成された電界効果型トランジスタは、完全単結晶シリコンに形成された電界効果型トランジスタに比べて、トランジスタ特性が劣るといった問題があった。

また、シリコン薄膜に形成された電界効果型トランジスタを積層する場合、電界効果型トランジスタが下層に存在する。このため、上層のシリコン薄膜が形成される下地絶縁膜の平坦性が劣化するとともに、上層のシリコン薄膜を形成する際の熱処理条件などに制約がかかり、上層のシリコン薄膜の結晶性は下層のシリコン薄膜の結晶性に比べて劣るといった問題があった。

40

【0004】

さらに、従来の半導体集積回路では、トランジスタの微細化に伴ってチャネル長が短くなると、サブスレシールド領域のドレイン電流の立ち上がり特性が劣化する。このため、トランジスタの低電圧動作の妨げになるとともに、オフ時のリーク電流が増加し、動作時や待機時の消費電力が増大するだけでなく、トランジスタの破壊要因にもなるという問題があった。

【0005】

そこで、本発明の目的は、電界効果型トランジスタが形成される半導体層の結晶性の劣化を抑制しつつ、バックゲート電極によるしきい値制御性を向上させることが可能な半導体装置および半導体装置の製造方法を提供することである。

50

【課題を解決するための手段】

【0006】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、第1絶縁層上に形成された第1半導体層からなるバックゲート電極と、前記第1半導体層上に形成された第2絶縁層と、前記第2絶縁層上に形成された第2半導体層と、前記第2半導体層上に形成されたゲート電極と、前記第2半導体層に形成され、前記ゲート電極の一方の側に配置されたソース層と、前記第2半導体層に形成され、前記ゲート電極の他方の側に配置されたドレイン層とを備え、前記ソース層および前記ドレイン層下の第1半導体層の不純物濃度が、前記ゲート電極下のバックゲート電極の不純物濃度よりも低いことを特徴とする

10

更に、SOI-MOSFETのチャネル領域下には、自己整合的にバックゲート電極が配置され、該MOSFETのソース・ドレイン領域下には、絶縁層に囲まれたイントリンジックあるいは低濃度不純物を有する半導体層が配置している。このため、SOIトランジスタのアクティブ領域の電位をバックゲート電極にて制御することが可能となり、サブスレシヨルド領域のドレイン電流の立ち上がり特性を向上させることが可能となるとともに、ドレイン側のチャネル端の電界を緩和することができる。従って、トランジスタの低電圧動作を可能としつつ、オフ時のリーク電流を減少させることができ、動作時や待機時の消費電力を低減させることが可能となるとともに、SOIトランジスタの耐圧を向上させることができる。

20

【0007】

また、ソース層およびドレイン層下のバックゲート電極の不純物濃度を、ゲート電極下のバックゲート電極の不純物濃度よりも低く、あるいは、イントリンジック化することにより、SOIトランジスタのアクティブ領域の電位をバックゲート電極にて効率よく制御することを可能としつつ、ソース層およびドレイン層下のバックゲート電極に形成される空乏層を広げることが可能となり、ソース層およびドレイン層の寄生容量を減らすことができる。このため、サブスレシヨルド領域のドレイン電流の立ち上がり特性を向上させることが可能となるとともに、ソース層およびドレイン層下にバックゲート電極を有する半導体層が配置された場合においても、ソース層およびドレイン層の寄生容量の充放電にかかる時間を削減することができ、動作時や待機時の消費電力を低減させることを可能としつつ、SOIトランジスタの高速化を達成することができる。

30

【0008】

また、本発明の一態様に係る半導体装置によれば、前記ゲート電極下のバックゲート電極は、前記第1半導体層において、前記ゲート電極に自己整合的に導入された不純物導入層をさらに備えることを特徴とする。

これにより、高濃度不純物を有するバックゲート電極は、前記ゲート電極と共に、自己整合的にSOI層チャネル領域を挟んで、表裏に形成できる。

【0009】

また、ソース層およびドレイン層下のバックゲート半導体層の不純物濃度が高くなることを防止しつつ、ゲート電極下のバックゲート電極の不純物濃度を高くすることが可能となり、ソース層およびドレイン層下にバックゲート半導体層が配置された場合においても、ソース層およびドレイン層の寄生容量を削減することができる。

40

また、高濃度不純物を有する、低抵抗バックゲート電極を、自己整合的にSOI層チャネル下に配置できることから、バックゲート電極のSOIトランジスタ制御能力が向上する。バックゲート電極と前記ゲート電極を独立して制御する場合には、低電圧のバックゲート印加で該SOIトランジスタの閾値をダイナミックに制御できる。

【0010】

また、本発明の一態様に係る半導体装置によれば、前記バックゲート電極と前記ゲート電極とを電気的に接続する配線層をさらに備えることを特徴とする。

これにより、バックゲート電極とゲート電極とが同電位となるように制御することがで

50

き、チャネル領域の深い部分のポテンシャルの支配力を向上させ、サブスレッショルド領域ドレイン電流の立ち上がりを急峻にすることができる。このため、チップサイズの増大を抑制しつつ、オフ時のリーク電流を減少させることができ、動作時や待機時の消費電力を低減させることが可能となるとともに、電界効果型トランジスタの高耐圧化を図ることができる。

【0011】

本発明の一態様の半導体装置の製造方法は、半導体基板上に第1半導体層を成膜する工程と、前記第1半導体層よりもエッチングレートが小さな第2半導体層を前記第1半導体層上に成膜する工程と、前記第1半導体層と同等のエッチングレートを持つ第3半導体層を前記第2半導体層上に成膜する工程と、前記第2半導体層と同等のエッチングレートを持つ第4半導体層を前記第3半導体層上に成膜する工程と、前記第1半導体層から前記第4半導体層を貫通して前記半導体基板を露出させる第1溝を形成する工程と、前記半導体基板上で前記第2半導体層および前記第4半導体層を支持する支持体を前記第1溝内に形成する工程と、前記支持体が形成された前記第1半導体層および前記第3半導体層の少なくとも一部を露出させる第2溝を形成する工程と、前記第2溝から前記第1半導体層および前記第3半導体層を選択的にエッチングすることにより、前記第1半導体層および前記第3半導体層がそれぞれ除去された第1空洞部および第2空洞部を形成する工程と、前記第1空洞部および前記第2空洞部にそれぞれ埋め込まれた第1埋め込み絶縁層および第2埋め込み絶縁層を形成する工程と、前記第4半導体層上にゲート電極を形成する工程と、前記ゲート電極を通して前記第2半導体層にイオン注入を行うことにより、前記ゲート電極下の前記第2半導体層に自己整合的に配置された不純物導入層を形成する工程とを備えることを特徴とする半導体装置の製造方法。

また、本発明の一態様に係る半導体装置の製造方法によれば、半導体基板上に第1半導体層を成膜する工程と、前記第1半導体層よりもエッチングレートが小さな第2半導体層を前記第1半導体層上に成膜する工程と、前記第1半導体層と同等のエッチングレートを持つ第3半導体層を前記第2半導体層上に成膜する工程と、前記第2半導体層と同等のエッチングレートを持つ第4半導体層を前記第3半導体層上に成膜する工程と、前記第1から第4半導体層を貫通して前記半導体基板を露出させる第1溝を形成する工程と、前記半導体基板上で前記第2および第4半導体層を支持する支持体を前記第1溝内に形成する工程と、前記支持体が形成された前記第1および第3半導体層の少なくとも一部を前記第2および第4半導体層から露出させる第2溝を形成する工程と、前記第2溝を介して第1および第3半導体層を選択的にエッチングすることにより、前記第1および第3半導体層がそれぞれ除去された第1および第2空洞部を形成する工程と、前記第1および第2空洞部にそれぞれ埋め込まれた埋め込み絶縁層を形成する工程と、前記第4半導体層上にゲート電極を形成する工程と、前記ゲート電極を通して前記第2半導体層にイオン注入を行うことにより、前記ゲート電極下の第2半導体層に自己整合的に配置された不純物導入層を形成する工程とを備えることを特徴とする。

【0012】

これにより、第1および第3半導体層上に第2および第4半導体層がそれぞれ積層された場合においても、第2溝を介してエッチング液またはエッチングガスを第1および第3半導体層に接触させることが可能となり、第2および第4半導体層を残したまま、第1および第3半導体層を除去することが可能となるとともに、第2および第4半導体層下の第1および第2空洞部にそれぞれ埋め込まれた埋め込み絶縁層を形成することができる。また、第1溝に埋め込まれた支持体を形成することにより、第2および第4半導体層下に第1および第2空洞部がそれぞれ形成された場合においても、第2および第4半導体層を半導体基板上に支持することが可能となる。

【0013】

このため、第2および第4半導体層の欠陥の発生を低減させつつ、第2および第4半導体層を埋め込み絶縁層上に配置することが可能となり、SOI基板を用いることなく、SOIトランジスタを第4半導体層に形成することが可能となるとともに、SOIトランジ

10

20

30

40

50

スタ下にバックゲート電極を配置することが可能となる。

また、ゲート電極を通して第2半導体層にイオン注入を行うことにより、ゲート電極下の第2半導体層に自己整合的に配置された不純物導入層を形成することができ、ソース層およびドレイン層下のバックゲート電極の不純物濃度をゲート電極下のバックゲート電極の不純物濃度よりも低くすることができる。この結果、バックゲート電極によるしきい値制御性を向上させることを可能としつつ、ソース層およびドレイン層の寄生容量を減らすことができ、コストアップを抑制しつつ、動作時や待機時の消費電力を低減させることが可能となるとともに、SOIトランジスタの高速化を実現することができる。

【0014】

また、本発明の一態様に係る半導体装置の製造方法によれば、前記半導体基板および前記第2および第4半導体層は単結晶Si、前記第1および第3半導体層は単結晶SiGeであることを特徴とする。

10

これにより、半導体基板、第1から第4半導体層間の格子整合をとることを可能としつつ、半導体基板、第2および第4半導体層よりも第1および第3半導体層のエッチングレートを大きくすることが可能となる。このため、結晶品質の良い第2および第4半導体層を第1および第3半導体層上に形それぞれ形成することが可能となり、第2および第4半導体層の品質を損なうことなく、第2および第4半導体層と半導体基板との間の絶縁を図ることが可能となる。

【発明を実施するための最良の形態】

【0015】

20

以下、本発明の実施形態に係る半導体装置およびその製造方法について図面を参照しながら説明する。

図1(a)~図11(a)は、本発明の一実施形態に係る半導体装置の製造方法を示す平面図、図1(b)~図11(b)は、図1(a)~図11(a)のA1-A1'~A11-A11'線でそれぞれ切断した断面図、図1(c)~図11(c)は、図1(a)~図11(a)のB1-B1'~B11-B11'線でそれぞれ切断した断面図である。

【0016】

図1において、半導体基板31上には、半導体層51、33、52、35がエピタキシャル成長にて順次積層されている。ここで、半導体層51の膜厚は半導体層52の膜厚よりも厚くすることができる。また、半導体層51、52は、半導体基板31および半導体層33、35よりもエッチングレートが大きな材質を用いることができ、半導体基板31、半導体層51、33、52、35の材質としては、例えば、Si、Ge、SiGe、SiC、SiSn、PbS、GaAs、InP、GaP、GaNまたはZnSeなどの中から選択された組み合わせを用いることができる。特に、半導体基板31がSiの場合、半導体層51、52としてSiGe、半導体層33、35としてSiを用いることが好ましい。これにより、半導体層51、52と半導体層33、35との間の格子整合をとることを可能としつつ、半導体層51、52と半導体層33、35との間の選択比を確保することができる。また、半導体層51、33、52、35としては、単結晶半導体層の他、多結晶半導体層、アモルファス半導体層または多孔質半導体層を用いるようにしてもよい。また、半導体層51、52の代わりに、単結晶半導体層をエピタキシャル成長にて成膜可能な酸化アルミニウムなどの金属酸化膜を用いるようにしてもよい。また、半導体層51、33、52、35の膜厚は、例えば、1~100nm程度とすることができる。また、半導体層33、35は不純物がドーピングされていないイントリンジック半導体を用いることが好ましい。

30

40

【0017】

そして、半導体層35の熱酸化やCVD法により半導体層35の表面を保護する下地酸化膜53を形成する。そして、CVDなどの方法により、下地酸化膜53上の全面に酸化防止膜54を形成する。なお、酸化防止膜54としては、例えば、シリコン窒化膜を用いることができる。

次に、図2に示すように、フォトリソグラフィ技術およびエッチング技術を用いて、

50

酸化防止膜 5 4、下地酸化膜 5 3、半導体層 3 5、5 2、3 3、5 1 をパターンングすることにより、半導体基板 3 1 の一部を露出させる溝 3 6 を所定の方向に沿って形成する。なお、溝 3 6 の配置位置は、半導体層 3 3 の素子分離領域の一部に対応させることができる。また、半導体基板 3 1 の一部を露出させる場合、半導体基板 3 1 の表面でエッチングを止めるようにしてもよいし、半導体基板 3 1 をオーバーエッチングして半導体基板 3 1 に凹部を形成するようにしてもよい。

【 0 0 1 8 】

さらに、フォトリソグラフィ技術およびエッチング技術を用いて、酸化防止膜 5 4、下地酸化膜 5 3、半導体層 3 5、5 2 をパターンングすることにより、溝 3 6 と重なるように配置された溝 3 6 よりも幅の広い溝 3 7 を形成する。ここで、溝 3 7 の配置位置は、10

半導体層 3 5 の素子分離領域に対応させることができる。
次に、図 3 に示すように、CVD などの方法により、溝 3 6、3 7 内に埋め込まれ、半導体層 3 3、3 5 を半導体基板 3 1 上で支持する支持体 5 6 を半導体基板 3 1 上の全面に形成する。なお、支持体 5 6 の材質としてはシリコン酸化膜、シリコン窒化膜あるいはシリコン酸窒化膜などの絶縁体を用いることができる。あるいは、支持体 5 6 の材質として、結晶半導体層の他、多結晶半導体層、アモルファス半導体層などを用いるようにしてもよい。ここで、半導体基板 3 1 上の全面を覆うように形成された支持体 5 6 は、半導体層 3 3、3 5 の撓み等を抑制して、平坦性を保ったまま半導体層 3 3、3 5 を支持する必要がある。そのため、その機械的な強度を確保する意味で、最小素子分離幅より厚い膜厚にすることが好ましい。20

【 0 0 1 9 】

次に、図 4 に示すように、フォトリソグラフィ技術およびエッチング技術を用いて酸化防止膜 5 4、下地酸化膜 5 3、半導体層 3 5、5 2、3 3、5 1 をパターンングすることにより、半導体層 5 1 の一部を露出させる溝 3 8 を溝 3 6 と直交する方向に沿って形成する。なお、溝 3 8 の配置位置は、半導体層 3 3、3 5 の素子分離領域に対応させることができる。また、半導体層 5 1 の一部を露出させる場合、半導体層 5 1 の表面でエッチングを止めるようにしてもよいし、半導体層 5 1 をオーバーエッチングして半導体層 5 1 に凹部を形成するようにしてもよい。あるいは、溝 3 8 内の半導体層 5 1 を貫通させて半導体基板 3 1 の表面を露出させるようにしてもよい。

【 0 0 2 0 】

次に、図 5 に示すように、溝 3 8 を介してエッチングガスまたはエッチング液を半導体層 5 1、5 2 に接触させることにより、半導体層 5 1、5 2 をエッチング除去し、半導体基板 3 1 と半導体層 3 3 との間に空洞部 5 7 a を形成するとともに、半導体層 3 3、3 5 間に空洞部 5 7 b を形成する。30

ここで、溝 3 6、3 7 内に支持体 5 6 を設けることにより、半導体層 5 1、5 2 が除去された場合においても、半導体層 3 3、3 5 を半導体基板 3 1 上で支持することが可能となるとともに、溝 3 6、3 7 とは別に溝 3 8 を設けることにより、半導体層 3 3、3 5 下にそれぞれ配置された半導体層 5 1、5 2 にエッチングガスまたはエッチング液を接触させることが可能となる。このため、半導体層 3 3、3 5 の結晶品質を損なうことなく、半導体層 3 3、3 5 と半導体基板 3 1 との間の絶縁を図ることが可能となる。40

【 0 0 2 1 】

なお、半導体基板 3 1、半導体層 3 3、3 5 が Si、半導体層 5 1、5 2 が SiGe の場合、半導体層 5 1、5 2 のエッチング液としてフッ硝酸を用いることが好ましい。これにより、Si と SiGe の選択比として 1 : 100 ~ 1000 程度を得ることができ、半導体基板 3 1 および半導体層 3 3、3 5 のオーバーエッチングを抑制しつつ、半導体層 5 1、5 2 を除去することが可能となる。また、半導体層 5 1、5 2 のエッチング液としてフッ硝酸過水、アンモニア過水、あるいはフッ酢酸過水などを用いても良い。

【 0 0 2 2 】

また、半導体層 5 1、5 2 をエッチング除去する前に、陽極酸化などの方法により半導体層 5 1、5 2 を多孔質化するようにしてもよいし、半導体層 5 1、5 2 にイオン注入を50

行うことにより、半導体層 5 1、5 2 をアモルファス化するようにしてもよいし、半導体基板 5 1 として P 型半導体基板を用いるようにしてもよい。これにより、半導体層 5 1、5 2 のエッチングレートを増大させることが可能となり、半導体層 5 1、5 2 のエッチング面積を拡大することができる。

【 0 0 2 3 】

次に、図 6 に示すように、半導体基板 3 1 および半導体層 3 3、3 5 の熱酸化を行うことにより、半導体基板 3 1 と半導体層 3 3 との間の空洞部 5 7 a に埋め込み絶縁層 3 2 を形成するとともに、半導体層 3 3、3 5 間の空洞部 5 7 b に埋め込み絶縁層 3 4 を形成する。なお、半導体基板 3 1 および半導体層 3 3、3 5 の熱酸化にて埋め込み絶縁層 3 2、3 4 を形成する場合、埋め込み性を向上させるために、反応律速となる低温のウェット酸化を用いることが好ましい。ここで、半導体基板 3 1 および半導体層 3 3、3 5 の熱酸化にて埋め込み絶縁層 3 2、3 4 を形成する場合、溝 3 8 内の半導体基板 3 1 および半導体層 3 3、3 5 が酸化され、溝 3 8 内の側壁に酸化膜 3 9 が形成される。

10

【 0 0 2 4 】

これにより、エピタキシャル成長時の半導体層 3 3、3 5 の膜厚および半導体層 3 3、3 5 の熱酸化時に形成された埋め込み絶縁層 3 2、3 4 の膜厚により、素子分離後の半導体層 3 3、3 5 の膜厚をそれぞれ規定することができる。このため、半導体層 3 3、3 5 の膜厚を精度よく制御することができ、半導体層 3 3、3 5 の膜厚のバラツキを低減させることを可能としつつ、半導体層 3 3、3 5 を薄膜化することができる。また、半導体層 3 5 上に酸化防止膜 5 4 を設けることで、半導体層 3 5 の表面が熱酸化されることを防止しつつ、半導体層 3 5 の裏面側に埋め込み絶縁層 3 4 を形成することが可能となる。

20

【 0 0 2 5 】

なお、空洞部 5 7 a、5 7 b に埋め込み絶縁層 3 2、3 4 をそれぞれ形成した後、1 1 0 0 以上の高温アニールを行うようにしてもよい。これにより、埋め込み絶縁層 3 2、3 4 をリフローさせることが可能となり、埋め込み絶縁層 3 2、3 4 のストレスを緩和させることが可能となるとともに、第 2 半導体層 4 との境界における界面準位を減らすことができる。また、埋め込み絶縁層 3 2、3 4 は空洞部 5 7 a、5 7 b を全て埋めるように形成しても良いし、空洞部 5 7 a、5 7 b が一部残るように形成しても良い。

【 0 0 2 6 】

また、図 6 の方法では、半導体基板 3 1 および半導体層 3 3、3 5 の熱酸化を行うことにより、半導体基板 3 1 と半導体層 3 3 との間の空洞部 5 7 a に埋め込み絶縁層 3 2 を形成するとともに、半導体層 3 3、3 5 間の空洞部 5 7 b に埋め込み絶縁層 3 4 を形成する方法について説明したが、CVD 法にて半導体基板 3 1 と半導体層 3 3、3 5 との間の空洞部 5 7 a、5 7 b に絶縁膜を成膜させることにより、半導体基板 3 1 と半導体層 3 3、3 5 との間の空洞部 5 7 a、5 7 b 全体を埋め込み絶縁層で埋め込むようにしてもよい。

30

【 0 0 2 7 】

これにより、半導体層 3 3、3 5 の膜減りを防止しつつ、半導体基板 3 1 と半導体層 3 3、3 5 との間の空洞部 5 7 a、5 7 b を酸化膜以外の材料で埋め込むことが可能となる。このため、半導体層 3 3、3 5 の裏面側にそれぞれ配置される埋め込み絶縁層 3 2、3 4 の厚膜化を図ることが可能となるとともに、半導体層 3 3、3 5 の裏面側の寄生容量を低減させることができる。

40

【 0 0 2 8 】

なお、空洞部 5 7 a、5 7 b に埋め込まれる埋め込み絶縁層の材質としては、例えば、シリコン酸化膜の他、FSG (フッ化シリケートガラス) 膜やシリコン窒化膜など、High-K 膜や Low-K 膜などを用いるようにしてもよい。

次に、図 7 に示すように、CVD などの方法により、溝 3 8 内が埋め込まれるようにして、支持体 5 6 上に埋め込み絶縁体 4 5 を堆積する。なお、埋め込み絶縁体 4 5 の材質としてはシリコン酸化膜、シリコン窒化膜あるいはシリコン酸窒化膜などの絶縁体を用いることができる。

【 0 0 2 9 】

50

次に、図 8 に示すように、CMP（化学的機械的研磨）などの方法を用いて埋め込み絶縁体 45 および支持体 56 を薄膜化するとともに、酸化防止膜 54 および下地酸化膜 53 を除去することにより、半導体層 35 の表面を露出させる。なお、酸化防止膜 54 は、CMP などの方法にて埋め込み絶縁体 45 および支持体 56 を薄膜化する時のストッパー層として用いることができる。

【0030】

次に、図 9 に示すように、半導体層 35 の表面の熱酸化を行うことにより、半導体層 35 の表面にゲート絶縁膜 41 を形成する。そして、CVD などの方法により、ゲート絶縁膜 41 が形成された半導体層 35 上に多結晶シリコン層を形成する。そして、フォトリソグラフィ技術を用いてレジストパターン R を多結晶シリコン層上に形成し、レジストパターン R をマスクとして多結晶シリコン層をエッチングすることにより、半導体層 35 上にゲート電極 42 を形成する。

10

【0031】

そして、レジストパターン R およびゲート電極 42 を通して As、P、B、BF₂ などの不純物のイオン注入 IP を半導体層 33 に行うことにより、ゲート電極 42 下の半導体層 33 に自己整合的に配置された不純物導入層 50（バックゲート電極）を形成する。ここで、レジストパターン R の膜厚およびイオン注入 IP 時のエネルギーは、ゲート電極 42 下では、不純物濃度のピーク R_{p1} が半導体層 33 の深さ方向の中央付近あるいは下方に来るとともに、図 11 のソース層 43a およびドレイン層 43b 下では、不純物濃度のピーク R_{p2} が半導体基板 31 内に来るように設定することが好ましい。

20

【0032】

これにより、ゲート電極 42 下の半導体層 33 に自己整合的に配置された不純物導入層 50（バックゲート電極）を形成することができ、ソース層 43a およびドレイン層 43b 下の半導体層 33 の不純物濃度をゲート電極 42 下のバックゲート電極領域の半導体層 33 の不純物濃度よりも低くすることができる。

次に、図 10 に示すように、フォトリソグラフィ技術およびエッチング技術を用いてゲート電極 42 をパターンニングすることにより、半導体層 33 の段差にかかっている部分のゲート電極 42 を除去する。

【0033】

次に、図 11 に示すように、ゲート電極 42 をマスクとして、As、P、B、BF₂ などの不純物を半導体層 35 内にイオン注入することにより、ゲート電極 42 の側方に配置された低濃度不純物導入層からなる LDD 層を半導体層 35 に形成する。そして、CVD などの方法により、LDD 層が形成された半導体層 35 上に絶縁層を形成し、RIE などの異方性エッチングを用いて絶縁層をエッチバックすることにより、ゲート電極 42 の側壁にサイドウォール 44 を形成する。そして、ゲート電極 42 およびサイドウォール 44 をマスクとして、As、P、B、BF₂ などの不純物を半導体層 35 内にイオン注入することにより、サイドウォール 44 の側方にそれぞれ配置された高濃度不純物導入層からなるソース層 43a およびドレイン層 43b を半導体層 35 に形成する。

30

【0034】

そして、CVD などの方法により、ゲート電極 42 上に層間絶縁層 46 を堆積する。そして、層間絶縁層 46 および支持体 56 に埋め込まれ、半導体層 33 に接続されたバックゲートコンタクト電極 C4 を層間絶縁層 46 上に形成するとともに、層間絶縁層 46 に埋め込まれ、ゲート電極 42、ソース層 43a およびドレイン層 43b にそれぞれ接続されたゲートコンタクト電極 C1、ソースコンタクト電極 C2 およびドレインコンタクト電極 C3 を層間絶縁層 46 上に形成する。

40

【0035】

これにより、半導体層 33、35 の欠陥の発生を低減させつつ、半導体層 33、35 を埋め込み絶縁層 32、34 上にそれぞれ配置することが可能となり、SOI 基板を用いることなく、SOI トランジスタを半導体層 35 に形成することが可能となるとともに、SOI トランジスタ下にバックゲート電極を配置することが可能となる。また、ゲート電極

50

4 2 を通して半導体層 3 3 にイオン注入を行うことにより、ゲート電極 4 2 下の半導体層 3 3 に自己整合的に配置された不純物導入層 5 0 を形成することができ、ソース層 4 3 a およびドレイン層 4 3 b 下の半導体層 3 3 の不純物濃度をゲート電極 4 2 下のバックゲート電極 5 0 の不純物濃度よりも低くすることができる。このため、S O I トランジスタのアクティブ領域の電位をバックゲート電極 5 0 にて効率よく制御することを可能としつつ、ソース層 4 3 a およびドレイン層 4 3 b 下の半導体層 3 3 に形成される空乏層を広げることが可能となり、ソース層 4 3 a およびドレイン層 4 3 b の寄生容量を減らすことができる。このため、低電圧でのバックゲート電極 5 0 による閾値制御能力を向上させることが可能となるとともに、ソース層 4 3 a およびドレイン層 4 3 b 下にバックゲート電極が形成された半導体層が配置された場合においても、ソース層 4 3 a およびドレイン層 4 3 b の寄生容量の充放電にかかる時間を削減することができ、動作時や待機時の消費電力を低減させることを可能としつつ、S O I トランジスタの高速化を達成することができる。

10

【 0 0 3 6 】

なお、バックゲートコンタクト電極 C 4 を介してゲート電極 4 2 と半導体層 3 5 とを電氣的に接続するようにしてもよい。これにより、バックゲート電極とゲート電極 4 2 とが同電位となるように制御することができ、チャンネル領域のポテンシャルの支配力を向上させ、サブスレシールド領域のドレイン電流立ち上がりを急峻にすることができる。このため、チップサイズの増大を抑制しつつ、オフ時のリーク電流を減少させることができ、動作時や待機時の消費電力を低減させることが可能となるとともに、電界効果型トランジスタの高耐圧化を図ることができる。

20

【 図面の簡単な説明 】

【 0 0 3 7 】

【 図 1 】 本発明の一実施形態に係る半導体装置の製造方法を示す図。

【 図 2 】 本発明の一実施形態に係る半導体装置の製造方法を示す図。

【 図 3 】 本発明の一実施形態に係る半導体装置の製造方法を示す図。

【 図 4 】 本発明の一実施形態に係る半導体装置の製造方法を示す図。

【 図 5 】 本発明の一実施形態に係る半導体装置の製造方法を示す図。

【 図 6 】 本発明の一実施形態に係る半導体装置の製造方法を示す図。

【 図 7 】 本発明の一実施形態に係る半導体装置の製造方法を示す図。

【 図 8 】 本発明の一実施形態に係る半導体装置の製造方法を示す図。

30

【 図 9 】 本発明の一実施形態に係る半導体装置の製造方法を示す図。

【 図 1 0 】 本発明の一実施形態に係る半導体装置の製造方法を示す図。

【 図 1 1 】 本発明の一実施形態に係る半導体装置の製造方法を示す図。

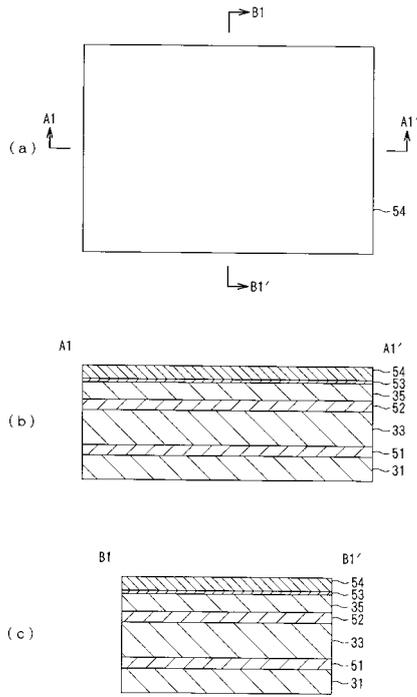
【 符号の説明 】

【 0 0 3 8 】

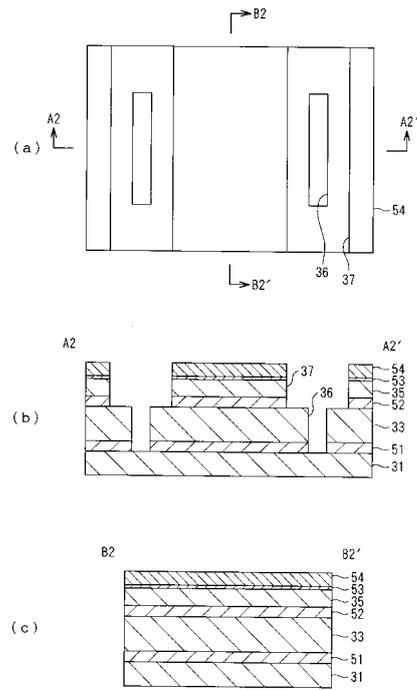
3 1 半導体基板、 3 3、 3 5 第 2 半導体層、 5 1、 5 2 第 1 半導体層、 4 1 ゲート絶縁膜、 4 2 ゲート電極、 4 3 a ソース層、 4 3 b ドレイン層、 3 6、 3 7、 3 8 溝、 4 6 層間絶縁層、 3 2、 3 4 埋め込み絶縁層、 3 9 酸化膜、 4 5 埋め込み絶縁体、 5 0 不純物導入層、 5 3 下地酸化膜、 5 4 酸化防止膜、 5 6 支持体、 5 7 a、 5 7 b 空洞部、 4 4 サイドウォール、 R レジストパターン、 C 1 ゲートコンタクト電極、 C 2 ソースコンタクト電極、 C 3 ドレインコンタクト電極、 C 4 バックゲートコンタクト電極

40

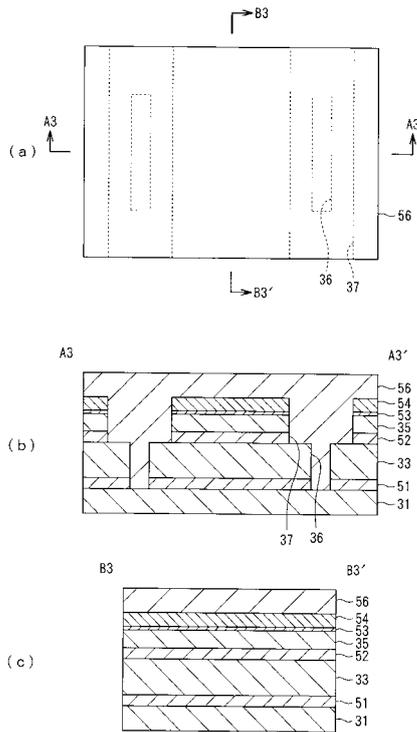
【図 1】



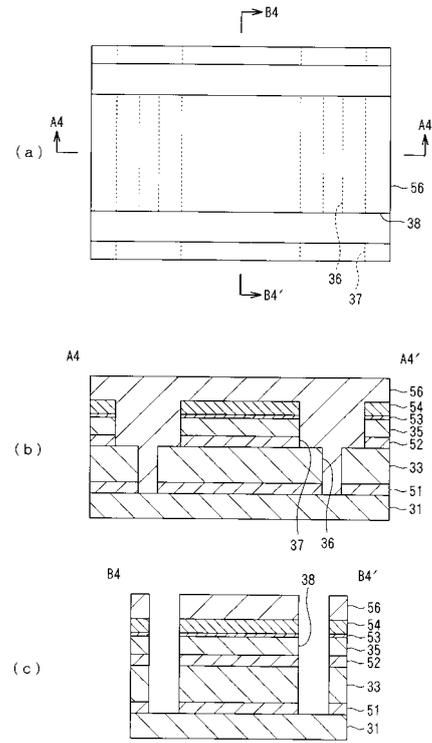
【図 2】



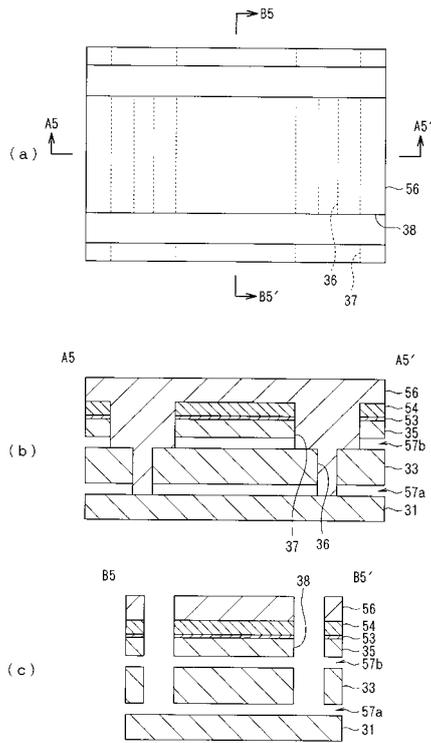
【図 3】



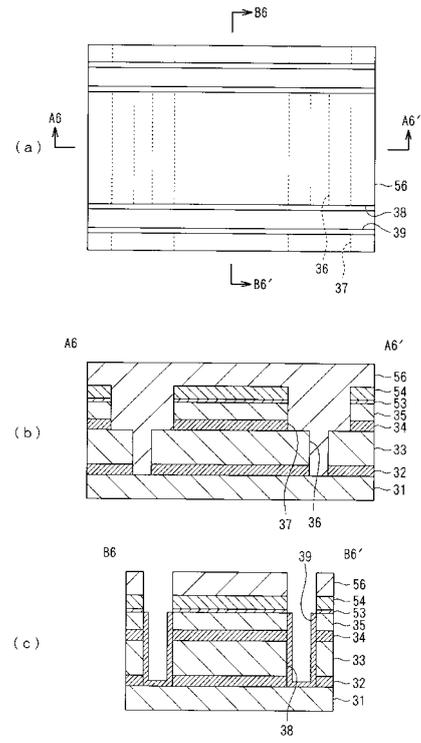
【図 4】



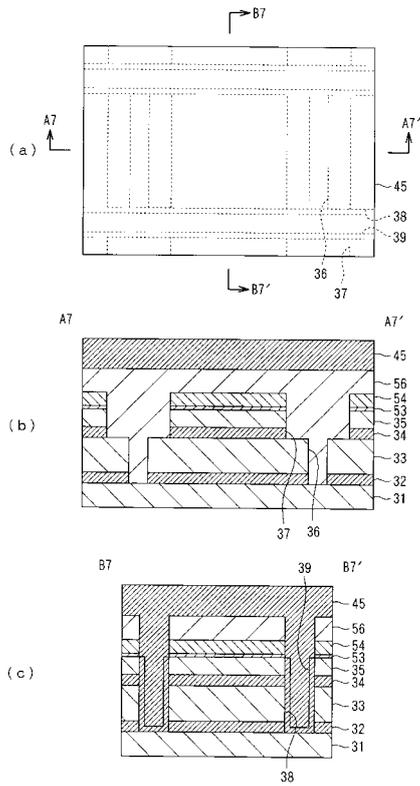
【図5】



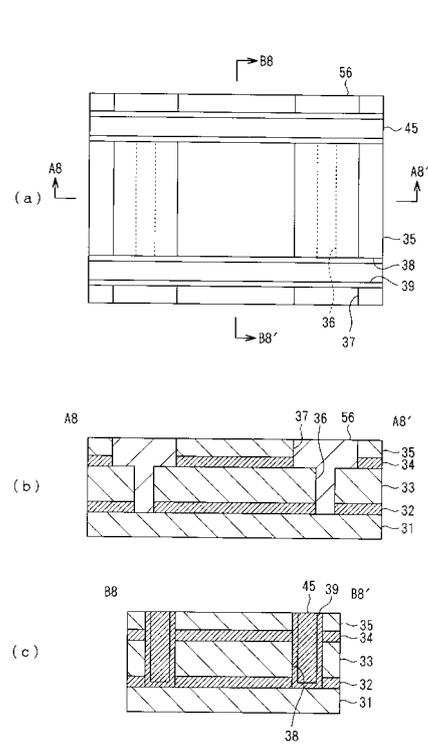
【図6】



【図7】



【図8】



フロントページの続き

- (56)参考文献 特開2003-188383(JP,A)
特開2000-196090(JP,A)
特開2003-324200(JP,A)
国際公開第2005/036638(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78
H01L 29/786
H01L 21/336
H01L 21/762
H01L 27/08