

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.<sup>6</sup>  
G11C 8/00

(11) 공개번호 특1998-070018  
(43) 공개일자 1998년10월26일

(21) 출원번호	특1997-052733
(22) 출원일자	1997년10월15일
(30) 우선권주장	97102831.1 1997년02월21일 EPO(EP)
(71) 출원인	인터내셔널비지니스머신즈코퍼레이션 제프리엘.포맨
(72) 발명자	미국 10504 뉴욕주 아몬크 린드너하인리히 독일 디-71088 홀쯔게어링엔 릴리엔슈트라세 14 크노트페터 독일 디-71083 헤렌베르크 베토펜슈트라세 31 바그너오토 독일 디-71155 알트도르프 부헨베크 36/1
(74) 대리인	장수길, 주성민

**심사청구 : 있음**

**(54) 라이트스루 동작이 고속으로 수행되는 가상 2-포트 메모리 구조**

**요약**

라이트스루 동작(write-thru operation)이 고속으로 수행되는 가상 2-포트 메모리 구조가 제안되어 있다.

이 가상 2-포트 메모리 구조는, 단일 포트 메모리 셀(200)과, 판독 어드레스(AR)와 기록 어드레스(AW)를 비교하기 위한 수단(260)과, 데이터 입력 단자(250)로부터의 데이터를 셀(200)에 기록하고, 그 데이터를 데이터 출력 단자(280)에도 바이패스(bypass)시키기 위한 수단(270)을 채용하여, 만일 상기 판독 어드레스(AR)가 상기 기록 어드레스(AW)와 부합하는 경우에는 라이트스루 동작(write-thru operation)이 인에이블되도록 한다.

셀에 방금 기록된 데이터는 동일한 사이클 내에 즉시 판독 데이터로서 이용할 수 있다.

종래의 해법에 이용되는 멀티플렉스 유닛은 더 이상 필요가 없고, 이 디바이스에 의해 생기는 지연이 생략되며, 적은 칩 공간을 필요로 하는 가상 2-포트 셀의 장점들이 유지된다.

**대표도**

**도3**

**명세서**

**도면의 간단한 설명**

도 1은 2-포트 셀을 갖는 종래의 2-포트 메모리 어레이를 도시하는 도면.

도 2는 도 1의 종래의 2-포트 어레이의 판독/기록 동작 및 라이트스루 사이클의 타이밍도.

도 3은 본 발명의 가상 2-포트 메모리 구조를 도시하는 도면.

도 4는 도 3의 가상 2-포트 어레이의 판독/기록 동작 및 라이트스루 사이클의 타이밍도.

도 5는 2개 군의 셀들 및 이들 셀들을 데이터 출력 단자에 접속한 상태를 개략적으로 도시하는 도면.

도면의 주요 부분에 대한 부호의 설명

200 : 단일 포트 메모리 셀

201, 203, 205, 206, 207, 208 : 트랜지스터 소자

210 : 판독 어드레스 단자

211, 231, 241, 251 : AND 게이트

212 : 위상 스플리터

213 : 디코더

214 : 드라이버  
 215, 225, 235, 245, 255 : 라인  
 220 : 판독 클럭  
 230 : 기록 어드레스 단자  
 236, 256 : 기억 수단  
 240 : 기록 클럭  
 250 : 데이터 입력 단자  
 260 : 비교 수단  
 270 : 기록 및 바이패스 수단  
 280 : 데이터 출력 단자  
 281 : 데이터 출력 래치  
 288 : 비트라인  
 290 : 라이트스루 경로

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 일반적으로 반도체 랜덤 액세스 메모리에 관한 것으로, 특히, 라이트스루(write-thru) 동작이 고속으로 수행되는 2-포트 메모리 셀의 기능과 단일 포트 어레이의 밀도 및 속도를 결합하는 가상 2-포트 메모리 구조에 관한 것이다.

실시간 신호 처리 또는 병렬 데이터 처리와 같은 고속 응용을 위하여 멀티 포트 RAM들이 개발되어 왔다. 이들 RAM들은 대량의 데이터를 동시에 처리하기 위한 주 메모리 또는 복수의 프로세서들을 위한 공유 캐시 메모리로서 이용될 수 있다.

예를 들어, 유럽 특허 EP-A-0 554 489를 보면, 별개의 판독 및 기록 포트들을 갖는 멀티 포트 셀들이 공지되어 있다. 이 메모리 셀은, 기록 및 판독 위상들이 인터리브되는(interleaved) 파이프라인 모드(pipelined mode)로 동작된다. 기록될 데이터는 메모리 셀에 접속된 기록 비트 라인 상에 놓인다. 기록 어드레스 포트로부터 클로킹된 기록 워드 라인으로 어드레스가 스트로브된다. 메모리 셀 내의 래치의 내용은 중첩 기록(overwrite)되고, 스택틱 판독 워드 라인을 선택하고 메모리 셀 내의 래치로부터 판독 비트 라인 상으로 데이터를 판독하기 위하여 판독 어드레스가 설정된다.

이들 디바이스에 의하면, 1 머신 사이클 동안 하나의 셀에 대하여 판독 및 기록하는 일이 문제되지 않으며 라이트스루(write-thru)의 구현이 간단하다. 그러나, 서로 다른 포트들이 필요하기 때문에, 이들 디바이스는 넓은 칩 공간을 차지한다.

유럽 특허 EP-A-0 471 932를 보면, 메모리 셀로의 기록 및 판독 액세스가 하나의 포트를 통하여 순차적으로 행해지는 가상 멀티 포트 셀들이 공지되어 있다.

가상 멀티 포트 RAM 구조에 의해 단일 포트 RAM 어레이를 갖는 파이프라인 메모리 칩을 구현하였는데, 상기 어레이의 어드레스 버스 및 데이터 버스에는 다수의 어드레스 포트와 데이터 입력 포트들이 멀티플렉스되어 있다. 내부 타이밍 수단이 단일 포트 어레이의 타이밍 및 다수의 입력 포트들의 사이클링을 제어한다. 머신 사이클은 2개 파트로 나누어진다. 즉, 제1 파트 동안에는, 판독 액세스가 일어나며, 제2 파트 동안에는, 기록 액세스가 일어난다.

동일 어드레스에 대한 판독 및 기록 액세스가 동일 사이클 중에 일어나는 라이트스루 수단을 실현하였으며, 따라서, 셀로부터 판독되는 데이터는 셀에 기록되는 데이터와 동일하다. 가상 멀티 포트 셀에서의 라이트스루는, 판독 및 기록 어드레스들을 비교하는 비교기 및 상호 부합이 일어날 때 기록 데이터를 판독 데이터로서 출력하는 멀티플렉서에 의하여 실현된다. 그러나, 멀티플렉스 유닛은 부가적인 지연을 초래한다.

종래 기술에 공지되어 있고 도 1에 도시된 2-포트 어레이는, 2-포트 메모리 셀(100)을 필요로 하며, 각 포트는 각자의 전송 디바이스를 가진다. 이 어레이의 2개의 워드라인 시스템(WLR, WLW) 각각은 각자의 위상 스플리터(phase splitter)(112, 132), 디코더(113, 133), 및 드라이버(114, 134)를 가진다.

판독용 전송 디바이스(180)는 센스 증폭기(182)를 포함하는 판독 비트라인 시스템(BLR)에 접속되고, 기록용 전송 디바이스(150)는 기록 헤드(170)를 포함하는 기록 비트라인 시스템(BLW)에 접속된다.

이 공지의 어레이 내의 부가적인 디바이스들은 어레이의 밀도를 감소시킬 뿐만 아니라 비트라인들 및 워드라인들의 길이를 증가시킨다. 따라서, 워드라인 드라이버에 의해 구동될 부하도 증가되고, 짧은 액세스 시간을 달성하는 것이 어렵게 된다.

이 어레이 내의 점선들(190)에 의해 표시된 라이트스루 동작은 기록 경로와 2-포트 메모리 셀을 경유하여 판독 경로를 통해 수행된다. 이를 위해서는, 소정의 라이트스루 액세스 시간을 확보하기 위하여 강력하

고 고속의 기록 경로가 요구된다.

필요한 것은, 현 단일 포트 메모리 셀들의 밀도 및 속도에 접근하고 고속 라이트스루 동작을 허용하는 고 밀도 고속 RAM 구조로 구현되는 효과적인 멀티 포트 기능이다. 이런 타입의 멀티 포트 메모리 구조는 각종 컴퓨터의 설계에서 활용될 수 있다.

### **발명이 이루고자 하는 기술적 과제**

따라서, 본 발명이 목적은, 종래의 단일 포트 메모리 셀의 밀도 및 속도와, 동일 사이클 내에서 판독 액세스 및 독립된 기록 액세스를 수행하는 가능성을 결합하는 메모리 구조를 제공하여, 고속 라이트스루 동작을 가능케 하는 것이다.

본 발명에 따르면, 판독 어드레스 단자, 기록 어드레스 단자, 데이터 입력 및 데이터 출력 단자를 갖는 단일 포트 메모리 셀을 채용한 가상 2-포트 메모리 구조가 제공된다.

비교 수단이 판독 어드레스(AR)와 기록 어드레스(AW)를 비교하고, 데이터 입력 단자로부터 셀로 데이터를 기록하기 위한 수단이 데이터 출력 단자에도 상기 데이터를 바이패스시킨다.

기록 클럭 및 판독 클럭을 포함하는 내부 타이밍 수단이 단일 포트 메모리 셀, 비교 수단, 및 데이터 기록 및 바이패스 수단의 타이밍을 제어한다. 비교 수단은, 판독 어드레스 단자, 기록 어드레스 단자, 판독 클럭, 및 데이터 기록 및 바이패스 수단에 접속되어, 판독 어드레스(AR)가 기록 어드레스(AW)와 부합할 경우에는 라이트스루 동작이 인에이블되도록 한다.

라이트스루의 경우에는, 선택된 판독 어드레스와 선택된 기록 어드레스가 부합하고 있다. 상기 부합하는 어드레스는 워드라인 상에 설정되고, 데이터 입력 정보는 메모리 셀로 기록되고 판독 경로 내의 센스 증폭기로 바이패스된다. 그 후, 동일 사이클 내에 메모리 셀로부터 센스 증폭기 및 데이터 출력 래치를 경유하여 데이터가 판독된다.

판독 및 기록 어드레스를 비교하기 위한 수단을 이용하여, 상호 부합이 일어날 경우 셀에 기록될 데이터를 셀의 센스 증폭기에도 게이팅(gating)하면, 셀에 기록될 데이터는 즉시 판독 데이터로서 이용 가능하게 된다. 따라서, 효과적인 라이트스루 동작이 실현될 수 있다.

종래의 해법에서 이용되는 멀티플렉스 유닛은 더 이상 필요가 없고, 이 디바이스에 의해 초래되는 지연은 생략되며, 적은 칩 공간을 필요로 하는 가상 2-포트 셀의 장점들이 유지된다.

도 5에 개략적으로 도시된 바와 같이, 각 센스 증폭기(SA)는 일군의 셀들(C1 ... C4) 및 그들 각각의 비트 라인들(BL)에 속하며, 셀 어드레스의 하위 n개 비트들을 통하여 상기 일군의 셀들 중 하나의 셀이 선택된다. 본 발명의 주 사상은, 라이트스루 상황에서 셀에 기록될 데이터를 판독 데이터 경로 내의 센스 증폭기에 바이패스시키는 것이다. 이 상황을 검출하기 위하여 더 이상 완전한 판독 및 기록 어드레스들을 비교할 필요가 없으며, 동일 센스 증폭기에 접속된 일군의 셀 중에서 하나의 셀을 식별하는 셀 어드레스의 하위 n개 비트들만을 비교하는 것으로 충분하다.

### **발명의 구성 및 작용**

도 3은 본 발명의 바람직한 실시예를 도시하고 있다. 그것은 셀에 액세스하기 위한 WL 워드라인(218), 및 BL 비트라인 쌍(288)을 포함한다. 판독 어드레스 단자(210)에는 판독 어드레스 신호(AR)이 나타나서 AND 게이트(211)로 향하며, AND 게이트의 다른 입력은 판독 클럭(220)으로부터 라인(225) 상에 나타나는 클럭 신호이다. AND 게이트로부터, 클로킹된 기록 어드레스 신호는 기억 수단(236)에 전달된다. 기억 수단(236)에 저장된 신호 및 기록 클럭(240)으로부터 라인(245) 상에 나타나는 클럭 신호가 AND 게이트(241)에 대한 입력이며, AND 게이트(241)는, 그 신호를, AND 게이트(211)와 함께 이용되는 상기 위상 스플리터(212), 디코더(213) 및 드라이버(214)를 경유하여 셀(200)의 워드라인(218)에 전달한다.

기록 어드레스 단자(230)에는 기록 어드레스 신호(AW)가 나타나서 AND 게이트(231)로 향하며, AND 게이트의 다른 입력은 판독 클럭(220)으로부터 라인(225) 상에 나타나는 클럭 신호이다. AND 게이트로부터, 클로킹된 기록 어드레스 신호는 기억 수단(236)에 전달된다. 기억 수단(236)에 저장된 신호 및 기록 클럭(240)으로부터 라인(245) 상에 나타나는 클럭 신호가 AND 게이트(241)에 대한 입력이며, AND 게이트(241)는, 그 신호를, AND 게이트(211)와 함께 이용되는 상기 위상 스플리터(212), 디코더(213) 및 드라이버(214)를 경유하여 셀(200)의 워드라인(218)에 전달한다.

어드레스들을 비교하기 위한 수단(260)은, 그 입력을, 판독 어드레스 단자(210), 판독 클럭(220) 및 기록 어드레스 단자(230)로부터 수신한다.

어드레스들을 비교하기 위한 수단(260)은, 기록 동작을 강제하고 기록된 데이터를 데이터 출력 단자(280)에도 바이패스시키기 위한 수단(270)에 접속된다.

데이터 입력 단자(250)에서 얻어지는 데이터는 AND 게이트(251)로 향하며, AND 게이트(251)의 다른 입력은 판독 클럭(220)으로부터 라인(225) 상에 나타나는 클럭 신호이다. AND 게이트(251)의 출력은, 기록 동작을 강제하고 셀에 기록될 데이터를 데이터 출력 단자(280)에도 바이패스시키기 위한 수단(270)에 접속된다.

필요하다면 기억 수단(256)이 데이터 입력 정보를 저장할 수 있다.

점선들(290)은 기록 및 바이패스 수단(270)과, 센스 증폭기(282)에 직접 연결되는 비트라인들(288) 사이의 라이트스루 경로(write-thru path)를 나타낸다.

단일 포트 셀로부터 판독될 데이터는, 비트라인 쌍(288)에 의해 센스 증폭기(282) 및 데이터 출력 래치(281)를 경유하여 데이터 출력 단자(280)에 전송된다. 센스 증폭기(282)와 데이터 출력 단자(280) 사이의 데이터 경로에는 디코더들 또는 멀티플렉서들이 더 필요치 않다.

단일 포트 메모리 셀(200) 자신은, 정보를 저장하는 데 일반적으로 이용되는 공지의 쌍안정 플립플롭 어

레이를 형성하는 방식으로 대칭으로 배열된 6개의 트랜지스터 소자들(201, 203, 205, 206, 207, 208)을 포함한다.

도 3에 도시된 라이트스루 동작(290)은 도 4를 참조하여 설명될 수 있다. 이 타이밍도는, 제1 어레이 사이클 시간( $T_1$ ) 중에 일어나는 판독/기록 동작 및 제2 사이클 시간( $T_2$ ) 중에 일어나는 라이트스루 동작을 도시하고 있다.

제1 어레이 사이클 시간( $T_1$ ) 내의 판독 동작 및 기록 동작은 순차적으로 수행된다. 사이클의 첫 번째 파트는 판독 동작에 전용된다. 판독 동작과 동시에, 후속되는 기록 동작에 관련된 모든 신호들(데이터 입력 정보, 기록 어드레스)이 집결되어 기억 수단들(236, 256)에 저장된다.

판독 동작이 완료되고 복원(restore)이 수행된 후, 기록 동작이 즉시 개시되고 이 또한 제1 사이클 시간( $T_1$ ) 내에 완료된다. 기록 동작 중에, 워드라인은 판독 동작 중에 액티브 상태였던 동일한 회로 군에 의해 선택되지만, 이때는, 기억 수단(236)에 이미 저장된 기록 어드레스를 이용하여 선택된다.

판독 및 기록 동작들뿐만 아니라 라이트스루 동작도 판독 클럭(220) 및 기록 클럭(240)의 도움으로 타이밍 체인에 의해 제어된다. 타이밍 체인은 각 어레이 사이클( $T$ )의 처음에 외부 클럭(CE)에 의해 개시된다.

설명을 위하여, 제2 어레이 사이클 시간( $T_2$ ) 즉, 라이트스루 사이클 중에 논리값 1이 셀에 기록되고 셀로부터 판독되는 것으로 가정한다. 이 경우, 판독 어드레스(AR) 및 기록 어드레스(AW)는 사이클( $T_2$ )의 처음에 비교 수단(260)에 의해 이미 비교되었으며, 판독 및 기록 어드레스들은 부합하고 있다.

기록 및 바이패스 수단(270)은 즉시 액티브 상태가 되고, 비트라인을 풀 다운시켜 강제로 비트라인(BL)이 논리 1 상태가 되게 하며, 그에 따라 새로 기록된 셀의 내용을 센스 증폭기(282)와 데이터 출력 래치(281)에서 이용할 수 있다.

따라서, 셀에 기록된 정보를 동일한 어레이 사이클( $T_2$ ) 내에 데이터 출력 단자(280)에서 이용할 수 있으며, 액세스 시간( $t_{acc}$ )은 여전히 동일하다.

이 라이트스루 기능은 용이하게 구현될 수 있으며, 통상의 판독 동작과 동일한 성능을 보여준다. 가능한 한 최소의 표준 셀을 이용할 수 있으며, 워드라인을 선택하기 위한 위상 스플리터, 디코더 및 드라이버가 부가적으로 필요치 않기 때문에, 고밀도 어레이가 달성된다. 이 해법에는 보다 짧은 비트라인들 및 워드라인들이 이용되기 때문에, 셀의 성능이 더 향상된다.

도 5는  $m$ 개 군 중 2개 군의 셀들을 개략적으로 도시하는 것으로, 각 군에는  $2^n$ 개 셀들( $C_1 \dots C_n$ )이 있다. 하나의 군 내의 모든 셀들의 판독 경로는 동일하며 기록 헤드(WH) 및 센스 증폭기(SA)에 접속된다.

하나의 센스 증폭기(SA) 및 하나의 기록 헤드(WH)가 일군의 셀들( $C_1 \dots C_n$ ), 및 비트라인들에 의해 구성되는 이들 셀들 각각의 판독 경로에 속한다. 셀 어드레스의 하위  $n$ 개 비트들을 통하여 상기 일군의 셀들 중 하나의 셀이 선택된다.

라이트스루 상황에서, 셀에 기록될 데이터는 선택된 셀이 속하는 셀 군에 접속된 센스 증폭기(SA)에 게이팅된다. 따라서, 선택된 셀에 기록될 데이터를 판독 데이터 경로 및 센스 증폭기에서 이용할 수 있다.

센스 증폭기에서 이용할 수 있는 데이터는 상위  $m$ 개 판독 어드레스 비트들에 의해 데이터 출력 단자(DO)에 게이팅된다. 데이터 입력 단자(DI)로부터의 데이터는 상위 기록 어드레스에 의해 기록 헤드(WH)에 게이팅된다.

### 발명의 효과

라이트스루 상황을 검출하기 위하여, 더 이상 완전한 판독 및 기록 어드레스들을 비교할 필요가 없으며, 동일 센스 증폭기에 접속된 일군의 셀 중에서 하나의 셀을 식별하는 셀 어드레스의 하위  $n$ 개 비트들만을 비교기(C)에 의해 비교하는 것으로 충분하다.

종래의 해법에서, 판독 출력 정보를 판독 경로 상에 두어 데이터 출력 포트에 출력할 때 ( $n + m$ )개 어드레스 비트들을 비교하는 데 이용되는 멀티플렉스 유닛은 더 이상 필요가 없다. 이 멀티플렉스 디바이스에 의해 초래되는 지연은 생략되며, 적은 칩 공간을 필요로 하는 가상 2-포트 셀의 장점들이 유지된다.

### (57) 청구의 범위

#### 청구항 1

가상 2-포트 메모리 구조에 있어서,

A) 판독 어드레스 단자(210), 기록 어드레스 단자(230), 데이터 입력 단자(250) 및 데이터 출력 단자(280)를 갖는 단일 포트 메모리 셀(200),

B) 판독 어드레스(AR)와 기록 어드레스(AW)를 비교하기 위한 수단(260),

C) 상기 데이터 입력 단자(250)로부터의 데이터를 상기 셀(200)에 기록하고, 상기 데이터를 상기 데이터 출력 단자(280)에도 바이패스(bypass)시키기 위한 수단(270), 및

D) 기록 클럭(240) 및 판독 클럭(220)을 포함하고, 상기 단일 포트 메모리 셀(200), 상기 비교 수단(260) 및 상기 데이터 기록 및 바이패스 수단(270)의 타이밍을 제어하기 위한 내부 타이밍 수단을 포함하되,

상기 비교 수단(260)은 상기 판독 어드레스 단자(210), 상기 기록 어드레스 단자(230), 상기 판독 클럭

(220) 및 상기 데이터 기록 및 바이패스 수단(270)에 접속되어, 상기 판독 어드레스(AR)이 상기 기록 어드레스(AW)와 부합할 경우에는 라이트스루 동작(write-thru operation)이 즉시 인에이블되도록 되어 있는 가상 2-포트 메모리 구조.

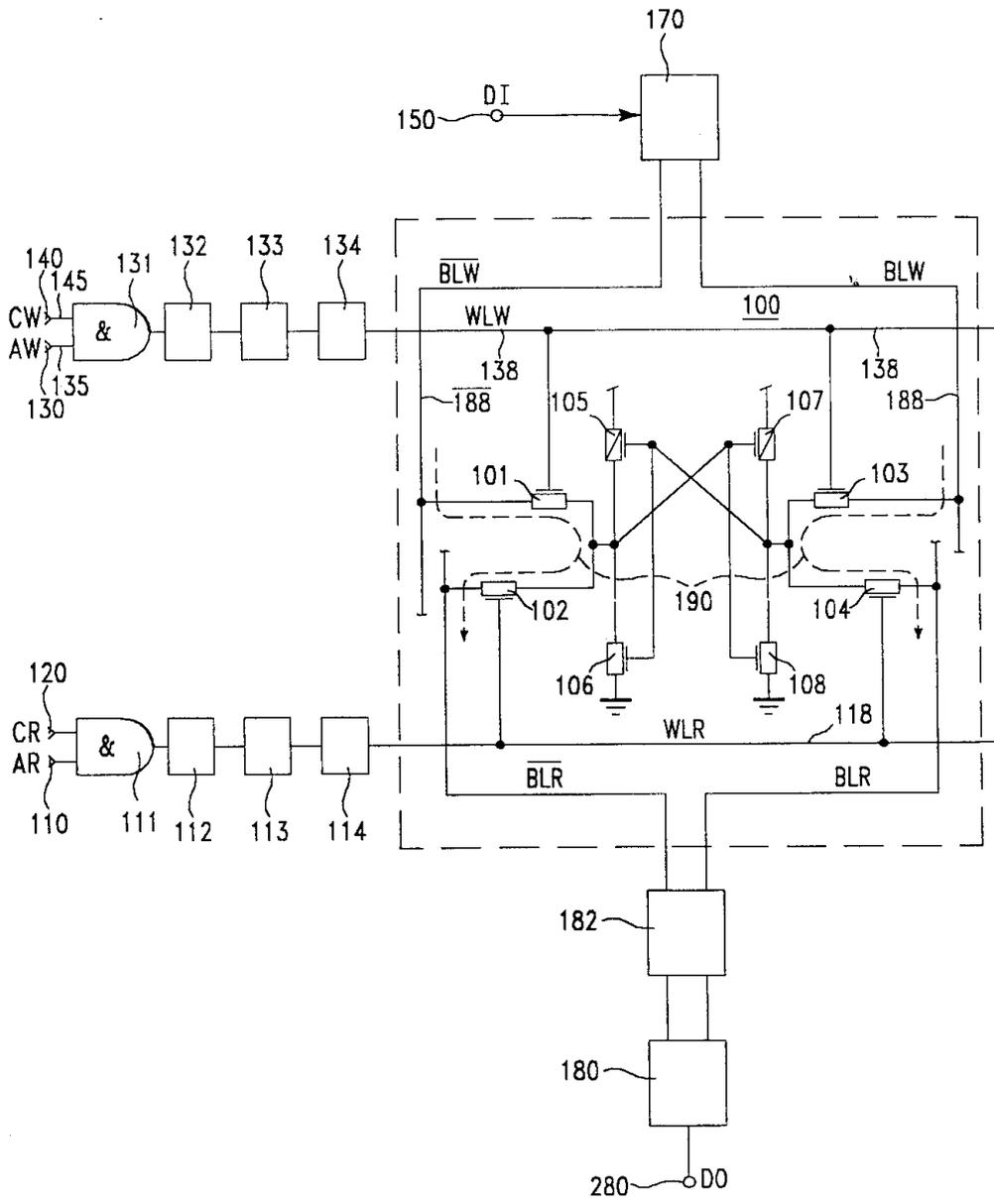
## 청구항 2

단일 포트 메모리 셀(200)에 데이터를 기록하고, 동일한 사이클 시간 내에 상기 단일 포트 메모리 셀로부터 상기 기록된 데이터를 판독하는 방법에 있어서,

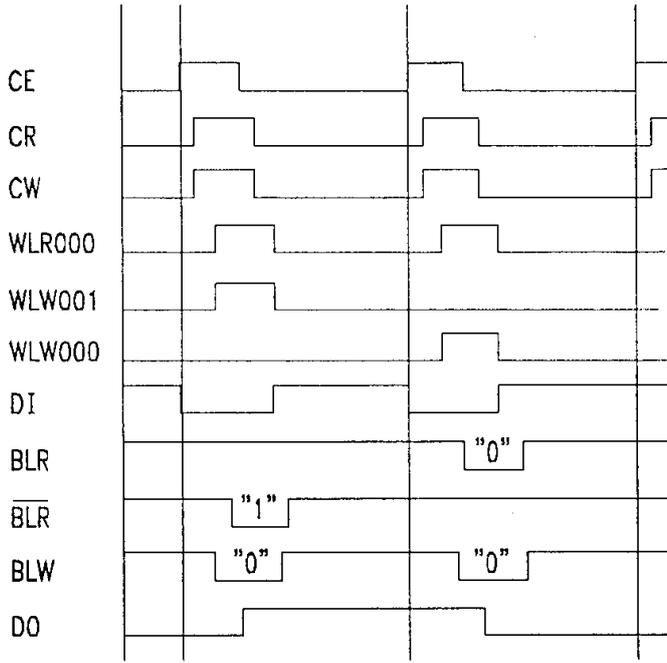
- A) 판독 어드레스(AR) 및 기록 어드레스(AW)를 선택하는 단계,
  - B) 상기 판독 어드레스(AR)과 상기 기록 어드레스(AW)를 비교하는 단계, 및
  - C) 만일 상기 판독 어드레스(AR)과 상기 기록 어드레스(AW)가 부합하는 경우에는,
    - C-1) 워드라인(WL) 및 비트라인(BL) 상에 상기 부합하는 어드레스를 설정하는 단계,
    - C-2) 기록 동작을 수행하여 데이터 입력 정보(data-in information)를 상기 메모리 셀(200)에 기록하는 단계, 및
    - C-3) 상기 메모리 셀(200)에 기록될 상기 데이터 입력 정보를 판독 경로 내의 센스 증폭기(282)로 바이패스시키는 단계
- 를 포함하는 라이트스루 동작(write-thru operation)을 수행하는 단계  
를 포함하는 방법.

**도면**

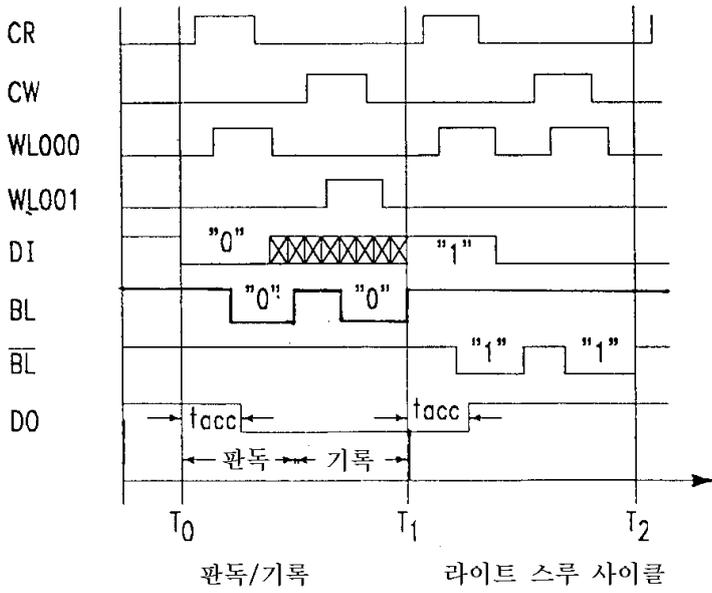
도면1



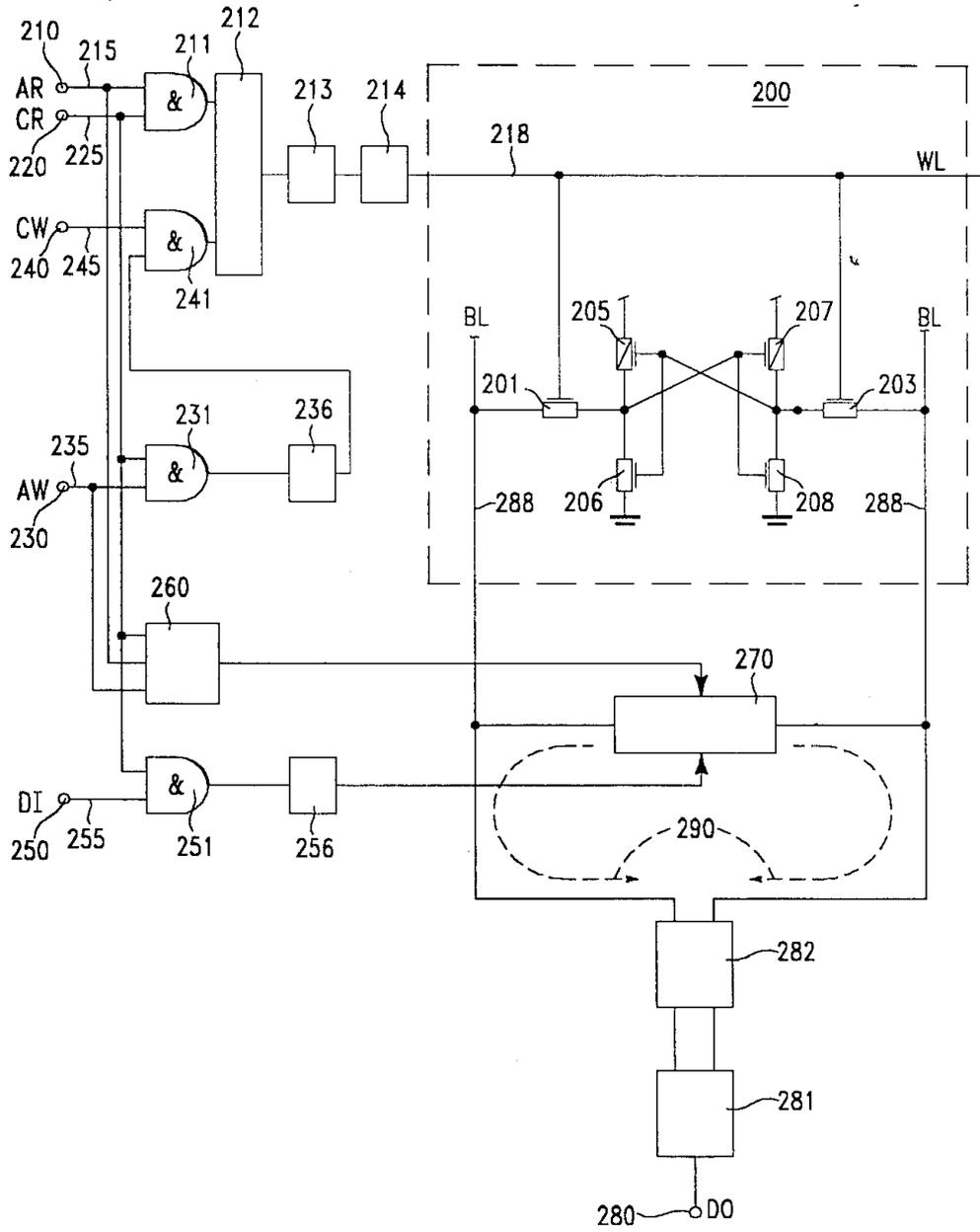
도면2



도면4



도면3



## 도면5

