



(12) 发明专利

(10) 授权公告号 CN 109216192 B

(45) 授权公告日 2021.10.15

(21) 申请号 201710532759.8
 (22) 申请日 2017.07.03
 (65) 同一申请的已公布的文献号
 申请公布号 CN 109216192 A
 (43) 申请公布日 2019.01.15
 (73) 专利权人 中芯国际集成电路制造(上海)有限公司
 地址 201203 上海市浦东新区张江路18号
 专利权人 中芯国际集成电路制造(北京)有限公司
 (72) 发明人 张海洋 刘少雄
 (74) 专利代理机构 北京集佳知识产权代理有限公司 11227
 代理人 徐文欣 吴敏
 (51) Int.Cl.
 H01L 21/336 (2006.01)
 H01L 29/78 (2006.01)

(56) 对比文件
 CN 108122761 A, 2018.06.05
 CN 105590961 A, 2016.05.18
 US 2012104512 A1, 2012.05.03
 CN 101656268 A, 2010.02.24
 CN 102543944 A, 2012.07.04
 US 2008283937 A1, 2008.11.20
 WO 2017014725 A1, 2017.01.26
 US 2012193713 A1, 2012.08.02
 US 2013248950 A1, 2013.09.26
 US 5869374 A, 1999.02.09
 CN 103578989 A, 2014.02.12
 CN 103715134 A, 2014.04.09
 CN 102376560 A, 2012.03.14
 Angada B. Sachid等.FinFET With Encased Air-Gap Spacers for.《IEEE ELECTRON DEVICE LETTERS》.2017,第38卷(第1期),第16-19页.

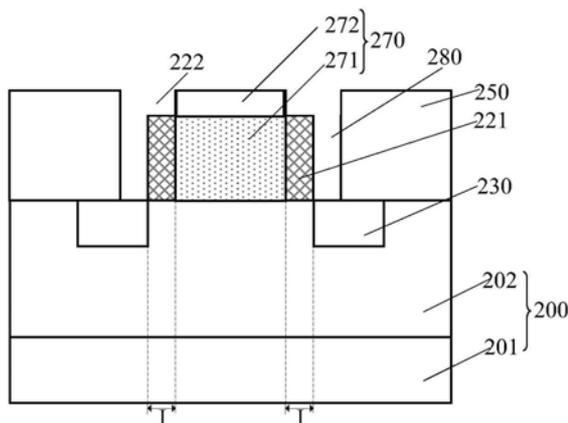
审查员 王艳

权利要求书2页 说明书8页 附图5页

(54) 发明名称
 半导体器件及其形成方法

(57) 摘要

一种半导体器件及其形成方法,其中方法包括:提供基底,所述基底上具有第一栅极结构,第一栅极结构两侧的基底包括负遮盖区;在第一栅极结构的侧壁形成第一侧墙,第一侧墙覆盖基底的负遮盖区;在第一栅极结构和第一侧墙两侧的基底中分别形成源漏掺杂区,所述负遮盖区位于源漏掺杂区和第一栅极结构底部的基底之间;形成源漏掺杂区后,在第一侧墙的侧壁形成第二侧墙;在基底和源漏掺杂区上形成覆盖第二侧墙侧壁的层间介质层;形成层间介质层后,去除第二侧墙,形成第一空隙。所述方法有效改善半导体器件的延迟效应。



1. 一种半导体器件的形成方法,其特征在于,包括:
提供基底,所述基底上具有第一栅极结构,第一栅极结构两侧的基底包括负遮盖区;
在第一栅极结构的侧壁形成第一侧墙,第一侧墙覆盖基底的负遮盖区;所述第一侧墙的介电常数为10~50;
在第一栅极结构和第一侧墙两侧的基底中分别形成源漏掺杂区,所述负遮盖区位于源漏掺杂区和第一栅极结构底部的基底之间;
形成源漏掺杂区后,在第一侧墙的侧壁形成第二侧墙;
在基底和源漏掺杂区上形成覆盖第二侧墙侧壁(layer)的层间介质层;
形成层间介质层后,去除第二侧墙,在所述层间介质层和第一侧墙之间形成第一空隙。
2. 根据权利要求1所述的半导体器件的形成方法,其特征在于,在形成所述层间介质层后,且在去除第二侧墙之前,还包括:去除第一栅极结构,形成开口;在所述开口中形成第二栅极结构;形成第二栅极结构后,所述第一侧墙覆盖第二栅极结构的侧壁,所述负遮盖区位于源漏掺杂区和第二栅极结构底部的基底之间。
3. 根据权利要求2所述的半导体器件的形成方法,其特征在于,所述第二栅极结构包括金属栅极结构本体和位于金属栅极结构本体顶部表面的保护层。
4. 根据权利要求3所述的半导体器件的形成方法,其特征在于,还包括:在形成所述第二栅极结构后,去除部分第一侧墙,形成第一目标侧墙和位于第一目标侧墙上的第二空隙,第一目标侧墙的顶部表面高于或齐平于金属栅极结构本体的顶部表面,且第一目标侧墙的顶部表面低于保护层的顶部表面。
5. 根据权利要求4所述的半导体器件的形成方法,其特征在于,去除部分第一侧墙后,去除第二侧墙。
6. 根据权利要求5所述的半导体器件的形成方法,其特征在于,所述第一侧墙包括第一未掺杂区和位于第一未掺杂区顶部表面的第一预掺杂区,第一未掺杂区的顶部表面高于或齐平于金属栅极结构本体的顶部表面,且第一未掺杂区的顶部表面低于保护层的顶部表面;所述第二侧墙包括第二未掺杂区和位于第二未掺杂区顶部表面的第二预掺杂区,第二未掺杂区的顶部表面齐平于第一未掺杂区的顶部表面;刻蚀去除第一侧墙的第一预掺杂区,形成第二空隙,且使第一未掺杂区形成第一目标侧墙;
所述半导体器件的形成方法还包括:形成所述层间介质层后,且在去除部分第一侧墙之前,采用离子注入工艺在第一侧墙的第一预掺杂区中和第二侧墙的第二预掺杂区注入改性离子;刻蚀去除部分第一侧墙的工艺对第一预掺杂区的刻蚀速率大于对第二预掺杂区的刻蚀速率。
7. 根据权利要求6所述的半导体器件的形成方法,其特征在于,所述改性离子包括氮离子。
8. 根据权利要求7所述的半导体器件的形成方法,其特征在于,所述离子注入工艺的参数包括:采用的气体包括氮气,注入能量为3KeV~10KeV,注入剂量为 $1.0E15\text{atom}/\text{cm}^2\sim 2.0E16\text{atom}/\text{cm}^2$,注入角度为0度~30度。
9. 根据权利要求6所述的半导体器件的形成方法,其特征在于,刻蚀去除部分第一侧墙的工艺对第一预掺杂区的刻蚀速率为第一刻蚀速率;刻蚀去除部分第一侧墙的工艺对第二预掺杂区的刻蚀速率为第二刻蚀速率;第一刻蚀速率与第二刻蚀速率的比值为5~20。

10. 根据权利要求6所述的半导体器件的形成方法,其特征在于,刻蚀去除部分第一侧墙的工艺为干刻工艺,参数包括:采用的气体包括 Cl_2 和 N_2 , Cl_2 的流量为 $50\text{sccm}\sim 300\text{sccm}$, N_2 的流量为 $50\text{sccm}\sim 500\text{sccm}$,源射频功率为200瓦 \sim 1000瓦,偏置电压为0伏 \sim 150伏,腔室压强为 $5\text{mtorr}\sim 200\text{mtorr}$ 。

11. 根据权利要求1所述的半导体器件的形成方法,其特征在于,去除第二侧墙的工艺为干刻工艺,参数包括:采用的气体包括 NF_3 、 H_2 、 CH_4 和Ar, NF_3 的流量为 $10\text{sccm}\sim 300\text{sccm}$, H_2 的流量为 $10\text{sccm}\sim 100\text{sccm}$, CH_4 的流量为 $0\text{sccm}\sim 100\text{sccm}$,Ar的流量为 $50\text{sccm}\sim 500\text{sccm}$,源射频功率为100瓦 \sim 1000瓦,偏置电压为0伏 \sim 200伏,腔室压强为 $5\text{mtorr}\sim 200\text{mtorr}$ 。

12. 根据权利要求1所述的半导体器件的形成方法,其特征在于,所述第一侧墙的材料包括 HfO_2 、 HfSiON 、 HfAlO_2 、 ZrO_2 或 La_2O_3 ;所述第二侧墙的材料包括多晶硅、氧化硅或氧化钛。

13. 根据权利要求1所述的半导体器件的形成方法,其特征在于,所述第一侧墙的厚度与所述第二侧墙的厚度之比为 $1:3\sim 3:1$ 。

14. 根据权利要求1所述的半导体器件的形成方法,其特征在于,所述基底为平面式的半导体衬底;或者,所述基底包括半导体衬底和位于半导体衬底上的鳍部;所述第一栅极结构横跨所述鳍部、覆盖鳍部的部分侧壁表面和部分顶部表面;所述源漏掺杂区位于第一栅极结构和第一侧墙两侧的鳍部中;所述负遮盖区位于源漏掺杂区和第一栅极结构底部的鳍部之间。

15. 根据权利要求14所述的半导体器件的形成方法,其特征在于,所述鳍部的材料包括InGaAs。

16. 一种半导体器件,其特征在于,包括:

基底,所述基底上具有第一栅极结构,第一栅极结构两侧的基底包括负遮盖区;

位于第一栅极结构侧壁的第一侧墙,第一侧墙覆盖基底的负遮盖区;所述第一侧墙的介电常数为 $10\sim 50$;

分别位于第一栅极结构和第一侧墙两侧基底中的源漏掺杂区,所述负遮盖区位于源漏掺杂区和第一栅极结构底部的基底之间;

位于基底上的层间介质层;

位于第一栅极结构和第一侧墙两侧基底上的第一空隙,且第一空隙位于层间介质层和第一侧墙之间。

17. 根据权利要求16所述的半导体器件,其特征在于,所述第一侧墙的材料包括 HfO_2 、 HfSiON 、 HfAlO_2 、 ZrO_2 或 La_2O_3 。

18. 根据权利要求16所述的半导体器件,其特征在于,所述基底为平面式的半导体衬底;或者,所述基底包括半导体衬底和位于半导体衬底上的鳍部;所述第一栅极结构横跨所述鳍部、覆盖鳍部的部分侧壁表面和部分顶部表面;所述源漏掺杂区位于第一栅极结构和第一侧墙两侧的鳍部中;所述负遮盖区位于源漏掺杂区和第一栅极结构底部的鳍部之间。

19. 根据权利要求18所述的半导体器件,其特征在于,所述鳍部的材料包括InGaAs。

半导体器件及其形成方法

技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种半导体器件及其形成方法。

背景技术

[0002] MOS晶体管是现代集成电路中最重要的元件之一。MOS晶体管的基本结构包括:半导体衬底;位于半导体衬底表面的栅极结构,位于栅极结构一侧半导体衬底内的源区和位于栅极结构另一侧半导体衬底内的漏区。

[0003] MOS晶体管通过在栅极施加电压,调节通过栅极结构底部沟道的电流来产生开关信号。

[0004] 然而,现有技术的MOS晶体管构成的半导体器件的电学性能较差。

发明内容

[0005] 本发明解决的问题是提供一种半导体器件及其形成方法,以有效改善半导体器件的延迟效应。

[0006] 为解决上述问题,本发明提供一种半导体器件的形成方法,包括:提供基底,所述基底上具有第一栅极结构,第一栅极结构两侧的基底包括负遮盖区;在第一栅极结构的侧壁形成第一侧墙,第一侧墙覆盖基底的负遮盖区;在第一栅极结构和第一侧墙两侧的基底中分别形成源漏掺杂区,所述负遮盖区位于源漏掺杂区和第一栅极结构底部的基底之间;形成源漏掺杂区后,在第一侧墙的侧壁形成第二侧墙;在基底和源漏掺杂区上形成覆盖第二侧墙侧壁的第二层间介质层;形成第二层间介质层后,去除第二侧墙,形成第一空隙。

[0007] 可选的,在形成所述第二层间介质层后,且在去除第二侧墙之前,还包括:去除第一栅极结构,形成开口;在所述开口中形成第二栅极结构;形成第二栅极结构后,所述第一侧墙覆盖第二栅极结构的侧壁,所述负遮盖区位于源漏掺杂区和第二栅极结构底部的基底之间。

[0008] 可选的,所述第二栅极结构包括金属栅极结构本体和位于金属栅极结构本体顶部表面的保护层。

[0009] 可选的,还包括:在形成所述第二栅极结构后,去除部分第一侧墙,形成第一目标侧墙和位于第一目标侧墙上的第二空隙,第一目标侧墙的顶部表面高于或齐平于金属栅极结构本体的顶部表面,且第一目标侧墙的顶部表面低于保护层的顶部表面。

[0010] 可选的,去除部分第一侧墙后,去除第二侧墙。

[0011] 可选的,所述第一侧墙包括第一未掺杂区和位于第一未掺杂区顶部表面的第一预掺杂区,第一未掺杂区的顶部表面高于或齐平于金属栅极结构本体的顶部表面,且第一未掺杂区的顶部表面低于保护层的顶部表面;所述第二侧墙包括第二未掺杂区和位于第二未掺杂区顶部表面的第二预掺杂区,第二未掺杂区的顶部表面齐平于第一未掺杂区的顶部表面;刻蚀去除第一侧墙的第一预掺杂区,形成第二空隙,且使第一未掺杂区形成第一目标侧墙;所述半导体器件的形成方法还包括:形成所述第二层间介质层后,且在去除部分第一侧墙之

前,采用离子注入工艺在第一侧墙的第一预掺杂区中和第二侧墙的第二预掺杂区注入改性离子;刻蚀去除部分第一侧墙的工艺对第一预掺杂区的刻蚀速率大于对第二预掺杂区的刻蚀速率。

[0012] 可选的,所述改性离子包括氮离子。

[0013] 可选的,所述离子注入工艺的参数包括:采用的气体包括氮气,注入能量为3KeV~10KeV,注入剂量为 $1.0E15\text{atom}/\text{cm}^2\sim 2.0E16\text{atom}/\text{cm}^2$,注入角度为0度~30度。

[0014] 可选的,刻蚀去除部分第一侧墙的工艺对第一预掺杂区的刻蚀速率为第一刻蚀速率;刻蚀去除部分第一侧墙的工艺对第二预掺杂区的刻蚀速率为第二刻蚀速率;第一刻蚀速率与第二刻蚀速率的比值为5~20。

[0015] 可选的,刻蚀去除部分第一侧墙的工艺为干刻工艺,参数包括:采用的气体包括 Cl_2 和 N_2 , Cl_2 的流量为50sccm~300sccm, N_2 的流量为50sccm~500sccm,源射功率为200瓦~1000瓦,偏置电压为0伏~150伏,腔室压强为5mtorr~200mtorr。

[0016] 可选的,去除第二侧墙的工艺为干刻工艺,参数包括:采用的气体包括 NF_3 、 H_2 、 CH_4 和Ar, NF_3 的流量为10sccm~300sccm, H_2 的流量为10sccm~100sccm, CH_4 的流量为0sccm~100sccm,Ar的流量为50sccm~500sccm,源射功率为100瓦~1000瓦,偏置电压为0伏~200伏,腔室压强为5mtorr~200mtorr。

[0017] 可选的,所述第一侧墙的材料包括 HfO_2 、 HfSiON 、 HfAlO_2 、 ZrO_2 或 La_2O_3 ;所述第二侧墙的材料包括多晶硅、氧化硅或氧化钛。

[0018] 可选的,所述第一侧墙的厚度与所述第二侧墙的厚度之比为1:3~3:1。

[0019] 可选的,所述基底为平面式的半导体衬底;或者,所述基底包括半导体衬底和位于半导体衬底上的鳍部;所述第一栅极结构横跨所述鳍部、覆盖鳍部的部分侧壁表面和部分顶部表面;所述源漏掺杂区位于第一栅极结构和第一侧墙两侧的鳍部中;所述负遮盖区位于源漏掺杂区和第一栅极结构底部的鳍部之间。

[0020] 可选的,所述鳍部的材料包括InGaAs。

[0021] 本发明还提供一种半导体器件,包括:基底,所述基底上具有第一栅极结构,第一栅极结构两侧的基底包括负遮盖区;位于第一栅极结构侧壁的第一侧墙,第一侧墙覆盖基底的负遮盖区;分别位于第一栅极结构和第一侧墙两侧基底中的源漏掺杂区,所述负遮盖区位于源漏掺杂区和第一栅极结构底部的基底之间;位于基底上的层间介质层;位于第一栅极结构和第一侧墙两侧基底上的第一空隙,且第一空隙位于层间介质层和第一侧墙之间。

[0022] 可选的,所述第一侧墙的材料包括 HfO_2 、 HfSiON 、 HfAlO_2 、 ZrO_2 或 La_2O_3 。

[0023] 可选的,所述第一侧墙的厚度与所述第二侧墙的厚度之比为1:3~3:1。

[0024] 可选的,所述基底为平面式的半导体衬底;或者,所述基底包括半导体衬底和位于半导体衬底上的鳍部;所述第一栅极结构横跨所述鳍部、覆盖鳍部的部分侧壁表面和部分顶部表面;所述源漏掺杂区位于第一栅极结构和第一侧墙两侧的鳍部中;所述负遮盖区位于源漏掺杂区和第一栅极结构底部的鳍部之间。

[0025] 可选的,所述鳍部的材料包括InGaAs。

[0026] 与现有技术相比,本发明的技术方案具有以下优点:

[0027] 本发明技术方案提供的半导体器件的形成方法中,基底的负遮盖区用于形成部分

沟道区,增大了半导体器件的有效沟道长度,改善了短沟道效应。由于在层间介质层和第一侧墙之间形成了第一空隙,第一空隙的介电常数较低,有效的降低了半导体器件的寄生电容。而基底负遮盖区上具有第一侧墙,第一侧墙的介电常数较高,那么在半导体器件工作时,栅极结构和源漏掺杂区上施加的电压耦合在第一侧墙底部负遮盖区两侧电压差较大,因此使沟道容易开启,降低了源漏掺杂区和第一栅极结构底部沟道区之间的势垒,使得半导体器件工作时的等效电阻较小。因此,能够有效改善半导体器件的延迟效应。

[0028] 本发明技术方案提供的半导体器件中,在层间介质层和第一侧墙之间具有第一空隙,第一空隙的介电常数较小,有效的降低了半导体器件的寄生电容。而基底负遮盖区上的第一侧墙具有较高的介电常数,使得半导体器件工作时的等效电阻较小。因此,能够有效改善半导体器件的延迟效应。

附图说明

[0029] 图1是一种半导体器件的结构示意图;

[0030] 图2至图11是本发明一实施例中半导体器件形成过程的结构示意图。

具体实施方式

[0031] 正如背景技术所述,现有技术形成的半导体器件的电学性能较差。

[0032] 图1是一种半导体器件的结构示意图,半导体器件包括:基底100,所述基底100上具有栅极结构110,栅极结构110两侧的基底100包括负遮盖(underlap)区A;分别位于栅极结构110两侧基底100中的源漏掺杂区120,所述负遮盖区A位于源漏掺杂区120和栅极结构110底部的基底100之间;位于基底100上的层间介质层130;位于栅极结构110两侧的空隙140,且所述空隙140位于层间介质层130和栅极结构110之间,所述空隙140暴露出负遮盖区A和部分源漏掺杂区120。

[0033] 然而,上述半导体器件的电学性能较差,经研究发现,原因在于:

[0034] 所述空隙140位于层间介质层130和栅极结构110之间,空隙140的介电常数较小,因此使半导体器件的寄生电容减小。然而由于空隙140暴露出负遮盖区A,导致在半导体器件工作时,栅极结构110上和源漏掺杂区120上施加的电压耦合在空隙140底部负遮盖区A两侧电压差较小,沟道不易开启。源漏掺杂区120至栅极结构110底部的沟道区的能量势垒增加,因此导致半导体器件工作时的等效电阻较大,不利于有效的降低半导体器件的延迟效应。

[0035] 为了解决上述问题,本发明提供一种半导体器件的形成方法,在第一栅极结构的侧壁形成覆盖基底的负遮盖区的第一侧墙;在第一栅极结构和第一侧墙两侧的基底中分别形成源漏掺杂区,所述负遮盖区位于源漏掺杂区和第一栅极结构底部的基底之间;之后,在第一侧墙的侧壁形成第二侧墙;在基底和源漏掺杂区上形成覆盖第二侧墙侧壁层间介质层;之后,去除第二侧墙,形成第一空隙。所述方法能有效改善半导体器件的延迟效应。

[0036] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0037] 图2至图11是本发明一实施例中半导体器件形成过程的结构示意图。

[0038] 参考图2,提供基底200,所述基底200上具有第一栅极结构210,第一栅极结构210

两侧的基底200包括负遮盖 (underlap) 区I。

[0039] 本实施例中,以所述半导体器件为鳍式场效应晶体管为示例进行说明。相应的,所述基底200包括半导体衬底201和位于半导体衬底201上的鳍部202。在其它实施例中,半导体器件为平面式MOS晶体管,相应的,所述基底为平面式半导体衬底。

[0040] 本实施例中,所述半导体衬底201的材料为InGaAs。所述半导体衬底201还可以是单晶硅、多晶硅或非晶硅。所述半导体衬底201的材料还可以为锗、锗化硅、砷化镓等半导体材料。

[0041] 本实施例中,所述鳍部202通过图形化所述半导体衬底201而形成。在其它实施例中,可以是:在所述半导体衬底上形成鳍部材料层,然后图形化所述鳍部材料层,从而形成鳍部。

[0042] 本实施例中,鳍部202的材料为InGaAs,优点在于:使鳍部202中载流子的迁移率较高。在其它实施例中,鳍部的材料为单晶硅、单晶锗或单晶锗硅。

[0043] 本实施例中,所述半导体衬底201上还具有隔离结构,所述隔离结构覆盖鳍部202的部分侧壁表面。所述隔离结构的顶部表面低于所述鳍部202的顶部表面。所述隔离结构的材料包括氧化硅。

[0044] 所述第一栅极结构210包括:位于基底200上的第一栅介质层(未图示)和位于第一栅介质层上的第一栅电极层(未图示)。所述第一栅介质层的材料为氧化硅。所述第一栅电极层的材料为多晶硅。

[0045] 本实施例中,第一栅极结构210横跨鳍部202、覆盖鳍部202的部分侧壁表面和部分顶部表面。所述第一栅介质层横跨鳍部202。所述第一栅介质层位于部分隔离结构上、覆盖鳍部202的部分侧壁表面和部分顶部表面。

[0046] 所述第一栅极结构210两侧的基底200包括负遮盖区I,基底200的负遮盖区I用于形成部分沟道区,具体的,鳍部202的负遮盖区I用于形成部分沟道区。负遮盖区I中导电离子的浓度和第一栅极结构210底部的沟道区的掺杂浓度相同,增大了半导体器件的有效沟道长度,改善了短沟道效应。

[0047] 所述基底200的负遮盖区I和第一栅极结构210底部的基底200用于共同形成沟道区。

[0048] 参考图3,在第一栅极结构210的侧壁形成第一侧墙220,第一侧墙220覆盖基底200的负遮盖区I。

[0049] 本实施例中,所述第一侧墙220覆盖鳍部202的负遮盖区I。

[0050] 所述第一侧墙220还位于隔离结构上。

[0051] 所述第一侧墙220的介电常数较高,具体的,第一侧墙180的介电常数为10~50。

[0052] 具体的,所述第一侧墙220的材料为 HfO_2 、 HfSiON 、 HfAlO_2 、 ZrO_2 或 La_2O_3 。本实施例中,所述第一侧墙220的材料为 HfO_2 。需要说明的是,第一侧墙220的材料还可以为其它材料,不限于本实施例中列举的范围。

[0053] 形成所述第一侧墙220的方法包括:在所述第一栅极结构210的侧壁和顶部表面、以及基底200上形成第一侧墙材料层;回刻蚀所述第一侧墙材料层直至暴露出栅极结构210的顶部表面,形成第一侧墙220。

[0054] 所述第一侧墙材料层还位于隔离结构上。

[0055] 形成所述第一侧墙材料层的工艺为沉积工艺,如原子层沉积工艺或等离子体化学气相沉积工艺。

[0056] 本实施例中,所述第一侧墙220的厚度等于负遮盖区I在沟道区长度方向上的尺寸。在其它实施例中,所述第一侧墙的厚度大于或小于负遮盖区在沟道区长度方向上的尺寸。

[0057] 参考图4,在第一栅极结构210和第一侧墙220两侧的基底200中分别形成源漏掺杂区230,所述负遮盖区I位于源漏掺杂区230和第一栅极结构210底部的基底200之间。

[0058] 具体的,负遮盖区I位于源漏掺杂区230和第一栅极结构210底部的鳍部202之间。

[0059] 在一个实施例中,在第一栅极结构210和第一侧墙220两侧的基底200中分别注入源漏离子,在第一栅极结构210和第一侧墙220两侧的基底200中分别形成源漏掺杂区230。

[0060] 在另一个实施例中,在第一栅极结构210和第一侧墙220两侧的基底200中分别形成凹陷;在所述凹陷中外延生长源漏掺杂区230。

[0061] 参考图5,形成源漏掺杂区230后,在第一侧墙220的侧壁形成第二侧墙240。

[0062] 所述第二侧墙240的材料和第一侧墙220的材料不同。

[0063] 本实施例中,所述第二侧墙240的材料包括多晶硅、氧化硅或氧化钛。

[0064] 形成第二侧墙240的方法包括:在所述第一侧墙220的侧壁、第一栅极结构210和第一侧墙220的顶部表面、以及基底200上形成第二侧墙材料层;回刻蚀所述第二侧墙材料层直至暴露出第一栅极结构210和第一侧墙220的顶部表面,形成第二侧墙240。

[0065] 所述第二侧墙材料层还位于隔离结构上。

[0066] 形成所述第二侧墙材料层的工艺为沉积工艺,如等离子体化学气相沉积工艺或低压化学气相沉积工艺。

[0067] 所述第二侧墙240定义出后续第一空隙的位置和大小。

[0068] 所述第一侧墙220的厚度与第二侧墙240的厚度之比为1:3~3:1。

[0069] 在一个实施例中,所述第一侧墙220的厚度为5nm~50nm;所述第二侧墙240的厚度为5nm~50nm。

[0070] 参考图6,在所述基底200和源漏掺杂区230上形成覆盖第二侧墙240侧壁的层间介质层250。

[0071] 层间介质层250覆盖第二侧墙240侧壁且暴露出第二侧墙240的顶部表面。

[0072] 所述层间介质层250的材料为氧化硅或低K(K小于3.9)介质材料。

[0073] 所述层间介质层250的形成方法包括:在所述基底200、第二侧墙240、第一侧墙220和第一栅极结构210上形成层间介质材料层;平坦化层间介质材料层直至暴露出第二侧墙240、第一侧墙220和第一栅极结构210的顶部表面,形成层间介质层250。

[0074] 所述层间介质材料层还位于隔离结构上,相应的,所述层间介质层250还位于隔离结构上。

[0075] 形成层间介质层250后,去除第二侧墙240,形成第一空隙。

[0076] 本实施例中,在形成所述层间介质层250后,且在去除第二侧墙240之前,还包括:去除第一栅极结构210,形成开口;在所述开口中形成第二栅极结构;形成第二栅极结构后,所述第一侧墙220覆盖第二栅极结构的侧壁,所述负遮盖区位于源漏掺杂区230和第二栅极结构底部的基底之间,所述层间介质层250暴露出第一侧墙220、第二侧墙240和第二栅极结构的顶部表面。

[0077] 参考图7,形成所述层间介质层250后,去除第一栅极结构210(参考图6),形成开口260。

[0078] 去除第一栅极结构210的方法为干刻工艺、湿刻工艺或二者的结合。

[0079] 参考图8,在所述开口260中形成第二栅极结构270。

[0080] 所述第二栅极结构270包括:位于基底200上的金属栅极结构本体271和位于金属栅极结构本体271顶部表面的保护层272。

[0081] 本实施例中,所述金属栅极结构本体271横跨鳍部202、覆盖鳍部202的部分顶部表面和部分侧壁表面。

[0082] 所述金属栅极结构本体271包括位于基底200上的金属栅介质层和位于金属栅介质层上的金属栅电极层。

[0083] 本实施例中,所述金属栅介质层横跨所述鳍部202。所述金属栅介质层位于部分隔离结构上、覆盖鳍部202的部分顶部表面和部分侧壁表面。

[0084] 所述金属栅介质层的材料为高K(K大于3.9)介质材料。所述金属栅电极层的材料为金属。

[0085] 所述保护层272的材料包括氮化硅。

[0086] 形成第二栅极结构270后,所述第一侧墙220覆盖第二栅极结构270的侧壁,所述负遮盖区I位于源漏掺杂区230和第二栅极结构270底部的基底200之间,具体的,负遮盖区I位于源漏掺杂区230和第二栅极结构270底部的鳍部202之间,所述层间介质层250暴露出第一侧墙220、第二侧墙240和第二栅极结构270的顶部表面,具体的,所述层间介质层250暴露出第一侧墙220、第二侧墙240和保护层272的顶部表面。

[0087] 所述第一侧墙220包括第一未掺杂区和位于第一未掺杂区顶部表面的第一预掺杂区,第一未掺杂区的顶部表面高于或齐平于金属栅极结构本体271的顶部表面,且第一未掺杂区的顶部表面低于保护层272的顶部表面;所述第二侧墙240包括第二未掺杂区和位于第二未掺杂区顶部表面的第二预掺杂区,第二未掺杂区的顶部表面齐平于第一未掺杂区的顶部表面。

[0088] 本实施例中,还包括:在形成所述第二栅极结构270后,去除部分第一侧墙220,形成第一目标侧墙和位于第一目标侧墙上的第二空隙,第一目标侧墙的顶部表面高于或齐平于金属栅极结构本体271的顶部表面,且第一目标侧墙的顶部表面低于保护层272的顶部表面。

[0089] 去除部分第一侧墙220的过程为:刻蚀去除第一侧墙220的第一预掺杂区,形成第二空隙,且使第一未掺杂区形成第一目标侧墙。

[0090] 本实施例中,去除部分第一侧墙后,去除第二侧墙;在其它实施例中,去除第二侧墙后,去除部分第一侧墙。

[0091] 形成所述层间介质层250后,且在去除部分第一侧墙220之前,采用离子注入工艺在第一侧墙220的第一预掺杂区中和第二侧墙240的第二预掺杂区注入改性离子;刻蚀去除部分第一侧墙220的工艺对第一预掺杂区的刻蚀速率大于对第二预掺杂区的刻蚀速率。

[0092] 参考图9,采用离子注入工艺在第一侧墙220的第一预掺杂区中和第二侧墙240的第二预掺杂区注入改性离子。

[0093] 本实施例中,所述离子注入工艺在形成第二栅极结构270后进行。在进行所述离子

注入工艺的过程中,所述保护层272能够保护金属栅极结构本体271。

[0094] 在第一侧墙220的第一预掺杂区中和第二侧墙240的第二预掺杂区注入改性离子的作用包括:增加后续刻蚀去除部分第一侧墙220的工艺对第一预掺杂区的刻蚀速率相对于第二预掺杂区的刻蚀速率的比值。

[0095] 所述改性离子包括氮离子。

[0096] 在一个实施例中,当所述改性离子氮离子时,所述离子注入工艺的参数包括:采用的气体包括氮气,采用的气体包括氦气,注入能量为3KeV~10KeV,注入剂量为 $1.0E15\text{atom}/\text{cm}^2\sim 2.0E16\text{atom}/\text{cm}^2$,注入角度为0度~30度。

[0097] 参考图10,刻蚀去除部分第一侧墙220。

[0098] 本实施例中,在进行所述离子注入工艺之后,刻蚀去除部分第一侧墙220。

[0099] 去除部分第一侧墙220的过程为:刻蚀去除第一侧墙220的第一预掺杂区,形成第二空隙222,且使第一未掺杂区形成第一目标侧墙221。

[0100] 去除部分第一侧墙220,形成第一目标侧墙221和位于第一目标侧墙221上的第二空隙222,第一目标侧墙221的顶部表面高于或齐平于金属栅极结构本体271的顶部表面,且第一目标侧墙221的顶部表面低于保护层272的顶部表面。

[0101] 刻蚀去除部分第一侧墙220的工艺为干刻工艺,参数包括:采用的气体包括 Cl_2 和 N_2 , Cl_2 的流量为50sccm~300sccm, N_2 的流量为50sccm~500sccm,源射频功率为200瓦~1000瓦,偏置电压为0伏~150伏,腔室压强为5mtorr~200mtorr。

[0102] 本实施例中,刻蚀去除部分第一侧墙220的工艺对第一预掺杂区的刻蚀速率为第一刻蚀速率;刻蚀去除部分第一侧墙220的工艺对第二预掺杂区的刻蚀速率为第二刻蚀速率。本实施例中,进行了离子注入工艺,第一刻蚀速率与第二刻蚀速率的比值为5~20。

[0103] 形成的第二空隙222增加后续总的空气隙的空间,进一步降低半导体器件的寄生电容;第一目标侧墙221的顶部表面高于或齐平于金属栅极结构本体271的顶部表面,避免暴露出金属栅极结构本体271的侧壁,避免漏电。

[0104] 在其它实施例中,不去除部分第一侧墙,相应的,不形成第二空隙和第一目标侧墙。

[0105] 参考图11,去除部分第一侧墙220后,去除第二侧墙240(参考图10),形成第一空隙280。

[0106] 在一个实施例中,去除第二侧墙240的工艺为干刻工艺,参数包括:采用的气体包括 NF_3 、 H_2 、 CH_4 和Ar, NF_3 的流量为10sccm~300sccm, H_2 的流量为10sccm~100sccm, CH_4 的流量为0sccm~100sccm,Ar的流量为50sccm~500sccm,源射频功率为100瓦~1000瓦,偏置电压为0伏~200伏,腔室压强为5mtorr~200mtorr。

[0107] 所述第一空隙280的作用包括:第一空隙280的介电常数较低,有效的降低了半导体器件的寄生电容。

[0108] 基底200负遮盖区I上具有第一目标侧墙221,第一目标侧墙221的介电常数较高,那么在半导体器件工作时,第二栅极结构270上和源漏掺杂区230上施加的电压耦合在第一目标侧墙221底部负遮盖区I两侧的电势差较大,因此使沟道容易开启,降低源漏掺杂区230和第二栅极结构270底部的沟道区之间的势垒,使得半导体器件工作时的等效电阻较小。

[0109] 综上,有效的改善了半导体器件的延迟效应。

[0110] 相应的,本实施例还提供一种采用上述方法形成的半导体器件,包括:基底,所述基底上具有第一栅极结构,第一栅极结构两侧的基底包括负遮盖区;位于第一栅极结构侧壁的第一侧墙,第一侧墙覆盖基底的负遮盖区;分别位于第一栅极结构和第一侧墙两侧基底中的源漏掺杂区,所述负遮盖区位于源漏掺杂区和第一栅极结构底部的基底之间;位于基底上的层间介质层;位于第一栅极结构和第一侧墙两侧基底上的第一空隙,且第一空隙位于层间介质层和第一侧墙之间。

[0111] 所述第一侧墙的材料包括 HfO_2 、 HfSiON 、 HfAlO_2 、 ZrO_2 或 La_2O_3 。

[0112] 所述第一侧墙的厚度与所述第二侧墙的厚度之比为1:3~3:1。

[0113] 所述基底为平面式的半导体衬底;或者,所述基底包括半导体衬底和位于半导体衬底上的鳍部;所述第一栅极结构横跨所述鳍部、覆盖鳍部的部分侧壁表面和部分顶部表面;所述源漏掺杂区位于第一栅极结构和第一侧墙两侧的鳍部中;所述负遮盖区位于源漏掺杂区和第一栅极结构底部的鳍部之间。

[0114] 所述鳍部的材料包括 InGaAs 。

[0115] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

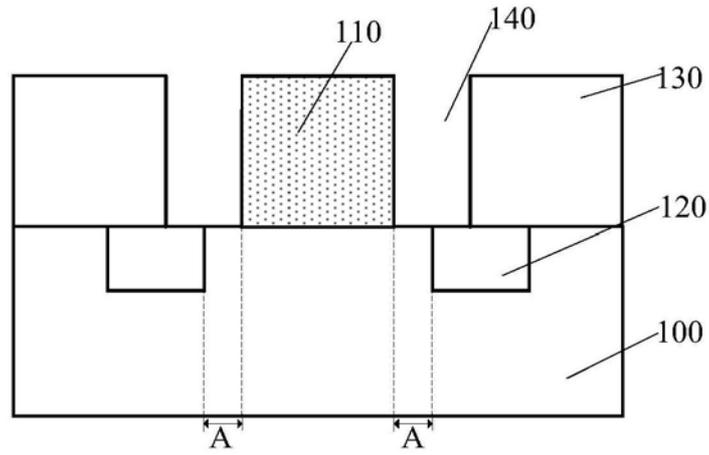


图1

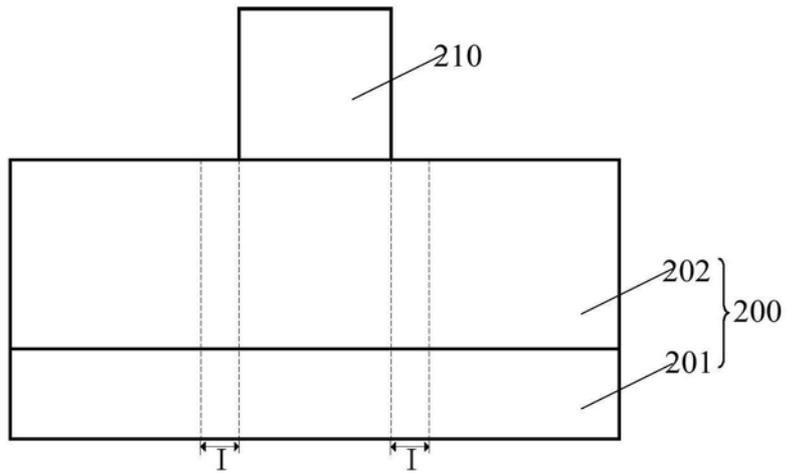


图2

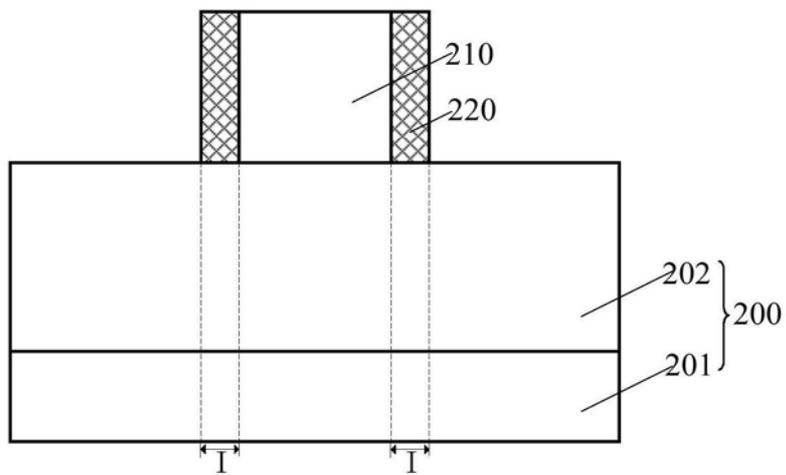


图3

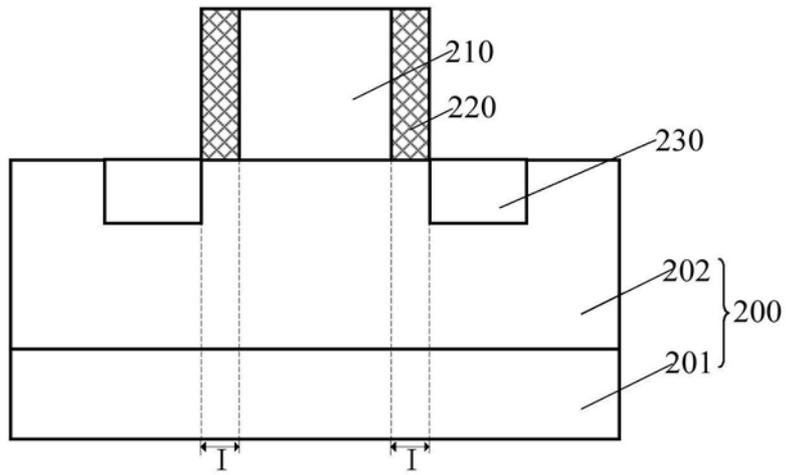


图4

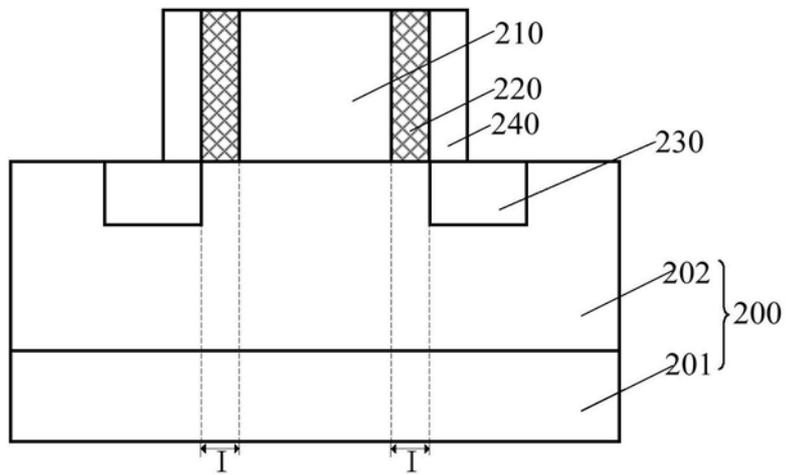


图5

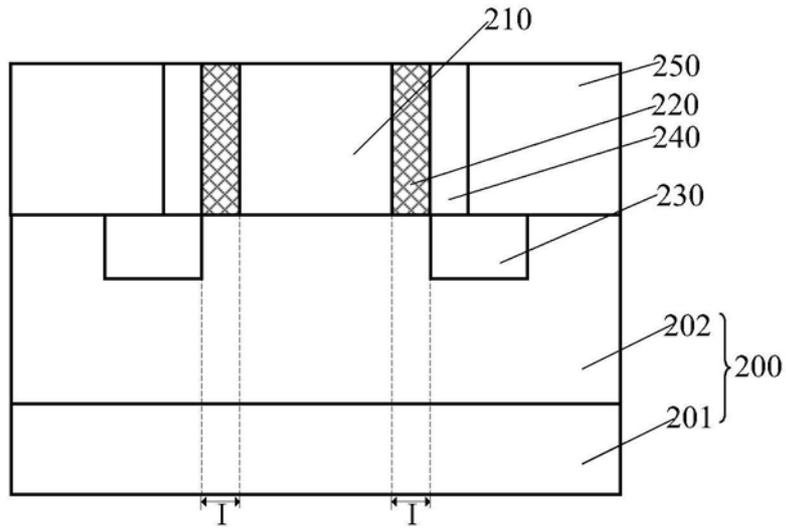


图6

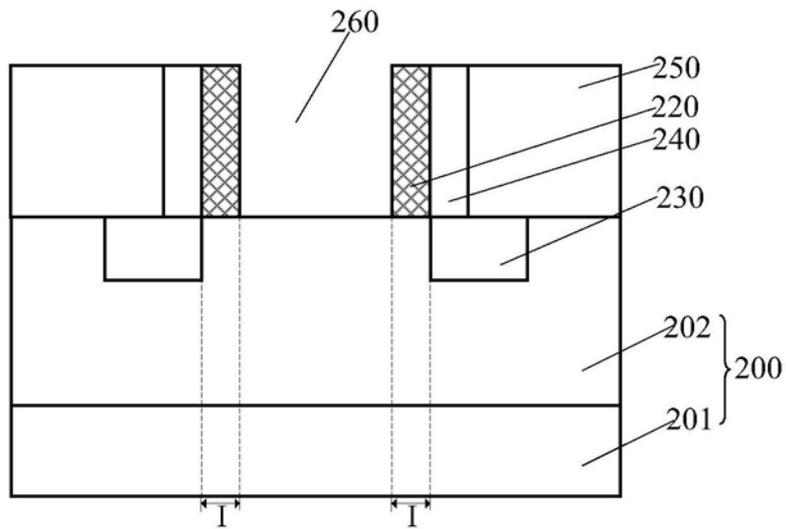


图7

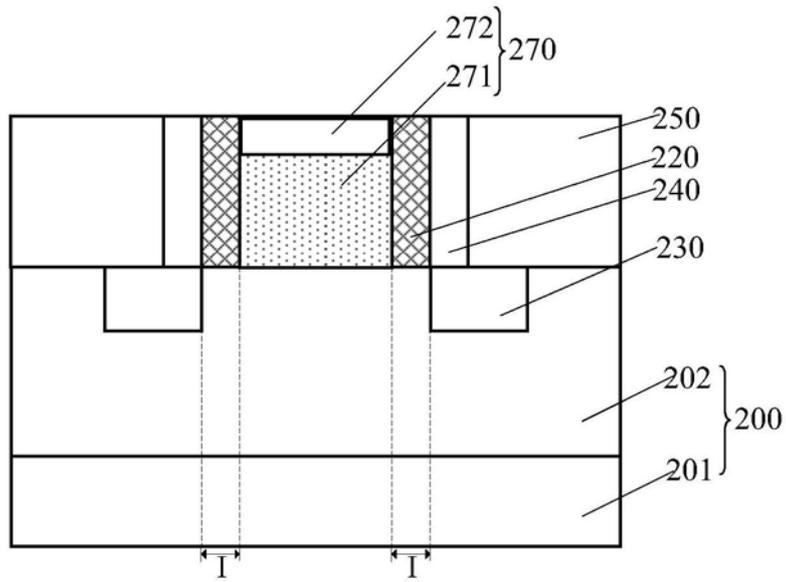


图8

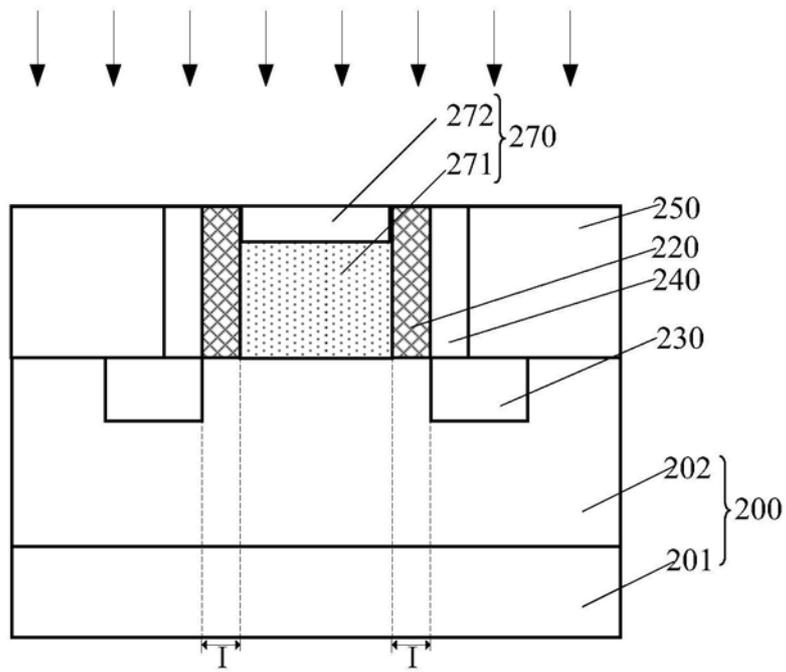


图9

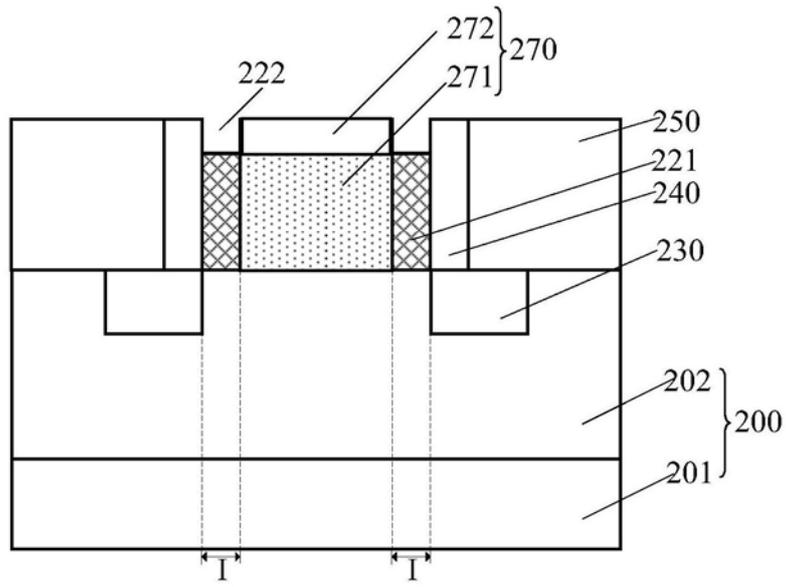


图10

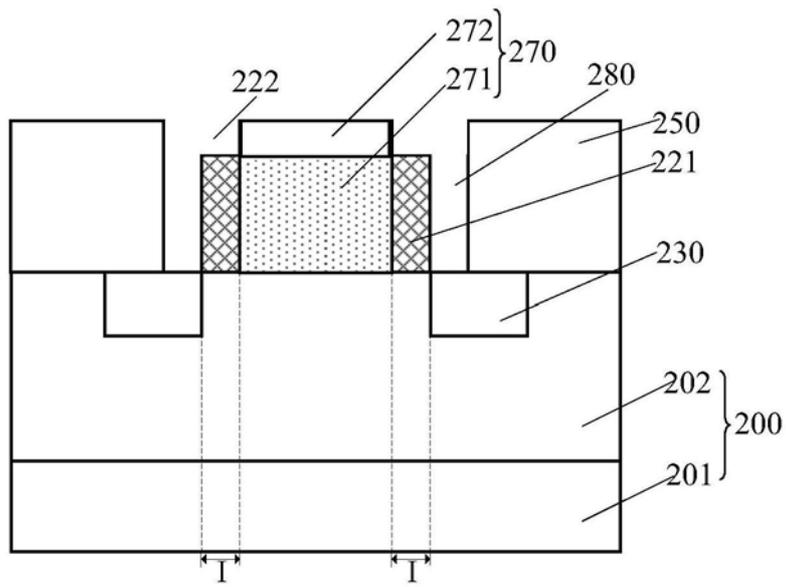


图11