



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년01월24일  
(11) 등록번호 10-2629138  
(24) 등록일자 2024년01월22일

- (51) 국제특허분류(Int. Cl.)  
B41J 2/14 (2006.01) B41J 2/045 (2006.01)
- (52) CPC특허분류  
B41J 2/14153 (2013.01)  
B41J 2/04541 (2013.01)
- (21) 출원번호 10-2021-7024512
- (22) 출원일자(국제) 2019년02월06일  
심사청구일자 2021년08월03일
- (85) 번역문제출일자 2021년08월03일
- (65) 공개번호 10-2021-0107861
- (43) 공개일자 2021년09월01일
- (86) 국제출원번호 PCT/US2019/016809
- (87) 국제공개번호 WO 2020/162916  
국제공개일자 2020년08월13일
- (56) 선행기술조사문헌  
JP2018134809 A\*  
KR1020020056417 A\*  
KR1020170109239 A\*  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
휴렛-팩커드 디벨롭먼트 컴퍼니, 엘.피.  
미국 텍사스주 77389 스프링 에너지 드라이브 10300
- (72) 발명자  
린 스콧 에이  
미국 오리건주 97330 코발리스 노스이스트 서클 불러바드 1070  
가드너 제임스 마이클  
미국 오리건주 97330 코발리스 노스이스트 서클 불러바드 1070
- (74) 대리인  
제일특허법인(유)

전체 청구항 수 : 총 22 항

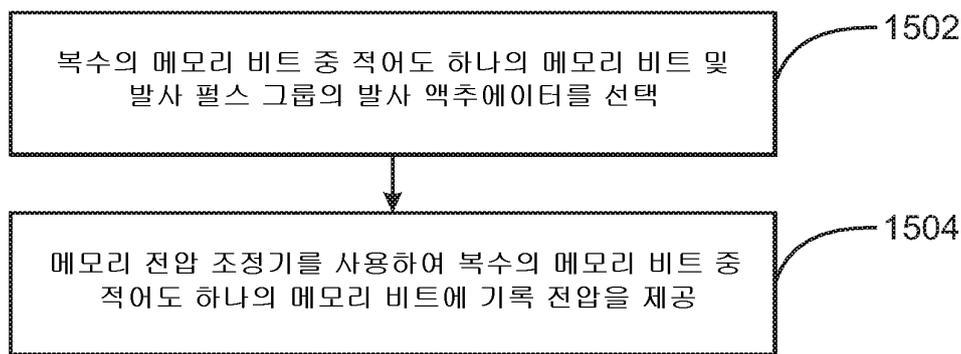
심사관 : 장창국

(54) 발명의 명칭 **통신하는 인쇄 컴포넌트**

(57) 요약

다수의 메모리 비트를 포함하는 인쇄 컴포넌트용 집적 회로. 집적 회로는 다수의 메모리 비트 중 적어도 하나의 메모리 비트 및 발사 펄스 그룹의 발사 액추에이터를 선택하기 위한 선택 회로를 포함할 수 있다. 집적 회로는 다수의 메모리 비트 중 적어도 하나의 메모리 비트에 기록 전압을 제공하기 위한 메모리 전압 조정기를 포함할 수 있다.

대표도 - 도15



1500

(52) CPC특허분류

*B41J 2/04543* (2013.01)

*B41J 2/04551* (2013.01)

*B41J 2/04563* (2013.01)

*B41J 2/0458* (2013.01)

*B41J 2/04581* (2013.01)

*B41J 2002/14354* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

인쇄 컴포넌트용 집적 회로로서,

복수의 발사 액추에이터 및 복수의 메모리 비트와,

복수의 메모리 비트 중 적어도 하나의 메모리 비트 및 상기 복수의 발사 액추에이터 중 적어도 하나의 발사 액추에이터를 선택하기 위한 선택 회로와,

상기 복수의 메모리 비트 중 상기 적어도 하나의 메모리 비트에 기록 전압을 제공하기 위한 메모리 전압 조정기를 포함하며,

상기 적어도 하나의 메모리 비트의 기록과 상기 적어도 하나의 발사 액추에이터의 발사 작동은 모두 FIRE 신호를 통해 활성화되는,

집적 회로.

#### 청구항 2

제1항에 있어서,

상기 적어도 하나의 메모리 비트 각각은 상기 FIRE 신호의 상승 동작에 응답하여 기록되는

집적 회로.

#### 청구항 3

제1항 또는 제2항에 있어서,

상기 적어도 하나의 메모리 비트 및 상기 적어도 하나의 발사 액추에이터는 데이터 라인을 통해 선택되는

집적 회로.

#### 청구항 4

제1항 또는 제2항에 있어서,

상기 적어도 하나의 메모리 비트는 제1 메모리 비트 및 제2 메모리 비트를 포함하고,

상기 제1 메모리 비트는 제1 실리콘 다이 상에 위치되고, 상기 제2 메모리 비트는 제2 실리콘 다이 상에 위치되는

집적 회로.

#### 청구항 5

제4항에 있어서,

상기 제1 실리콘 다이는 제1 인쇄 웨어에 위치되고, 상기 제2 실리콘 다이는 제2 인쇄 웨어에 위치되는

집적 회로.

#### 청구항 6

제1항 또는 제2항에 있어서,

상기 적어도 하나의 메모리 비트는 상기 적어도 하나의 발사 액추에이터와 연관되는

집적 회로.

#### 청구항 7

제1항 또는 제2항에 있어서,

상기 적어도 하나의 메모리 비트는 단일 발사 펄스 그룹의 프리미티브 번호 및 어드레스 번호에 의해 선택된 데이터에서 식별되는

집적 회로.

#### 청구항 8

제1항 또는 제2항에 있어서,

상기 메모리 전압 조정기는 단일 FIRE 신호의 지속기간 동안 상기 적어도 하나의 메모리 비트에 상기 기록 전압을 제공하는

집적 회로.

#### 청구항 9

삭제

#### 청구항 10

교체가능한 인쇄 헤드 카트리지에 저장 데이터를 기록하는 방법으로서,

복수의 메모리 비트 중 적어도 하나의 메모리 비트 및 발사 펄스 그룹의 복수의 발사 액추에이터 중 적어도 하나의 발사 액추에이터를 선택하는 단계와,

메모리 전압 조정기를 사용하여 상기 복수의 메모리 비트 중 상기 적어도 하나의 메모리 비트에 기록 전압을 제공하는 단계를 포함하며,

상기 적어도 하나의 메모리 비트의 기록과 상기 적어도 하나의 발사 액추에이터의 발사 작동은 모두 FIRE 신호를 통해 활성화되는,

방법.

#### 청구항 11

제10항에 있어서,

상기 적어도 하나의 메모리 비트 각각은 상기 FIRE 신호의 상승 동작에 응답하여 기록되는

방법.

**청구항 12**

제10항 또는 제11항에 있어서,  
 상기 적어도 하나의 메모리 비트 및 상기 적어도 하나의 발사 액추에이터는 데이터 라인을 통해 선택되는 방법.

**청구항 13**

제10항 또는 제11항에 있어서,  
 상기 적어도 하나의 메모리 비트는 제1 메모리 비트 및 제2 메모리 비트를 포함하고,  
 상기 제1 메모리 비트는 제1 실리콘 다이 상에 위치되고, 상기 제2 메모리 비트는 제2 실리콘 다이 상에 위치되며,  
 상기 제1 실리콘 다이는 제1 인쇄 펜에 위치되고, 상기 제2 실리콘 다이는 제2 인쇄 펜에 위치되는 방법.

**청구항 14**

제10항 또는 제11항에 있어서,  
 상기 적어도 하나의 메모리 비트는 상기 적어도 하나의 발사 액추에이터와 연관되는 방법.

**청구항 15**

삭제

**청구항 16**

제10항 또는 제11항에 있어서,  
 상기 메모리 전압 조정기는 단일 FIRE 신호의 지속기간 동안 상기 적어도 하나의 메모리 비트에 상기 기록 전압을 제공하는 방법.

**청구항 17**

교체가능한 인쇄 헤드 카트리지와 연관된 집적 회로로서,  
 복수의 발사 액추에이터 및 복수의 메모리 비트와,  
 상기 복수의 발사 액추에이터 중 단일 발사 액추에이터 및 상기 복수의 메모리 비트 중 2개 이상의 메모리 비트를 선택하기 위한 선택 회로와,  
 상기 2개 이상의 메모리 비트에 기록 전압을 제공하기 위한 메모리 전압 조정기를 포함하며,  
 상기 2개 이상의 메모리 비트의 기록과 상기 단일 발사 액추에이터의 발사 작동은 모두 FIRE 신호를 통해 활성화되는,  
 집적 회로.

**청구항 18**

제17항에 있어서,  
상기 2개 이상의 메모리 비트 각각은 상기 FIRE 신호의 상승 동작에 응답하여 기록되는  
집적 회로.

**청구항 19**

제17항 또는 제18항에 있어서,  
상기 2개 이상의 메모리 비트 및 상기 단일 발사 액추에이터는 데이터 라인을 통해 선택되는  
집적 회로.

**청구항 20**

제17항 또는 제18항에 있어서,  
상기 2개 이상의 메모리 비트는 제1 메모리 비트 및 제2 메모리 비트를 포함하고,  
상기 제1 메모리 비트는 제1 실리콘 다이 상에 위치되고, 상기 제2 메모리 비트는 제2 실리콘 다이 상에 위치되  
는  
집적 회로.

**청구항 21**

제20항에 있어서,  
상기 제1 실리콘 다이는 제1 인쇄 웨이퍼에 위치되고, 상기 제2 실리콘 다이는 제2 인쇄 웨이퍼에 위치되는  
집적 회로.

**청구항 22**

제17항 또는 제18항에 있어서,  
상기 2개 이상의 메모리 비트는 상기 단일 발사 액추에이터와 연관되는  
집적 회로.

**청구항 23**

제17항 또는 제18항에 있어서,  
상기 2개 이상의 메모리 비트는 단일 발사 펄스 그룹의 프리미티브 번호 및 어드레스 번호에 의해 선택된 데이  
터에서 식별되는  
집적 회로.

**청구항 24**

제17항 또는 제18항에 있어서,

상기 메모리 전압 조정기는 단일 FIRE 신호의 지속기간 동안 상기 2개 이상의 메모리 비트에 상기 기록 전압을 제공하는

집적 회로.

**청구항 25**

삭제

**청구항 26**

삭제

**발명의 설명**

**기술 분야**

**배경 기술**

[0001] 프린터 및 프린터 카트리지는 잉크를 매체에 전달하는 데 다수의 기술을 사용할 수 있다. 잉크는 장치 전체에 걸쳐 온도 차이에 의해 영향을 받는 장치를 사용하여 매체에 적용될 수 있다. 인쇄 품질은 프린터가 인쇄하도록 지시받은 입력과 매칭되는 인쇄 작업의 결과에 의해 부분적으로 결정될 수 있다.

**도면의 간단한 설명**

[0002] 소정 예들은 다음의 상세한 설명에서 도면을 참조하여 설명된다.

도 1은 예시적인 인쇄 컴포넌트 시스템의 블록도이다.

도 2는 예시적인 멀티-다이 인쇄 컴포넌트 시스템의 블록도이다.

도 3은 예시적인 멀티-펜 인쇄 컴포넌트 시스템의 블록도이다.

도 4는 예시적인 회로 설계(plan)의 블록도이다.

도 5는 예시적인 멀티-펜 센서 아키텍처의 블록도이다.

도 6은 예시적인 인쇄 회로 아키텍처의 블록도이다.

도 7은 통신하는 교체가능한 인쇄 헤드 카트리지로부터 저장된 데이터를 통신하는 예시적인 방법의 흐름도이다.

도 8은 통신하는 교체가능한 인쇄 헤드 카트리지로부터 저장된 데이터를 통신하기 위해 프로세서에 지시하는 명령어를 포함하는 예시적인 비일시적 컴퓨터 판독가능 매체의 블록도이다.

도 9는 메모리 셀에 액세스하기 위한 예시적인 방법의 흐름도이다.

도 10은 구성 레지스터 기록을 위한 예시적인 신호 세트를 도시하는 도면이다.

도 11은 복수의 인에이블된 레지스터 및 노즐 데이터를 사용하는 메모리 비트의 예시적인 액세스의 개략도이다.

도 12는 메모리 셀에 액세스하는 논리적 회로의 일례를 도시하는 개략도이다.

도 13은 인에이블된 액세스 상태에 응답하여 메모리 셀에 액세스하기 위한 예시적인 방법의 흐름도이다.

도 14는 예시적인 회로 및 메모리 비트 기록 설계의 블록도이다.

도 15는 메모리 전압 조정기를 사용하여 메모리 비트의 선택된 조합에 기록 전압을 제공하기 위한 예시적인 방법의 흐름도이다.

도 16은 각각의 유체 액추에이터와 연관된 복수의 메모리 비트를 갖는 집적 회로의 다른 예(1600)를 도시하는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0003] 잉크 또는 작용제와 같은 유체를 페이지, 분말, 유체 챔버 등과 같은 매체에 제공하는 것은 유체 액추에이터로 노즐을 통해 유체를 밀어내는 것을 포함할 수 있다. 일 예에서, 유체 액추에이터의 제어는 집적 회로 상에 위치한 메모리 비트에 의해 조절될 수 있다. 일 예에서, 집적 회로는 가능하게는 실리콘으로 제조된 인쇄 다이이다. 다수의 노즐, 대응하는 유체 액추에이터 및 관리할 대응하는 메모리 비트가 존재할 수 있다. 이들 메모리 비트는 버스에 의해 병렬로 통신가능하게 연결될 수 있다. 버스는 단일 레인 아날로그 버스이다. 본 개시에서, 버스는 메모리 비트의 모든 조합을 병렬로 측정할 수 있다. 또한, 단일 레인 아날로그 버스를 사용하면 더 복잡한 버스 와이어, 트레이스 또는 일반적인 인쇄 다이 구성을 깔끔하게 정리할 수 있다. 단일 레인 버스를 사용하여 복수의 메모리 비트를 병렬로 측정하면 멀티 버스 다이 아키텍처가 필요하지 않다. 추가로, 개시된 시스템은 단일 레인 아날로그 버스를 사용하여 복수의 인쇄 다이에 걸쳐 메모리 비트를 연결하기 위한 프레임워크를 제공한다. 필요한 버스 레인의 수를 줄이면 모든 메모리 비트, 섹션 또는 분할이 단일 패드를 사용하여 측정될 수 있기 때문에 외부 측정 패드의 수도 감소할 수 있다. 일 예에서, 패드는 프린터 측 콘택트에 연결하기 위해 다이 외부에 있다. 일 예에서, 패드는 아날로그 신호를 전달하는 아날로그 신호 패드이다.
- [0004] 본 명세서에서 사용되는 바와 같이, 측정이 이루어지는 특정 메모리 비트는 단일 레인 버스를 사용하여 선택될 수 있다. 일 예에서, 단일 레인 버스는 고속 데이터경로이며 트레이스, 와이어 또는 컴포넌트 간의 전자 통신 연결의 다른 수단일 수 있다. 메모리 비트는 데이터 패킷에서 프리미티브 데이터의 일부로서 전송되는 정보를 사용하여 선택될 수 있다. 일 예에서, 데이터 패킷은 발사 펄스(fire pulse) 그룹으로 지칭될 수 있다. 일 예에서, 메모리 비트의 특정 선택은 프리미티브 데이터를 사용하여 이루어져서 발사 펄스 그룹을 나타낸다. 데이터 패킷 또는 발사 펄스 그룹도 특정 유체 액추에이터를 어드레싱하거나 선택하기 위해 집적 회로를 통해 전송된다. 유체 액추에이터를 어드레싱하는 일 방법은 프리미티브 번호와 어드레스 번호를 포함한다. 몇몇 예에서, 각각의 유체 액추에이터에 대응하는 메모리 비트가 있을 수 있다. 다른 예에서, 유체 액추에이터보다 더 많거나 더 적은 메모리 비트가 있을 수 있다.
- [0005] 메모리 비트는 복수의 메모리 비트 및 유체 액추에이터를 선택하기 위한 동일한 선택 레인 및 선택 로직을 사용하여 선택될 수 있다. 일 예에서, 유체 액추에이터의 선택을 위한 정보를 전달하는 데이터 패킷은 프리미티브 번호 및 어드레스 번호를 포함하여 특정 유체 액추에이터에 대응하는 메모리 비트를 선택하기 위한 데이터를 추가로 포함한다.
- [0006] 이러한 방식으로 어드레싱 시스템을 사용하면, 예를 들어, 단일 레인 아날로그 버스를 사용하면, 복수의 메모리 비트를 선택하고 패드를 향해 단일 레인 아날로그 버스를 따라 읽을 수 있다. 일 예에서, 패드는 메모리 비트 신호에 추가하여 센서 상태를 통신하는 센서 패드이다.
- [0007] 다수의 유체 작동 장치를 구동하는 데 동일한 데이터 라인이 사용될 수 있다. 또한 단일 레인 아날로그 버스를 사용하면 동일한 다이 내에 및 동일한 어드레스 상에 위치한 복수의 메모리 비트를 선택하여 한 번에 하나씩 또는 병렬 조합으로 동일한 패드로부터 읽을 수 있다. 다른 예에서, 단일 아날로그 버스를 사용하면 동일한 인쇄 헤드 상의 상이한 실리콘 다이 내의 복수의 메모리 비트를 선택하고 동일한 선택 레인으로부터 읽을 수 있다. 메모리 비트는 상이한 다이에 위치할 수 있다. 각각의 다이는 상이한 컬러에 대응할 수 있다. 예를 들어, 하나의 펜은 컬러 펜일 수 있고 3개의 실리콘 인쇄 다이를 포함할 수 있다. 다른 펜은 흑색 잉크 펜에 위치할 수 있으며 단일 실리콘 인쇄 다이를 가질 수 있다. 단일 아날로그 버스를 사용하면 별개의 컬러 펜 및 흑색 펜과 같은 인쇄 시스템 내의 복수의 인쇄 헤드에 걸쳐 복수의 실리콘 다이에 걸쳐 복수의 메모리 비트를 선택하고 동일한 패드로부터 읽을 수 있다. 어드레스에 의해 메모리 비트를 선택할 때, 각각의 고유한 실리콘 다이는 상이한 어드레스 번호에서 메모리 비트를 선택할 수 있지만, 동일한 다이 내의 메모리 비트는 동일한 어드레스에서 선택될 수 있다.
- [0008] 집적 회로는 인쇄 다이일 수 있다. 집적 회로는 휘발성 또는 비휘발성 메모리(NVM) 비트인 메모리 비트를 사용할 수 있다. 일 예에서, 집적 회로에서 사용되는 메모리는 OTP(one-time-programmable)이며 아날로그 패드를 사용하여 외부에서 읽을 수 있다. 예를 들어, 메모리 비트 또는 비트들은 다양한 측정 조건 및 조합 하에서 예상되거나 예측가능한 아날로그 응답을 제공할 수 있다. 복수의 메모리 비트에 액세스하고 이로부터 판독하는 이러한 더 미묘한 접근 방식으로 인해, 인쇄 헤드의 특징부에 대한 액세스는 무단 액세스 또는 조작으로부터 더욱 보호된다. 또한, 측정 단위가 증가하여 인쇄 컴포넌트의 기능에 대한 보다 구체적인 상태 모니터링이 가능하다. 추가적으로, 일 예에서, 단일 레인 버스를 사용하여 조합하여, 병렬로 및/또는 동시에 복수의 메모리 비트를 어드레싱하거나 또는 판독하는 것은 어드레싱 또는 판독 동작의 수를 줄여 작동이 빨라질 수 있다. 또한, 이와 반

대로, 병렬 판독을 시도하는 데 멀티 라인 버스를 사용하는 것은 인쇄 다이에서 공간을 가득 채울 수 있는 복수의 회로 라인을 이용할 것이다. 또한, 인쇄 헤드 또는 인쇄트 헤드들에 다른 와이어를 추가하면 관련 비용이 증가하고 신뢰성이 저하될 것이다.

[0009] 인쇄 컴포넌트는 탈착가능할 수 있다. 탈착가능한 인쇄 컴포넌트를 프린터에서 제거하거나 프린터에 삽입할 수 있다. 발사(FIRE) 신호에 따라 잉크를 분산시킬 노즐을 선택하는 데 사용되는 동일한 회로가 집적 회로의 메모리에 액세스하는 데에도 사용될 수 있다. 노즐을 선택하고 메모리 비트를 선택하는 회로는 공유될 수 있다. 회로를 공유하면 사용되는 회로 영역을 부분적으로 최소화할 수 있다. 또한, 라인을 공유하는 이들 2개의 컴포넌트 사이의 의도치 않은 시그널링은 의도치 않은 동작이나 메모리 변경의 위험을 끼칠 수 있다. 본 개시는 메모리에 대한 액세스를 허용하기 전에 액세스 시퀀스를 사용함으로써 의도치 않은 시그널링으로부터 보호하기 위한 방법 및 장치를 포함한다.

[0010] 언급된 바와 같이, 프린터 회로는 유체 작동 회로와 메모리 셀 회로 사이의 공유 라인을 포함할 수 있다. 일 예에서, 온다이 복잡성을 줄이기 위해, 잉크젯 노즐을 선택하는 데 사용되는 고속 데이터경로의 대부분은 다목적으로 사용되어 메모리 요소도 선택한다. 메모리 비트 선택을 위한 특정 기법은 메모리 액세스 시퀀스를 사용하여 보호장치를 인에이블하여 인쇄 중에 메모리 비트가 실수로 선택되지 않음을 보장할 수 있다. 인쇄 중에 실수로 선택된 메모리 비트는 손상되어 인쇄 헤드 메모리에서 사용하지 못할 수도 있다.

[0011] 본 기법은 인쇄 헤드와 같은 집적 회로에서 메모리 판독 및 기록 모드에 액세스하는 데 사용되는 액세스 모드 시퀀스를 보여준다. 일 예에서, 인쇄 헤드는 실리콘 다이와 같은 다이를 포함할 수 있다. 실리콘 다이는 긴 실리콘 조각일 수 있다. 미가공(raw) 실리콘의 크기와 이에 대한 비용을 줄이기 위해, 회로의 크기 또는 프로파일은 동일한 신호 라인을 공유하는 복수의 컴포넌트에 의해 감소될 수 있다. 예를 들어, 노즐의 선택은 메모리 비트의 설정에 사용되는 것과 동일한 하드웨어를 사용할 수 있다. 일 예에서, 메모리 비트 또는 메모리 셀은 비휘발성 메모리(NVM)일 수 있다. NVM의 사용은 인쇄 헤드에서 프린터로 정보를 전송하는 데 사용될 수 있다. 다이의 균열 및 온도 차이의 측정과 같은 정보의 통신을 통해 검출된 조건에 따라 인쇄 헤드에 대한 명령을 계산하고 조정할 수 있다. 일 예에서, 프린터로 통신될 NVM에 포함된 정보는 다이의 열적 거동, 다이에 대한 오프셋, 영역 정보, 컬러 맵, 노즐의 수, 노즐 기능, 다양한 영역에서의 다이 온도, 균열 검출 및 다른 정보를 포함할 수 있다.

[0012] 공유 컴포넌트에 대한 잡음 또는 의도하지 않은 시그널링보다는 적절한 데이터가 NVM에 저장되도록 하기 위해, 액세스 시퀀스가 사용된다. 액세스 시퀀스는 인쇄 선택 데이터를 전달하고 실행도 하는 회로가 메모리에 의도치 않은 기록을 하는 것을 방지할 수 있다. 품질 손실 없이 회로를 공유할 수 있어 회로 면적을 상당히 절약할 수 있다. 컴포넌트의 공유는 예를 들어, 유체 액추에이터와 NVM 비트를 모두 선택하기 위한 데이터경로 공유를 포함할 수 있다.

[0013] 의도치 않은 메모리 액세스를 방지하는 다른 방법은 FIRE 신호의 하강 에지에서 액세스 시퀀스를 재설정하는 것이다. 이렇게 하면 MODE 패드 상의 신호 또는 잡음 결합이 메모리 비트가 노출되지 않는 액세스 시퀀스의 첫 번째 단계로 제한된다. 대신, 메모리 비트에 액세스하는 프로세스는 손상이나 잘못된 시그널링없이 빠르게 종료되기 전에 일시적으로 시작될 수 있다.

[0014] 일 예에서, 메모리 액세스 모드를 인에이블하는 시퀀스는 6개의 단계를 가질 수 있다. 예시적인 제1 단계에서, 메모리 모드를 인에이블하기 위해 구성 레지스터가 액세스될 수 있다. 예시적인 제2 단계에서, 발사 펄스 그룹(FPG) 데이터의 로딩은 FPG 헤더에 설정되는 비휘발성 메모리 인에이블(NVM-인에이블) 비트와 함께 기록될 비트 또는 비트들을 포함할 수 있다. 본 명세서에서 사용되는 바와 같이, FPG는 발사를 위한 프리미티브를 선택하는 데 사용되는 데이터 패킷을 지칭할 수 있다. 본 명세서에 사용된 바와 같이, 프리미티브는 노즐과 같은 유체 작동 장치의 그룹을 지칭할 수 있다. 일 예에서, NVM 인에이블 비트는 FAMOS(floating gate avalanche metal oxide semiconductor) 요소와 같은 메모리 요소에 저장된 인에이블 비트를 지칭할 수 있다. 예시적인 제3 단계에서, FIRE 패드의 펄스는 0 신호에서 1 신호로 그리고 0으로 내려가며, 이는 FIRE 라인을 따라 로우-하이-로우 시그널링 시퀀스에 대응한다. FIRE 신호는 유체 액추에이터가 작동하도록 트리거할 수 있을 뿐만 아니라 데이터를 소거하여 메모리 회로의 구성 및 메모리 레지스터에도 영향을 미칠 수 있다. 데이터의 이 소거 또는 재설정 은 초기 액세스가 동일한 라인을 따라 의도치 않은 시그널링에 의한 것이었던 경우 의도치 않은 메모리 액세스를 방지하는 데 도움이 된다. 예시적인 제4 단계는 메모리 모드를 인에이블하기 위한 다른 구성 레지스터 액세스를 포함한다. 예시적인 제5 단계는 이전 4개의 단계가 실행된 후에만 보이는 메모리 구성 레지스터에 대한 기록을 포함한다. 마지막으로, 일 예에서, 0 신호에서 1 신호로 다시 0으로 내려가는 FIRE 패드의 펄스가 있을 수

있다. 이 제2 FIRE 신호가 하이 신호 상태에서 발사되는 지속기간 동안 비트 또는 비트들은 메모리 요소로부터 관독되거나 메모리 요소에 기록될 수 있다.

- [0015] 발사 펄스 그룹을 로딩하는 것과 관련하여, 메모리 비트는 유체 액추에이터에 대한 발사 펄스 그룹 프리미티브 데이터를 선택하는 데 사용되는 것과 동일한 고속 데이터경로를 사용하여 선택된다. 이것은 메모리 비트가 개별 유체 액추에이터와 같은 단위로 프리미티브 번호와 어드레스 번호에 의해 유사하게 선택될 수 있음을 의미한다. 일 예에서, FIRE 패드가 하이(1)에서 로우(0)로 전환될 때마다, 구성 레지스터의 NVM 인에이블 비트가 소거될 수 있다. 앞에서 언급했듯이, 소거는 의도치 않은 액세스 가능성을 줄인다. 구성 레지스터 NVM 인에이블 비트가 소거되면, 메모리 구성 레지스터의 모든 비트도 소거된다. 따라서, 하강하는 FIRE 신호는 NVM에 대한 추가 액세스를 디스에이블한다. NVM에 액세스하려면, 시프트 데이터의 NVM 인에이블 비트와 함께 구성 레지스터 NVM 인에이블 비트를 설정해야 한다. 이들 초기 조건의 경우, FIRE 신호가 상승하기 전에 둘 다 발생하는 한 발생 순서는 서로 바뀔 수 있다. FIRE 신호가 상승하거나 높아지면, 이 신호를 통해 shift\_data로부터의 NVM 인에이블 비트가 통합 인쇄 다이 내부의 래치를 설정할 수 있다. 일 예에서, 내부 래치가 설정되면, NVM 인에이블 비트가 하강하는 FIRE 신호에 의해 소거되었기 때문에 구성 레지스터의 NVM 인에이블 비트가 1로 재기록될 수 있다. 이 예에서, NVM 인에이블 비트가 0일 때마다, 메모리 구성 레지스터가 소거된다. 구성 레지스터에 설정되는 NVM 인에이블 비트와 함께 설정된 내부 래치를 사용하면, 메모리 구성 레지스터가 기록을 위해 인에이블된다.
- [0016] 일 예에서, 메모리 구성 레지스터는 구성 레지스터 연결과 병렬로 실행할 수 있지만 복잡한 조건이 소정 순서로 충족된 후에만 비트를 기록하는 것으로 제한된다는 점에서 새도우 레지스터이다. 이와 같이, 메모리 구성 레지스터는 도트 데이터 스트림(dot data stream)의 비트와 구성 레지스터의 비트를 통해 인에이블될 수 있으며, 그 다음에 시프팅을 위한 메모리 구성 레지스터를 인에이블한다. 또한, 일 예에서, 메모리 구성 레지스터는 NVM 모드에 대한 최종 인에이블로서 사용될 수 있고 관독/기록 및 열 또는 특수 메모리 비트를 선택하는 데에도 사용될 수 있다.
- [0017] 여러 시퀀스가 도시되어 있지만, 여기에 개시된 기법의 범위 내에서 더 복잡한 다른 직렬 기록 프로토콜이 고려된다. 다른 복잡한 액세스 기법을 사용하여 정상적인(비-NVM) 동작 중에 NVM에 실수로 액세스할 수 없도록 할 수 있다. 본 명세서에서 논의된 액세스 시퀀스 및 프로토콜도 기본적으로 구성 레지스터에 대한 새도우 병렬 레지스터인 메모리 제어 레지스터를 제거하는 것과 같은 다수의 방식으로 추가로 수정될 수 있다. 또한, 시그널링과 관련하여 본 명세서에서 논의된 예에서, MODE 패드 신호는 또한 메모리 구성 레지스터의 메모리 액세스를 호출하기 위해 FIRE 신호를 대체하는 데 사용될 수 있다.
- [0018] 도 1은 예시적인 인쇄 컴포넌트 시스템(100)의 블록도이다. 단순화된 도면은 기법을 보여주기 위한 컨텍스트를 제공하기 위해 컴포넌트를 포함하고 배제한다.
- [0019] 인쇄 컴포넌트는 인쇄 카트리지를, 복수의 펜 및 카트리지를 보유하기 위한 인쇄 캐리지, 또는 인쇄 시스템의 다른 컴포넌트를 구성하기 위한 인쇄 하드웨어일 수 있다. 일 예에서, 인쇄 구성요소는 인쇄 시스템에서 제거 가능하고 교체가능할 수 있다. 인쇄 컴포넌트는 재충전가능한 장치일 수 있다. 인쇄 컴포넌트는 탱크, 챔버 또는 잉크와 같은 유체용 용기를 포함할 수 있다. 인쇄 구성요소는 교체가능한 유체용 용기를 포함할 수 있다.
- [0020] 인쇄 컴포넌트는 집적 회로(102)를 포함할 수 있다. 집적 회로(102)는 일회용일 수 있다. 인쇄 컴포넌트 및 집적 회로(102)는 물리적으로 결합되어 양자가 동시에 배치될 수 있다. 일 예에서, 인쇄 컴포넌트 및 집적 회로(102)는 물리적으로 분리될 수 있어 하나는 배치되고 교체될 수 있고 다른 하나는 인쇄 시스템에 남아 있을 수 있다. 집적 회로(102)는 유체가 나오는 다수의 노즐을 포함할 수 있다. 집적 회로(102)는 유체 액추에이터가 인쇄 매체 방향으로 유체를 구동시키는 다수의 유체 공급 노즐을 포함할 수 있다. 인쇄 매체는 그 중에서도 종이, 플라스틱 및 금속일 수 있다. 일 예에서, 집적 회로(102)는 압전 분사(piezoelectric jetting), 열 분사(thermal jetting), 또는 인쇄 헤드를 따라 복수의 분사 지점을 사용하는 다른 인쇄 기술을 통해 동작할 수 있다.
- [0021] 집적 회로(102)는 다수의 메모리 비트를 포함할 수 있다. 일 예에서, 집적 회로(102)는 메모리 비트 A(104), 메모리 비트 B(106), 메모리 비트 C(108), 메모리 비트 D(110), 메모리 비트 E(112) 및 메모리 비트 F(114)를 포함할 수 있다. 일괄하여, 이들 메모리 비트는 다수의 메모리 비트로 지칭될 수 있다.
- [0022] 다수의 메모리 비트는 단일 라인 아날로그 버스(116)에 의해 집적 회로(102)의 외부에 위치한 패드(118)에 전도성 연결될 수 있다. 일 예에서, 패드(118)는 인쇄 컴포넌트의 외부에 위치할 수 있다. 패드(118)에 대한 다수의 메모리 비트의 전도성 연결은 와이어 또는 트레이스를 통한 전자 연결을 포함할 수 있다. 일 예에서, 연결은 패

드(118)에 아날로그 정보를 제공하는 다른 통신 수단을 통해 이루어질 수 있다.

[0023] 메모리 비트, 또는 메모리 비트의 특정 조합이 동시에 선택, 액세스 또는 관독될 수 있다. 선택된 메모리 비트의 조합은 동시 관독, 액세스 또는 동작을 위해 개별적으로 식별되고 선택될 수 있다. 일 예에서, 메모리 비트 또는 메모리 비트들의 조합은 메모리 액세스 모드 및 단일 레인 아날로그 버스(116)를 사용하여 선택된다. 일 예에서, 메모리 비트는 구성 레지스터 액세스를 사용하여 인에이블된 메모리 액세스 모드에 의해 선택된다. 일 예에서, 메모리 액세스 모드의 구성은 레지스터 이외의 다른 데이터 구조 및 구성 방식을 통해 수행될 수 있다. 복수의 메모리 비트를 병렬로 선택, 조작, 활성화 또는 관독하는 데 메모리 액세스 모드 및 단일 레인 아날로그 버스를 사용하는 것은 직렬 데이터경로를 통해 수행되어 측정될 각각의 메모리 비트의 원하는 프리미티브 및 어드레스를 선택한다. 직렬 데이터경로를 통해 전달된 프리미티브 및 어드레스 정보의 사용을 통해 메모리 비트가 선택되면, 메모리 비트는 공유된 단일 레인 아날로그 버스(116)를 통해 패드(118)로 동시에 액세스되거나 관독될 수 있다.

[0024] 일 예에서, 메모리 비트의 관독은 알려진 전류가 선택된 메모리 비트에 인가될 때 전압 출력이 측정되게 할 수 있다. 일 예에서, 메모리 비트의 관독은 알려진 전압이 선택된 메모리 비트에 인가될 때 전류 출력이 측정되게 할 수 있다. 유사하게, 알려진 입력에 대한 이들 측정은 동시에 측정되는 메모리 비트의 조합에 대해 이루어질 수 있다. 측정을 위해 선택된 메모리 비트의 고유한 조합은 예측 가능하고 메모리 비트의 특정 조합에 할당할 수 있다. 따라서, 메모리 비트의 조합의 측정은 얼마나 많은 비트가 선택되고 얼마나 많은 선택된 비트가 프로그램되는지에 따라 응답과 병렬로 수행될 수 있다. 일 예에서, 프로그램된 메모리 비트는 프로그램되지 않은 메모리 비트와 다르게 응답할 수 있다. 따라서, 알려진 아날로그 신호가 메모리 비트 또는 메모리 비트들의 조합에 인가될 때, 연결된 패드(118)는 선택된 메모리 비트의 특정 조합을 전달하는 측정을 하는 데 사용될 수 있는 아날로그 출력 신호 및 이들 메모리 비트가 프로그램되는지 여부를 검출할 수 있다.

[0025] 패드(118)가 아날로그 버스(116)로부터 신호를 수신함에 따라, 전기 신호는 추가로 인쇄 컴포넌트 콘택트로 그리고 결국에는 평가기 회로로 전송될 수 있다. 패드(118)에 의해 전송되는 전기 신호는 다수의 메모리 비트를 나타내는 전기 신호이며, 보다 구체적으로, 신호는 다수의 메모리 비트 중 선택된 모든 비트의 조합을 나타낸다.

[0026] 메모리 비트는 전류를 포싱(force)하거나 전압을 포싱함으로써 측정될 수 있다. 포싱된 전류 또는 전압에 응답하여 출력된 아날로그 신호는 단일 메모리 비트 및 메모리 비트들의 조합 모두에 대해 구별된다. 일 예에서, 집적 회로(102)는 집적 회로 또는 인쇄 다이당 천개의 메모리 비트를 포함할 수 있다. 본 개시에서, 다수의 메모리 비트의 각각은 아날로그 버스(116)에 연결될 수 있다. 이러한 연결을 통해, 천개의 비트 각각은 개별적으로 또는 공통 어드레스를 기반으로 병렬로 서브셋이 선택되어 패드에 연결될 수 있다. 일 예에서, 패드는 인쇄 헤드의 집적 회로 상에 또는 온다이에 있다. 메모리 비트는 부동 게이트 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)일 수 있고 프로그램되지 않을 때 비교적 높은 저항으로 동작하고 프로그램될 때 비교적 낮은 저항으로 동작할 수 있다. 이 저항 속성을 활용하면 전류, 전압 및 저항과 관련된 옴의 법칙을 사용하여 알려진 응답 관계를 설정할 수 있다.

[0027] 예를 들어, 전류가 인가되면, 전압이 관독되거나 측정될 수 있다. 선택된 메모리 비트에 걸쳐 알려진 전류를 인가하기 위해, 내부 또는 외부 전류 소스가 사용될 수 있다. 일 예에서, 외부 전류 소스는 단일 레인 아날로그 버스를 따라 패드를 통해 제공될 수 있다. 알려진 전류가 선택된 메모리 비트 또는 비트들의 조합에 걸쳐 병렬로 인가된다. 각각의 메모리가 병렬로 와이어링되어 있으므로, 알려진 전류에 응답하여, 프로그램된 각각의 추가 메모리 비트는 출력 전압 응답을 감소시킨다. 이것은 병렬로 와이어링된 저항기, 즉, 프로그램된 메모리 비트의 수가 증가함에 따라 출력 전압이 예측가능하게 감소하는 옴 법칙을 준수한다. 따라서, 측정된 출력 전압을 기반으로, 선택되거나 프로그램된 메모리 비트의 조합에 대한 정보를 알 수 있다.

[0028] 대응하는 방식으로, 메모리 비트 측정을 위한 입력으로서 알려진 전압이 인가될 때, 전류가 측정될 수 있다. 선택된 메모리 비트에 걸쳐 알려진 전압을 인가하기 위해, 내부 또는 외부 전압이 사용될 수 있다. 일 예에서, 외부 전압은 단일 레인 아날로그 버스를 따라 패드를 통해 제공될 수 있다. 알려진 전압은 선택된 메모리 비트 또는 비트들의 조합에 걸쳐 병렬로 인가된다. 각각의 메모리가 병렬로 와이어링되어 있으므로, 알려진 전압에 응답하여, 프로그램된 각각의 추가 메모리 비트는 출력 전류 응답을 증가시킨다. 이것은 저항기, 즉, 병렬로 와이어링된 프로그램된 메모리 비트의 수가 증가함에 따라 알려진 정전압에 대해 출력 전류가 예측가능하게 증가하는 옴의 법칙을 따른다. 따라서, 측정된 출력 전류를 기반으로, 선택되거나 프로그램된 메모리 비트의 조합에 대한 정보를 알 수 있다.

- [0029] 도 2는 예시적인 멀티-다이 인쇄 컴포넌트 시스템(200)의 블록도이다. 동일하게 번호가 매겨진 항목은 도 1과 관련하여 논의된 바와 같다.
- [0030] 도 2의 인쇄 컴포넌트에서, 메모리 비트 A(104), 메모리 비트 B(106) 및 메모리 비트 C(108)는 모두 인쇄 다이 A(202)에 위치될 수 있다. 일 예에서, 인쇄 다이 A(202)의 인쇄 다이는 집적 회로의 형태일 수 있다. 인쇄 다이 A(202)의 인쇄 다이는 실리콘 인쇄 다이일 수 있다. 또한, 도 2의 인쇄 컴포넌트에서, 메모리 비트 D(110), 메모리 비트 E(112) 및 메모리 비트 F(114)는 모두 인쇄 다이 B(204)에 위치할 수 있다. 일 예에서, 인쇄 다이 B(204)의 인쇄 다이는 직접 회로의 형태일 수 있다. 인쇄 다이 B(204)의 인쇄 다이는 실리콘 인쇄 다이일 수 있다.
- [0031] 인쇄 컴포넌트의 구성은 인쇄 다이 A(202)와 같은 제1 다이 상의 메모리 비트 A(104)와 같은 제1 메모리 비트의 위치 및 인쇄 다이 B(204)와 같은 제2 다이 상의 메모리 비트 D(110)와 같은 제2 메모리 비트의 위치를 허용할 수 있다. 인쇄 다이 사이에 분할된 메모리 비트를 갖는 이러한 구성에서, 아날로그 버스(116)는 단일 라인 경로에서 복수의 다이에 걸쳐 메모리 비트들 각각을 패드(118)에 여전히 연결할 수 있다. 아날로그 버스(116)는 복수의 다이에 걸쳐 병렬로 연결된 상태로 유지되므로, 복수의 다이의 메모리 비트는 도 1에서 볼 수 있듯이 모든 메모리 비트가 다이에 의해 분리되지 않은 것처럼 같은 방법으로 동시에 병렬로 관독될 수 있다. 예를 들어, 알려진 전압이 인쇄 다이 A(202)와 인쇄 다이 B(204) 모두의 메모리 비트에 동시에 인가될 수 있다. 알려진 전압이 양 다이에 걸쳐 메모리 비트에 인가됨에 따라, 메모리 비트의 조합은 패드(118)에 연결된 단일 라인 아날로그 버스를 통해 병렬로 관독될 수 있다.
- [0032] 일 예에서, 인쇄 다이 A(202)는 적색과 같은 제1 유체 유형을 분사(disperse)할 수 있다. 인쇄 다이 B(204)는 청색과 같은 제2 유체 유형을 분사할 수 있다. 복수의 메모리 비트로부터의 측정, 선택 및 관독은 여전히 각각 다른 인쇄 다이와 다른 컬러를 인쇄하는 복수의 인쇄 다이에 걸쳐 수행될 수 있다. 일 예에서, 인쇄 다이 A(202) 및 인쇄 다이 B(204)는 하나 또는 다수의 인쇄 헤드(206) 상에 배치될 수 있다.
- [0033] 도 3은 예시적인 멀티-펜 인쇄 컴포넌트 시스템(300)의 블록도이다. 동일하게 번호가 매겨진 항목은 도 1 및 도 2와 관련하여 논의된 바와 같다.
- [0034] 도 3의 인쇄 컴포넌트는 하나 또는 다수의 인쇄 헤드(206)를 포함하는 인쇄 펜 A(302)를 포함한다. 도 3의 인쇄 컴포넌트는 별개의 인쇄 펜 B(304)도 포함한다. 본 명세서에서 사용된 바와 같이, 인쇄 펜은 캐리지, 홀더, 분리기, 인쇄 케이스, 인쇄 카트리지 또는 기타 분리 제조물 또는 장치일 수 있다. 인쇄 펜 B(304)는 각각 인쇄 다이 C(310) 및 인쇄 다이 D(312)에 배치된 메모리 비트 G(306) 및 메모리 비트 H(308)로써 도시된다. 인쇄 펜 B(304)의 메모리 비트 및 인쇄 다이는 서로 물리적으로 다르지만 인쇄 펜 A(302)의 메모리 비트 및 프린트 다이에 기능면에서 동일하다. 메모리 비트 G(306) 및 메모리 비트 H(308)는 메모리 비트 A(104), 메모리 비트 B(106), 메모리 비트 C(108), 메모리 비트 D(110), 메모리 비트 E(112), 및 메모리 비트 F(114)와 병렬로 아날로그 버스(116)에 의해 연결될 수 있다. 인쇄 펜 A(302)와 인쇄 펜 B(304) 모두의 메모리 비트는 아날로그 버스(116)를 통해 패드(118)에 통신 가능하게 연결된다.
- [0035] 이 멀티-펜 인쇄 컴포넌트 시스템(300)에서 메모리 비트는 인쇄 다이와 인쇄 펜 사이에서 분할될 수 있고, 아날로그 버스(116)는 단일 라인 경로에서 복수의 인쇄 펜의 내의 복수의 다이에 걸쳐 메모리 비트 각각을 연결할 수 있다. 아날로그 버스(116)가 계속 복수의 다이에 걸쳐 병렬로 연결되므로, 메모리 비트는 도 1에서 볼 수 있듯이 모든 메모리 비트가 다이에 의해 분리되지 않은 것처럼 같은 방법으로 동시에 병렬로 관독될 수 있다. 예를 들어, 알려진 전압이 인쇄 펜 A(302)의 인쇄 다이 A(202)와 인쇄 펜 B(304)의 인쇄 다이 C(310) 모두의 메모리 비트에 동시에 인가될 수 있다. 다이와 인쇄 펜에 걸친 메모리 비트의 조합은 패드(118)에 연결된 단일 라인 아날로그 버스를 통해 병렬로 관독될 수 있다.
- [0036] 도 4는 예시적인 회로 설계(400)의 블록도이다. 본 기법의 논의를 용이하게 하기 위해 다수의 컴포넌트가 도시되지 않을 수 있다. 또한, 도시된 화살표는 컴포넌트에 의한 데이터의 푸시 또는 풀을 배타적으로 나타내는 방식으로 데이터의 흐름을 제한하지 않고, 대신에 개시된 기법과 관련된 정보의 일반적인 흐름을 나타낸다.
- [0037] 회로 설계(400)는 프린터 집적 회로(404) 또는 주문형 집적 회로(ASIC)를 포함하는 별개의 프린터(402)를 허용할 수 있다. 프린터(402)는 프린터 집적 회로(404)를 사용하여 인쇄 컴포넌트(406)로부터 송수신될 메시지 및 데이터를 처리하거나 이와 상호작용할 수 있다. 일 예에서, 인쇄 컴포넌트(406)는 탈착가능하거나 재충전가능한 인쇄 카트리지일 수 있다. 인쇄 컴포넌트(406)는 인쇄 펜, 프린터 카트리지, 인쇄 헤드일 수 있거나 다수의 인쇄 헤드를 포함할 수 있다. 인쇄 컴포넌트(406)에는 FIRE 패드(408), CLK 패드(410), DATA 패드(412) 및 MODE

패드(414)가 있을 수 있다. 이들 패드는 디지털, 아날로그 또는 전기 신호를 프린터에서 인쇄 컴포넌트(406)로 전달하는 프린터 콘택트일 수 있다. CLK 패드(410)는 클록 패드를 지칭할 수 있다. 일 예에서, CLK 패드(410), DATA 패드(412) 및 MODE 패드(414)는 다이 또는 인쇄 헤드를 구성할 수 있는 다이 구성 레지스터(416)에 정보를 제공하며, 이는 발사 펄스 그룹(418)에서 유체 액추에이터를 선택하고, 외부 센서 스위치(420)가 발사 펄스 그룹의 메모리를 판독할 수 있게 하며, 균열 검출 저항기(422)용 스위치와 같은 다이 내의 다른 저항기를 인에이블하는 것을 포함한다.

[0038] 발사 펄스 그룹(418)은 선택될 수 있는 유체 액추에이터 및 관련 메모리 비트(424)의 그룹이다. 선택에 응답하여, 메모리 비트(424)는 FIRE 패드(408)로부터의 FIRE 신호에 응답하여 유체 액추에이터가 발사할 것인지 여부를 제어할 수 있다. FIRE 패드(408)는 래치 다이오드를 사용하여 발사 펄스 그룹(418) 내의 메모리 비트(424)의 데이터를 선택하고 발사할 수 있다.

[0039] 메모리 비트(424)는 또한 온도 및 기능과 같은 유체 액추에이터의 기능에 대한 정보를 저장할 수 있다. 아래에서 더 철저히 논의되는 바와 같이, FIRE 패드(408)로부터의 FIRE 신호뿐만 아니라 프리미티브 데이터에 표시되는 액세스 및 인에이블되는 메모리 모드를 통한 액세스를 인에이블하는 것을 포함할 수 있다. 본 명세서에서 사용되는 바와 같이, 프리미티브는 유체 액추에이터의 그룹 및 이들의 연관된 메모리 비트(424)를 지칭할 수 있다.

[0040] 균열 검출 저항기(422)용 스위치는 노즐(428) 중간에 앞뒤로 엮일 수 있는 균열 검출 저항기(426)를 가능하게 할 수 있다. 일 예에서, 유체는 잉크이고 노즐(428)은 노즐일 수 있다.

[0041] 인쇄 컴포넌트(406)는 N 다이오드(432)를 인에이블하는 N 스위치(430), M 다이오드(436)를 인에이블하는 M 스위치(434), 및 S 다이오드(440)를 인에이블하는 S 스위치(438)를 포함하는 다수의 다른 컴포넌트를 포함할 수 있다.

[0042] 이들 컴포넌트, 메모리 비트, 균열 검출 저항기, 스위치 및 다이오드 각각은 SENSE 패드(444)에 연결된 단일 라인 아날로그 SENSE 버스(442)에 연결될 수 있다. 일 예에서, SENSE 패드는 프린터 집적 회로(404)와 인터페이싱하는 패드일 수 있다. 일 예에서, 프린터 집적 회로(404)는 다수의 컴포넌트 및 저항기에 걸친 응답의 아날로그 측정을 결정하기 위해 SENSE 패드(444)를 통해 전류 또는 전압을 구동할 수 있다. SENSE 패드(444) 또는 다이 구성 레지스터(416) 또는 FIRE 패드(408)를 통해 구동되는 이러한 아날로그 신호는 바이어스되거나 접지될 수 있다. 프린터 집적 회로(404)는 프린터(402) 내부 및 프린터 컴포넌트(406)를 벗어나 자신의 아날로그 바이어스 및 아날로그에서 디지털로의 변환을 포함할 수 있다. 일 예에서, 아날로그에서 디지털로의 변환의 제거는 이 동작 및 구성요소를 인쇄 다이로부터 이동시킬 수 있다. 추가적으로, 프린터 집적 회로(404)는 메모리 비트(424)의 조합과 같은 컴포넌트의 전압을 측정하도록 전류를 포싱할 수 있다. 또한, 프린터 집적 회로(404)는 온다이 센서 및 유체 액추에이터에 대응하는 선택된 메모리 비트를 모니터링하기 위해 조합된 메모리 비트(424)의 전류를 측정하도록 전압을 포싱할 수 있다.

[0043] 본 개시에서, 다수의 메모리 비트(424)는 동일한 선택 레인을 사용하여 복수의 메모리 비트 및 유체 액추에이터를 선택하는 데 사용되는 선택 로직에 의해 선택될 수 있다. 또한, 프린터 집적 회로(404)로부터 오는 전기 신호는 인쇄 컴포넌트(406)에 대한 외부 전류일 수 있다. 외부 전류력의 인가는 선택된 단일 메모리 비트(424)에 대해 측정된 전압에 비해 다수의 메모리 비트(424)에 대해 SENSE 패드(444)와 같은 패드 상에서 더 낮은 측정된 전압을 산출할 수 있다. 이는 저항기, 예를 들어, 선택된 메모리 비트(424)의 수가 증가함에 따라, 세트 및 알려진 입력 전류에 대한 출력 전압이 감소할 것이기 때문이다.

[0044] 마찬가지로, 프린터 집적 회로(404)로부터 오는 전기 신호는 인쇄 컴포넌트(406)에 인가된 외부 전압일 수 있다. 외부 전압력의 인가는 선택된 단일 메모리 비트(424)에 대해 측정될 전류 인출(current draw)과 비교할 때 다수의 메모리 비트(424)에 대해 SENSE 패드(444)와 같은 패드에 의해 측정될 때 더 큰 측정된 전류 인출을 초래할 수 있다. 이는 저항기, 예를 들어, 선택된 메모리 비트(424)의 수가 증가함에 따라, 세트 및 알려진 입력 전압에 대한 전류 인출이 증가할 것이기 때문이다.

[0045] 일 예에서, 인쇄 컴포넌트(406)는 노즐(428)에 근접한 유체 액추에이터에 대응하는 메모리 비트(424)를 포함한다. 또한, 다수의 메모리 비트(424)와 조합하여 균열 검출 저항기(426)로부터 전기 신호를 송신하도록 전도성 연결될 수 있다. 또한, 이 전도성 연결은 단일 라인 아날로그 SENSE 버스(442)를 통한다. 일 예에서, 메모리 비트(424)는 다수의 노즐(428)에 근접한 유체 액추에이터에 대응하고, 균열 검출 저항기(426)는 노즐(428) 중간에 라우팅된다.

- [0046] 도 5는 예시적인 멀티-펜 센서 아키텍처(500)의 블록도이다. 동일하게 번호가 매겨진 항목은 도 4와 관련하여 개시된 바와 같다.
- [0047] 프린터 다이와 같은 집적 회로는 흑색 잉크 및 컬러 잉크를 위한 다수의 실리콘 다이로 분리될 수 있다. 일 예에서, 각각의 다이에는 그들 고유의 컬러가 할당될 수 있다. 일 예에서, 각각의 컬러는 다른 다이와 별개인 해당 다이를 가질 수 있다. 다이는 별개의 인쇄 펜에 배치될 수 있다.
- [0048] 도 5에서, 청록색 인쇄 다이(504), 다홍색 인쇄 다이(506), 및 황색 인쇄 다이(508)를 보유하기 위한 컬러 인쇄 펜(502)이 있을 수 있다. 인쇄 다이의 RBY(적색, 청색, 황색) 조합을 포함하는 다른 컬러 인쇄 다이는 호환가능하다. 컬러 인쇄 펜(502)에서 알 수 있는 바와 같이, 인쇄 다이 각각은 물리적으로 분리된 인쇄 다이이지만, 단일 라인 아날로그 SENSE 버스(442)는 컬러 인쇄 펜(502) 내의 모든 컬러 다이에 걸쳐 계속 공통이다.
- [0049] 멀티-펜 센서 아키텍처(500)에서, 흑색 인쇄 다이(512)를 운반하는 흑색 인쇄 펜(510)과 같은 단색 인쇄 펜이 있을 수 있다. 단일 라인 아날로그 SENSE 버스(442)는 흑색 인쇄 다이(512) 및 일련의 별개의 인쇄 펜 내의 컬러 인쇄 다이에도 연결된다. 따라서, SENSE 패드(444)를 통해 포싱된 신호는 컬러 인쇄 펜(502) 및 단색 인쇄 펜(510)을 포함하는 물리적으로 분리된 복수의 인쇄 펜에 위치한 인쇄 다이로부터 측정치를 수집할 수 있다. 일 예에서, 인쇄 펜(502 및 510)은 탈착가능할 수 있다.
- [0050] 일 예에서, SENSE 패드(444)와 같은 단일 감지 접촉 패드는 SENSE 패드(444)와 같은 단일 감지 접촉 패드를 통해 단일 아날로그 신호에서 조합하여 다수의 메모리 비트를 통신하도록 전도성 연결된 단일 라인 아날로그 버스(442)로부터 저장된 데이터를 통신하는 데 사용될 수 있다. 일 예에서, 다수의 메모리 비트의 제1 메모리 비트는 청록색 인쇄 다이(504)와 같은 제1 실리콘 다이 상에 위치될 수 있고 다수의 메모리 비트의 제2 메모리 비트는 다홍색 인쇄 다이(506)와 같은 제2 실리콘 다이 상에 위치될 수 있다.
- [0051] 일 예에서, 메모리 회로는 청록색 인쇄 다이(504)와 같은 제1 유체 유형과 연관된 제1 실리콘 다이를 포함할 수 있고, 제2 실리콘 다이는 다홍색 인쇄 다이(506)와 같은 제2 유체 유형과 연관된다. 메모리 회로는 컬러 인쇄 펜(502)과 같은 제1 인쇄 펜에 위치하는 제1 실리콘 다이도 포함할 수 있고, 제2 실리콘 다이는 단색 인쇄 펜(510)과 같은 제2 인쇄 펜에 위치한다. 일 예에서, 데이터 패드(412)는 MODE 패드 연결, CLK 패드 연결, 및 FIRE 패드 연결이 인쇄 다이에 의해 공유되는 동안 각각의 인쇄 다이마다 별개일 수 있다.
- [0052] 도 6은 예시적인 인쇄 회로 아키텍처(600)의 블록도이다. 동일하게 번호가 매겨진 항목은 도 4와 관련하여 설명된 바와 같다.
- [0053] 인쇄 회로 아키텍처(600)는 구성 레지스터(602), 메모리 구성 레지스터(604), 상태 레지스터(606) 및 위치독(608)을 포함할 수 있다. 레지스터라는 용어가 사용되는 동안, 다른 저장 요소도 고려된다. 구성 레지스터(602)는 데이터 패드(412), 모드 패드(414), 및 CLK 패드(410)를 포함하는 다수의 패드에 의해 설정될 수 있다. 구성 레지스터는 테스트, 균열 검출, 위치독(608) 인에이블, 지연 바이어싱(610)을 포함하는 아날로그 지연, 메모리 비트(424)를 통한 메모리 액세스 및 SENSE 패드(444)를 통한 감지의 확인에 의한 검증을 위한 제어 신호를 설정하는 데 사용될 수 있다. 구성 레지스터(602)의 다른 구성은 테스트 선택, 감지 패드(444) 테스트, 특정 노즐용 회로에 대한 전압 지연을 포함할 수 있다. 이러한 지연의 한 가지 이유는 근처 노즐로부터 동시에 배출되는 너무 많은 액적으로부터 유체 간섭을 피하기 위한 것임을 포함할 수 있다. 구성 레지스터(602)는 또한 메모리 비트 인에이블을 통한 메모리 비트(424) 액세스를 위한 비트를 포함하고 설정할 수 있다. 구성 레지스터(602)는 균열 검출 인에이블 및 위치독 인에이블을 포함할 수 있다.
- [0054] 일 예에서, 메모리 구성 레지스터(604)는 표시된 열의 모든 메모리 열 비트가 액세스될 수 있도록 열 인에이블을 나타내는 적어도 3개의 비트를 포함한다. 메모리 구성 레지스터(604)는 판독 또는 기록 모드를 나타내기 위한 메모리 기록 인에이블도 포함한다. 메모리 구성 레지스터(604)는 지역화된 메모리 비트(424)에 대한 액세스를 인에이블하기 위한 영역 인에이블도 포함한다.
- [0055] 상태 레지스터(606)는 DATA 패드(412), CLK 패드(410) 및 MODE 패드에 의해 표시되는 상태를 포함할 수 있다. 상태 레지스터(606)는 인쇄 헤드 상태 정보를 보고할 수 있다. 일 예에서, 상태 레지스터(606)의 한 비트는 입력 패드를 모니터링하고 FIRE 신호와 같은 상태가 적절하게 기능하지 않을 수 있는 때를 나타내는 위치독 비트일 수 있다. 일 예에서, 상태 레지스터는 다른 정보를 표시하기 위한 개정 비트도 포함할 수 있다. 일 예에서, 상태 레지스터는 프로버 정렬을 위한 웨이퍼 테스트 동안 사용될 수 있다.
- [0056] 위치독(608)은 FIRE 패드(408)로부터의 FIRE 신호가 소정 시간 임계값을 지나 하이 레벨에서 구동되면 결함이

제거될 때까지 내부 FIRE 신호가 디스에이블되는 것을 보장한다. 결함을 제거하기 위한 메커니즘은 위치독(608)을 턴오프하거나 외부 다이 리셋을 통해서이다. 예를 들어, 구성 레지스터를 0으로 설정하면 상태 레지스터에서 위치독 결함 검출 비트도 소거된다.

- [0057] 인쇄 회로 아키텍처(600)는 그 중에서도 VDD, LGND, Nreset, PGND 및 VPP를 포함하는 다른 패드를 포함한다. VDD는 공통 로직 전원 라인(VDD)을 지칭할 수 있고, LGND는 공통 로직 접지 라인을 지칭할 수 있다. Nreset은 트립된 위치독(608)의 재설정을 지칭할 수 있다. PGND 패드는 유체 액추에이터에 연결된 접지를 포함할 수 있다. VPP 패드는 유체 액추에이터에 연결된 공유 전원(VPP) 버스를 지칭할 수 있다.
- [0058] 앞에서 언급한 바와 같이, 지연 바이어싱(610)은 노즐 및 열 데이터(612)에 저장된 발사 시간을 조정할 수 있다. 노즐 및 열 데이터(612)는 주로 클록, 데이터 및 발사 라인에 기초하여 설정될 수 있다. 열 데이터는 노즐 어레이에 걸쳐 인쇄 헤드 다이의 온도를 지칭할 수 있다. 온도 차이는 밴딩(banding)으로 이어질 수 있으므로 노즐 어레이의 상이한 부분의 온도는 인쇄 다이 온도 일관성 유지를 통해 인쇄 품질을 향상시킬 수 있다.
- [0059] 노즐 및 열 데이터(612)는 플립플롭 및 래치와 같은 회로 저장 요소에 저장될 수 있고 열 잉크젯 저항기(614)와 같은 유체 액추에이터를 통해 실행될 수 있다. 일 예에서, 노즐 및 열 데이터는 또한 특정 시퀀스를 따를 때 메모리 비트에 대한 액세스를 제공한다. 동일한 노즐 및 열 데이터를 사용하는 메모리 비트(424)에 대한 특정 액세스 시퀀스는 도 9-13과 관련하여 아래에 더 설명된다. 메모리 비트가 액세스될 때, 메모리 비트(424)는 메모리 구성 레지스터(604)에 의해 제어되는 메모리 전압 생성기(616)를 사용하여 기록될 수 있다.
- [0060] 도 7은 통신하는 교체가능한 인쇄 헤드 카트리지로부터 저장된 데이터를 통신하는 예시적인 방법(700)의 흐름도이다. 블록(702)에서, 방법(700)은 다수의 메모리 비트를 선택하는 단계를 포함한다. 일 예에서, 다수의 메모리 비트는 각각 실리콘 다이 상에 위치한 유체 액추에이터에 대응한다. 다수의 메모리 비트는 다수의 유체 액추에이터에 대응할 수 있으며, 다수의 유체 액추에이터는 다수의 실리콘 다이 상에 위치한다. 블록(704)에서, 방법(700)은 입력 아날로그 전기 신호를 다수의 메모리 비트에 제공하는 단계를 포함한다.
- [0061] 블록(706)에서, 방법(700)은 다수의 메모리 비트에 통신가능하게 연결된 단일 감지 접촉 패드 상의 출력 아날로그 전기 신호를 측정하는 단계를 포함하며, 이 측정은 조합된 다수의 메모리 비트에 대해 이루어진다. 일 예에서, 출력 아날로그 전기 신호는 단일 감지 접촉 패드 상의 단일 메모리 비트에 대한 비교 전압에 비해 조합된 다수의 메모리 비트를 측정하는 단일 감지 접촉 패드 상에서 더 낮은 전압인 것으로 측정된다. 출력 아날로그 전기 신호는 단일 감지 접촉 패드 상의 단일 메모리 비트에 대한 비교 전류에 비해 조합된 다수의 메모리 비트를 측정하는 단일 감지 접촉 패드 상의 더 높은 전류인 것으로 측정될 수 있다.
- [0062] 도 7의 블록도는 방법(700)이 도 7에 도시된 모든 동작을 포함한다는 것을 나타내기 위한 것이 아님을 이해해야 한다. 오히려, 방법(700)은 도 7에 도시되지 않은 더 적거나 추가적인 컴포넌트를 포함할 수 있다.
- [0063] 도 8은 통신하는 교체가능한 인쇄 헤드 카트리지로부터 저장된 데이터를 통신하기 위해 프로세서에 지시하는 명령어를 포함하는 예시적인 비일시적 컴퓨터 판독가능 매체(800)의 블록도이다. 컴퓨터 판독가능 매체(800)는 컴퓨터 판독가능 매체(800)로부터 수신된 명령어를 실행하기 위한 프로세서(802)를 포함할 수 있다. 명령어는 컴퓨터 판독가능 매체(800)에 저장될 수 있다. 이러한 명령어는 프로세서(802)에게 통신하는 교체가능한 인쇄 헤드 카트리지로부터 저장된 데이터를 통신하라고 지시할 수 있다. 명령어는 전기 신호, 광 신호 또는 유사한 컴퓨팅 환경에서 데이터 전송을 위한 임의의 다른 적합한 통신 수단으로서 버스(804)를 통해 통신될 수 있다.
- [0064] 컴퓨터 판독가능 매체(800)는 다수의 메모리 비트를 선택하는 데 메모리 비트 선택기(806)를 사용할 수 있다. 일 예에서, 다수의 메모리 비트는 각각 실리콘 다이에 위치한 유체 액추에이터에 대응한다. 다수의 메모리 비트는 다수의 유체 액추에이터에 대응할 수 있으며, 다수의 유체 액추에이터는 다수의 실리콘 다이 상에 위치한다.
- [0065] 컴퓨터 판독가능 매체(800)는 아날로그 입력 제공기(808)를 사용하여 입력 아날로그 전기 신호를 다수의 메모리 비트에 제공할 수 있다. 컴퓨터 판독가능 매체(800)는 다수의 메모리 비트에 통신가능하게 연결된 단일 감지 접촉 패드 상의 출력 아날로그 전기 신호를 측정하기 위한 아날로그 출력 측정기(810)를 포함하며, 이 측정은 조합된 다수의 메모리 비트에 대해 이루어질 것이다. 일 예에서, 출력 아날로그 전기 신호는 단일 감지 접촉 패드 상의 단일 메모리 비트에 대한 비교 전압에 비해 조합된 다수의 메모리 비트를 측정하는 단일 감지 접촉 패드 상에서 더 낮은 전압인 것으로 측정된다. 출력 아날로그 전기 신호는 단일 감지 접촉 패드 상의 단일 메모리 비트에 대한 비교 전류에 비해 조합된 다수의 메모리 비트를 측정하는 단일 감지 접촉 패드 상에서 더 높은 전류인 것으로 측정될 수 있다.
- [0066] 도 8의 블록도는 컴퓨터 판독가능 매체(800)가 도 8에 도시된 모든 컴포넌트를 포함하는 것임을 나타내도록 의

도된 것이 아님을 이해해야 한다. 오히려, 컴퓨터 판독가능 매체(800)는 도 8에 도시되지 않은 더 적거나 추가적인 컴포넌트를 포함할 수 있다.

[0067] 도 9는 메모리 셀에 액세스하기 위한 예시적인 방법(900)의 흐름도이다. 블록 902 및 904를 포함하는 몇몇 단계의 순서는 임의의 순서로 수행될 수 있는 반면, 블록 906-916과 같은 다른 단계는 표시된 순서로 수행된다. 또한, 특정 비트, 신호 및 레지스터와 같은 회로 컴포넌트의 이름이 지정되었지만, 이러한 특정 요소는 동일한 결과를 또한 가질 수 있는 보다 일반적인 컴포넌트 및 요소의 일례일 뿐이다.

[0068] 블록(902)에서, 메모리에 액세스하기 위한 방법(900)은 구성 레지스터에 NVM 인에이블 비트를 기록하는 단계를 포함한다. 본 명세서에서 사용되는 바와 같이, NVM 인에이블 비트는 메모리 요소로서 작용할 수 있는 FAMOS(floating gate avalanche metal oxide semiconductor) 요소를 인에이블하기 위한 비트를 지칭할 수 있다. 앞에서 언급한 바와 같이, 정보 비트의 적어도 2개의 상태를 저장하고 이들 사이를 스위칭할 수 있는 다른 메모리 요소도 사용될 수 있다. 구성 레지스터에 NVM 인에이블 비트를 기록하는 것은 레지스터 이외의 다른 저장 요소의 다른 예를 참조할 수도 있다. 구성 레지스터는 인쇄 헤드 다이 내의 구성 회로에 대한 NVM 인에이블 비트와 같은 정보를 수신하고 저장할 수 있는 다른 회로 또는 데이터 구성 방법으로 대체될 수 있다.

[0069] 블록(904)에서, 방법(900)은 데이터 라인을 사용하여 노즐 데이터를 로딩하는 단계를 포함하고, 노즐 데이터는 데이터 스트림에서 NVM 인에이블 비트를 설정하기 위한 정보뿐만 아니라 노즐에 대한 특정 어드레스를 사용하여 액세스하기 위해 비휘발성 메모리(NVM) 비트를 선택하기 위한 정보를 포함한다. 본 명세서에서 사용되는 바와 같이, 인쇄 다이에 전기 신호를 제공하는 다수의 라인이 있을 수 있으며, 그 중 하나는 데이터 라인일 수 있다. 데이터 라인은 다가오는 FIRE 신호에 응답하여 어떤 노즐이 발사될지의 선택과 같은 일련의 유체 작동 장치에 정보를 제공할 수 있다. 어떤 노즐이 다음에 발사될지의 선택은 노즐에 대응하는 NVM 비트에 저장할 수 있다. 일 예에서, 데이터 라인에 의해 제공되는 선택 데이터도 노즐 선택 데이터에 대응하는 NVM 인에이블 비트를 포함한다. 일 예에서, NVM 인에이블 비트는 노즐 선택 데이터의 헤더 또는 푸터(header/footer)에서 전송될 수 있다. 앞에서 언급한 바와 같이, 902 및 904는 어느 순서로든 수행될 수 있다. 이 두 단계의 결과는 NVM 인에이블 비트가 구성 레지스터에 기록되고 NVM 인에이블 비트가 데이터 라인에 설정된다는 것이다.

[0070] 블록(906)에서, FIRE 신호는 집적 회로의 FIRE 패드로부터 구동되고, 먼저 하이 신호로 구동되고 그 다음 로우 신호로 구동된다. 본 명세서에 사용된 바와 같이, FIRE 신호는 FIRE 패드에 대한 전기적 연결을 통해 각각의 노즐로 전송되는 신호이다. 이러한 노즐은 프리미티브라고 하는 그룹으로 함께 그룹화될 수 있다. 노즐 외에도, 레지스터의 비트는 FIRE 라인에도 연결되어 발사될 때 구성 레지스터에서 동작이 수행된다. 앞에서 언급한 바와 같이, 레지스터라는 용어의 사용은 하나의 특정 구현이고 본 명세서에서는 다른 저장 요소가 고려된다. 본 명세서에 사용된 바와 같이, 하이로 그 다음에 로우로 구동되는 신호는 그것이 전류이든 전압이든 신호의 강도에 대략 대응하는 신호의 진폭을 지칭한다. 일 예에서, FIRE 신호를 하이로 구동하는 것은 1의 값으로 해석될 수 있는 반면, 로우로 구동하거나 전혀 구동하지 않는 FIRE 신호는 0의 값을 갖는 것으로 해석될 수 있다. 일 예에서, FIRE 신호는 0에서 1로 그리고 0으로 구동한다. 시그널링의 변화는 노즐 발사와 같은 동작이 발생해야 하는 때를 나타낼 수 있다. FIRE 패드를 하이에서 로우로 구동하면 구성 레지스터의 NVM 인에이블 비트가 소거되지만, 내부 래치가 집적 회로 내에 설정된다. 미래 시그널링과 조합된 이 내부 래치는 메모리 비트 액세스를 인에이블할 수 있다.

[0071] 블록(908)에서, 방법(900)은 구성 레지스터에 NVM 인에이블 비트를 기록하는 단계를 포함한다. 이것은 블록(902)와 동일한 단계이지만 이 경우 단계는 내부 래치가 설정되고 NVM 인에이블 비트가 구성 레지스터에서 소거된 후에 수행된다. NVM 인에이블 비트가 데이터 라인을 통해 전송되는 동안 NVM 인에이블 비트를 구성 레지스터에 다시 기록하면 메모리 액세스 비트에 액세스할 수 있다.

[0072] 블록(910)에서, 방법(900)은 메모리 구성 레지스터에 메모리 액세스 비트를 기록하는 단계를 포함한다. 본 명세서에서 사용되는 바와 같이, 메모리 구성 레지스터는 구성 레지스터와 별개의 다른 저장 요소일 수 있다. 몇몇 예에서 구성 레지스터보다 메모리 구성 레지스터에 더 적은 비트가 있다. 메모리 액세스 비트가 메모리 구성 레지스터에 기록되면, 집적 회로의 메모리가 액세스될 수 있다. 메모리 구성 레지스터의 인에이블된 비트는 NVM 또는 FAMOS 메모리 요소가 액세스될 수 있도록 하는 제어 신호로 작동할 수 있다.

[0073] 결정 블록(912)에서, 메모리 구성 레지스터의 비트에 의해 표시되는 제어 신호에 기초하여 결정이 이루어진다. 메모리 구성 레지스터의 비트가 메모리 기록을 나타내면, 방법(900)은 블록(914)으로 진행한다. 메모리 구성 레지스터의 비트가 메모리 기록을 나타내지 않으면, 방법(900)은 블록(916)으로 진행한다.

- [0074] 블록(914)에서, FIRE 패드는 원하는 기록 시간 동안 하이로 구동된 다음 로우로 구동된다. 일 예에서, FIRE 패드의 구동은 발사 라인에 0 신호, 그 다음 1 신호, 그 다음에 0 신호를 제공하는 것을 포함할 수 있다. 신호의 값은 FIRE 라인의 전류 또는 전압에 대응할 수 있다. 기록 시간의 지속기간 동안, FAMOS와 같은 메모리 요소에 액세스할 수 있다. FAMOS 또는 다른 메모리 요소에 액세스하는 것은 FAMOS 또는 메모리 요소에 정보를 기록하는 것을 포함할 수 있다.
- [0075] 블록(916)에서, FIRE 패드는 하이로 구동되고 측정을 위해 전압 또는 전류가 SENSE 라인에 포싱된 다음, FIRE 라인을 로우 신호로 되돌릴 수 있다. 본 명세서에서 사용된 바와 같이 SENSE 라인은 센서 패드와 같은 패드에 연결된 센서 라인을 지칭할 수 있다. 감지 라인은 인쇄 다이의 균열 또는 온도와 같은 집적 회로의 조건을 검출하는 데 사용될 수 있다. 블록(914)을 통해 진행하든 블록(916)을 통해 진행하든, FIRE 신호의 하강 에지는 메모리 구성 레지스터를 소거하고 구성 레지스터의 NVM 인에이블 비트를 소거한다.
- [0076] 도 10은 구성 레지스터 기록을 위한 예시적인 신호 세트(1000)를 도시하는 도면이다. 앞에서 언급한 바와 같이, 레지스터 이외의 다른 데이터 구성 및 저장 구조가 고려된다. 일 예에서, 레지스터 대신에 다른 저장 요소가 사용될 수 있다. 신호 세트는 노즐과 같은 유체 작동 장치에 데이터를 제공하는 데 사용되는 동일한 라인을 사용하여 구성 레지스터에 액세스하는 한 가지 방법을 설명하기 위해 제공된다.
- [0077] 신호 세트(1000)는 MODE 라인(1002), FIRE 라인(1004), CLK 라인(1006) 및 DATA 라인(1008)을 포함할 수 있다. 본 명세서에서 사용된 바와 같이, 모드 라인이 연결될 수 있다. 본 명세서에서 사용되는 바와 같이, 라인은 전기 신호용 금속 트레이스와 같은 신호 전송 매체를 지칭할 수 있다. 전기 신호의 경우 다른 유형의 전도성 라인도 가능하다. 마찬가지로 전기 신호 이외의 신호가 전송되는 경우, 적절한 전송 매체도 사용될 수 있다. MODE 라인(1002)은 모드가 다이 구성 레지스터를 포함하는 다이와 같은 집적 회로에 연결될 수 있음을 나타낼 수 있다. FIRE 라인(1004)은 유체 작동 장치 및 집적 회로의 구성 레지스터에 연결될 수 있고 유체 작동 장치가 동작을 수행해야 할 때를 지시할 수 있다. 이 동작은 인쇄 매체를 향해 선택된 유체 액추에이터에 대응하는 잉크 액적을 분산시키는 것을 포함할 수 있다. 구성 레지스터에 연결된 FIRE 신호에 대한 응답으로 수행되는 동작은 레지스터 또는 메모리의 비트 기록 또는 소거도 포함할 수 있다.
- [0078] CLK 라인(1006)은 각각의 클록 틱(clock tick)의 상승 동작에 대한 동작을 가능하게 하는 구성 클록 신호를 나타낸다. DATA 라인(1008)은 특정 인쇄 다이 및 이와 연관된 레지스터 및 메모리 비트에 대한 구성 데이터 라인일 수 있다. 구성 데이터는 소정 조건이 충족될 때 DATA 라인(1008)으로부터 직접 수신될 수 있다.
- [0079] 예를 들어, 구성 레지스터는 MODE 라인(1002) 상의 신호가 하이(1010)로 전이할 때 기록 동작을 위해 인에이블될 수 있고, DATA 라인(1008)도 1의 신호 값을 나타내는 하이 신호(1012)를 제공한다. 구성 레지스터가 두 개의 라인에 의한 동작을 인에이블한 후에, 상승 동작 A(1014), 상승 동작 B(1016), 상승 동작 C(1018) 및 상승 동작 D(1020)에서 볼 수 있듯이 CLK 신호의 상승 에지와 함께 시간에 따라 추가 데이터가 인에이블된 직렬 레지스터로 시프트될 수 있다. 이러한 상승 동작 각각과 함께, DATA 라인(1008)으로부터의 데이터가 구성 레지스터로 전송될 수 있다. 예를 들어, 구성 레지스터에 대한 세 번째 자리 비트(1022)에 대한 데이터는 DATA 라인(1008)이 CLK 라인(1006)에서 상승 동작 A(1014) 시에 하이로 시그널링할 때 레지스터로 시프트될 수 있다. 마찬가지로, 구성 레지스터에 대한 두 번째 자리 비트(1024)에 대한 데이터는 CLK 라인(1006)에서 상승 동작 B(1016) 시에 DATA 라인(1008)이 로우로 시그널링할 때 레지스터로 시프트될 수 있다. 일 예에서, 구성 레지스터에 대한 첫 번째 자리 비트(1026)에 대한 데이터는 CLK 라인(1006)에서 상승 동작 C(1018) 시에 데이터 라인(1008)이 하이로 시그널링할 때 구성 레지스터로 시프트될 수 있다. 일 예에서, 구성 레지스터에 대한 0 자리 비트(1028)에 대한 데이터는 CLK 라인(1006)에서 상승 동작 D(1020) 시에 DATA 라인(1008)이 하이로 시그널링할 때 레지스터로 시프트될 수 있다. 이 예는 4 비트 길이 구성 레지스터 기록, 따라서 CLK 라인(1006) 상의 대응하는 상승 동작을 갖는 DATA 라인(1008) 상에 표시될 수 있는 데이터의 4개의 위치를 도시한다. 앞에서 언급한 바와 같이, 구성 레지스터 기록의 다른 길이는 구성 레지스터의 크기에 따라 크기가 더 크거나 작을 수 있다. 마찬가지로, 유사한 시그널링이 사용되어 다른 메모리 구성에 기록할 수 있으며 메모리의 크기 및 구조에 따라 전송되는 데이터의 길이와 양이 변할 수도 있다. 일 예에서, CLK의 상승 에지는 데이터를 직렬 구성 레지스터로 시프트하고, Msbit와 같은 이전/추가 비트 끝에서 시프트된다.
- [0080] 도 11은 복수의 인에이블된 레지스터 및 노즐 데이터를 사용하는 메모리 비트의 예시적인 액세스(1110)의 개략도이다. 동일한 번호가 매겨진 항목은 도 10에 설명된 바와 같다. 도 11에 언급된 바와 같이 구성 레지스터(1102)에 연결하는 것 외에, MODE 라인(1002), FIRE 라인(1004), CLK 라인(1006) 및 DATA 라인(1008)은 메모리 구성 레지스터(1104)에도 통신가능하게 연결될 수 있다. NVM 인에이블 비트와 같은 메모리 액세스 데이터 비트

가 노즐 데이터에 포함될 수 있기 때문에, 노즐 데이터로부터의 이 비트(1106)는 적어도 도 9 또는 도 13에 요약된 방법을 사용하여 메모리 구성 레지스터(1104)에 기록할 수 있다. 메모리 액세스 또는 메모리 액세스 기록 모드를 인에이블하는 것 외에, 구성 레지스터(1102)는 균열 검출, 위치독 인에이블먼트, 아날로그 지연 및 컴포넌트 유효성 검사와 같은 집적 회로의 요소를 테스트하기 위한 제어 신호(1108) 역할을 하는 비트를 가질 수도 있다.

[0081] 메모리 구성 레지스터(1104)는 노즐 데이터로부터의 비트(1106) 및 구성 레지스터(1102) 내의 구성 레지스터 메모리 비트(1110)와 같은 도트 데이터 스트림 내의 비트를 통해 인에이블된다. 3개 모두가 인에이블될 때, 즉, 노즐 데이터의 비트(1106), 구성 레지스터 메모리 비트(1110) 및 메모리 구성 레지스터(1104)의 비트가 인에이블되면, 메모리 구성 레지스터가 인에이블되어 메모리 제어 비트(1112)에 액세스한다. FIRE 라인(1004)이 하강 에지를 시그널링할 때, 메모리 구성 레지스터(1104)의 비트뿐만 아니라 구성 레지스터 메모리 비트(1110)도 소거된다.

[0082] 도 12는 메모리 셀에 액세스하는 논리적 회로(1200)의 예를 도시하는 개략도이다. 표시된 컴포넌트에 대한 설명을 용이하게 하기 위해 많은 컴포넌트가 표시되지 않을 수 있다. 추가적으로, 여기에 도시된 논리적 회로는 동일한 다이 회로의 일부일 수 있고, 물리적으로 분리될 수 있으며, 상이한 상태에 있는 동안 상이한 태스크를 수행하는 동일한 회로일 수도 있다. 예를 들어, 유체 작동 회로는 일 예에서 구성 회로와 물리적으로 분리될 수 있고, 다른 예에서는 서로 다른 상태에서 동일한 회로일 수 있다.

[0083] 논리적 회로(1200)는 유체 작동 회로(1202)를 포함할 수 있다. 본 명세서에서 사용되는 바와 같이, 유체 작동 회로(1202)는 유체 작동 장치(1206)를 통한 유체의 분산을 제어하기 위해 선택 정보(1204)를 사용하는 회로일 수 있다. 일 예에서, 유체 작동 회로(1202)는 집적 회로 상에 또는 집적 회로 내에 배치될 수 있다. 유체 작동 장치(1206)는 프리미티브 그룹 중 한 프리미티브일 수 있다. 본 명세서에서 사용되는 바와 같이, 프리미티브는 인쇄 매체를 향해 잉크와 같은 유체를 배출하거나 변위시키는 유체 분산 노즐의 그룹을 지칭할 수 있다. 유체 작동 회로(1202)의 선택 데이터(1204)는 어떤 노즐이 FIRE 신호에 응답하여 발사될 수 있는지를 나타내기 위해 어드레스 라인 및 프리미티브 번호 또는 영역 번호에 의해 특정 노즐을 선택하는 데 사용될 수 있다.

[0084] 선택 정보(1204)는 데이터 상태 비트(1208)를 또한 포함할 수 있다. 데이터 상태 비트(1208)는 선택 정보(1204)의 패킷의 헤더 또는 푸터에 저장될 수 있다. 데이터 상태 비트는 또한 0 또는 1에 대응할 수 있다. 일 예에서, 데이터 상태 비트의 0은 데이터 상태 비트가 메모리 셀(1210)에 액세스하기 위한 프로세스를 시작하려고 시도하지 않는다는 것을 나타낼 수 있다. 데이터 상태 비트(1208)에 저장된 1은 데이터 상태 비트가 메모리 셀(1210)에 액세스하기 위한 프로세스를 개시하고 있음을 나타낼 수 있다. 그러나 메모리 셀(1210)에 액세스하기 위해, 데이터 상태 비트(1208), 구성 회로(1212) 및 메모리 회로(1214)는 FIRE 신호가 집적 회로를 통해 전개될 때 모두 인에이블되어야 한다. 본 명세서에서 사용되는 바와 같이, 구성 회로(1212)는 도 11의 구성 레지스터(1102)뿐만 아니라 다른 비트 변환 회로 유형도 포함할 수 있다. 본 명세서에서 사용되는 바와 같이, 메모리 회로(1214)는 도 11의 메모리 구성 레지스터(1104)뿐만 아니라 다른 비트 변환 회로 유형도 포함할 수 있다.

[0085] 구성 회로(1212)는 인에이블 상태와 디스에이블 상태 중 하나로 설정될 수 있고 그 사이를 스위칭할 수 있는 구성 액세스 상태를 갖도록 구성될 수 있다. 일 예에서, 구성 회로(1212)는 구성 상태 비트(1216)에 응답하여 구성 액세스 상태를 인에이블하고 디스에이블하도록 구성될 수 있다. 일 예에서, 구성 상태 비트(1216)는 구성 레지스터에 저장될 수 있다. 유체 작동 회로(1202)는 유체 작동 장치(1206)에 대한 선택 정보(1204)를 전송할 수 있으면서, 동일한 데이터 및 회로 내에서 선택 정보(1204)는 구성 액세스 상태를 인에이블하도록 설정된 데이터 상태 비트(1208)를 포함한다. 따라서, 구성 상태 비트(1216)는 구성 회로(1212)가 디스에이블 상태에서 인에이블 상태로 변경되도록 설정되거나 변경될 수 있다. 일 예에서, 데이터 상태 비트(1208)는 하이 값 또는 1로 설정될 수 있고 이 데이터는 인에이블 상태가 구성 회로(1212)에 반영되도록 미러링, 매칭 또는 시프트될 수 있다. 일 예에서, 이러한 미러링, 매칭 또는 시프팅은 데이터 상태 비트(1208)의 값 또는 신호를 미러링할 수 있는 구성 상태 비트(1216)에 의해 착수될 수 있다.

[0086] 메모리 회로(1214)는 인에이블 상태와 디스에이블 상태 중 하나로 설정되고 그 사이를 스위칭할 수 있는 메모리 액세스 상태를 갖도록 구성될 수 있다. 일 예에서, 메모리 회로(1214)는 메모리 상태 비트(1218)에 응답하여 메모리 액세스 상태를 인에이블 또는 디스에이블하도록 구성된다. 일 예에서, 메모리 상태 비트(1218)는 데이터 상태 비트(1208) 및 구성 상태 비트(1216) 모두 하이로 시그널링하는 것에 응답하여 변경될 수 있는데, 각각 1의 값을 갖거나, 또는 둘 다 CLK 신호 상승 동작 또는 FIRE 신호 상승 동작 시에 인에이블됨을 나타낸다.

[0087] 일 예에서, 메모리 셀(1210)은 메모리 회로(1214)의 메모리 액세스 상태와 구성 회로(1212)의 구성 액세스 상태

모두를 인에이블함으로써 액세스 가능하게 된다. 일 예에서, 데이터 상태 비트(1208)뿐만 아니라 구성 회로(1212)의 구성 상태 비트(1216) 및 메모리 회로(1214)의 메모리 상태 비트(1218)도 인에이블되면, 메모리 셀(1210)이 액세스될 수 있다. 일 예에서, 메모리 셀은 메모리 액세스 상태가 인에이블되고, 구성 액세스 상태가 인에이블되며, 데이터 상태 비트를 포함하는 선택 정보를 전송하기 위한 유체 작동 회로가 설정되는 것에 응답하여 액세스될 수 있다. 일 예에서, 데이터 상태 비트는 구성 회로(1212) 및 메모리 회로(1214)의 인에이블에 따라 메모리 액세스 상태로 설정되어야 한다. 이들 상태 중 3개 모두가 인에이블되지 않는 한 액세스가 금지되는 것은 공유 회로 상에 존재할 수 있는 의도치 않은 신호 잡음이 메모리에 실수로 기록되지 않음을 보장한다. 유체 작동 회로(1202)는 FIRE 신호에 대한 인체를 나타내기 위해 시간이 지남에 따라 많은 수의 노즐을 선택할 수 있는 선택 데이터(1204)를 포함하므로, 이러한 많은 신호가 메모리 셀(1210)의 데이터에 영향을 미치지 않도록 이 공유 회로를 보호해야 한다. 따라서, 설명된 시퀀스 및 메모리 셀(1210)에 액세스하기 위해 인에이블되어야 하는 다수의 상태 비트는 메모리 셀의 데이터를 보호할 뿐만 아니라 의도된 경우 메모리 셀 액세스가 허용되는 것을 보장한다.

[0088] 일 예에서, 메모리 셀(1210)은 FIRE 신호의 지속기간 동안 액세스된다. 메모리 셀(1210)의 액세스는 메모리 셀(1210)에 대한 기록 또는 메모리 셀(1210)의 수정 또는 판독일 수 있다. 일 예에서, FIRE 신호의 하강 에지는 메모리 액세스 상태를 디스에이블 상태로 설정하고 구성 액세스 상태를 디스에이블 상태로 설정한다. 디스에이블 상태의 설정은 구성 상태 비트(1216) 및 메모리 상태 비트(1218)를 0 또는 로우 신호로 재설정하거나 임의의 저장된 값을 제거함으로써 달성될 수 있다.

[0089] 일 예에서, 메모리 상태 비트(1218), 구성 상태 비트(1216) 및 데이터 상태 비트(1208)는 동일한 인터페이스 패드를 통해 수신될 것이다. 일 예에서, 이것은 특정 구현에 따라 DATA 패드, CLK 패드, FIRE 패드 또는 기타일 수 있다. 본 명세서에 사용된 바와 같이, 이들 패드 각각은 전기 신호가 다양한 논리적 회로(1200)에 제공되는 라인에 대응한다. 일 예에서, 집적 회로 내의 CLK 또는 클록 신호는 메모리 액세스 상태를 인에이블하기 위해 메모리 상태 비트(1218)를 트리거하고 구성 액세스 상태를 인에이블하기 위해 구성 상태 비트(1216)를 트리거한다. 도 10에 도시된 바와 같이, 이는 상승 동작에서 발생할 수 있다. 일 예에서, 메모리 액세스 상태를 인에이블하기 위한 메모리 상태 비트(1218) 및 구성 액세스 상태를 인에이블하기 위한 구성 상태 비트(1216)의 트리거링은 또한 클록 신호의 하강 에지에 있을 수 있다.

[0090] 도 13은 인에이블된 액세스 상태에 응답하여 메모리 셀에 액세스하기 위한 예시적인 방법(1300)의 흐름도이다. 도시된 순서는 도시된 요소의 설명을 용이하게 하기 위해 집적 회로에 의해 수행된 동작을 포함하거나 생략할 수 있다.

[0091] 블록(1302)에서, 방법(1300)은 인에이블 상태 및 디스에이블 상태 중 하나로 설정될 수 있는 메모리 액세스 상태를 갖도록 집적 회로를 구성함으로써 시작된다. 일 예에서, 구성 회로는 구성 상태 비트에 응답하여 구성 액세스 상태를 인에이블하거나 디스에이블한다.

[0092] 블록(1304)에서, 방법(1300)은 유체 작동 회로를 사용하여 데이터 상태 비트를 포함하는 유체 작동 장치에 대한 선택 정보를 전송하는 단계를 포함한다. 일 예에서, 메모리 회로는 메모리 상태 비트에 응답하여 메모리 액세스 상태를 인에이블하거나 디스에이블한다.

[0093] 블록(1306)에서, 방법(1300)은 메모리 액세스 상태가 인에이블되고 데이터 상태 비트가 설정됨으로써 각각의 메모리 셀이 액세스 가능하도록 메모리 셀 어레이를 구성하는 단계를 포함한다. 일 예에서, 메모리 셀에 액세스하는 것은 데이터 상태 비트 및 메모리 액세스 상태 모두가 또한 인에이블되는 것 외에 구성 액세스 상태가 인에이블되는 것을 포함한다. 메모리 셀은 FIRE 신호의 지속기간 동안 액세스될 수 있다. 일 예에서, FIRE 신호의 하강 에지는 메모리 액세스 상태를 디스에이블 상태로 설정하고 구성 액세스 상태를 디스에이블 상태로 설정한다. 일 예에서, 메모리 상태 비트, 구성 상태 비트 및 데이터 상태 비트는 동일한 인터페이스 패드를 통해 수신된다. 방법(1300)은 클록 신호에 응답하여 메모리 액세스 상태를 인에이블하기 위해 메모리 구성 비트 및 구성 액세스 상태를 인에이블하기 위해 구성 상태 비트를 트리거하는 단계를 더 포함할 수 있다.

[0094] 일 예에서, 메모리에 액세스하기 위해, 단계들은 유체 활성화 장치 데이터 스트림의 일부인 데이터를 사용하여 인에이블 비트를 설정하는 단계를 포함한다. 또한, 일 예에서, 구성 레지스터 비트를 기록한다. 이 두 단계에 따라, 내부 인에이블 비트가 설정되고 구성 비트가 소거될 수 있게 하도록 FIRE 신호를 하이로 구동한다. 구성 비트가 두 번째로 설정되고, 내부 인에이블 비트가 위와 같이 설정되면, 판독/기록 조건 및 두 가지 유형의 메모리 비트 중 어느 것에 액세스할 수 있는지를 설정하기 위해 메모리 구성 레지스터에 기록할 수 있다.

- [0095] 도 14는 예시적인 회로 및 메모리 비트 기록 설계(1400)의 블록도이다. 동일한 번호가 매겨진 항목은 도 4와 관련하여 설명된 바와 같다.
- [0096] 메모리 전압 조정기(1402)는 단일 FIRE 신호 상승 동작이 메모리 및 구성 레지스터를 통해 메모리 기록 모드를 인에이블하는 것에 응답하여 메모리 비트(424)에 전압을 제공할 수 있다. 기록 모드를 인에이블하는 예는 적어도 도 9-13과 관련하여 볼 수 있다. 메모리 전압 조정기(1402)는 유체 액추에이터와 공유되는 공유 전원(VPP)(1404)으로부터 전력을 수용할 수 있다. VPP 패드(1404)는 유체 액추에이터에 연결된 공유 전력(VPP) 버스를 지칭할 수 있다. 일 예에서, 유체 액추에이터는 노즐이다. 메모리 전압 조정기는 선택된 유체 액추에이터에 대응하는 메모리 비트에 기록할 수 있다.
- [0097] 병렬로 기록될 메모리 비트는 발사 펄스 그룹 프리미티브 데이터의 일부로서 고속 데이터경로를 사용하여 선택될 수 있다. 일 예에서, 메모리 비트는 유체 액추에이터처럼 프리미티브 번호와 어드레스 번호에 의해 선택된다. 프리미티브 번호와 어드레스 번호에 의해 메모리 비트를 선택하면 동일한 다이 내에 있고 동일한 어드레스 상에 있는 복수의 메모리 비트를 선택하고 병렬로 기록할 수 있다. 프리미티브 번호와 어드레스 번호에 의해 메모리 비트를 선택하면 또한 동일한 인쇄 헤드 상의 상이한 실리콘 다이 내의 복수의 메모리 비트를 선택하고 병렬로 기록할 수 있다. 일 예에서, 상이한 실리콘 다이는 3개의 실리콘 다이를 갖는 컬러 펜과 같은 단일 펜 내에 있을 수 있다. 프리미티브 번호와 어드레스 번호에 의해 메모리 비트를 선택하고 병렬로 기록하면 또한 복수의 실리콘 다이에 걸쳐 복수의 메모리 비트를 선택할 수도 있다. 이러한 실리콘 비트는 컬러 펜 및 흑색 펜의 메모리 비트의 병렬 기록과 같이 인쇄 시스템 내의 복수의 인쇄 헤드에 걸쳐 있을 수도 있다.
- [0098] 어드레스별로 비트를 선택할 때, 각각의 고유한 실리콘 다이는 상이한 어드레스 번호 상의 비트를 선택할 수 있지만, 동일한 다이 내의 비트는 동일한 어드레스에서 선택될 것이다. 이것은 인쇄 헤드 내의 슬리버(silver)에 걸쳐 또는 다이 내에서 병렬로 복수의 비트를 기록함으로써 펜 제조 테스트 시간을 감소시킨다. 또한, 본 기법은 기록 시간을 제어하는 데 FIRE 패드 신호를 사용함으로써 프로그래밍 레벨의 제어를 개선한다.
- [0099] 일 예에서, FIRE 신호는 실제로 메모리 전압 조정기(1402)로 이동하지 않는다. 대신, 메모리 전압 조정기(1402)는 다이가 도 9-13에 도시된 시퀀스를 사용하여 들어간 메모리 액세스 모드 상태에 의해 인에이블된다. 메모리 전압 조정기(1402)가 인에이블되면, FIRE 신호의 상승 동작이 메모리를 인에이블할 수 있다. 메모리 비트를 인에이블하는 것은 메모리 비트들의 선택된 조합을 통해 메모리 전압 조정기(1402)로부터 전류가 흐르도록 하므로 이들을 병렬로 프로그래밍한다.
- [0100] 도 15는 메모리 전압 조정기를 사용하여 메모리 비트의 선택된 조합에 기록 전압을 제공하기 위한 예시적인 방법(1500)의 흐름도이다. 도시된 순서는 도시된 요소의 설명을 용이하게 하기 위해 집적 회로에 의해 수행된 동작을 포함하거나 생략할 수 있다.
- [0101] 블록(1502)에서, 방법(1500)은 복수의 메모리 비트 중 적어도 하나의 메모리 비트 및 발사 펄스 그룹의 발사 액추에이터를 선택하는 단계를 포함한다. 일 예에서, 메모리 비트의 조합을 선택하는 것은 단일 발사 펄스 그룹으로 수행된다. 다수의 유체 작동 장치는 메모리에 액세스하기 위한 동일한 데이터 라인으로 구동될 수 있다. 일 예에서, 메모리 비트의 선택된 조합 각각은 단일 FIRE 신호 상승 동작에 응답하여 한 번에 하나씩 또는 병렬로 기록된다. 일 예에서, 메모리 비트의 선택된 조합의 제1 메모리 비트는 제1 실리콘 다이 상에 위치되고 메모리 비트의 선택된 조합의 제2 메모리 비트는 제2 실리콘 다이 상에 위치된다. 일 예에서, 제1 실리콘 다이는 제1 인쇄 펜에 위치되고 제2 실리콘 다이는 제2 인쇄 펜에 위치된다. 일 예에서, 다수의 메모리 비트 각각은 유체 액추에이터에 대응한다. 일 예에서, 다수의 메모리 비트의 선택된 조합은 단일 발사 펄스 그룹 내의 프리미티브 번호 및 어드레스 번호에 의해 선택된 데이터에서 식별된다.
- [0102] 블록(1504)에서, 방법(1500)은 메모리 전압 조정기를 사용하여 복수의 메모리 비트 중 적어도 하나의 메모리 비트에 기록 전압을 제공하는 단계를 포함한다. 일 예에서, 메모리 전압 조정기는 단일 FIRE 신호의 지속기간 동안 다수의 메모리 비트의 선택된 조합에 기록 전압을 제공한다.
- [0103] 도 16은 각각의 유체 액추에이터와 연관된 복수의 메모리 비트를 갖는 집적 회로(1600)의 다른 예를 도시하는 블록도이다. 요소 간의 연결은 신호 경로, 트레이스 또는 다른 전기 전도성 또는 통신 연결일 수 있다. 집적 회로(1600)는 복수의 유체 작동 장치(1602<sub>0</sub> 내지 1602<sub>N</sub>), 복수의 메모리 셀(1604<sub>0A</sub> 내지 1604<sub>NB</sub>), 선택 회로(1606) 및 제어 로직(1608)을 포함할 수 있다. 또한, 집적 회로(1602)는 기록 회로(1610), 센서(1612) 및 구성 레지스터(1614)를 포함한다.
- [0104] 이 예에서, 선택 회로(1606)는 어드레스 디코더(1616) 및 활성화 로직(1618)을 포함한다. 어드레스 디코더

(1616)는 데이터 인터페이스(1620)를 통해 어드레스 및 데이터를 수신한다. 어드레스 디코더(1616)는 활성화 로직(1618)에 전기적으로 연결된다. 활성화 로직(1618)은 발사 인터페이스(1622)를 통해 발사 신호를 수신한다. 각각의 메모리 셀(1604<sub>0A</sub> 내지 1604<sub>NB</sub>)은 감지 인터페이스(1624)를 통해 기록 회로(1610)에 전기적으로 연결된다. 센서(1612)는 신호 경로를 통해 제어 로직(1608)과 감지 인터페이스(1624)에 전기적으로 연결된다.

[0105] 어드레스 디코더(1616)는 어드레스에 응답하여 유체 작동 장치(1602<sub>0</sub> 내지 1602<sub>N</sub>)를 선택하고 선택된 유체 작동 장치(1602<sub>0</sub> 내지 1602<sub>N</sub>)에 대응하는 메모리 셀(1604<sub>0A</sub> 내지 1604<sub>NB</sub>)을 선택한다. 예시된 바와 같이, 각각의 유체 작동 장치(1602<sub>N</sub>)는 복수의 메모리 셀(1604<sub>NA</sub> 및 1604<sub>NB</sub>)을 갖는다. 일 예에서, 유체 작동 장치(1602<sub>N</sub>)당 복수의 메모리 셀(1604<sub>NA</sub> 및 1604<sub>NB</sub>)은 구성 레지스터(1614) 외부에 위치될 수 있다.

[0106] 어드레스는 데이터 인터페이스(1620)를 통해 수신될 수 있다. 일 예에서, 활성화 로직(1618)은 데이터 신호 및 발사 신호에 기초하여 선택된 유체 작동 장치(1602<sub>0</sub> 내지 1602<sub>N</sub>)에 대응하는 선택된 유체 작동 장치(1602<sub>0</sub> 내지 1602<sub>N</sub>) 및 메모리 셀(1604<sub>NA</sub> 및 1604<sub>NB</sub>)을 활성화한다. 데이터 신호는 제공된 어드레스에 대해 어떤 유체 작동 장치(들)가 선택되어야 하는지를 나타내는 노즐 데이터를 포함할 수 있다. 데이터 신호는 데이터 인터페이스(1620)를 통해 수신될 수 있다. 발사 신호는 선택된 유체 작동 장치가 활성화(즉, 발사)될 때 또는 대응하는 메모리 셀이 액세스되어야 할 때를 나타낸다. 발사 신호는 발사 인터페이스(1622)를 통해 수신될 수 있다. 데이터 인터페이스(1620), 발사 인터페이스(1622) 및 감지 인터페이스(1624) 각각은 접촉 패드, 핀, 범프, 와이어, 또는 집적 회로(1600)로 및/또는 집적 회로로부터 신호를 송신하기 위한 다른 적합한 전기 인터페이스일 수 있다. 인터페이스(1620, 1622, 1624) 각각은 유체 분사 시스템에 전기적으로 연결될 수 있다.

[0107] 구성 레지스터(1614)는 복수의 메모리 셀(1604<sub>0A</sub> 내지 1604<sub>NB</sub>)에 대한 액세스를 인에이블하거나 또는 디스에이블하기 위한 데이터를 저장한다. 제어 로직(1608)은 구성 레지스터(1614)에 저장된 데이터에 기초하여 선택된 유체 작동 장치(1602<sub>0</sub> 내지 1602<sub>N</sub>)를 활성화하거나 선택된 유체 작동 장치(1602<sub>0</sub> 내지 1602<sub>N</sub>)에 대응하는 메모리 셀(1604<sub>0A</sub> 내지 1604<sub>NB</sub>)에 액세스한다. 일 예에서, 구성 레지스터(1614)는 복수의 메모리 셀(1604<sub>0A</sub> 내지 1604<sub>NB</sub>)에 대응하는 복수의 비트를 가질 수 있다. 다른 예에서, 구성 레지스터(1614)는 또한 센서(1612)를 인에이블하거나 또는 디스에이블하기 위한 데이터를 저장하거나 전송한다.

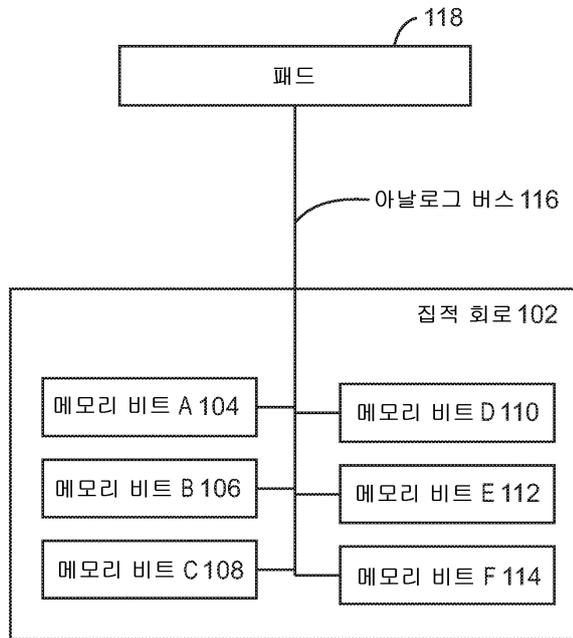
[0108] 구성 레지스터(1614)는 메모리 장치(예를 들어, 비휘발성 메모리, 시프트 레지스터 등)일 수 있고 임의의 적절한 수의 비트(예를 들어, 4개의 비트 내지 24개의 비트, 예를 들어, 12개의 비트)를 포함할 수 있으며 유체 작동 장치(1602<sub>0</sub> 내지 1602<sub>N</sub>) 각각마다 복수의 비트를 포함할 수 있다. 소정 예에서, 구성 레지스터(1614)는 집적 회로(1600)를 테스트하고, 집적 회로(1600)의 기관 내의 균열을 검출하며, 집적 회로(1600)의 타이머를 인에이블하고, 집적 회로(1600)의 아날로그 지연을 설정하며, 집적 회로(1600)의 동작을 검증하거나, 또는 집적 회로(1600)의 다른 기능을 구성하기 위한 구성 데이터를 또한 저장할 수 있다.

[0109] 메모리 셀(1604<sub>0A</sub> 내지 1604<sub>NB</sub>)에 저장된 데이터는 선택된 메모리 셀(1604<sub>0A</sub> 내지 1604<sub>NB</sub>)이 제어 로직(1608)에 의해 액세스되었을 때 감지 인터페이스(1624)를 통해 판독될 수 있다. 또한, 기록 회로(1610)는 선택된 메모리 셀(1604<sub>0A</sub> 내지 1604<sub>NB</sub>)이 제어 로직(1608)에 의해 액세스되었을 때 선택된 메모리 셀에 데이터를 기록할 수 있다. 센서(1612)는 집합 장치(예를 들어, 열 다이오드), 저항성 장치(예를 들어, 균열 검출기), 또는 집적 회로(1600)의 상태를 감지하기 위한 다른 적합한 장치일 수 있다. 센서(1612)는 감지 인터페이스(1624)를 통해 판독될 수 있다.

[0110] 본 기법이 다양한 수정 및 대안적인 형태에 영향을 받기 쉬울 수 있지만, 앞에서 논의된 기법은 예로서 보여졌다. 이 기법은 본 명세서에 개시된 특정 예에 제한되는 것으로 의도되지 않음을 이해해야 한다. 실제로, 본 기법은 다음 청구범위에 속하는 모든 대안, 수정 및 균등물을 포함한다.

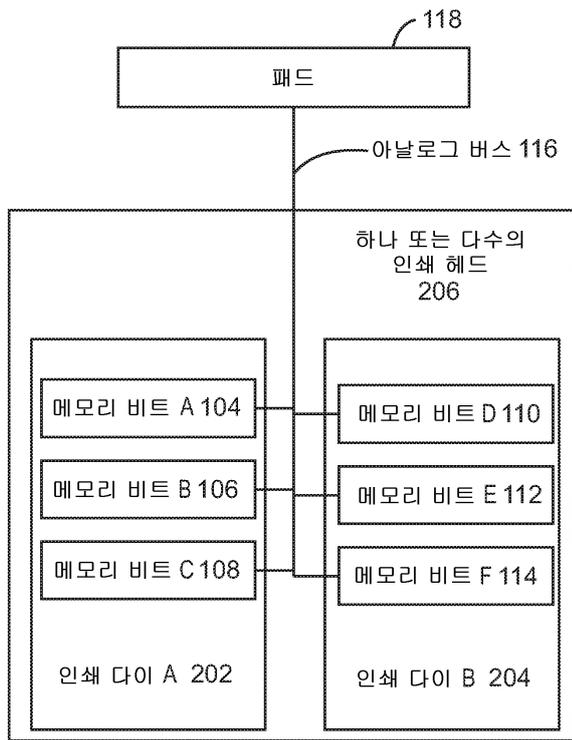
도면

도면1



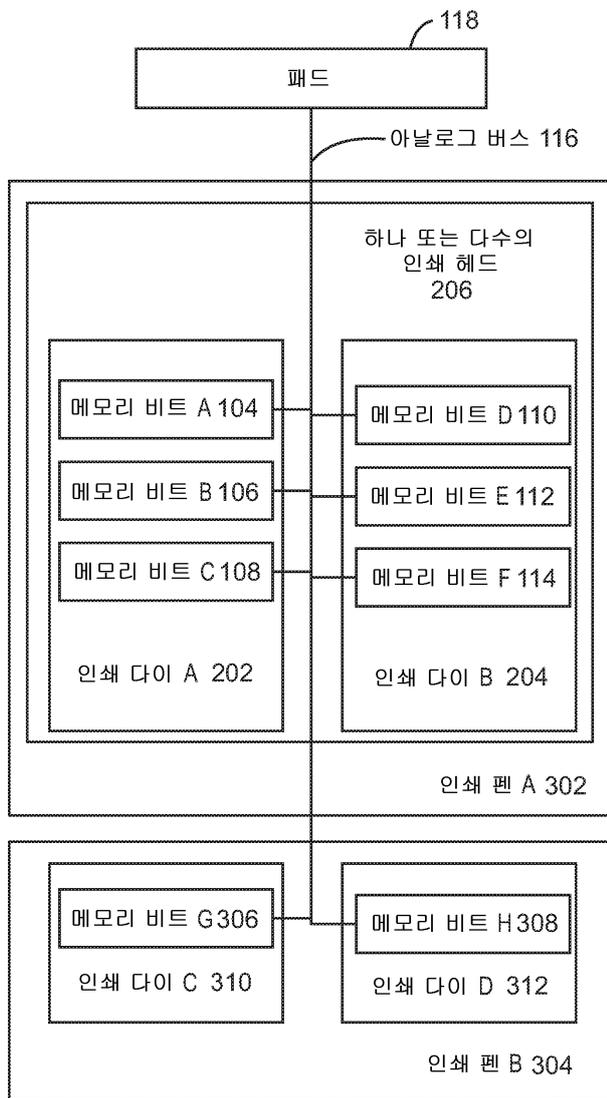
100

도면2

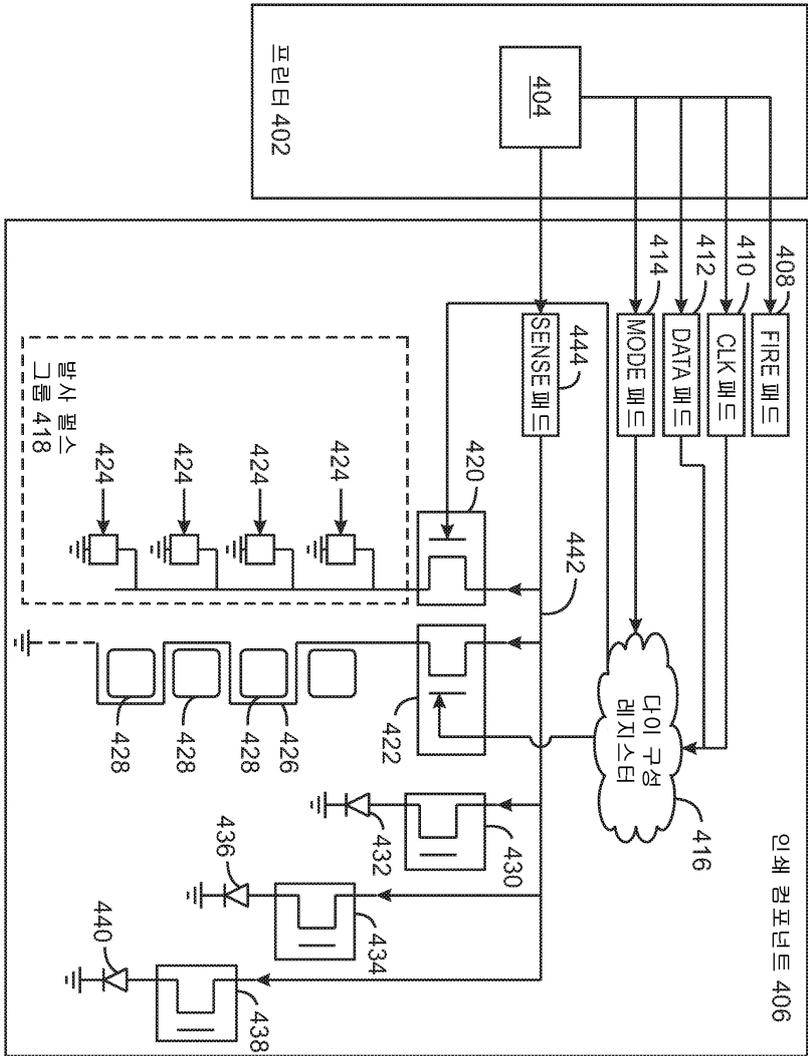


200

도면3



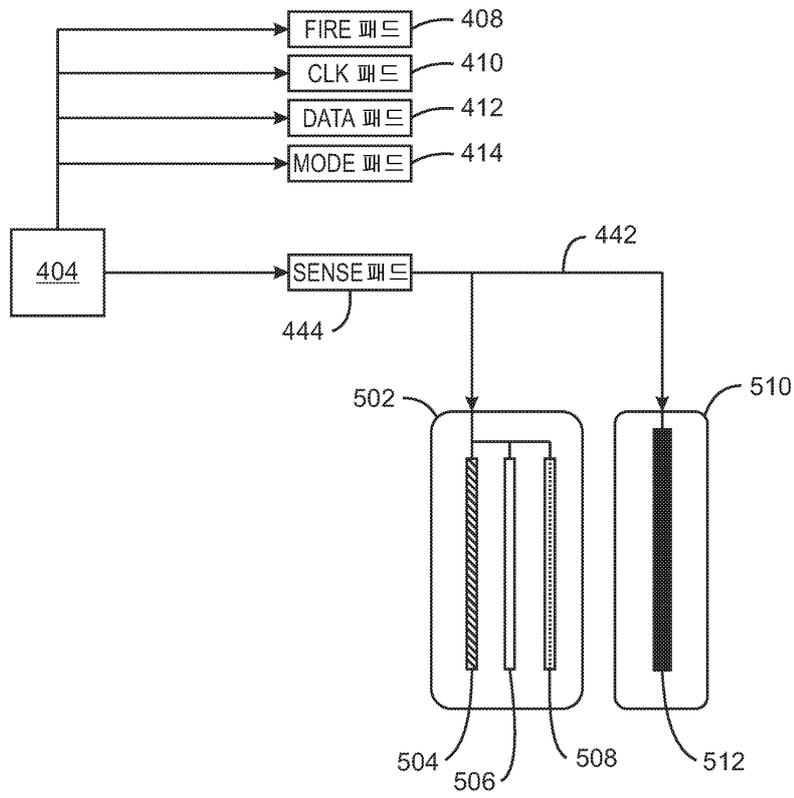
300



도면4

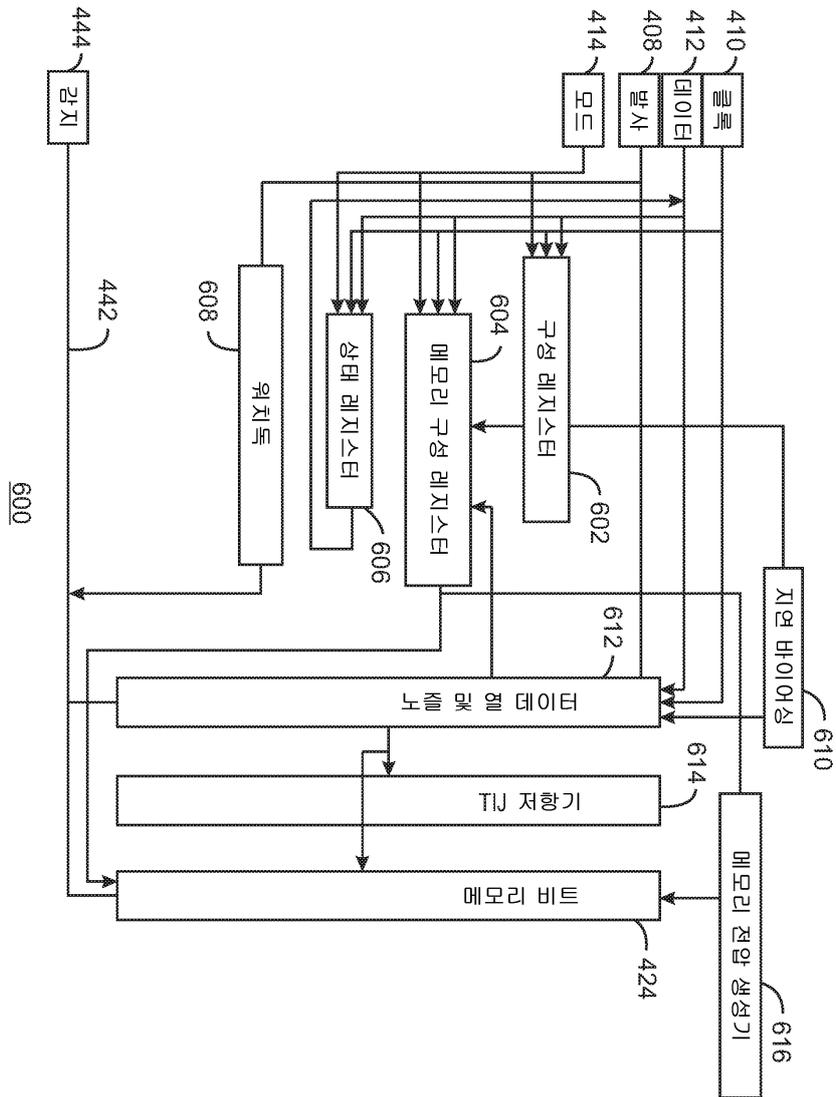
400

도면5

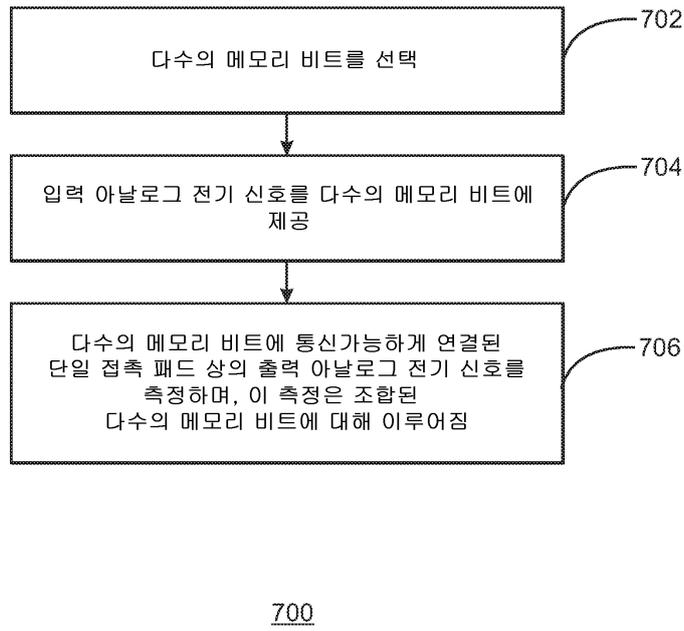


500

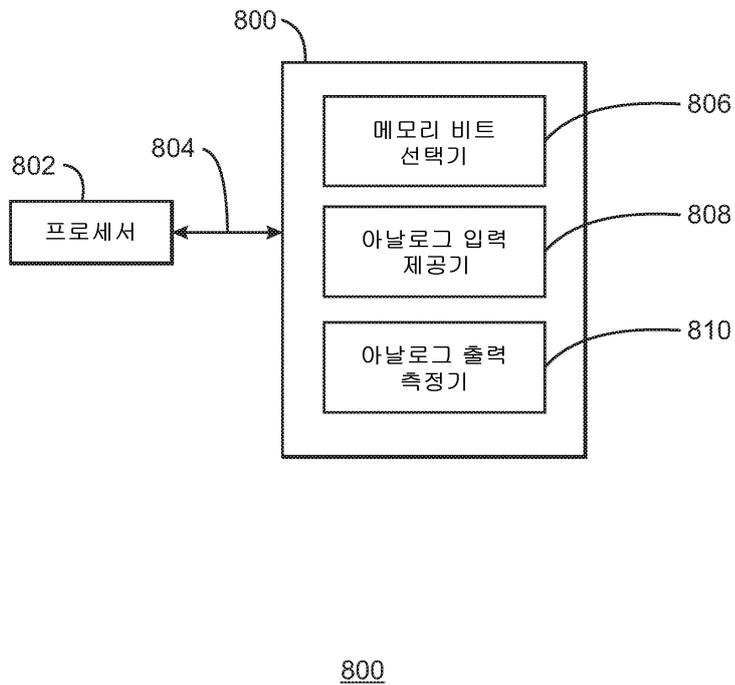
도면6



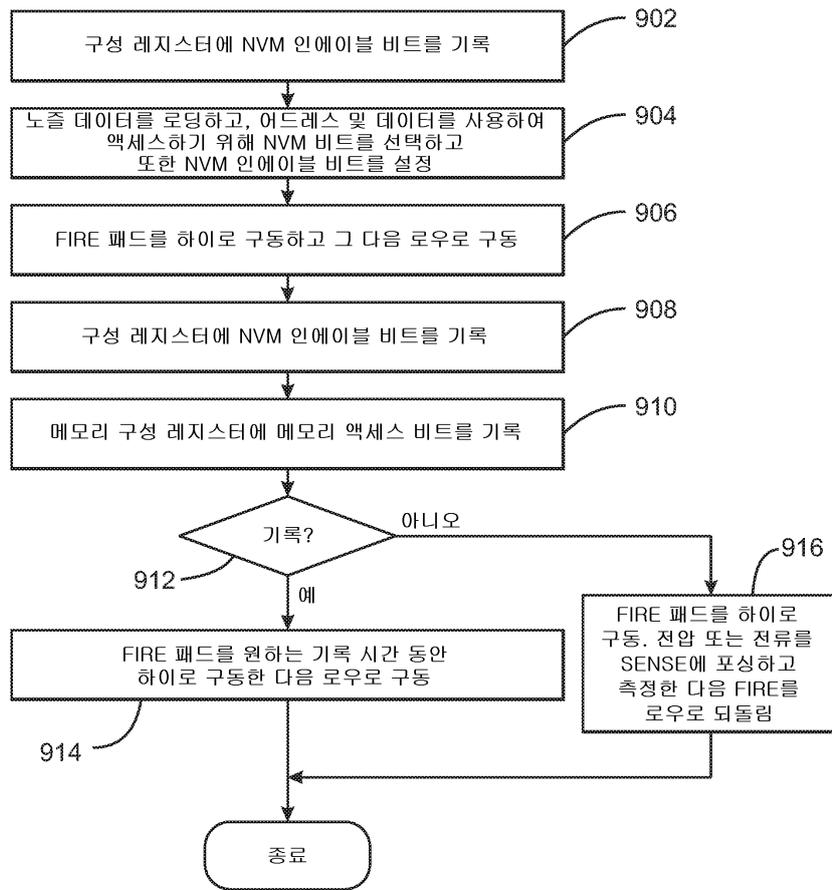
도면7



도면8

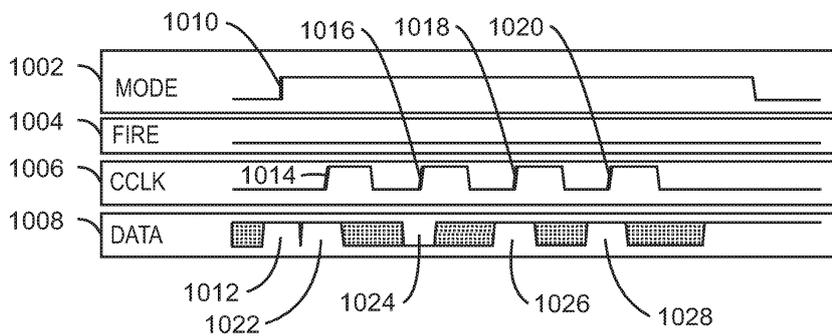


도면9



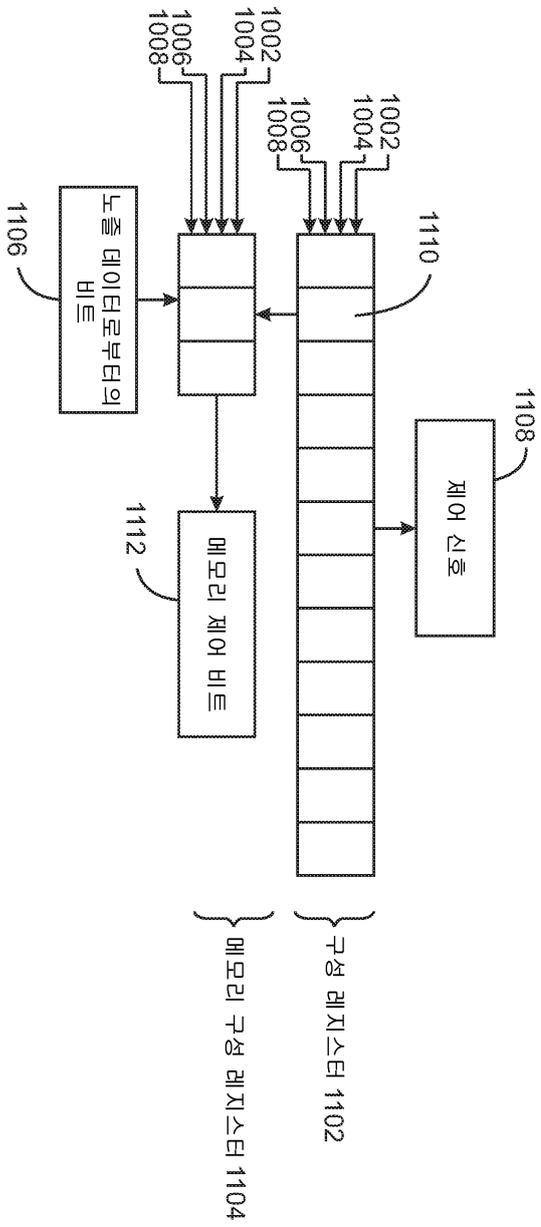
900

도면10

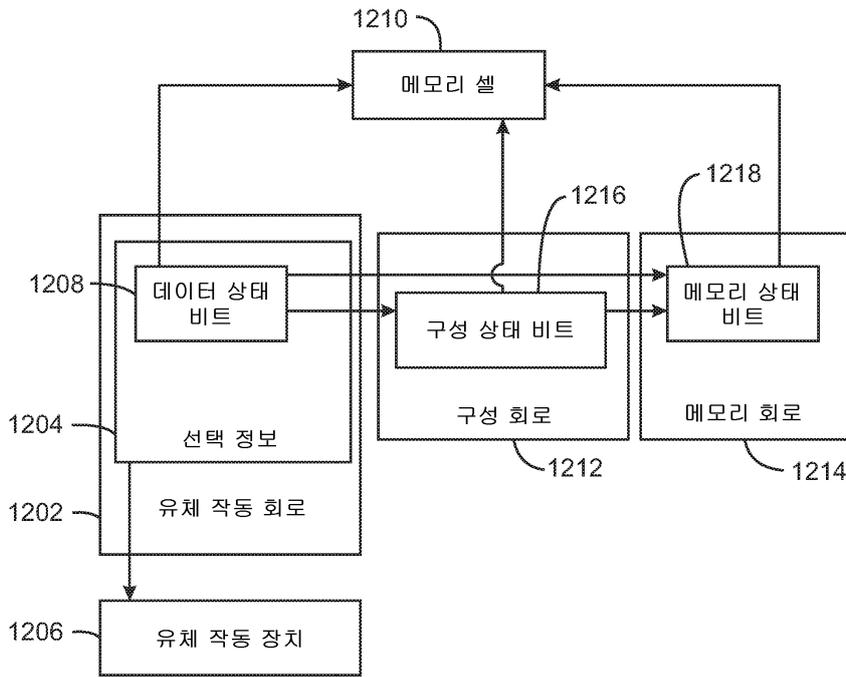


1000

도면11

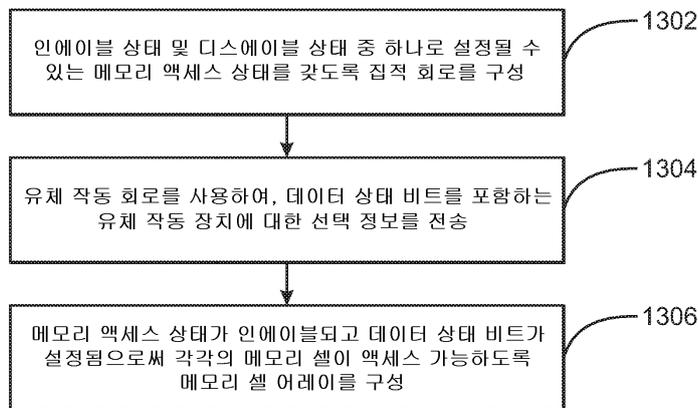


도면12



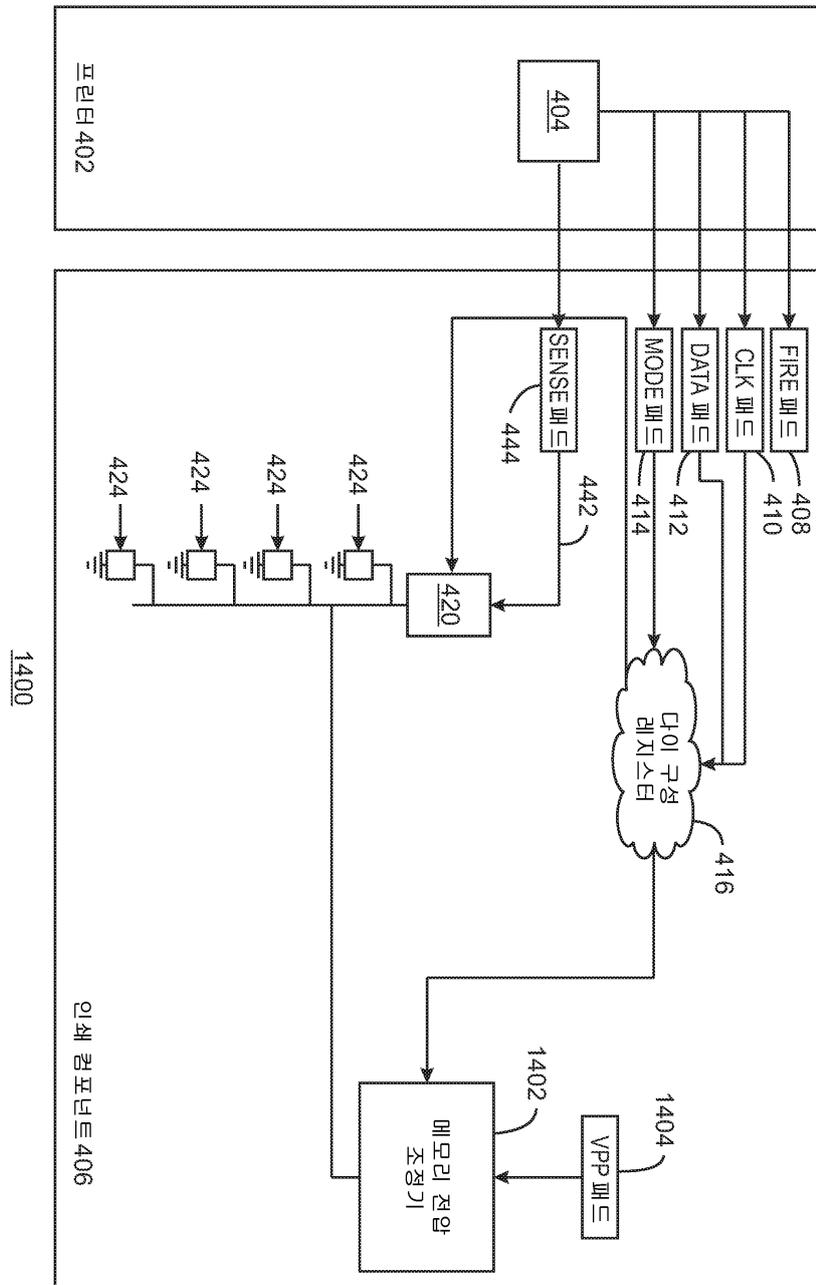
1200

도면13

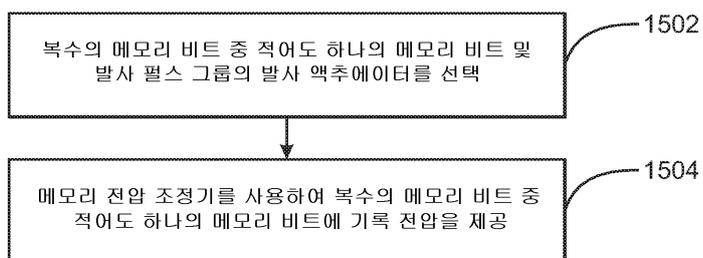


1300

도면14



도면15



1500

도면16

