



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201030781 A1

(43)公開日：中華民國 99 (2010) 年 08 月 16 日

(21)申請案號：099103526

(22)申請日：中華民國 99 (2010) 年 02 月 05 日

(51)Int. Cl. : **H01G4/06 (2006.01)** **H01G4/33 (2006.01)**

(30)優先權：2009/02/12 美國 61/202265

(71)申請人：源泰投資股份有限公司 (中華民國) LITE-ON CAPITAL INC. (TW)
臺北市內湖區瑞光路 392 號 22 樓

(72)發明人：葉家福 YEH, CHIA FU (TW)

(74)代理人：高玉駿；楊祺雄

申請實體審查：有 申請專利範圍項數：15 項 圖式數：5 共 19 頁

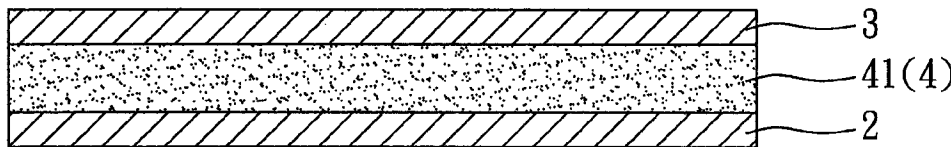
(54)名稱

薄膜電容器

THIN FILM CAPACITOR

(57)摘要

本發明提供一種薄膜電容器，包含：一第一電極、一與該第一電極相對立的第二電極，及一夾置於該第一、二電極之間的介電膜層結構。該介電膜層結構具有一經摻雜的介電層，該經摻雜的介電層具有一大於零且小於 10^{10} 原子/cm³ 的摻雜濃度的摻雜物。



2：第一電極

3：第二電極

4：介電膜層結構

41：經摻雜的介電層



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201030781 A1

(43)公開日：中華民國 99 (2010) 年 08 月 16 日

(21)申請案號：099103526

(22)申請日：中華民國 99 (2010) 年 02 月 05 日

(51)Int. Cl. : **H01G4/06 (2006.01)** **H01G4/33 (2006.01)**

(30)優先權：2009/02/12 美國 61/202265

(71)申請人：源泰投資股份有限公司 (中華民國) LITE-ON CAPITAL INC. (TW)
臺北市內湖區瑞光路 392 號 22 樓

(72)發明人：葉家福 YEH, CHIA FU (TW)

(74)代理人：高玉駿；楊祺雄

申請實體審查：有 申請專利範圍項數：15 項 圖式數：5 共 19 頁

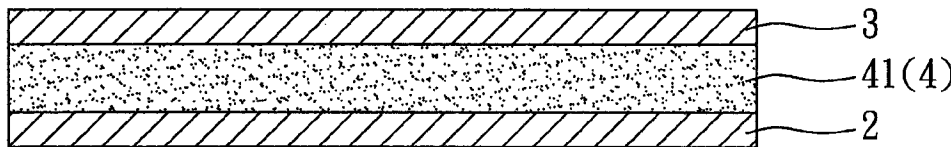
(54)名稱

薄膜電容器

THIN FILM CAPACITOR

(57)摘要

本發明提供一種薄膜電容器，包含：一第一電極、一與該第一電極相對立的第二電極，及一夾置於該第一、二電極之間的介電膜層結構。該介電膜層結構具有一經摻雜的介電層，該經摻雜的介電層具有一大於零且小於 10^{10} 原子/cm³ 的摻雜濃度的摻雜物。



- 2：第一電極
- 3：第二電極
- 4：介電膜層結構
- 41：經摻雜的介電層

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種電容器(capacitor)，特別是指一種具有摻雜介電層的薄膜電容器(thin film capacitor)。

【先前技術】

參圖 1，顯示有一種三層結構的傳統電容器 1，包含：一第一電極 11、一與該第一電極 11 相反設置的第二電極 12，及一夾置於該等電極 11、12 之間且是由絕緣材料(insulator)所構成的介電層(dielectric layer)13。如以下公式(I)所示：

$$C = \epsilon \frac{A}{d} \dots\dots\dots(I)$$

該三層結構之傳統電容器 1 的電容值(capacitance, C)是正比於該等電極 11、12 其中一者的面積(A)與該介電層 13 的介電係數(permittivity, ϵ)，且是反比於該介電層 13 的厚度(d)。一般而言，經由增加該等電極 11、12 其中一者的面積(A)與該介電層 13 的介電係數(ϵ)，或減少該介電層 13 的厚度可提昇該傳統電容器 1 的電容值(C)。

當該傳統電容器 1 被充電後，將於該傳統電容器 1 產生一電場(electric field)；其中，介電係數(ϵ)的數值在上述公式(I)中意義則涉及其介電材料本身之絕緣特性、在該電場下產生感應耦極矩(induced dipole moments)的能力、自激耦極矩(self-excited dipole moments)的強度等介電材料本身的特性。此等介電材料本質上的特性可防止該傳統電容器 1 在該電場的作用下所產生的漏電流(current leakage)與介電

崩潰(breakdown)，並提昇電荷儲存量，以使得電容值(C)得以增加。因此，此技術領域者一方面是尋求巨介電材料(giant dielectrics)來提昇電容值(C)，如， $\text{CaCu}_3\text{Ti}_4\text{O}_{12}$ 。

此處需說明的是，一般用來做為電容器使用的介電材料需具備有低孔隙率與優異的結晶品質等特點，才足以抵擋形成於電容器內的電場。然而，此等結晶品質優異的介電材料不僅需透過 800°C 以上的燒結製程(sintering)才可製成；此外，經由燒結製程所製得之介電層的厚度(d)往往已高達數個微米($\sim\mu\text{m}$)或數十個微米厚。因此，對於提昇電容器的電容值(C)而言，其貢獻度有限。再者，以高溫的燒結製程及最終製得之介電層的厚度來說，其並不利於元件微型化以被整合至積體電路(integrated circuit, IC)中。

又，利用化學氣相沉積法(CVD)等薄膜製程(thin film process)來製作介電層，雖然可降低介電層的厚度(d)。然而，所製得之介電層的結晶品質差，且孔隙率高。因此，崩潰電壓低，且易有漏電流的問題產生。

隨著積體電路之元件(IC device)的尺寸持續地下降，電容器的微型化在積體電路元件中則成為了必不可少的重要技術。典型地被使用於積體電路中的元件可見有薄膜電容器，如，動態隨機存取記憶體(dynamic random access memory, 簡稱 DRAM)，其通常具有一被兩電極板所夾置的介電材料層。照慣例，被用於該薄膜電容器之介電材料層的介電材料包括有氧化矽(silicon dioxide)、氮化矽(silicon nitride)及其類似材料。然而，當該介電材料層的厚度被降

低至一特定程度時，此等介電材料則呈現出一相當高的漏電流及一低的崩潰電壓。

經上述說明可知，提供一種崩潰電壓高且漏電流低的薄膜電容器，以利於將其整合至由薄膜製程所構成的積體電路中，是此技術領域者所需改進的課題。

【發明內容】

因此，本發明之目的，即在提供一種薄膜電容器。

於是，本發明之薄膜電容器，包含：一第一電極、一與該第一電極相對立的第二電極，及一夾置於該第一、二電極之間的介電膜層結構。該介電膜層結構具有一經摻雜的介電層。該經摻雜的介電層具有一大於零且小於 10^{10} 原子/cm³ 的摻雜濃度的摻雜物。

本發明之功效在於：提供崩潰電壓高且漏電流低的薄膜電容器，以利於將其整合至積體電路中。

【實施方式】

<發明詳細說明>

有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之三個較佳實施例、一個具體例與一個比較例的詳細說明中，將可清楚的呈現。

在本發明被詳細描述之前，要注意的是，在以下的說明內容中，類似的元件是以相同的編號來表示。

參閱圖 2，本發明之薄膜電容器的一第一較佳實施例是經由濺鍍法(sputtering)所製得。本發明之薄膜電容器的第一較佳實施例，包含：一第一電極 2、一與該第一電極 2 相對

立的第二電極 3，及一夾置於該第一、二電極 2、3 之間的介電膜層結構 4。該介電膜層結構 4 具有一經摻雜的介電層 41。該經摻雜的介電層 41 具有一大於零且小於 10^{10} 原子/cm³ 的摻雜濃度的摻雜物。此處需說明的是，本發明於呈絕緣性的介電材料內摻雜入摻雜濃度低於 10^{10} 原子/cm³ 的摻雜物；因此，該經摻雜的介電層 41 是被定義為半絕緣層 (semi-insulated layer)。該經摻雜的介電層 41 之摻雜物是選自下列所構成之群組的元素：過渡元素 (transition elements)、IIIA 族元素、VA 族元素，及前述元素的組合。

較佳地，該經摻雜的介電層 41 之摻雜濃度是介於 10^6 原子/cm³ 至 10^{10} 原子/cm³ 之間。

該等過渡金屬元素包括 IB 族、IIB 族、IIIB 族、VIB 族、VB 族、VIB 族、VIIB 族，及 VIIIB 族。

較佳地，該經摻雜的介電層 41 是由一氧化物所構成；該經摻雜的介電層 41 之摻雜物是 Co、Fe、Ni、Ga、Mn、As、Al、Zn、Ti、P，或前述之組合。在本發明一具體例中，構成該經摻雜的介電層 41 的氧化物是 SiO₂。

較佳地，該第一、二電極 2、3 至少其中之一為導電材料所構成；更佳地，該第一、二電極 2、3 至少其中之一是由一磁性材料所構成。

適用於本發明之磁性材料是鐵磁性材料 (ferromagnetic material) 或反鐵磁性材料 (antiferromagnetic material)。較佳地，該鐵磁性材料是鐵基合金 (Fe-based alloy)、鈷基合金 (Co-based alloy)、鎳基合金 (Ni-based alloy)，或前述之組

合；該反鐵磁性材料是錳(Mn)或錳基合金(Mn-based alloy)。此處值得說明的是，本發明利用濺鍍法來鍍製該等電極 2、3(即，磁性材料)時，可同時經由對一鍍製該磁性材料之反應室(圖未示)提供一預定方向的外加磁場(applied magnetic field)來設定該磁性材料內的磁矩(magnetic moment)方向，藉以提昇其淨磁化量(net magnetization)。

較佳地，該經摻雜的介電層 41 之厚度是介於 50 nm 至 3000 nm 之間；更佳地，該經摻雜的介電層 41 之厚度是介於 50 nm 至 500 nm 之間。

參閱圖 3，本發明之薄膜電容器的一第二較佳實施例大致上是相同於該第一較佳實施例，其不同處是在於，該介電膜層結構 4 更具有至少一未經摻雜的介電層 42。

較佳地，該未經摻雜的介電層 42 是由該氧化物所構成(例如 SiO₂ 等)。

較佳地，該未經摻雜的介電層 42 之厚度是介於 50 nm 至 3000 nm 之間；更佳地，該未經摻雜的介電層 42 之厚度是介於 50 nm 至 500 nm 之間。

參閱圖 4，本發明之薄膜電容器的一第三較佳實施例大致上是相同於該第二較佳實施例，其不同處是在於，該介電膜層結構 4 具有二未經摻雜的介電層 42 以將該經摻雜的介電層 41 夾置於其中。

<具體例 1>

本發明之薄膜電容器的一具體例 1 是經由濺鍍法所製得，其包含：兩對立設置且是由一鐵鈷鎳合金(FeCoNi alloy)

之鐵磁性材料所構成之尺寸為 $200\ \mu\text{m} \times 600\ \mu\text{m} \times 30\ \text{nm}$ 的電極，及一夾置於該等電極之間且厚度 $50\ \text{nm}$ 之經 Al 與 Co 摻雜的 SiO_2 層，藉以於該具體例 1 之薄膜電容器內產生一約 $680\ \text{Oe}$ 至 $1500\ \text{Oe}$ 的內建磁場 (build-in magnetic field)。在本發明該具體例 1 中，該薄膜電容器的膜層結構為 FeCoNi Alloy/Al,Co-doped SiO_2 /FeCoNi Alloy，且該經 Al 與 Co 摻雜的 SiO_2 層之摻雜濃度約 $10^7\ \text{atoms/cm}^3$ 。

本發明該具體例 1 之薄膜電容器經電源供應系統量測，在 $275\ \text{V}$ 電壓之下仍然沒有崩潰。且經數據收集器 (KEITHLEY 2400) 量測取得該具體例 1 之薄膜電容器在 $5\ \text{V}$ 的外加電壓下之漏電流約 $10^{-8}\ \text{A}$ 。

<比較例>

本發明之薄膜電容器的一比較例大致上是相同於該具體例 1，其不同處是在於，以一厚度約 $50\ \text{nm}$ 之未經摻雜的 SiO_2 層來取代該經 Al 與 Co 摻雜的 SiO_2 層，且該等電極是由鉑 (Pt) 所構成。在本發明該比較例中，該薄膜電容器的膜層結構為 Pt/undoped- SiO_2 /Pt。

本發明該比較例之薄膜電容器經量測取得之崩潰電壓僅約 7 至 $8\ \text{V}$ ，且該比較例之薄膜電容器在 $5\ \text{V}$ 的外加電壓下之漏電流約高達 $10^{-6}\ \text{A}$ 。

為更明確顯示本發明之薄膜電容器所具有之低漏電流的優點，圖 5 顯示該具體例 1 及比較例所量測之漏電流比較圖。如圖 5 所示，在 $0\ \text{V}$ 至 $5\ \text{V}$ 的外加電壓範圍下，該具體例 1 的漏電流一值維持在 $10^{-8}\ \text{A}$ 以下；反觀該比較例，

在此相同的外加電壓範圍下其漏電流最高達到 10^{-6} A。

綜上所述，本發明之薄膜電容器的崩潰電壓高且漏電流低，有利於被整合至積體電路中，故確實能達成本發明之目的。

惟以上所述者，僅為本發明之較佳實施例與具體例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

圖 1 是一正視示意圖，說明習知一種傳統電容器；

圖 2 是一正視示意圖，說明本發明之薄膜電容器的一第一較佳實施例；

圖 3 是一正視示意圖，說明本發明之薄膜電容器的一第二較佳實施例；

圖 4 是一正視示意圖，說明本發明之薄膜電容器的一第三較佳實施例；及。

圖 5 是一電流對電壓(I-V)曲線圖，說明本發明之薄膜電容器的一具體例 1 與一比較例之電性比較。

【主要元件符號說明】

2	第一電極	41	經摻雜的介電層
3	第二電極	42	未經摻雜的介電層
4	介電膜層結構		

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：99 16 35 26

※ 申請日：99. 2. 05

※IPC 分類：H01G 4/06 (2006.01)
H01G 4/33 (2006.01)

一、發明名稱：(中文/英文)

薄膜電容器/Thin film capacitor

二、中文發明摘要：

本發明提供一種薄膜電容器，包含：一第一電極、一與該第一電極相對立的第二電極，及一夾置於該第一、二電極之間的介電膜層結構。該介電膜層結構具有一經摻雜的介電層，該經摻雜的介電層具有一大於零且小於 10^{10} 原子/cm³ 的摻雜濃度的摻雜物。

三、英文發明摘要：

This invention provides a thin film capacitor, which comprises a first electrode, a second electrode opposite to the first electrode, and a dielectric layered structure sandwiched between the first and second electrodes. The dielectric layered structure has a doped-dielectric layer. The doped-dielectric layer contains impurities therein and has a doping concentration greater than zero and less than 10^{10} atoms/cm³.

七、申請專利範圍：

1. 一種薄膜電容器，包含：
 - 一第一電極；
 - 一與該第一電極相對立的第二電極；及
 - 一夾置於該第一、二電極之間的介電膜層結構，該介電膜層結構具有一經摻雜的介電層，該經摻雜的介電層具有一大於零且小於 10^{10} 原子/cm³ 的摻雜濃度的摻雜物。
2. 依據申請專利範圍第 1 項所述之薄膜電容器，其中，該經摻雜的介電層之摻雜濃度是介於 10^6 原子/cm³ 至 10^{10} 原子/cm³ 之間。
3. 依據申請專利範圍第 1 項所述之薄膜電容器，其中，該經摻雜的介電層之摻雜物是選自下列所構成之群組：過渡元素、IIIA 族元素、VA 族元素，及前述元素的組合。
4. 依據申請專利範圍第 3 項所述之薄膜電容器，其中，該經摻雜的介電層是由一氧化物所構成；該經摻雜的介電層之摻雜物是 Co、Fe、Ni、Ga、Mn、As、Al、Zn、Ti、P，或前述之組合。
5. 依據申請專利範圍第 1 項所述之薄膜電容器，其中，該經摻雜的介電層之厚度是介於 50 nm 至 3000 nm 之間。
6. 依據申請專利範圍第 5 項所述之薄膜電容器，其中，該經摻雜的介電層之厚度是介於 50 nm 至 500 nm 之間。
7. 依據申請專利範圍第 1 項所述之薄膜電容器，其中，該

介電膜層結構更具有至少一未經摻雜的介電層。

8. 依據申請專利範圍第 7 項所述之薄膜電容器，其中，該介電膜層結構具有二未經摻雜的介電層，且該經摻雜的介電層係被夾置於該等未經摻雜的介電層中。
9. 依據申請專利範圍第 7 項所述之薄膜電容器，其中，該未經摻雜的介電層是由該氧化物所構成。
10. 依據申請專利範圍第 7 項所述之薄膜電容器，其中，該未經摻雜的介電層之厚度是介於 50 nm 至 3000 nm 之間。
11. 依據申請專利範圍第 10 項所述之薄膜電容器，其中，該未經摻雜的介電層之厚度是介於 50 nm 至 500 nm 之間。
12. 依據申請專利範圍第 1 項所述之薄膜電容器，其中，該第一、二電極至少其中之一是由導電材料所構成。
13. 依據申請專利範圍第 1 項所述之薄膜電容器，其中，該第一、二電極至少其中之一是由一磁性材料所構成。
14. 依據申請專利範圍第 13 項所述之薄膜電容器，其中，該磁性材料是鐵磁性材料或反鐵磁性材料。
15. 依據申請專利範圍第 14 項所述之薄膜電容器，其中，該鐵磁性材料是鐵基合金、鈷基合金、鎳基合金，或前述之組合；該反鐵磁性材料是錳或錳基合金。

八、圖式

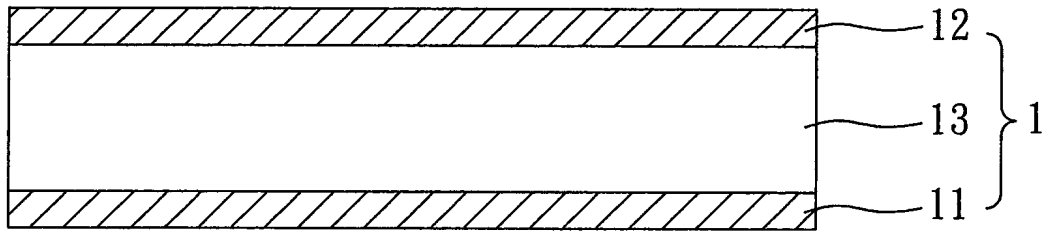


圖1

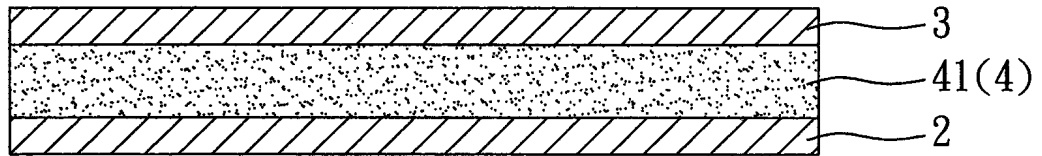


圖2

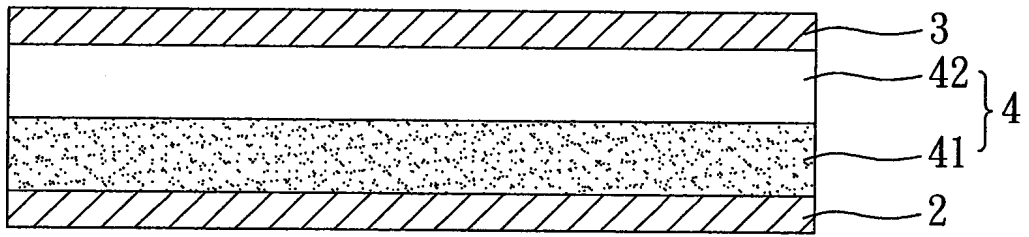


圖3

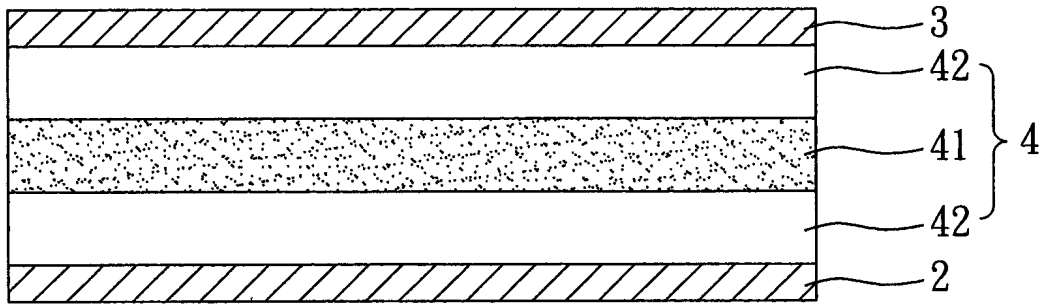


圖4

I-V Curve

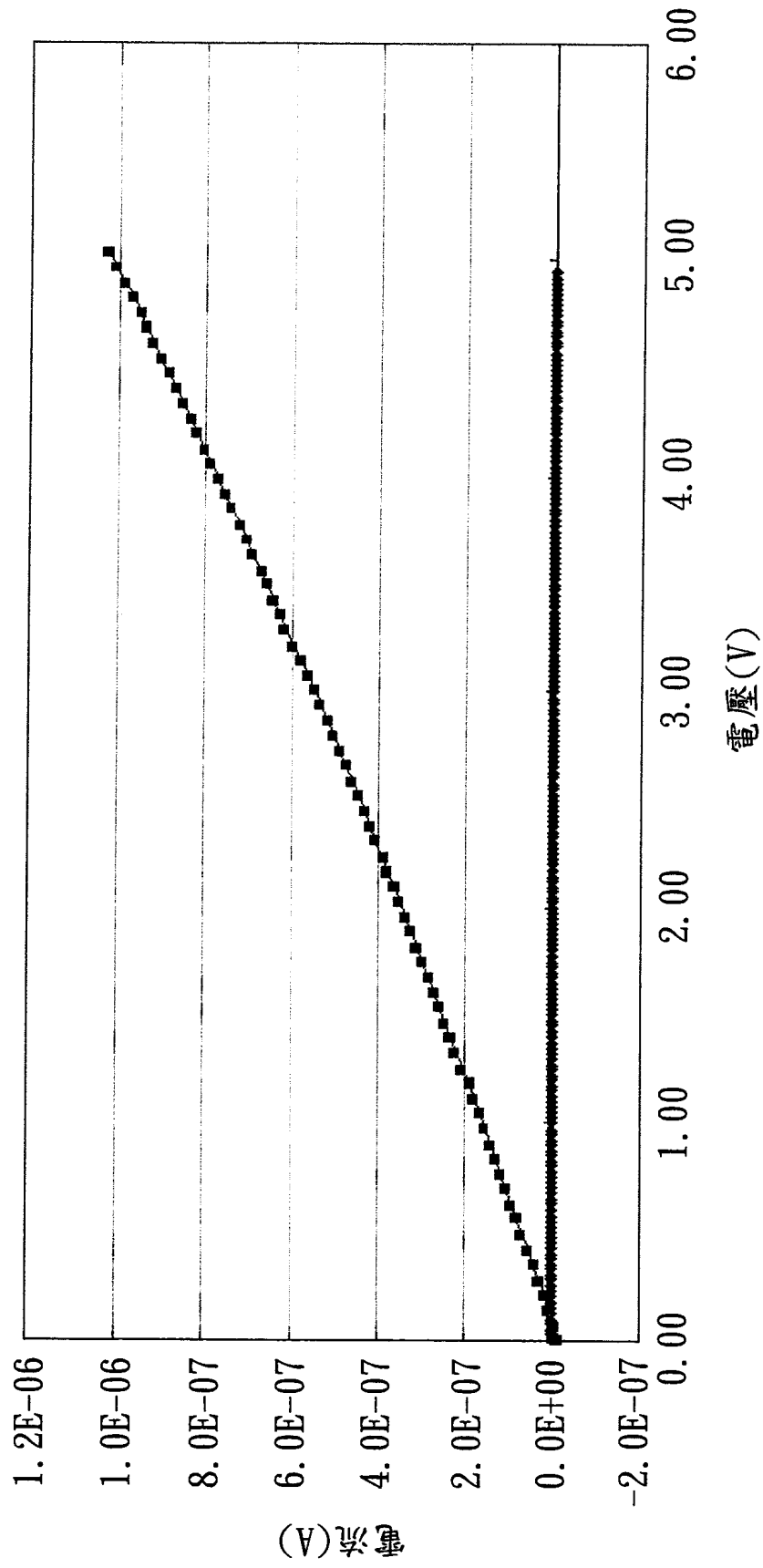


圖5

四、指定代表圖：

(一)本案指定代表圖為：圖(2)。

(二)本代表圖之元件符號簡單說明：

2	第一電極	4	介電膜層結構
3	第二電極	41	經摻雜的介電層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

99年3月25日 修正補充

電流-電壓曲線

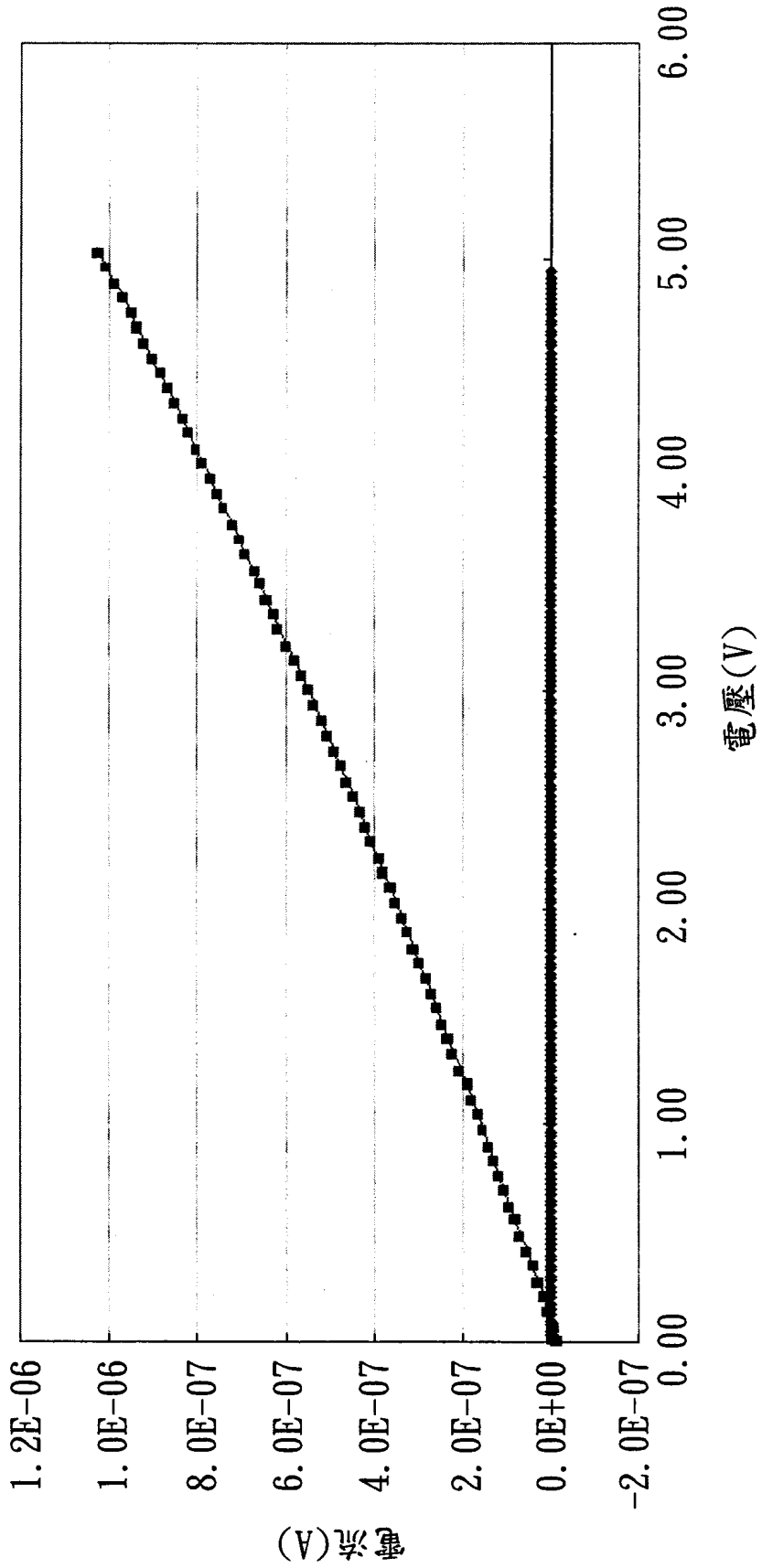


圖5