



(12)发明专利

(10)授权公告号 CN 107134490 B

(45)授权公告日 2020.04.14

(21)申请号 201710198230.7

H01L 21/335(2006.01)

(22)申请日 2017.03.29

H01L 21/28(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 107134490 A

(56)对比文件

CN 1581506 A,2005.02.16,

CN 1581506 A,2005.02.16,

US 2009224288 A1,2009.09.10,

CN 101232045 A,2008.07.30,

DE 19923520 C1,2000.11.23,

CN 101221980 A,2008.07.16,

JP 2003203930 A,2003.07.18,

CN 104465747 A,2015.03.25,

CN 104409493 A,2015.03.11,

审查员 肖玲

(43)申请公布日 2017.09.05

(73)专利权人 西安电子科技大学

地址 710071 陕西省西安市太白南路2号

(72)发明人 毛维 石朋毫 边照科 郝跃

(74)专利代理机构 陕西电子工业专利中心

61205

代理人 王品华

(51)Int.Cl.

H01L 29/778(2006.01)

H01L 29/06(2006.01)

H01L 29/40(2006.01)

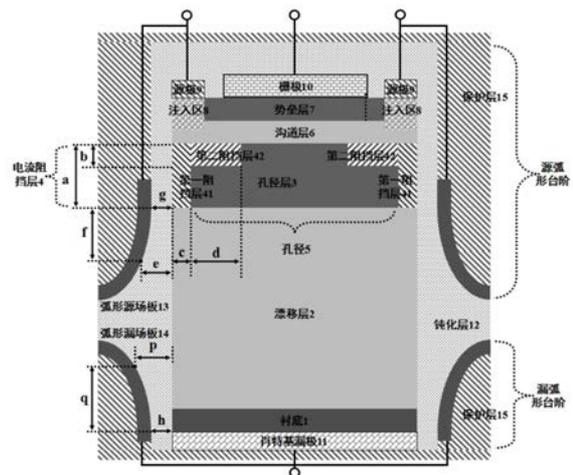
权利要求书3页 说明书15页 附图3页

(54)发明名称

基于弧形源场板和弧形漏场板的垂直型功率器件及其制作方法

(57)摘要

本发明公开了一种基于弧形源场板和弧形漏场板的垂直型功率器件,其自下而上包括:肖特基漏极(11)、衬底(1)、漂移层(2)、孔径层(3)、两个二级阶梯结构的电流阻挡层(4)、孔径(5)、沟道层(6)、势垒层(7)与栅极(10),势垒层上的两侧淀积有两个源极(9),源极下方注入有两个注入区(8),除肖特基漏极底部以外的所有区域包裹有钝化层(12),钝化层左右两边的上部和下部分别刻有弧形台阶,弧形台阶上淀积有金属,形成弧形源场板(13)和弧形漏场板(14),弧形源场板、弧形漏场板、肖特基漏极和钝化层均覆盖有保护层(15),本发明双向击穿电压高、导通电阻小、成品率高,可用于电力电子系统。



1. 一种基于弧形源场板和弧形漏场板的垂直型功率器件,包括:衬底(1)、漂移层(2)、孔径层(3)、两个对称的电流阻挡层(4)、沟道层(6)、势垒层(7)和钝化层(12),势垒层(7)上的两侧淀积有两个源极(9),两个源极(9)下方通过离子注入形成两个注入区(8),源极(9)之间的势垒层(7)上面淀积有栅极(10),衬底(1)下面淀积有肖特基漏极(11),钝化层(12)完全包裹在除肖特基漏极(11)底部以外的所有区域,两个电流阻挡层(4)之间形成孔径(5),其特征在于:

所述两个电流阻挡层(4),采用由第一阻挡层(41)和第二阻挡层(42)构成的二级阶梯结构,且第二阻挡层(42)位于第一阻挡层(41)的内侧;

所述钝化层(12),其两侧均采用双弧形台阶,即在钝化层两边的上部区域刻有源弧形台阶,下部区域刻有漏弧形台阶,其中:

每个源弧形台阶处淀积有金属,形成对称的两个弧形源场板(13),该弧形源场板(13)与源极(9)电气连接;

每个漏弧形台阶处淀积有金属,形成对称的两个弧形漏场板(14),该弧形漏场板(14)与肖特基漏极(11)电气连接;

弧形源场板、弧形漏场板、肖特基漏极和钝化层均覆盖有保护层(15)。

2. 根据权利要求1所述的器件,其特征在于第一阻挡层(41)的厚度 a 为 $1.2\sim 3\mu\text{m}$,宽度 c 为 $0.2\sim 1\mu\text{m}$,第二阻挡层(42)的厚度 b 为 $0.3\sim 1\mu\text{m}$,宽度为 d ,且 $d=1.1a$ 。

3. 根据权利要求1所述的器件,其特征在于所述源弧形台阶表面位于第一阻挡层(41)下边缘同一水平高度以下的任意一点,与第一阻挡层(41)下边缘的垂直距离为 f ,与漂移层(2)的水平距离为 e ,且满足关系 $f=9.5-10.5\exp(-0.6e)$, $0\mu\text{m}<f\leq 9\mu\text{m}$;该源弧形台阶表面与第一阻挡层(41)下边缘处于同一水平高度的部位,其与漂移层(2)的水平距离 g 为 $0.18\mu\text{m}$ 。

4. 根据权利要求1所述的器件,其特征在于漏弧形台阶下边界与肖特基漏极(11)下边界对齐,该漏弧形台阶表面位于肖特基漏极上边界同一水平高度以上的任意一点,其与衬底(1)下边界的垂直距离为 q ,与漂移层(2)的水平距离为 p ,满足关系 $q=5.5+2.5\ln(p+0.06)$,且 $0\mu\text{m}<q\leq 11\mu\text{m}$,漏弧形台阶表面与肖特基漏极上边界处于同一水平高度的部位距离漂移层(2)的水平间距为 h , $h=0.05\mu\text{m}$ 。

5. 一种制作基于弧形源场板和弧形漏场板的垂直型功率器件的方法,包括如下步骤:

A. 在采用 n^- 型Ga N 材料的衬底(1)上外延 n^- 型Ga N 半导体材料,形成漂移层(2);

B. 在漂移层(2)上外延 n 型Ga N 半导体材料,形成厚度为 $1.2\sim 3\mu\text{m}$ 、掺杂浓度为 $1\times 10^{15}\sim 1\times 10^{18}\text{cm}^{-3}$ 的孔径层(3);

C. 在孔径层(3)上制作掩模,利用该掩模在孔径层内的两侧位置注入剂量为 $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ 的 p 型杂质,制作厚度 a 为 $1.2\sim 3\mu\text{m}$,宽度 c 为 $0.2\sim 1\mu\text{m}$ 的两个第一阻挡层(41);

D. 在孔径层(3)和第一阻挡层(41)上制作掩模,利用该掩模在左右第一阻挡层(41)之间的孔径层内的两侧注入剂量为 $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ 的 p 型杂质,制作厚度 b 为 $0.3\sim 1\mu\text{m}$,宽度 d 等于 $1.1a$ 的两个第二阻挡层(42),两个第一阻挡层(41)和两个第二阻挡层(42)构成二级阶梯结构的电流阻挡层(4),两个对称的电流阻挡层(4)之间形成孔径(5);

E. 在两个第一阻挡层(41)、两个第二阻挡层(42)和孔径(5)上部外延Ga N 半导体材料,形成厚度为 $0.04\sim 0.2\mu\text{m}$ 的沟道层(6);

- F. 在沟道层 (6) 上部外延GaN基宽禁带半导体材料,形成厚度为5~50nm的势垒层 (7) ;
- G. 在势垒层 (7) 上部制作掩模,利用该掩模在势垒层内两侧注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的n型杂质,以制作注入区 (8) ,其中,两个注入区的深度均大于势垒层厚度,且小于沟道层 (6) 与势垒层两者的总厚度;
- H. 在两个注入区 (8) 上部和两个注入区之间的势垒层 (7) 上部制作掩模,利用该掩模在两个注入区 (8) 上部淀积金属制作源极 (9) ;
- I. 在源极 (9) 上部和两个注入区之间的势垒层 (7) 上部制作掩模,利用该掩模在两个注入区之间的势垒层 (7) 上部淀积金属,制作栅极 (10) ;
- J. 在衬底 (1) 的背面上淀积金属制作肖特基漏极 (11) ;
- K. 在除了肖特基漏极 (11) 底部以外的其他所有区域淀积绝缘介质材料,形成包裹的钝化层 (12) ;
- L. 在钝化层 (12) 上部制作掩模,利用该掩模在左、右两边钝化层 (12) 上部进行刻蚀,刻蚀至与电流阻挡层下边缘同一水平高度,形成上平台;
- M. 在左右两边刻有上平台的钝化层 (12) 的上部制作掩模,利用该掩模在钝化层 (12) 的左右两边的上平台内进行刻蚀,形成源弧形台阶;该源弧形台阶位于第一阻挡层 (41) 下边缘同一水平高度以下的部分,其表面任意一点,与第一阻挡层 (41) 下边缘的垂直距离为 f ,与漂移层 (2) 的水平距离为 e ,且满足关系 $f=9.5-10.5\exp(-0.6e)$;该源弧形台阶表面与第一阻挡层 (41) 下边缘处于一水平高度的位置,其与漂移层 (2) 的水平距离为 g ;
- N. 在带有两个源弧形台阶的钝化层 (12) 上部制作掩模,利用该掩模在钝化层左右两边的源弧形台阶上淀积金属,形成左右对称的两个弧形源场板 (13) ,并将该两侧的弧形源场板 (13) 与源极 (9) 电气连接,所淀积金属的上边缘所在高度应高于或等于第一阻挡层 (41) 下边缘所在高度;
- O. 在弧形源场板 (13) 和钝化层 (12) 的上部覆盖绝缘介质材料,以对弧形源场板形成保护;
- P. 在肖特基漏极 (11) 的背面和钝化层 (12) 的背面制作掩模,利用该掩模在钝化层 (12) 背面的左右两边内进行刻蚀,形成漏弧形台阶,且漏弧形台阶下边界与肖特基漏极 (11) 下边界对齐,该漏弧形台阶位于肖特基漏极上边界同一水平高度以上的部分,其表面任意一点,与衬底 (1) 下边界的垂直距离为 q ,与漂移层 (2) 的水平距离为 p ,满足关系 $q=5.5+2.5\ln(p+0.06)$,且漏弧形台阶表面与肖特基漏极上边界处于同一水平高度的部位距离漂移层 (2) 的水平间距 h 为 $0.05\mu\text{m}$;
- Q. 在肖特基漏极 (11) 的背面以及漏弧形台阶的背面制作掩模,利用该掩模在左右两边的漏弧形台阶上淀积金属,形成左右对称的两个弧形漏场板 (14) ,并将该两侧的弧形漏场板 (14) 与肖特基漏极 (11) 电气连接;
- R. 在弧形漏场板、肖特基漏极和钝化层的下方覆盖绝缘介质材料,对弧形漏场板形成保护,该步骤的绝缘介质材料与步骤O覆盖的绝缘介质材料共同构成保护层 (15) ,完成整个器件的制作。
6. 根据权利要求5所述的方法,其特征在于弧形源场板 (13) 的上边缘所在高度等于或高于第一阻挡层 (41) 下边缘所在高度。
7. 根据权利要求5所述的方法,其特征在于弧形漏场板 (14) 下边界所在高度等于或低

于肖特基漏极(11)上边界所在高度。

基于弧形源场板和弧形漏场板的垂直型功率器件及其制作方法

技术领域

[0001] 本发明属于微电子技术领域,涉及半导体器件,特别是基于弧形源场板和弧形漏场板的垂直型功率器件,可用于电力电子系统。

技术背景

[0002] 功率半导体器件是电力电子技术的核心元件,随着能源和环境问题的日益突出,研发新型高性能、低损耗功率器件就成为提高电能利用率、节约能源、缓解能源危机的有效途径之一。而在功率器件研究中,高速、高压与低导通电阻之间存在着严重的制约关系,合理、有效地改进这种制约关系是提高器件整体性能的关键。随着微电子技术的发展,传统第一代Si半导体和第二代GaAs半导体功率器件性能已接近其材料本身决定的理论极限。为了能进一步减少芯片面积、提高工作频率、提高工作温度、降低导通电阻、提高击穿电压、降低整机体积、提高整机效率,以GaN为代表的宽禁带半导体材料,凭借其更大的禁带宽度、更高的临界击穿电场和更高的电子饱和漂移速度,且化学性能稳定、耐高温、抗辐射等突出优点,在制备高性能功率器件方面脱颖而出,应用潜力巨大。特别是采用GaN基异质结结构的横向高电子迁移率晶体管,即横向GaN基高电子迁移率晶体管HEMT器件,更是因其低导通电阻、高击穿电压、高工作频率等特性,成为了国内外研究和应用的热点、焦点。

[0003] 然而,在横向GaN基HEMT器件中,为了获得更高的击穿电压,需要增加栅漏间距,这会增大器件尺寸和导通电阻,减小单位芯片面积上的有效电流密度和芯片性能,从而导致芯片面积和研制成本的增加。此外,在横向GaN基HEMT器件中,由高电场和表面态所引起的电流崩塌问题较为严重,尽管当前已有众多抑制措施,但电流崩塌问题依然没有得到彻底解决。为了解决上述问题,研究者们提出了垂直型GaN基电流孔径异质结场效应器件,也是一种垂直型功率器件,参见AlGaN/GaN current aperture vertical electron transistors,IEEE Device Research Conference,pp.31-32,2002。GaN基电流孔径异质结场效应器件可通过增加漂移层厚度提高击穿电压,避免了牺牲器件尺寸和导通电阻的问题,因此可以实现高功率密度芯片。而且在GaN基电流孔径异质结场效应器件中,高电场区域位于半导体材料体内,这可以彻底地消除电流崩塌问题。2004年,Ilan Ben-Yaacov等人利用刻蚀后MOCVD再生长沟道技术研制出AlGaN/GaN电流孔径异质结场效应器件,该器件未采用钝化层,最大输出电流为750mA/mm,跨导为120mS/mm,两端栅击穿电压为65V,且电流崩塌效应得到显著抑制,参见AlGaN/GaN current aperture vertical electron transistors with regrown channels,Journal of Applied Physics,Vol.95,No.4,pp.2073-2078,2004。2012年,Srabanti Chowdhury等人利用Mg离子注入电流阻挡层结合等离子辅助MBE再生长AlGaN/GaN异质结的技术,研制出基于GaN衬底的电流孔径异质结场效应器件,该器件采用3 μ m漂移层,最大输出电流为4kA \cdot cm⁻²,导通电阻为2.2m Ω \cdot cm²,击穿电压为250V,且抑制电流崩塌效果好,参见CAVET on Bulk GaN Substrates Achieved With MBE-Regrown AlGaN/GaN Layers to Suppress Dispersion,IEEE Electron Device

Letters, Vol. 33, No. 1, pp. 41-43, 2012。同年,由Masahiro Sugimoto等人提出的一种增强型GaN基电流孔径异质结场效应器件获得授权,参见Transistor, US8188514B2, 2012。此外, 2014年, Hui Nie等人基于GaN衬底研制出一种增强型GaN基电流孔径异质结场效应器件, 该器件阈值电压为0.5V, 饱和电流大于2.3A, 击穿电压为1.5kV, 导通电阻为 $2.2\text{m}\Omega \cdot \text{cm}^2$, 参见1.5-kV and $2.2\text{-m}\Omega\text{-cm}^2$ Vertical GaN Transistors on Bulk-GaN Substrates, IEEE Electron Device Letters, Vol. 35, No. 9, pp. 939-941, 2014。

[0004] 传统GaN基电流孔径异质结场效应器件是基于GaN基宽禁带半导体异质结结构, 其包括: 衬底1、漂移层2、孔径层3、左、右两个对称的电流阻挡层4、孔径5、沟道层6、势垒层7和钝化层12; 势垒层7上的两侧淀积有两个源极9, 两个源极9下方通过离子注入形成两个注入区8, 源极9之间的势垒层7上面淀积有栅极10, 衬底1下面淀积有漏极11, 钝化层12完全包裹除了漏极底部以外的所有区域, 如图1所示。

[0005] 经过十多年的理论和实验研究, 研究者们发现, 上述传统GaN基电流孔径异质结场效应器件结构上存在固有缺陷, 会导致器件中电场强度分布极不均匀, 尤其是在电流阻挡层与孔径区域交界面下方附近的半导体材料中存在极高的电场峰值, 从而引起器件过早击穿。这使得实际工艺中很难实现通过增加n型GaN漂移层的厚度来持续提高器件的击穿电压。因此, 传统结构GaN基电流孔径异质结场效应器件的击穿电压普遍不高。为了获得更高的器件击穿电压, 并可以通过增加n型GaN漂移层的厚度来持续提高器件的击穿电压, 2013年, Zhongda Li等人利用数值仿真技术研究了一种基于超结的增强型GaN基电流孔径异质结场效应器件, 研究结果表明超结结构可以有效调制器件内部的电场分布, 使处于关态时器件内部各处电场强度趋于均匀分布, 因此器件击穿电压可达5~20kV, 且采用 $3\mu\text{m}$ 半柱宽时击穿电压为12.4kV, 而导通电阻仅为 $4.2\text{m}\Omega \cdot \text{cm}^2$, 参见Design and Simulation of 5-20-kV GaN Enhancement-Mode Vertical Superjunction HEMT, IEEE Transactions on Electron Devices, Vol. 60, No. 10, pp. 3230-3237, 2013。采用超结的GaN基电流孔径异质结场效应器件从理论上可以获得高击穿电压, 且可实现击穿电压随n型GaN漂移层厚度的增加而持续提高, 是目前国内外已报道文献中击穿电压最高的一种非常有效的大功率器件结构。然而, 超结结构的制造工艺难度非常大, 尤其是厚n型GaN漂移层情况下, 几乎无法实现高性能超结结构的制作。此外, 在采用超结结构的GaN基电流孔径异质结场效应器件中, 当器件导通时超结附近会产生额外的导通电阻, 且该导通电阻会随着漂移层厚度的增加而不断增加, 因此虽然器件的击穿电压随着漂移层厚度的增加而提高, 但是器件的导通电阻也会相应的增加, 器件中击穿电压与导通电阻之间的矛盾并没有彻底解决。因此, 探索和研发制造工艺简单、击穿电压高、导通电阻小的新型GaN基电流孔径异质结场效应器件, 意义非常重大。

[0006] 随着应用领域的扩展, 在电动汽车、S类功率放大器、功率管理系统等许多技术领域, 为了有效地实现功率转换和控制, 迫切需要具有双向阻断能力的高性能功率器件, 即器件不仅要有很强的正向阻断能力, 即正向击穿电压, 还要同时具有很强的反向阻断能力, 也就是希望器件在关态下具有很高的负的漏极击穿电压, 即反向击穿电压。

[0007] 场板结构已成为横向GaN基HEMT器件中用于提高器件正向击穿电压和可靠性的一种成熟、有效的场终端技术, 且该技术可以实现器件击穿电压随场板的长度和结构变化而持续增加。近年来, 通过利用场板结构已使横向GaN基HEMT器件的性能取得了突飞猛进的提

升,参见High Breakdown Voltage AlGa_N-Ga_N Power-HEMT Design and High Current Density Switching Behavior,IEEE Transactions on Electron Devices,Vol.50, No.12,pp.2528-2531,2003,和High Breakdown Voltage AlGa_N-Ga_N HEMTs Achieved by Multiple Field Plates,IEEE Electron Device Letters,Vol.25,No.4,pp.161-163, 2004,以及High Breakdown Voltage Achieved on AlGa_N/Ga_N HEMTs With Integrated Slant Field Plates,IEEE Electron Device Letters,Vol.27,No.9,pp.713-715,2006。因此,将场板结构引入Ga_N基电流孔径异质结场效应器件中,以提高器件的正向击穿电压,具有非常重要的优势。然而,截至目前国内外仍然没有将场板结构成功应用于Ga_N基电流孔径异质结场效应器件中的先例,这主要是由于Ga_N基电流孔径异质结场效应器件结构上的固有缺陷,会导致器件漂移层中最强电场峰位于电流阻挡层与孔径层交界面下方附近,该电场峰远离漂移层两侧表面,因此场板结构几乎无法发挥有效调制器件中电场分布的作用,即使在Ga_N基电流孔径异质结场效应器件中采用了场板结构,器件性能也几乎没有任何提高。

[0008] 此外,现有的Ga_N基电流孔径异质结场效应器件均采用欧姆漏极,当器件漏极施加非常低的反向电压时,器件中的电流阻挡层便会失效,形成很大的漏源泄漏电流,而且随着漏极反向电压的增加,器件栅极也会正向开启,并通过很大栅电流,最终导致器件失效。因此,现有的Ga_N基电流孔径异质结场效应器件均无法实现反向阻断功能,即使将场板结构应用于Ga_N基电流孔径异质结场效应器件中,对改善器件的反向阻断特性也无任何效果。

[0009] 综上所述,针对上述技术瓶颈,研发具备优良双向阻断能力的高性能垂直型Ga_N基电流孔径异质结场效应器件,非常必要、迫切,具有重要的现实意义。

发明内容

[0010] 本发明的目的在于针对上述已有技术的不足,提供一种基于弧形源场板和弧形漏场板的垂直型功率器件及其制作方法,以减小器件的制作难度,提高器件的正向击穿电压和反向击穿电压,并实现正向击穿电压和反向击穿电压的可持续增加,缓解器件击穿电压与导通电阻之间的矛盾,改善器件的击穿特性和可靠性。

[0011] 为实现上述目的,本发明的技术方案是这样实现的:

[0012] 一、器件结构

[0013] 一种基于弧形源场板和弧形漏场板的垂直型功率器件,包括:衬底1、漂移层2、孔径层3、两个对称的电流阻挡层4、沟道层6、势垒层7和钝化层12,势垒层7上的两侧淀积有两个源极9,两个源极9下方通过离子注入形成两个注入区8,源极9之间的势垒层7上面淀积有栅极10,衬底1下面淀积有肖特基漏极11,钝化层12完全包裹在除肖特基漏极11底部以外的所有区域,两个电流阻挡层4之间形成孔径5,其特征在于:

[0014] 所述两个电流阻挡层4,采用由第一阻挡层41和第二阻挡层42构成的二级阶梯结构,且第二阻挡层42位于第一阻挡层41的内侧;

[0015] 所述钝化层12,其两侧均采用双弧形台阶,即在钝化层两边的上部区域刻有源弧形台阶,下部区域刻有漏弧形台阶,其中:

[0016] 每个源弧形台阶处淀积有金属,形成对称的两个弧形源场板13,该弧形源场板13与源极9电气连接;

[0017] 每个漏弧形台阶处淀积有金属,形成对称的两个弧形漏场板14,该弧形漏场板14与肖特基漏极11电气连接;

[0018] 弧形源场板、弧形漏场板、肖特基漏极和钝化层均覆盖有保护层15。

[0019] 二、制作方法

[0020] 本发明制作基于弧形源场板和弧形漏场板的垂直型功率器件及其制作方法的方法,包括如下过程:

[0021] A. 在采用n⁻型GaN材料的衬底1上外延n⁻型GaN半导体材料,形成厚度为3~50μm、掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$ 的漂移层2;

[0022] B. 在漂移层2上外延n型GaN半导体材料,形成厚度为1.2~3μm、掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$ 的孔径层3;

[0023] C. 在孔径层3上制作掩模,利用该掩模在孔径层内的两侧位置注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的p型杂质,制作厚度a为1.2~3μm,宽度c为0.2~1μm的两个第一阻挡层41;

[0024] D. 在孔径层3和第一阻挡层41上制作掩模,利用该掩模在左右第一阻挡层41之间的孔径层内的两侧注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的p型杂质,制作厚度b为0.3~1μm,宽度d等于1.1a的两个第二阻挡层42,两个第一阻挡层41和两个第二阻挡层42构成二级阶梯结构的电流阻挡层4,两个对称的电流阻挡层4之间形成孔径5;

[0025] E. 在两个第一阻挡层41、两个第二阻挡层42和孔径5上部外延GaN半导体材料,形成厚度为0.04~0.2μm的沟道层6;

[0026] F. 在沟道层6上部外延GaN基宽禁带半导体材料,形成厚度为5~50nm的势垒层7;

[0027] G. 在势垒层7上部制作掩模,利用该掩模在势垒层内两侧注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的n型杂质,以制作注入区8,其中,两个注入区的深度均大于势垒层厚度,且小于沟道层6与势垒层两者的总厚度;

[0028] H. 在两个注入区8上部和两个注入区之间的势垒层7上部制作掩模,利用该掩模在两个注入区8上部淀积金属制作源极9;

[0029] I. 在源极9上部和两个注入区之间的势垒层7上部制作掩模,利用该掩模在两个注入区之间的势垒层7上部淀积金属,制作栅极10;

[0030] J. 在衬底1的背面上淀积金属制作肖特基漏极11;

[0031] K. 在除了肖特基漏极11底部以外的其他所有区域淀积绝缘介质材料,形成包裹的钝化层12;

[0032] L. 在钝化层12上部制作掩模,利用该掩模在左、右两边钝化层12上部进行刻蚀,刻蚀至与电流阻挡层下边缘同一水平高度,形成上平台;

[0033] M. 在左右两边刻有上平台的钝化层12的上部制作掩模,利用该掩模在钝化层12的左右两边的上平台内进行刻蚀,形成源弧形台阶;该源弧形台阶位于第一阻挡层41下边缘同一水平高度以下的部分,其表面任意一点,与第一阻挡层41下边缘的垂直距离为f,与漂移层2的水平距离为e,且近似满足关系 $f = 9.5 - 10.5 \exp(-0.6e)$;该源弧形台阶表面与第一阻挡层41下边缘处于一水平高度的位置,其与漂移层2的水平距离为g;

[0034] N. 在带有两个源弧形台阶的钝化层12上部制作掩模,利用该掩模在钝化层左右两边的源弧形台阶上淀积金属,所淀积金属的上边缘所在高度应高于或等于第一阻挡层41下边缘所在高度,形成左右对称的两个弧形源场板13,并将该两侧弧形源场板13与源极9电

气连接；

[0035] O. 在弧形源场板13和钝化层12的上部覆盖绝缘介质材料,以对弧形源场板形成保护；

[0036] P. 在肖特基漏极11的背面和钝化层12的背面制作掩模,利用该掩模在钝化层12背面的左右两边内进行刻蚀,形成漏弧形台阶,且漏弧形台阶下边界与肖特基漏极11下边界对齐,该漏弧形台阶位于肖特基漏极上边界同一水平高度以上的部分,其表面任意一点,与衬底1下边界的垂直距离为 q ,与漂移层2的水平距离为 p ,近似满足关系 $q=5.5+2.5\ln(p+0.06)$,且漏弧形台阶表面与肖特基漏极上边界处于同一水平高度的部位距离漂移层2的水平间距 h 为 $0.05\mu\text{m}$ ；

[0037] Q. 在肖特基漏极11的背面以及漏弧形台阶的背面制作掩模,利用该掩模在左右两边的漏弧形台阶上淀积金属,形成左右对称的两个弧形漏场板14,并将该两侧的弧形漏场板14与肖特基漏极11电气连接,该弧形漏场板的下边缘所在高度应低于或等于肖特基漏极11上边缘所在高度；

[0038] R. 在弧形漏场板、肖特基漏极和钝化层的下方覆盖绝缘介质材料,对弧形漏场板形成保护,该步骤的绝缘介质材料与步骤O覆盖的绝缘介质材料共同构成保护层15,完成整个器件的制作。

[0039] 本发明器件与传统GaN基电流孔径异质结场效应器件比较,具有以下优点：

[0040] a. 实现正向击穿电压持续增加。

[0041] 本发明采用二级阶梯形式的电流阻挡层,使器件内部的第一阻挡层、第二阻挡层与孔径层交界面下方附近均会产生一个电场峰,且第一阻挡层对应的电场峰值大于第二阻挡层对应的电场峰值；由于第一阻挡层的电场峰非常接近漂移层两侧表面,便可以利用弧形源场板有效调制漂移层两侧表面附近的电场峰,以在弧形源场板处漂移层两侧表面附近形成连续平缓的较高电场区；

[0042] 通过调整源弧形台阶与漂移层之间的水平距离、电流阻挡层的尺寸和掺杂等,可以使得电流阻挡层与孔径层交界面下方附近的电场峰值与弧形源场板对应的漂移层两侧表面附近的电场值近似相等,且小于GaN基宽禁带半导体材料的击穿电场,从而提高了器件的正向击穿电压,且通过增加弧形源场板的长度可实现正向击穿电压的持续增加。

[0043] b. 实现反向击穿电压持续增加。

[0044] 本发明采用了弧形漏场板,利用该弧形漏场板有效调制漂移层内电场分布,使得器件漂移层内的高电场区面积显著增加,并可在弧形漏场板对应的漂移层区域两侧表面附近形成连续平缓的较高电场区；

[0045] 通过调整弧形漏场板与漂移层之间钝化层的厚度、弧形漏场板尺寸等,可以使得弧形漏场板对应的漂移层两侧表面附近电场值近似相等,且小于GaN基宽禁带半导体材料的击穿电场,从而提高了器件的反向击穿电压,且通过增加弧形漏场板的长度可实现击穿电压的持续增加。

[0046] c. 在提高器件击穿电压的同时,器件导通电阻几乎恒定。

[0047] 本发明通过在器件两侧采用弧形场板的方法来提高器件击穿电压,由于场板不会影响器件导通电阻,当器件导通时,在器件内部漂移层只存在由电流阻挡层所产生的耗尽区和肖特基漏极附近的耗尽区,即高阻区,并未引入其它耗尽区,因此,通过调整弧形源场

板和弧形漏场板尺寸,可以实现器件的正向击穿电压和反向击穿电压持续增加,而导通电阻几乎保持恒定。

[0048] d.工艺简单,易于实现,提高了成品率。

[0049] 本发明器件结构中,弧形场板的制作是通过在漂移层两侧的钝化层中刻蚀弧形台阶并淀积金属而实现的,其工艺简单,且不会对器件中半导体材料产生损伤,避免了采用超结的GaN基电流孔径异质结场效应器件结构所带来的工艺复杂化问题,大大提高了器件的成品率。

[0050] 以下结合附图和实施例进一步说明本发明的技术内容和效果。

附图说明

[0051] 图1是传统GaN基电流孔径异质结场效应器件的结构图;

[0052] 图2是本发明基于弧形源场板和弧形漏场板的垂直型功率器件的结构图;

[0053] 图3是本发明制作基于弧形源场板和弧形漏场板的垂直型功率器件的流程图;

[0054] 图4是对本发明器件仿真所得的正向击穿情况下器件漂移层右侧边缘的纵向电场分布图;

[0055] 图5是对本发明器件仿真所得的反向击穿情况下器件漂移层右侧边缘的纵向电场分布图。

具体实施方式

[0056] 参照图2,本发明基于弧形源场板和弧形漏场板的垂直型功率器件是基于GaN基宽禁带半导体异质结结构,其包括:衬底1、漂移层2、孔径层3、两个对称的电流阻挡层4、沟道层6、势垒层7和钝化层12,势垒层7上的两侧淀积有两个源极9,两个源极9下方通过离子注入形成两个注入区8,源极9之间的势垒层7上面淀积有栅极10,衬底1下面淀积有肖特基漏极11,钝化层12完全包裹在除肖特基漏极11底部以外的所有区域,其中:

[0057] 所述衬底1,采用n⁻型GaN材料;

[0058] 所述漂移层2,位于衬底1上部,其厚度为3~50μm、掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$;

[0059] 所述孔径层3,位于漂移层2上部,其厚度为1.2~3μm、掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$;

[0060] 所述电流阻挡层4,是由第一阻挡层41和第二阻挡层42构成的二级阶梯结构,其中:两个第一阻挡层41位于孔径层3内的左右两侧,两个第二阻挡层42位于两个第一阻挡层41内侧,各阻挡层均采用p型掺杂;该第一阻挡层41的厚度a为1.2~3μm,宽度c为0.2~1μm,该第二阻挡层42的厚度b为0.3~1μm,宽度为d,且 $d = 1.1a$,两个对称的电流阻挡层4之间形成孔径5;

[0061] 所述沟道层6,位于两个电流阻挡层4和孔径5上部,其厚度为0.04~0.2μm;

[0062] 所述势垒层7,位于沟道层6上部,其由若干层相同或不同的GaN基宽禁带半导体材料组成,厚度为5~50nm;

[0063] 所述两个注入区8,两个注入区的深度均大于势垒层厚度,且小于沟道层6与势垒层两者的总厚度;

- [0064] 所述栅极10,其与两个电流阻挡层4在水平方向上的交叠长度大于 $0\mu\text{m}$;
- [0065] 所述肖特基漏极11,采用肖特基结构;
- [0066] 所述器件两边的钝化层12,其两侧均采用双弧形台阶,即在钝化层两边的上部区域刻有源弧形台阶,下部区域刻有漏弧形台阶,其中:
- [0067] 每个源弧形台阶处淀积有金属,形成对称的两个弧形源场板13,该弧形源场板13与源极9电气连接;源弧形台阶位于第一阻挡层41下边缘同一水平高度以下的部分,其表面的任意一点,与第一阻挡层41下边缘的垂直距离为 f ,与漂移层2的水平距离为 e ,且近似满足关系 $f=9.5-10.5\exp(-0.6e)$, $0\mu\text{m}<f\leq 9\mu\text{m}$;该源弧形台阶表面与第一阻挡层41下边缘处于同一水平高度的部位,其与漂移层2的水平距离 g 为 $0.18\mu\text{m}$ 。
- [0068] 每个漏弧形台阶处淀积有金属,形成对称的两个弧形漏场板14,该弧形漏场板14与肖特基漏极11电气连接,漏弧形台阶下边界与肖特基漏极11下边界对齐,该漏弧形台阶位于肖特基漏极上边界同一水平高度以上的部分,其表面的任意一点,与衬底1下边界的垂直距离为 q ,与漂移层2的水平距离为 p ,近似满足关系 $q=5.5+2.5\ln(p+0.06)$,且 $0\mu\text{m}<q\leq 11\mu\text{m}$;该漏弧形台阶表面与肖特基漏极上边界处于同一水平高度的部位,其距离漂移层2的水平间距为 h , $h=0.05\mu\text{m}$;
- [0069] 弧形源场板13的上边缘所在高度等于或高于第一阻挡层41下边缘所在高度,弧形漏场板14下边界所在高度等于或低于肖特基漏极11上边界所在高度;
- [0070] 弧形源场板、弧形漏场板、肖特基漏极和钝化层均覆盖有保护层15;
- [0071] 该钝化层12和保护层15采用 SiO_2 、 SiN 、 Al_2O_3 、 Sc_2O_3 、 HfO_2 、 TiO_2 中的任意一种或其它绝缘介质材料。
- [0072] 参照图3,本发明制作基于弧形源场板和弧形漏场板的垂直型功率器件的过程,给出如下三种实施例:
- [0073] 实施例一:采用 SiO_2 材料作为钝化层和保护层,制作基于弧形源场板和弧形漏场板的垂直型功率器件。
- [0074] 步骤1.在衬底1上外延 n^- 型GaN,形成漂移层2,如图3a。
- [0075] 采用 n^- 型GaN做衬底1,使用金属有机物化学气相淀积技术,在衬底1上外延厚度为 $3\mu\text{m}$ 、掺杂浓度为 $1\times 10^{15}\text{cm}^{-3}$ 的 n^- 型GaN半导体材料,形成漂移层2,其中:
- [0076] 外延采用的工艺条件为:温度为 950°C ,压强为40Torr,以 SiH_4 为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为 $100\mu\text{mol}/\text{min}$ 。
- [0077] 步骤2.在漂移层上外延 n 型GaN,形成孔径层3,如图3b。
- [0078] 使用金属有机物化学气相淀积技术,在漂移层2上外延厚度为 $1.2\mu\text{m}$ 、掺杂浓度为 $1\times 10^{15}\text{cm}^{-3}$ 的 n 型GaN半导体材料,形成孔径层3,其中:
- [0079] 外延采用的工艺条件为:温度为 950°C ,压强为40Torr,以 SiH_4 为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为 $100\mu\text{mol}/\text{min}$ 。
- [0080] 步骤3.制作第一阻挡层41,如图3c。
- [0081] 3a)在孔径层3上制作掩模;
- [0082] 3b)使用离子注入技术,在孔径层内的两侧位置注入剂量为 $1\times 10^{15}\text{cm}^{-2}$ 的 p 型杂质Mg,制作厚度 a 为 $1.2\mu\text{m}$,宽度 c 为 $0.2\mu\text{m}$ 的两个第一阻挡层41。
- [0083] 步骤4.制作第二阻挡层42,如图3d。

- [0084] 4a) 在孔径层3和两个第一阻挡层41上制作掩模;
- [0085] 4b) 使用离子注入技术,在左、右第一阻挡层41之间的孔径层3内两侧注入剂量为 $1 \times 10^{15} \text{cm}^{-2}$ 的p型杂质Mg,制作厚度b为 $0.3 \mu\text{m}$,宽度d为 $1.32 \mu\text{m}$ 的两个第二阻挡层42,两个第一阻挡层与两个第二阻挡层构成两个对称的二级阶梯结构的电流阻挡层4,左右电流阻挡层4之间形成孔径5。
- [0086] 步骤5.外延GaN材料制作沟道层6,如图3e。
- [0087] 使用分子束外延技术,在两个第一阻挡层41、两个第二阻挡层42和孔径5的上部外延厚度为 $0.04 \mu\text{m}$ 的GaN材料,形成沟道层6;
- [0088] 所述分子束外延技术,其工艺条件为:真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$,射频功率为400W,反应剂采用 N_2 、高纯Ga源。
- [0089] 步骤6.外延 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$,制作势垒层7,如图3f。
- [0090] 使用分子束外延技术在沟道层6上外延厚度为5nm的 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 材料,形成势垒层7,其中:
- [0091] 分子束外延的工艺条件为:真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$,射频功率为400W,反应剂采用 N_2 、高纯Ga源、高纯Al源;
- [0092] 步骤7.制作左、右两个注入区8,如图3g。
- [0093] 7a) 在势垒层7上部制作掩模;
- [0094] 7b) 使用离子注入技术,在势垒层内的两侧注入剂量为 $1 \times 10^{15} \text{cm}^{-2}$ 的n型杂质Si,形成深度为 $0.01 \mu\text{m}$ 的注入区8;
- [0095] 7c) 在 1200°C 温度下进行快速热退火。
- [0096] 步骤8.制作源极9,如图3h。
- [0097] 8a) 在两个注入区8上部和两个注入区之间的势垒层7上部制作掩模;
- [0098] 8b) 使用电子束蒸发技术,在两个注入区上部淀积Ti/Au/Ni组合金属,形成源极9,其中:自下而上所淀积的金属分别为Ti为 $0.02 \mu\text{m}$ 、Au为 $0.3 \mu\text{m}$ 、Ni为 $0.05 \mu\text{m}$;
- [0099] 电子束蒸发的工艺条件为:真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于 $3 \text{\AA}/\text{s}$ 。
- [0100] 步骤9.制作栅极10,如图3i。
- [0101] 9a) 在源极9上部和两个注入区之间的势垒层7上部制作掩模;
- [0102] 9b) 使用电子束蒸发技术,在两个注入区之间的势垒层7上淀积Ni/Au/Ni组合金属,形成栅极10,其中:所淀积的自下而上分别为Ni为 $0.02 \mu\text{m}$ 、Au为 $0.2 \mu\text{m}$ 、Ni为 $0.04 \mu\text{m}$,栅极10与两个第二阻挡层42在水平方向上的交叠长度均为 $0.3 \mu\text{m}$;
- [0103] 电子束蒸发的工艺条件为:真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于 $3 \text{\AA}/\text{s}$ 。
- [0104] 步骤10.制作肖特基漏极11,如图3j。
- [0105] 使用电子束蒸发技术,在整个衬底1背面依次淀积W、Au、Ni,形成W/Au/Ni组合金属,完成肖特基漏极11的制作,且W的厚度为 $0.02 \mu\text{m}$ 、Au的厚度为 $0.7 \mu\text{m}$ 、Ni的厚度为 $0.05 \mu\text{m}$;
- [0106] 淀积金属所采用的工艺条件为:真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于 $3 \text{\AA}/\text{s}$ 。

[0107] 步骤11. 淀积SiO₂绝缘介质材料,形成包裹的钝化层12,如图3k。

[0108] 使用等离子体增强化学气相淀积技术,在除了肖特基漏极11底部以外的其他所有区域淀积SiO₂绝缘介质材料,形成包裹的钝化层12,其中:

[0109] 淀积钝化层的工艺条件是:N₂O流量为850sccm,SiH₄流量为200sccm,温度为250℃,射频功率为25W,压力为1100mTorr。

[0110] 步骤12.在钝化层内的左、右两边刻蚀上平台,如图3l。

[0111] 12a)在钝化层12上部制作掩模;

[0112] 12b)使用反应离子刻蚀技术,在钝化层12左、右两边上部的钝化层内进行刻蚀,刻蚀至与电流阻挡层4下边缘同一水平高度,形成左右两个上平台,其中:

[0113] 反应离子刻蚀的工艺条件为:CF₄流量为45sccm,O₂流量为5sccm,压强为15mTorr,功率为250W。

[0114] 步骤13.制作源弧形台阶,如图3m。

[0115] 13a)在左右两边刻有上平台的钝化层12上部制作掩模;

[0116] 13b)使用反应离子刻蚀技术,在钝化层12的左、右两边的上平台内进行刻蚀,形成源弧形台阶,源弧形台阶位于第一阻挡层41下边缘同一水平高度以下的部分,其表面的任意一点,与第一阻挡层41下边缘的垂直距离为f,与漂移层2的水平距离为e,且近似满足关系 $f=9.5-10.5\exp(-0.6e)$,f最大为1μm,该源弧形台阶表面与第一阻挡层41下边缘处于同一水平高度的部位,其与漂移层2的水平距离g为0.18μm;

[0117] 反应离子刻蚀的工艺条件为:CF₄流量为45sccm,O₂流量为5sccm,压强为15mTorr,功率为250W。

[0118] 步骤14.制作弧形源场板13,如图3n。

[0119] 14a)在带有两个源弧形台阶的钝化层12上部制作掩模;

[0120] 14b)使用电子束蒸发技术,即在真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于3Å/s的工艺条件下,在左、右两边的源弧形台阶上淀积金属Ni,制作左、右对称的两个弧形源场板13,且弧形源场板13上边缘所在高度高于第一阻挡层41下边缘所在高度0.2μm,并将该两侧的弧形源场板与源极电气连接。

[0121] 步骤15.在弧形源场板上方和钝化层上方淀积SiO₂绝缘介质材料,如图3o。

[0122] 使用等离子体增强化学气相淀积技术,在弧形源场板上方和钝化层上方淀积SiO₂绝缘介质材料;

[0123] 淀积钝化层的工艺条件是:N₂O流量为850sccm,SiH₄流量为200sccm,温度为250℃,射频功率为25W,压力为1100mTorr。

[0124] 步骤16.制作漏弧形台阶,如图3p。

[0125] 16a)在肖特基漏极11的背面和钝化层12的背面制作掩模;

[0126] 16b)使用反应离子刻蚀技术在钝化层12背面的左、右两边内进行刻蚀,形成漏弧形台阶,且该漏弧形台阶位于肖特基漏极上边界同一水平高度以上的部分,其表面的任意一点,与衬底1下边界的垂直距离q,与漂移层2的水平距离p,近似满足关系 $q=5.5+2.5\ln(p+0.06)$,漏弧形台阶下边界与肖特基漏极11下边界对齐,漏弧形台阶表面与肖特基漏极上边界处于同一水平高度的部位距离漂移层2的水平间距h为0.05μm,q最大为1μm,其中:

[0127] 反应离子刻蚀的工艺条件为:CF₄流量为45sccm,O₂流量为5sccm,压强为15mTorr,

功率为250W。

[0128] 步骤17. 制作弧形漏场板14,如图3q。

[0129] 17a) 在肖特基漏极11的背面和钝化层12的背面制作掩模;

[0130] 17b) 使用电子束蒸发技术,即在真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于 3 \AA/s 的工艺条件下,在左、右两边的漏弧形台阶上淀积金属Ni,制作左、右对称的两个弧形漏场板14,该弧形漏场板14下边界所在高度低于肖特基漏极11上边界所在高度 $0.2 \mu\text{m}$,并将该两侧的漏场板与肖特基漏极电气连接。

[0131] 步骤18. 在弧形漏场板、肖特基漏极和钝化层的下方填充 SiO_2 绝缘介质材料,完成保护层15的制作,如图3r。

[0132] 使用等离子体增强化学气相淀积技术,在弧形漏场板、肖特基漏极和钝化层的下方覆盖 SiO_2 绝缘介质材料,该步骤的绝缘介质材料与步骤15淀积的绝缘介质材料共同构成保护层15,完成整个器件的制作;

[0133] 淀积钝化层的工艺条件是: N_2O 流量为850sccm, SiH_4 流量为200sccm,温度为 250°C ,射频功率为25W,压力为1100mTorr。

[0134] 实施例二:采用SiN材料作为钝化层和保护层,制作基于弧形源场板和弧形漏场板的垂直型功率器件。

[0135] 第一步. 在衬底1上外延 n^- 型GaN,形成漂移层2,如图3a。

[0136] 在温度为 1000°C ,压强为45Torr,以 SiH_4 为掺杂源,氢气流量为4400sccm,氨气流量为4400sccm,镓源流量为 $110 \mu\text{mol}/\text{min}$ 的工艺条件下,采用 n^- 型GaN做衬底1,使用金属有机物化学气相淀积技术,在衬底1上外延厚度为 $20 \mu\text{m}$ 、掺杂浓度为 $1 \times 10^{17} \text{ cm}^{-3}$ 的 n^- 型GaN材料,完成漂移层2的制作。

[0137] 第二步. 在漂移层上外延 n 型GaN,形成孔径层3,如图3b。

[0138] 在温度为 1000°C ,压强为45Torr,以 SiH_4 为掺杂源,氢气流量为4400sccm,氨气流量为4400sccm,镓源流量为 $110 \mu\text{mol}/\text{min}$ 的工艺条件下,使用金属有机物化学气相淀积技术,在漂移层2上外延厚度为 $1.5 \mu\text{m}$ 、掺杂浓度为 $1 \times 10^{17} \text{ cm}^{-3}$ 的 n 型GaN材料,完成孔径层3的制作。

[0139] 第三步. 制作第一阻挡层41,如图3c。

[0140] 3.1) 在孔径层3上制作掩模;

[0141] 3.2) 使用离子注入技术,在孔径层内的两侧位置注入剂量为 $5 \times 10^{15} \text{ cm}^{-2}$ 的 p 型杂质Mg,制作厚度 a 为 $1.5 \mu\text{m}$,宽度 c 为 $0.4 \mu\text{m}$ 的两个第一阻挡层41。

[0142] 第四步. 制作第二阻挡层42,如图3d。

[0143] 4.1) 在孔径层3和两个第一阻挡层41上制作掩模;

[0144] 4.2) 使用离子注入技术,在左、右第一阻挡层41之间的孔径层3内两侧注入剂量为 $5 \times 10^{15} \text{ cm}^{-2}$ 的 p 型杂质Mg,形成厚度 b 为 $0.65 \mu\text{m}$,宽度 d 为 $1.65 \mu\text{m}$ 的两个第二阻挡层42,两个第一阻挡层与两个第二阻挡层构成两个对称的二级阶梯结构的电流阻挡层4,左右电流阻挡层4之间形成孔径5。

[0145] 第五步. 外延GaN材料,制作沟道层6,如图3e。

[0146] 在真空度小于等于 $1.0 \times 10^{-10} \text{ mbar}$,射频功率为400W,反应剂采用 N_2 、高纯Ga源的工艺条件下,使用分子束外延技术,在第一阻挡层41、第二阻挡层42和孔径5上部,外延厚度

为0.1 μm 的GaN材料,完成沟道层6的制作。

[0147] 第六步.外延 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$,制作势垒层7,如图3f。

[0148] 在真空度小于等于 $1.0 \times 10^{-10}\text{mbar}$,射频功率为400W,反应剂采用 N_2 、高纯Ga源、高纯Al源的工艺条件下,使用分子束外延技术,在沟道层6上外延厚度为20nm的 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ 材料,完成势垒层7的制作。

[0149] 第七步.制作左、右两个注入区8,如图3g。

[0150] 7.1) 在势垒层7上部制作掩模;

[0151] 7.2) 使用离子注入技术,在势垒层内的两侧注入剂量为 $6 \times 10^{15}\text{cm}^{-2}$ 的n型杂质Si,形成深度为0.03 μm 的两个注入区8;

[0152] 7.3) 在1200 $^{\circ}\text{C}$ 温度下进行快速热退火。

[0153] 第八步.制作源极9,如图3h。

[0154] 8.1) 在两个注入区8上部和两个注入区之间的势垒层7上部制作掩模;

[0155] 8.2) 在真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为200~1000W,蒸发速率小于3 $\text{\AA}/\text{s}$ 的工艺条件下,使用电子束蒸发技术,在两个注入区上部淀积Ti/Au/Ni组合金属,形成源极9,其中:所淀积的组合金属自下而上分别为Ti、Au、Ni,其厚度依次为0.02 μm 、0.3 μm 、0.05 μm 。

[0156] 第九步.制作栅极10,如图3i。

[0157] 9.1) 在源极9上部和两个注入区之间的势垒层7上部制作掩模;

[0158] 9.2) 在真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为200~1000W,蒸发速率小于3 $\text{\AA}/\text{s}$ 的工艺条件下,使用电子束蒸发技术,在两个注入区之间的势垒层7上淀积Ni/Au/Ni组合金属,形成栅极10,其中:自下而上所淀积金属Ni的厚度为0.02 μm 、Au的厚度为0.2 μm 、Ni的厚度为0.04 μm ,栅极10与两个第二阻挡层42在水平方向上的交叠长度均为0.35 μm 。

[0159] 第十步.制作肖特基漏极11,如图3j。

[0160] 在真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为200~1000W,蒸发速率小于3 $\text{\AA}/\text{s}$ 的工艺条件下,使用电子束蒸发技术,在整个衬底1背面依次淀积Ni、Au、Ni,形成Ni/Au/Ni组合金属,完成肖特基漏极11的制作,且Ni的厚度为0.02 μm 、Au的厚度为0.7 μm 、Ni的厚度为0.05 μm 。

[0161] 第十一步.淀积SiN绝缘介质材料,形成包裹的钝化层12,如图3k。

[0162] 在气体为 NH_3 、 N_2 及 SiH_4 ,气体流量分别为2.5sccm、950sccm和250sccm,温度、射频功率和压强分别为300 $^{\circ}\text{C}$ 、25W和950mTorr的工艺条件下,使用等离子体增强化学气相淀积技术,在除了肖特基漏极11底部以外的其他所有区域淀积SiN绝缘介质材料,形成包裹的钝化层12。

[0163] 第十二步.在钝化层内的左、右两边刻蚀上平台,如图3l。

[0164] 12.1) 在钝化层12上部制作掩模;

[0165] 12.2) 在 CF_4 流量为45sccm, O_2 流量为5sccm,压强为15mTorr,功率为250W的工艺条件下,使用反应离子刻蚀技术,在钝化层12左、右两边上部的钝化层内进行刻蚀,刻蚀至与电流阻挡层4下边缘同一水平高度,形成左右两个上平台。

[0166] 第十三步.制作源弧形台阶,如图3m。

[0167] 13.1) 在左右两边刻有上平台的钝化层12上部制作掩模;

[0168] 13.2) 在 CF_4 流量为45sccm, O_2 流量为5sccm,压强为15mTorr,功率为250W的工艺条

件下,使用反应离子刻蚀技术,在钝化层12的左、右两边的上平台内进行刻蚀,形成源弧形台阶,源弧形台阶位于第一阻挡层41下边缘同一水平高度以下的部分,其表面的任意一点,与第一阻挡层41下边缘的垂直距离为 f ,与漂移层2的水平距离为 e ,且近似满足关系 $f=9.5-10.5\exp(-0.6e)$, f 最大为 $4\mu\text{m}$,该源弧形台阶表面与第一阻挡层41下边缘处于同一水平高度的部位,其与漂移层2的水平距离 g 为 $0.18\mu\text{m}$;

[0169] 第十四步.制作弧形源场板13,如图3n。

[0170] 14.1) 在带有两个源弧形台阶的钝化层12上部制作掩模;

[0171] 14.2) 在真空度小于 $1.8\times 10^{-3}\text{Pa}$,功率范围为 $200\sim 1000\text{W}$,蒸发速率小于 $3\text{\AA}/\text{s}$ 的工艺条件下,使用电子束蒸发技术,在钝化层左、右两边的源弧形台阶上淀积金属Ti,制作左、右对称的两个弧形源场板13,该弧形源场板13上边缘所在高度高于第一阻挡层41下边缘所在高度 $0.3\mu\text{m}$,并将该两侧的弧形源场板与源极电气连接。

[0172] 第十五步.在弧形源场板上方和钝化层上方淀积SiN绝缘介质材料,如图3o。

[0173] 在气体为 NH_3 、 N_2 及 SiH_4 ,气体流量分别为 2.5sccm 、 950sccm 和 250sccm ,温度、射频功率和压强分别为 300°C 、 25W 和 950mTorr 的工艺条件下,使用等离子体增强化学气相淀积技术,在弧形源场板上方和钝化层上方淀积SiN绝缘介质材料。

[0174] 第十六步.制作漏弧形台阶,如图3p。

[0175] 16.1) 在肖特基漏极11的背面和钝化层12的背面制作掩模;

[0176] 16.2) 在 CF_4 流量为 45sccm , O_2 流量为 5sccm ,压强为 15mTorr ,功率为 250W 的工艺条件下,使用反应离子刻蚀技术在钝化层12背面的左、右两边内进行刻蚀,形成漏弧形台阶,且该漏弧形台阶位于肖特基漏极上边界同一水平高度以上的部分,其表面的任意一点,与衬底1下边界的垂直距离 q ,与漂移层2的水平距离 p ,近似满足关系 $q=5.5+2.5\ln(p+0.06)$,漏弧形台阶下边界与肖特基漏极11下边界对齐,漏弧形台阶表面与肖特基漏极上边界处于同一水平高度的部位距离漂移层2的水平间距 h 为 $0.05\mu\text{m}$, q 最大为 $3.5\mu\text{m}$ 。

[0177] 第十七步.制作弧形漏场板14,如图3q。

[0178] 17.1) 在肖特基漏极11的背面和钝化层12的背面制作掩模;

[0179] 17.2) 使用电子束蒸发技术,即在真空度小于 $1.8\times 10^{-3}\text{Pa}$,功率范围为 $200\sim 1000\text{W}$,蒸发速率小于 $3\text{\AA}/\text{s}$ 的工艺条件下,在左、右两边的漏弧形台阶上淀积金属Ti,制作左、右对称的两个弧形漏场板14,该弧形漏场板14下边界所在高度低于肖特基漏极11上边界所在高度 $0.3\mu\text{m}$,并将该两侧的漏场板与肖特基漏极电气连接。

[0180] 第十八步.在弧形漏场板、肖特基漏极和钝化层的下方填充SiN绝缘介质材料,完成保护层15的制作,如图3r。

[0181] 在气体为 NH_3 、 N_2 及 SiH_4 ,气体流量分别为 2.5sccm 、 950sccm 和 250sccm ,温度、射频功率和压强分别为 300°C 、 25W 和 950mTorr 的工艺条件下,使用等离子体增强化学气相淀积技术,在弧形漏场板、肖特基漏极和钝化层的下方填充SiN绝缘介质材,该步骤的绝缘介质材料与第十五步淀积的绝缘介质材料共同构成保护层15,完成整个器件的制作。

[0182] 实施例三:制作钝化层为 SiO_2 、保护层为SiN的基于弧形源场板和弧形漏场板的垂直型功率器件。

[0183] 步骤A.采用温度为 950°C ,压强为 40Torr ,以 SiH_4 为掺杂源,氢气流量为 4000sccm ,氨气流量为 4000sccm ,镓源流量为 $100\mu\text{mol}/\text{min}$ 的工艺条件,采用n⁻型Ga_n做衬底1,使用金

属有机物化学气相淀积技术,在衬底上外延厚度为 $50\mu\text{m}$ 、掺杂浓度为 $1 \times 10^{18}\text{cm}^{-3}$ 的 n^- 型GaN材料,制作漂移层2,如图3a。

[0184] 步骤B.采用温度为 950°C ,压强为40Torr,以 SiH_4 为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为 $100\mu\text{mol}/\text{min}$ 的工艺条件,使用金属有机物化学气相淀积技术,在漂移层2上外延厚度为 $3\mu\text{m}$ 、掺杂浓度为 $1 \times 10^{18}\text{cm}^{-3}$ 的 n 型GaN材料,制作孔径层3,如图3b。

[0185] 步骤C.在孔径层3上制作掩模;再使用离子注入技术,在孔径层内的两侧位置注入剂量为 $1 \times 10^{16}\text{cm}^{-2}$ 的 p 型杂质Mg,制作厚度 a 为 $3\mu\text{m}$,宽度 c 为 $1\mu\text{m}$ 的两个第一阻挡层41,如图3c。

[0186] 步骤D.在孔径层3和两个第一阻挡层41上制作掩模;再使用离子注入技术,在左、右第一阻挡层41之间的孔径层3内两侧位置注入剂量为 $1 \times 10^{16}\text{cm}^{-2}$ 的 p 型杂质Mg,制作厚度 b 为 $1\mu\text{m}$,宽度 d 为 $3.3\mu\text{m}$ 的两个第二阻挡层42,两个第一阻挡层与两个第二阻挡层构成两个对称的二级阶梯结构的电流阻挡层4,左右电流阻挡层4之间形成孔径5,如图3d。

[0187] 步骤E.采用真空度小于等于 $1.0 \times 10^{-10}\text{mbar}$,射频功率为400W,反应剂采用 N_2 、高纯Ga源的工艺条件,使用分子束外延技术,在两个第一阻挡层41、两个第二阻挡层42和孔径5上部外延厚度为 $0.2\mu\text{m}$ 的GaN材质的沟道层6,如图3e。

[0188] 步骤F.采用真空度小于等于 $1.0 \times 10^{-10}\text{mbar}$,射频功率为400W,反应剂采用 N_2 、高纯Ga源、高纯Al源的工艺条件,使用分子束外延技术,在沟道层6上外延厚度为50nm的 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 材质的势垒层7,如图3f。

[0189] 步骤G.先在势垒层7上部制作掩模;再使用离子注入技术,在势垒层内的两侧注入剂量为 $1 \times 10^{16}\text{cm}^{-2}$ 的 n 型杂质Si,形成深度为 $0.06\mu\text{m}$ 的注入区8;

[0190] 然后,在 1200°C 温度下进行快速热退火,使用如图3g。

[0191] 步骤H.先在两个注入区8上部和两个注入区之间的势垒层7上部制作掩模,再采用真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为200~1000W,蒸发速率小于 $3\text{\AA}/\text{s}$ 的工艺条件,使用电子束蒸发技术,在两个注入区上部淀积Ti/Au/Ni组合金属,形成源极9,其中:自下而上所淀积的金属厚度,Ti的厚度为 $0.02\mu\text{m}$ 、Au的厚度为 $0.3\mu\text{m}$ 、Ni的厚度为 $0.05\mu\text{m}$,如图3h。

[0192] 步骤I.先在源极9上部和两个注入区之间的势垒层7上部制作掩模;再采用真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为200~1000W,蒸发速率小于 $3\text{\AA}/\text{s}$ 的工艺条件,使用电子束蒸发技术,在两个注入区之间的势垒层7上淀积Ni/Au/Ni组合金属,形成栅极10,其中:自下而上所淀积的金属厚度,Ni的厚度为 $0.02\mu\text{m}$ 、Au的厚度为 $0.2\mu\text{m}$ 、Ni的厚度为 $0.04\mu\text{m}$,栅极10与两个第二阻挡层42在水平方向上的交叠长度均为 $0.6\mu\text{m}$,如图3i。

[0193] 步骤J.采用真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为200~1000W,蒸发速率小于 $3\text{\AA}/\text{s}$ 的工艺条件,使用电子束蒸发技术,在整个衬底1背面依次淀积Au、Ni,形成Au/Ni组合金属,完成肖特基漏极11的制作,且Au的厚度为 $0.7\mu\text{m}$ 、Ni的厚度为 $0.05\mu\text{m}$,如图3j。

[0194] 步骤K.采用 N_2O 流量为850sccm, SiH_4 流量为200sccm,温度为 250°C ,射频功率为25W,压力为1100mTorr的工艺条件,使用等离子体增强化学气相淀积技术,在除了肖特基漏极11底部以外的其他所有区域淀积 SiO_2 绝缘介质材料,形成包裹的钝化层12,如图3k。

[0195] 步骤L.先在钝化层12上部制作掩模;再采用 CF_4 流量为45sccm, O_2 流量为5sccm,压

强为15mTorr,功率为250W的工艺条件,使用反应离子刻蚀技术,在钝化层12左、右两边上部的钝化层内进行刻蚀,刻蚀至与电流阻挡层4下边缘同一水平高度,形成左右两个上平台,如图3l。

[0196] 步骤M.先在左右两边刻有上平台的钝化层12上部制作掩模;采用CF₄流量为45sccm,O₂流量为5sccm,压强为15mTorr,功率为250W的工艺条件,使用反应离子刻蚀技术,在钝化层12的左、右两边的上平台内进行刻蚀,形成源弧形台阶,源弧形台阶位于第一阻挡层41下边缘同一水平高度以下的部分,其表面的任意一点,与第一阻挡层41下边缘的垂直距离为f,与漂移层2的水平距离为e,且近似满足关系 $f=9.5-10.5\exp(-0.6e)$,f最大为9 μ m,该源弧形台阶表面与第一阻挡层41下边缘处于同一水平高度的部位,其与漂移层2的水平距离g为0.18 μ m,如图3m。

[0197] 步骤N.先在带有两个源弧形台阶的钝化层12上部制作掩模;再真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于3 $\text{\AA}/\text{s}$ 的工艺条件,使用电子束蒸发技术在左、右两边的源弧形台阶上淀积金属Au,制作左、右对称的两个弧形源场板13,弧形源场板13上边缘所在高度高于第一阻挡层41下边缘所在高度0.5 μ m,并将该两侧的弧形源场板与源极电气连接,如图3n。

[0198] 步骤O.采用气体为NH₃、N₂及SiH₄,气体流量分别为2.5sccm、950sccm和250sccm,温度、射频功率和压强分别为300 $^{\circ}\text{C}$ 、25W和950mTorr的工艺条件,使用等离子体增强化学气相淀积技术,在弧形源场板上方和钝化层上方淀积SiN绝缘介质材,如图3o。

[0199] 步骤P.先在肖特基漏极11的背面和钝化层12的背面制作掩模;再采用CF₄流量为45sccm,O₂流量为5sccm,压强为15mTorr,功率为250W的工艺条件,使用反应离子刻蚀技术在钝化层12背面的左、右两边内进行刻蚀,形成漏弧形台阶,且该漏弧形台阶位于肖特基漏极上边界同一水平高度以上的部分,其表面的任意一点,与衬底1下边界的垂直距离q,与漂移层2的水平距离p,近似满足关系 $q=5.5+2.5\ln(p+0.06)$,漏弧形台阶下边界与肖特基漏极11下边界对齐,漏弧形台阶表面与肖特基漏极上边界处于同一水平高度的部位距离漂移层2的水平间距h为0.05 μ m,q最大为11 μ m,如图3p。

[0200] 步骤Q.先在肖特基漏极11的背面和钝化层12的背面制作掩模;再采用真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于3 $\text{\AA}/\text{s}$ 的工艺条件,使用电子束蒸发技术,在左、右两边的漏弧形台阶上淀积金属Au,制作左、右对称的两个弧形漏场板14,该弧形漏场板14下边界所在高度低于肖特基漏极11上边界所在高度0.35 μ m,并将该两侧的弧形漏场板与肖特基漏极电气连接,如图3q。

[0201] 步骤R.采用气体为NH₃、N₂及SiH₄,气体流量分别为2.5sccm、950sccm和250sccm,温度、射频功率和压强分别为300 $^{\circ}\text{C}$ 、25W和950mTorr的工艺条件,使用等离子体增强化学气相淀积技术,在弧形漏场板、肖特基漏极和钝化层的下方填充SiN绝缘介质材料,该步骤的绝缘介质材料与步骤O淀积的绝缘介质材料共同构成保护层15,完成整个器件的制作,如图3r。

[0202] 本发明的效果可通过以下仿真进一步说明:

[0203] 仿真1:对本发明器件在正向击穿情况下器件漂移层右侧边缘的纵向电场分布进行仿真,结果如图4,其中器件的正向击穿电压为1980V。

[0204] 由图4可以看出,采用二级阶梯形式的电流阻挡层后,本发明器件结构可以有效地

调制正向击穿情况下器件漂移层两侧表面附近的电场分布,增加器件内高场区的范围,促使弧形源场板对应的漂移层两侧表面附近的电场分布平坦,因此本发明器件可以有效实现正向阻断功能。

[0205] 仿真2:对本发明器件在反向击穿情况下器件漂移层右侧边缘的纵向电场分布进行仿真,结果如图5,其中器件的反向击穿电压为-1510V。

[0206] 由图5可以看出,本发明器件结构可以有效调制反向击穿情况下漂移层内电场分布,增加器件漂移层内的高电场区面积,促使弧形漏场板对应的漂移层两侧表面附近的电场分布平坦,因此本发明器件可以有效实现反向阻断功能。

[0207] 以上描述仅是本发明的几个具体实施例,并不构成对本发明的限制,显然对于本领域的专业人员来说,在了解了本发明内容和原理后,能够在不背离本发明的原理和范围的情况下,根据本发明的方法进行形式和细节上的各种修正和改变,但是这些基于本发明的修正和改变仍在本发明的权利要求保护范围之内。

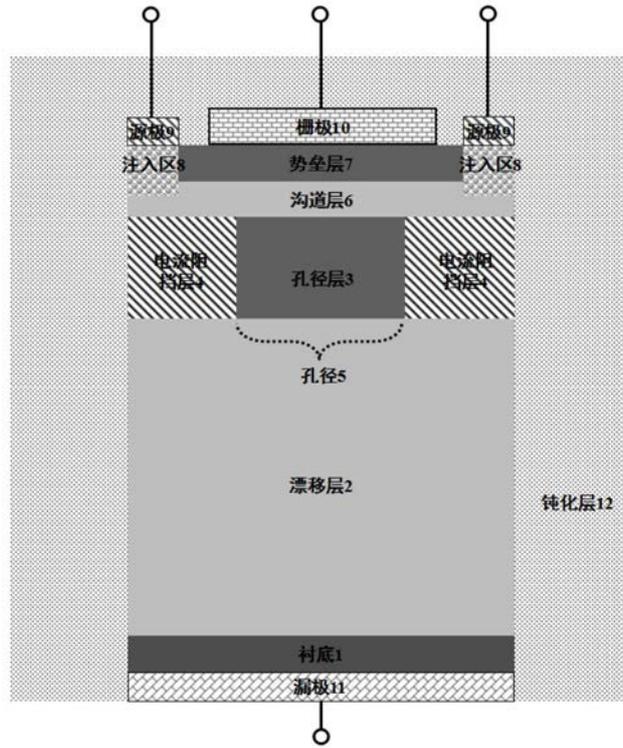


图1

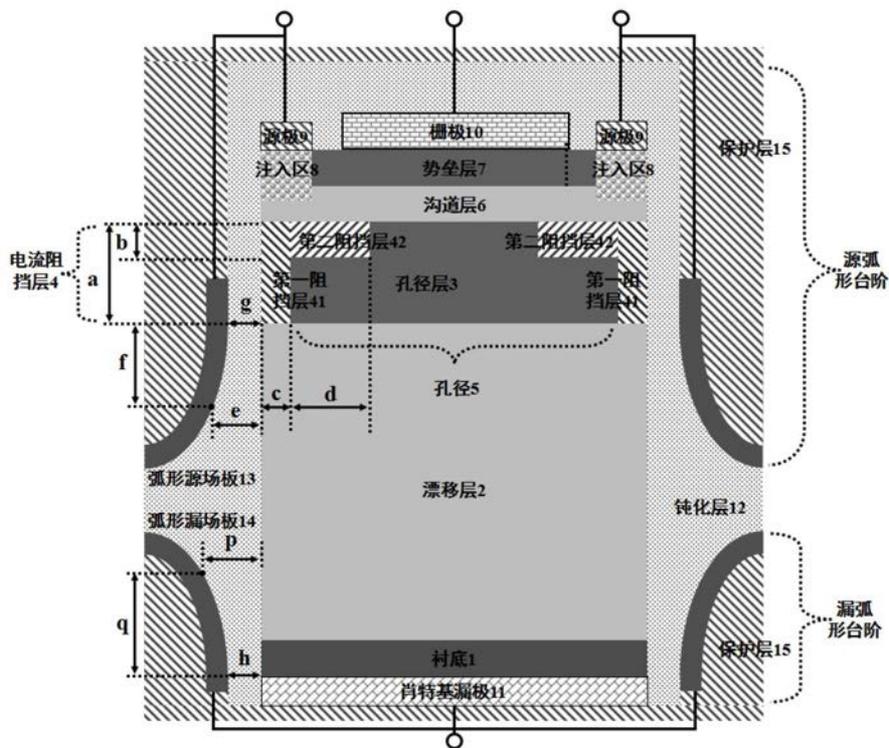


图2

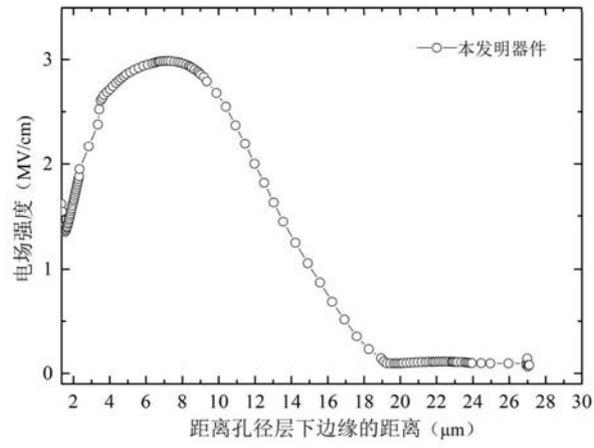


图4

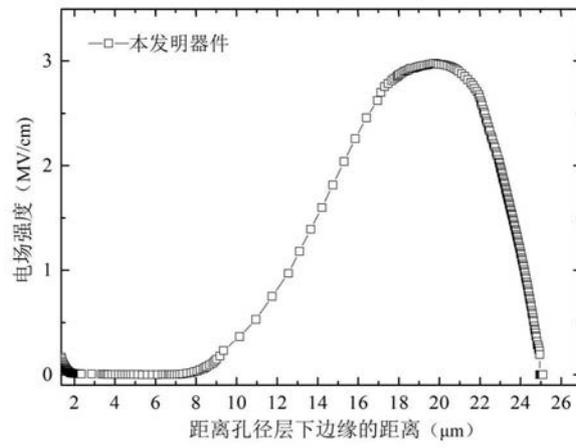


图5