



(12)发明专利申请

(10)申请公布号 CN 108962912 A

(43)申请公布日 2018. 12. 07

(21)申请号 201810764336.3

(22)申请日 2018.07.12

(71)申请人 长江存储科技有限责任公司

地址 430205 湖北省武汉市洪山区东湖开
发区关东科技工业园华光大道18号
7018室

(72)发明人 王恩博 杨号号 肖莉红 阎锦

张勇 陶谦 胡禹石 朱宏斌

吕震宇

(74)专利代理机构 上海专利商标事务所有限公

司 31100

代理人 骆希聪

(51)Int.Cl.

H01L 27/11582(2017.01)

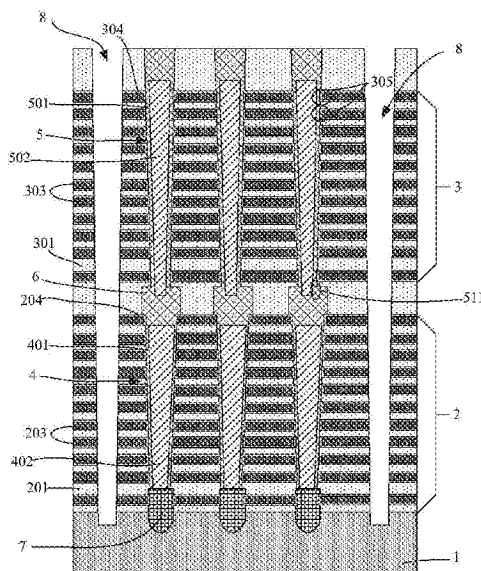
权利要求书3页 说明书9页 附图11页

(54)发明名称

一种三维半导体存储器及其制备方法

(57)摘要

本发明提供了一种三维半导体存储器,包括:衬底、位于该衬底上的第一堆叠结构、位于该第一堆叠结构上的第二堆叠结构、垂直于该衬底的上表面的第一沟道孔、垂直于该衬底的上表面的第二沟道孔和中间导电部,该中间导电部位于该第一沟道孔和该第二沟道孔之间,与第一沟道孔中的第一沟道层、沟道孔中的第二沟道层都接触;还包括与该第二沟道孔对应的第二存储层,该第二存储层与该中间导电部隔离。本发明所提供的三维半导体存储及其制备方法,由于将第二存储层与中间导电部隔离,所以能够较好的避免沟道层与中间导电部之间形成曲折回路,使得中间导电部更容易被反型,从而电子迁移率更高。因此本发明可以提高三维存储器的编程和擦写性能。



1. 一种三维半导体存储器,其特征在于,包括:
衬底;
位于所述衬底上的第一堆叠结构,所述第一堆叠结构包括多个间隔设置的第一栅极层;
位于所述第一堆叠结构上的第二堆叠结构,所述第二堆叠结构包括多个间隔设置的第二栅极层;
垂直于所述衬底的上表面的第一沟道孔,所述第一沟道孔位于所述第一堆叠结构中,所述第一沟道孔内设有第一沟道层;
垂直于所述衬底的上表面的第二沟道孔,所述第二沟道孔位于所述第二堆叠结构中,所述第二沟道孔内设有第二沟道层;
中间导电部,所述中间导电部位于所述第一沟道孔和所述第二沟道孔之间,所述中间导电部与所述第一沟道层、所述第二沟道层都接触;
与所述第二沟道孔对应的第二存储层,所述第二存储层与所述中间导电部隔离。
2. 根据权利要求1所述的三维半导体存储器,其特征在于:所述第二存储层位于所述中间导电部的上方且与所述中间导电部不接触。
3. 根据权利要求1所述的三维半导体存储器,其特征在于:所述第二沟道孔延伸入所述中间导电部内,并在所述中间导电部上形成凹槽。
4. 根据权利要求3所述的三维半导体存储器,其特征在于:所述第二沟道层具有延伸到所述凹槽中的延伸部;
所述延伸部的侧壁与所述凹槽接触。
5. 根据权利要求1所述的三维半导体存储器,其特征在于:所述第二存储层包括位于所述多个第二栅极层和所述第二沟道层之间的多个第二存储层子段;
所述多个第二存储层子段中相邻的两个第二存储层子段在所述第二沟道孔的延伸方向上相互间隔。
6. 根据权利要求1所述的三维半导体存储器,其特征在于:还包括第一存储层,所述第一存储层包括位于所述多个第一栅极层和所述第一沟道层之间的多个第一存储层子段,所述多个第一存储层子段中相邻的两个第一存储层子段在所述第一沟道孔的延伸方向上相互间隔。
7. 根据权利要求1所述的三维半导体存储器,其特征在于:还包括第一存储层,所述第一存储层位于所述第一沟道孔内。
8. 根据权利要求6或7所述的三维半导体存储器,其特征在于:所述第一存储层和所述第二存储层分别包括依次设置的阻挡层、电荷捕获层和隧穿层。
9. 根据权利要求6或7所述的三维半导体存储器,其特征在于:还包括形成于所述第一沟道孔的底部的硅层,所述硅层与所述衬底、所述第一沟道层都接触。
10. 根据权利要求1所述的三维半导体存储器,其特征在于,所述中间导电部的材料是多晶硅。
11. 根据权利要求1所述的三维半导体存储器,其特征在于:所述第一栅极层和第二栅极层的材质包括金属钨。
12. 一种三维半导体存储器的制备方法,其特征在于,包括:

提供衬底；

在所述衬底上形成第一堆叠结构，所述第一堆叠结构包括交替设置的多个第一材料层和多个第二材料层；

在所述第一堆叠结构中形成垂直于所述衬底的上表面的第一沟道孔；

在所述第一沟道孔内形成第一沟道层；

在所述第一沟道孔的顶部形成中间导电部，所述中间导电部与所述第一沟道层接触；

在所述第一堆叠结构上形成第二堆叠结构，所述第二堆叠结构包括交替设置的多个第三材料层和多个第四材料层；

在所述第二堆叠结构中形成第二沟道孔，所述第二沟道孔对准所述第一沟道孔；

在所述第二沟道孔内形成第二沟道层，所述第二沟道层与所述中间导电部接触；

去除所述多个第四材料层，形成多个第二间隙；

至少在所述多个第二间隙的侧壁形成第二存储层；

填充所述多个第二间隙，形成多个第二栅极层。

13. 根据权利要求12所述的三维半导体存储器的制备方法，其特征在于：所述第一材料层和所述第三材料层的材料包括氧化硅。

14. 根据权利要求12或13所述的三维半导体存储器的制备方法，其特征在于：所述第二材料层和所述第四材料层的材料包括氮化硅。

15. 根据权利要求12所述的三维半导体存储器的制备方法，其特征在于：还包括在所述第一沟道孔的底部形成硅层；

使所述第一沟道层与所述硅层接触。

16. 根据权利要求12所述的三维半导体存储器的制备方法，其特征在于，还包括：形成贯穿所述第一堆叠结构和所述第二堆叠结构并到达所述衬底的至少一个沟槽；

以所述至少一个沟槽去除所述多个第二材料层和所述多个第四材料层，形成多个第一间隙和所述多个第二间隙。

17. 根据权利要求16所述的三维半导体存储器的制备方法，其特征在于：以湿法刻蚀去除多个所述第二材料层和所述多个第四材料层。

18. 根据权利要求16所述的三维半导体存储器的制备方法，其特征在于：利用所述至少一个沟槽在所述多个第一间隙和所述多个第二间隙内形成第一存储层和所述第二存储层。

19. 根据权利要求18所述的三维半导体存储器的制备方法，其特征在于：形成所述第一存储层和所述第二存储层的方法包括原子层淀积。

20. 根据权利要求18所述的三维半导体存储器的制备方法，其特征在于：所述第一存储层和所述第二存储层分别包括依次设置的阻挡层、电荷捕获层和隧穿层。

21. 根据权利要求16所述的三维半导体存储器的制备方法，其特征在于：利用所述至少一个沟槽对所述多个第一间隙和所述多个第二间隙进行填充，形成多个第一栅极层和所述多个第二栅极层。

22. 根据权利要求21所述的三维半导体存储器的制备方法，其特征在于：所述第一栅极层和所述第二栅极层的材质包括金属钨。

23. 根据权利要求12所述的三维半导体存储器的制备方法，其特征在于：在所述第二堆叠结构上，以刻蚀方法形成所述至少一个第二沟道孔；

在以刻蚀方法形成所述至少一个第二沟道孔时,以所述中间导电部作为刻蚀停止结构。

一种三维半导体存储器及其制备方法

技术领域

[0001] 本发明涉及三维半导体存储器领域,尤其涉及一种具有较高可靠性的 三维半导体存储及其制备方法。

背景技术

[0002] 为了克服二维存储器件的限制,业界已经研发了具有三维(3D)结构的 存储器件,通过将存储器单元三维地布置在衬底之上来提高集成密度。

[0003] 在例如3D NAND闪存的三维存储器件中,存储阵列可包括具有沟道 结构的核芯(core)区。沟道结构形成于垂直贯穿三维存储器件的堆叠层(stack)的沟道孔中。通常通过单次刻蚀来形成堆叠层的沟道孔。但是为了提高存储密度和容量,三维存储器的层数(tier)继续增大,例如从64层增长到 96层、128层或更多层。在这种趋势下,单次刻蚀的方法在处理成本上越 来越高,在处理能力上越来越没有效率。

[0004] 一些改进的方法尝试将堆叠层分为多个相互堆叠的堆叠结构(deck)。在 形成一个堆叠结构后,先刻蚀沟道孔和形成沟道结构,然后继续堆叠堆叠 结构。沟道结构的沟道层之间通过位于二者之间共用的导电部连接。沟道 层和导电部的材料通常为多晶硅。当导电部的位置或者形态不佳时,容易 导致多晶硅反型(inversion)失败,从而造成多晶硅电阻过高、电子迁移率过 低。这导致沟道电流降低,从而严重影响三维存储器的编程/写入性能。

发明内容

[0005] 以下给出一个或多个方面的简要概述以提供对这些方面的基本理解。此概述不是所有构想到的方面的详尽综览,并且既非旨在指出所有方面 的关键性或决定性要素亦非试图界定任何或所有方面的范围。其唯一的目 的是要以简化形式给出一个或多个方面的一些概念以为稍后给出的更加详 细的描述之序。

[0006] 为了解决上述存在的问题,本发明提供了一种三维半导体存储器,包 括:

[0007] 衬底;

[0008] 位于该衬底上的第一堆叠结构,该第一堆叠结构包括多个间隔设置的 第一栅极层;

[0009] 位于该第一堆叠结构上的第二堆叠结构,该第二堆叠结构包括多个间 隔设置的第二栅极层;

[0010] 垂直于该衬底的上表面的第一沟道孔,该第一沟道孔位于该第一堆叠 结构中,该第一沟道孔内设有第一沟道层;

[0011] 垂直于该衬底的上表面的第二沟道孔,该第二沟道孔位于该第二堆叠 结构中,该第二沟道孔内设有第二沟道层;

[0012] 中间导电部,该中间导电部位于该第一沟道孔和该第二沟道孔之间, 该中间导电部与该第一沟道层、该第二沟道层都接触;

- [0013] 与该第二沟道孔对应的第二存储层,该第二存储层与该中间导电部隔离。
- [0014] 在本发明的至少一个实施例中,该第二存储层位于该中间导电部的上方且与该中间导电部不接触。
- [0015] 在本发明的至少一个实施例中,该第二沟道孔延伸入该中间导电部内,并在该中间导电部上形成凹槽。
- [0016] 在本发明的至少一个实施例中,该第二沟道层具有延伸到该凹槽中的延伸部;
- [0017] 该延伸部的侧壁与该凹槽接触。
- [0018] 在本发明的至少一个实施例中,该第二存储层包括位于该多个第二栅极层和该第二沟道层之间的多个第二存储层子段;
- [0019] 该多个第二存储层子段中相邻的两个第二存储层子段在该第二沟道孔的延伸方向上相互间隔。
- [0020] 在本发明的至少一个实施例中,还包括第一存储层,该第一存储层包括位于该多个第一栅极层和该第一沟道层之间的多个第一存储层子段,该多个第一存储层子段中相邻的两个第一存储层子段在该第一沟道孔的延伸方向上相互间隔。
- [0021] 在本发明的至少一个实施例中,还包括第一存储层,该第一存储层位于该第一沟道孔内。
- [0022] 在本发明的至少一个实施例中,该第一存储层和该第二存储层分别包括依次设置的阻挡层、电荷捕获层和隧穿层。
- [0023] 在本发明的至少一个实施例中,还包括形成于该第一沟道孔的底部的硅层,该硅层与该衬底、该第一沟道层都接触。
- [0024] 在本发明的至少一个实施例中,该中间导电部的材料是多晶硅。
- [0025] 在本发明的至少一个实施例中,该第一栅极层和第二栅极层的材质包括金属钨。
- [0026] 未解决本发明但至少一部分技术问题,本发明还提供一种三维半导体存储器的制备方法,包括:
- [0027] 提供衬底;
- [0028] 在该衬底上形成第一堆叠结构,该第一堆叠结构包括交替设置的多个第一材料层和多个第二材料层;
- [0029] 在该第一堆叠结构中形成垂直于该衬底的上表面的第一沟道孔;
- [0030] 在该第一沟道孔内形成第一沟道层;
- [0031] 在该第一沟道孔的顶部形成中间导电部,该中间导电部与该第一沟道层接触;
- [0032] 在该第一堆叠结构上形成第二堆叠结构,该第二堆叠结构包括交替设置的多个第三材料层和多个第四材料层;
- [0033] 在该第二堆叠结构中形成第二沟道孔,该第二沟道孔对准该第一沟道孔;
- [0034] 在该第二沟道孔内形成第二沟道层,该第二沟道层与该中间导电部接触;
- [0035] 去除该多个第四材料层,形成多个第二间隙;
- [0036] 至少在该多个第二间隙的侧壁形成第二存储层;
- [0037] 填充该多个第二间隙,形成多个第二栅极层。
- [0038] 在本发明的至少一个实施例中,该第一材料层和该第三材料层的材料包括氧化硅。

- [0039] 在本发明的至少一个实施例中,该第二材料层和该第四材料层的材料 包括氮化硅。
- [0040] 在本发明的至少一个实施例中,还包括在该第一沟道孔的底部形成硅 层;
- [0041] 使该第一沟道层与该硅层接触。
- [0042] 在本发明的至少一个实施例中,三维半导体存储器的制备方法还包括: 形成贯穿该第一堆叠结构和该第二堆叠结构并到达该衬底的至少一个沟槽;
- [0043] 以该至少一个沟槽去除该多个第二材料层和该多个第四材料层,形成 多个第一间隙和该多个第二间隙。
- [0044] 在本发明的至少一个实施例中,以湿法刻蚀去除多个该第二材料层和 该多个第四材料层。
- [0045] 在本发明的至少一个实施例中,利用该至少一个沟槽在该多个第一间 隙和该多个第二间隙内形成第一存储层和该第二存储层。
- [0046] 在本发明的至少一个实施例中,形成该第一存储层和该第二存储层的 方法包括原子层沉积。
- [0047] 在本发明的至少一个实施例中,该第一存储层和该第二存储层分别包 括依次设置的阻挡层、电荷捕获层和隧穿层。
- [0048] 在本发明的至少一个实施例中,利用该至少一个沟槽对该多个第一间 隙和该多个第二间隙进行填充,形成多个第一栅极层和该多个第二栅极层。
- [0049] 在本发明的至少一个实施例中,该第一栅极层和该第二栅极层的材质 包括金属钨。
- [0050] 在本发明的至少一个实施例中,在该第二堆叠结构上,以刻蚀方法形 成该至少一个第二沟道孔;
- [0051] 在以刻蚀方法形成该至少一个第二沟道孔时,以该中间导电部作为刻 蚀停止结构。
- [0052] 本发明所提供的三维半导体存储及其制备方法,由于将第二存储层与 中间导电部隔离,所以能够较好的避免沟道层与中间导电部之间形成曲折 回路,使得中间导电部更容易被反型,从而电子迁移率更高。因此本发明 可以提高三维存储器的编程和擦写性能。

附图说明

- [0053] 图1示出了本发明的一个实施例中的三维半导体存储器的剖面结构示 意图;
- [0054] 图2A示出了本发明的一个实施例中的三维半导体存储器的剖面结构 的局部放大示意图;
- [0055] 图2B示出了本发明的另一个实施例中的三维半导体存储器的剖面结 构的局部放大示意图。
- [0056] 图3示出了本发明的一个实施例中的三维半导体存储器的制备方法的 流程图;
- [0057] 图4A至图4G示出了本发明的一个实施例中的三维半导体存储器的工 艺步骤示意图。
- [0058] 附图标记说明
- [0059] 1-衬底;

- [0060] 2-第一堆叠结构;
- [0061] 201-第一材料层;
- [0062] 202-第二材料层;
- [0063] 203-第一栅极层;
- [0064] 204-第一存储层;
- [0065] 306-第一间隙
- [0066] 3-第二堆叠结构;
- [0067] 301-第三材料层;
- [0068] 302-第四材料层;
- [0069] 303-第二栅极层;
- [0070] 304-第二存储层;
- [0071] 305-第二存储层子段;
- [0072] 306-第二间隙
- [0073] 4-第一沟道孔;
- [0074] 401-第一沟道层;
- [0075] 402-第一填充层;
- [0076] 5-第二沟道孔;
- [0077] 501-第二沟道层;
- [0078] 511-延伸部
- [0079] 502-第二填充层;
- [0080] 6-中间导电部;
- [0081] 601-凹槽;
- [0082] 7-硅层;
- [0083] 8-沟槽。

具体实施方式

[0084] 为了让本发明的上述目的、特征和优点能更明显易懂,以下结合附图 对本发明的具体实施方式作详细说明。

[0085] 在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是本 发明还可以采用其它不同于在此描述的其它方式来实施,因此本发明不受 下面公开的具体实施例的限制。

[0086] 如本申请和权利要求书所示,除非上下文明确提示例外情形,“一”、“一个”、“一种”和/或“该”等词并非特指单数,也可包括复数。一般 说来,术语“包括”与“包含”仅提示包括已明确标识的步骤和元素,而 这些步骤和元素不构成一个排它性的罗列,方法或者设备也可能包含其他 的步骤或元素。

[0087] 注意,在使用到的情况下,标志左、右、前、后、顶、底、正、反、顺时针和逆时针仅仅是出于方便的目的所使用的,而并不暗示任何具体的 固定方向。事实上,它们被用于反映对象的各个部分之间的相对位置和/或 方向。

[0088] 在详述本发明实施例时,为便于说明,表示器件结构的剖面图会不依 一般比例作

局部放大,而且所述示意图只是示例,其在此不应限制本发明 保护的 范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺 寸。

[0089] 如本文使用的术语“在...上方(over)”、“在...下方(under)”、“在... 之间(between)”和“在...上(on)”指的是这一层相对于其它层的相对位置。同样地,例如,被沉积或被放置于另一层的上方或下方的一层可以直接与 另一层接触或者可以具有一个或多个中间层。此外,被沉积或被放置于层 之间的一层可以直接与这些层接触或者可以具有一个或多个中间层。相比 之下,在第二层“上”的第一层与该第二层接触。此外,提供了一层相 对 于其它层的相对位置(假设相对于起始基底进行沉积、修改和去除薄膜操作 而不考虑基底的绝对定向)。

[0090] 首先参考图1和图2A来说明本发明的一个实施例中的三维半导体存储 器的结构。在这一实施例中,三维半导体存储器包括:衬底1、第一堆叠结 构2、第二堆叠结构3、第一沟道孔(Channel Hole)4、第二沟道孔(Channel Hole)5、中间导电部6和第二存储层304。在当 前的实施例中,衬底1由单 晶硅制成。但是在其他的实施例中,衬底1也可由其他合适的材 料制成, 例如,在一些实施例中,衬底1的材质为硅、锗、绝缘体上硅薄膜(Silicon on insulator,SOI)等。

[0091] 第一堆叠结构2位于衬底1上。该第一堆叠结构2包括多个间隔设置 的第一栅极层 203。相邻的两个第一栅极层203之间由一个第一材料层201 隔开。每个第一栅极层203的厚 度和材质可以相同也可以不同。相应的,每个第一材料层201的厚度和材质可以相同也 可以不同。在当前的实施例中,多个第一材料层201为厚度相同的氧化硅层,多个第一栅极层 203则 为多个厚度相同的钨层。

[0092] 第二堆叠结构3位于第一堆叠结构2的上方,因此也可以被称为上部 堆叠结构 (Upper Deck),相应的位于下方的第一堆叠结构2则可以被称 为下部堆叠结构(Lower Deck)。与第一堆叠结构2类似的,该第二堆叠 结构3也包括多个相互间隔设置的第二栅极 层303。相邻的两个第二栅极层 303之间由一个第三材料层301隔开。每个第二栅极层303的 厚度和材质可 以相同也可以不同。相应的,每个第三材料层301的厚度和材质可以相同 也 可以不同。在当前的实施例中,多个第三材料层301为厚度相同的氧化 硅层,多个第二栅极 层303则为多个厚度相同的钨层。

[0093] 第一堆叠结构2中具有至少一个第一沟道孔4。每个第一沟道孔4垂直 于衬底1的 上表面且第一沟道孔4内设有第一沟道层401。相应的,第二堆 叠结构3中具有至少一个第 二沟道孔5。每个第二沟道孔5也垂直于衬底1 的上表面且第二沟道孔5内设有第二沟道层 501。第一沟道层401、第二沟 道层501可以以适于作为沟道的各种材料制成,且第一沟道层 401、第二沟 道层501的材料可以相同或者不同。在本实施例中,第一沟道层401、第二 沟道 层501都由多晶硅材质制成。

[0094] 值得注意的是,虽然第一沟道孔4在此处仅被描述为其内部设有第一 沟道层401, 但并不代表该第一沟道孔4内部除第一沟道层401以外不能具 有其他结构。在当前的实施 例中,该第一沟道孔4内部还设有第一填充层402。类似的,第二沟道孔5的内部除第二沟道 层501也可以具有其他结构。在当前的实施例中,该第二沟道孔5内部除第二沟道层501外, 还设有第 二填充层502。该第一填充层402、第二填充层502的形状材质都可以相同 或者不 同。在当前的实施例中,该第一填充层402、第二填充层502的材料 是氧化硅。在其他的实施

例中,该第一填充层402、第二填充层502可以是 由其他绝缘材料制成的。填充层402、502可以是实心的,也可以是中空的。

[0095] 本实施例的实施例中的三维半导体存储器还包括至少一个中间导电部 6。该中间导电部6位于第一沟道孔4和第二沟道孔5之间,并且该中间导电部6与第一沟道层401和第二沟道层501都接触。这样的设置使得该第一沟道层401和第二沟道层501连接。该中间导电部6可以以适于导电的 各种材料制成。例如,在当前的实施例中,该中间导电部6以多晶硅制成,因此在本实施例中,该中间导电部6也可以被称为中间导电多晶硅(Inter deck Poly-Si, IDP)。

[0096] 本实施例中的三维半导体存储器还包括与第二沟道孔5对应的第二存储层304,其中第二存储层304与中间导电部6之间是隔离开来的。这样设置的好处在于,由于其中第二存储层304与中间导电部6之间是隔离开的,能够较好地避免沟道层304与中间导电部6之间形成曲折回路,使得中间导电部6更容易被反型,能够保证第一沟道层401和第二沟道层501之间良好的导电性。相比之下,若第二存储层304与中间导电部6之间接触,甚至第二存储层304延伸入中间导电部6的内部,则可能会导致第二存储层304延伸入中间导电部6的部分而导致中间导电部6反型(inversion)失败,进而导致第一沟道层401和第二沟道层501之间导电性不良。

[0097] 值得注意的是,以上的例子只是对本发明所提出的三维半导体存储器的一个可选的例子的说明。本发明所提出的三维半导体存储器的许多部分 都可以具有多种多样的设置方式。例如,第二存储层304可以被设置为位于中间导电部6的上方,并以此种方式实现与中间导电部6的不接触。又 例如,第二存储层304可以被设置为位于中间导电部6的上方和周围。下面以一些非限制性的例子对本发明提供的三维半导体存储器的变化中的至少一部分进行说明。

[0098] 继续参考图1和图2A,在本发明的至少一个实施例中,第二沟道孔5 延伸入中间导电部6的内部,并且在该中间导电部6上形成凹槽601。(在 图1中该凹槽601被填满,因此未标示出。除参考图2A中的凹槽601外还 可以参考图4C中的凹槽601)可选的,在一些实施例中,第二沟道层501 还延伸至凹槽601的内部。换言之,在该实施例中,第二沟道层501该具有延伸到所述凹槽中的延伸部511。该延伸部511的侧壁与凹槽601接触,即该延伸部511的侧壁与凹槽601之间不存在第二存储层304。正是由于延伸部511的侧壁与凹槽601之间不存在第二存储层304,所以延伸部511 朝向第二栅极层303的表面与中间导电部6朝向第二栅极层303是直接连接的,进而不会存在曲折的回路。这样的设置可以降低中间导电部6反型失败的风险。

[0099] 继续参考图1和图2A,在本发明的至少一部分实施例中,第二存储层 304包括位于第二栅极层303和第二沟道层501之间的多个第二存储层子段 305。其中该多个第二存储层子段305中相邻的两个第二存储层子段305在 第二沟道孔5的延伸方向上(即图1中的竖直方向上)不是连续的,而是 相互间隔的。

[0100] 上述“相互间隔”的实现方式可以是多样的。例如,可以仅将第二栅 极层303和第二沟道层501之间的区域相互间隔。又例如,在一些实施例中,第二存储层304以包围第二栅极层303的方式设置,其中位于第二栅 极层303与第二沟道孔5之间的界面的位置的 第二存储层304为第二存储层子段305。由于相对于第二沟道孔5的侧壁,多个第二栅极层303是

不相连的,所以多个第二存储层子段305也是相互间隔的。

[0101] 虽然本发明的实施例的三维半导体存储器的结构如上所述,但事实上 在本发明的至少一部分实施例中,三维半导体存储器还可具有更多的结构。在本发明一部分实施例中,三维半导体存储器还具有第一存储层204。第一存储层204的具体结构可以是多样的。参考图1和图2A,第一存储层204 的结构与第二存储层304类似或者相同。即,第一存储层204包括位于多个第一栅极层203和第一沟道层401之间的多个第一存储层子段,且该多个第一存储层子段中相邻的两个第一存储层子段在图1中的垂直方向上(即 第一沟道孔4的延伸方向上)相互间隔。参考图2B,在另一些实施例中,第一存储层204是位于第一沟道孔4的内部。

[0102] 上述实施例中并未对第一存储层204、第二存储层304的具体结构进行 描述,这是因为该第一存储层204、第二存储层304的具体结构可以是多样的。在一些实施例中,该第一存储层204、第二存储层304的分别包括依次 设置的阻挡层、电荷捕获层、隧穿层。阻挡层和隧穿层的示例性材料为氧 化硅、氮氧化硅或二者的混合物,电荷捕获层的示例性材料为氮化硅或者 氮化硅与氮氧化硅的多层结构。三者可以形成具有例如氮氧化硅-氮化硅- 氮氧化硅SiON/SiN/SiON) 多层结构的第一存储器层。但可以理解,这些层 可以选择其他材料。例如,阻挡层的材料可以包括高K(介电系数)氧化 层。此外,该第一存储层204、第二存 储层304除了包括阻挡层、电荷捕获 层和隧穿层之外,还可以具有或者不具有其他的层或 者其他结构。

[0103] 参考图1,可选的,第一沟道孔4的底部还形成有硅层7,该硅层7的 一面(图中的底面)与衬底1接触,另一面(图中为上表面则) 则与第一 沟道层401接触。该硅层7的材料可以是多样的,在当前的实施例中,该 硅层7是多晶硅材料制成的多晶硅层。

[0104] 除了以上述实施例进行举例说明的三维半导体存储器,本发明还提供 三维半导 体存储器的制备方法。下面以图3和图4A至图4G来对本发明的 三维半导体存储器的制备方法的一些实施例进行说明。

[0105] 下面参考图3和图4A至图4G,描述本发明的一些实施例的三维半导 体存储器的制 备方法。

[0106] 参考图4A,在步骤100,提供衬底。在当前的实施例中,衬底1由单 晶硅制成。但是在其他的实施例中,衬底1也可由其他合适的材料制成, 例如,在一些实施例中,衬底1的材质为硅、锗、绝缘体上硅薄膜(Silicon on insulator, SOI) 等。此处第“提供”既可以理解为制作,也可以理解为 从供应商处获得等其他方式。

[0107] 继续参考图4A,在步骤200,在衬底上形成第一堆叠结构2。该第一 堆叠结构2包括 交替设置的多个第一材料层201和多个第二材料层202。该 多个第一材料层201和多个第二材料层202的具体形式可以是多样的。具 体的:该多个第一材料层201和多个第二材料层202可以以相同或者不同 的方式设置,设置的具体方法可以是化学气相沉积 (Chemical Vapor Deposition)、原子层淀积技术 (Atomic Layer Deposition) 等。第一材料层 201和 多个第二材料层202的材料可以在氧化硅、氮化硅、氮氧化硅等材质 中进行选择。在该实施 例中,第一材料层201的材料是氧化硅,第二材料 层202的材料是氮化硅。

[0108] 继续参考图4A,在步骤300,在第一堆叠结构2中形成第一沟道孔4。 该第一沟道孔 4被设置为垂直于衬底1。该第一沟道孔4可以以刻蚀等方式 制成,且该第一沟道孔4的数量

可以是一个或者多个。

[0109] 参考图4B,在步骤400,在第一沟道孔4内形成第一沟道层401。第一沟道层401可以以适于作为沟道的各种材料制成。在本实施例中,第一沟道层401由多晶硅材质制成。可选地,在第一沟道层401的内部可形成填充层402。

[0110] 继续参考图4B,在步骤500,在第一沟道孔4的顶部形成中间导电部6。形成的该中间导电部6与第一沟道层401接触。

[0111] 参考图4C,在步骤600,在第一堆叠结构2上形成第二堆叠结构3。其中该第二堆叠结构3包括交替设置的多个第三材料层301和多个第四材料层304。该第二堆叠结构3形成的具体方式可以与第一堆叠结构2相同或者不同。具体的,第三材料层301和多个第四材料层304的厚度、材质、层数都可以与多个第一材料层201和多个第二材料层202相同或者不同。在该实施例中,第三材料层301的材料是氧化硅,第四材料层304的材料是氮化硅。

[0112] 继续参考图3C,在步骤700,在第二堆叠结构3中形成第二沟道孔5。该第二沟道孔5被设置为对准第一沟道孔4。

[0113] 参考图4D,在步骤800,形成位于第二沟道孔5内的第二沟道层501。该第二沟道层501与中间导电部6接触。

[0114] 参考图4E,在步骤900,去除多个第四材料层302,形成多个第二间隙306。

[0115] 参考图4F,在步骤1000,至少在多个第二间隙的侧壁形成第二存储层304。

[0116] 参考图4G,在步骤1100,填充多个第二间隙,形成多个第二栅极303。

[0117] 本实施例中,由于设置第二存储层304的方式为,在去除多个第四材料层302形成多个第二间隙之后,在第二间隙的侧壁形成第二存储层304。所以本实施例中第二存储层304将不会延伸入中间导电部6。因此第二沟道层501和中间导电部6之间并无其他结构,不会存在曲折的回路,因此可以降低中间导电部6反型失败的风险。

[0118] 虽然本发明的三维半导体存储器的制备方法的一个实施例的情况如上所述,但本实施例的多个方面都可以具有多种变化。下面以一些非限制性的例子对这些变化中的至少一部分进行说明。

[0119] 参考图3B,在本发明的一些实施例中,还包括在第一沟道孔4的底部形成硅层7的步骤。该步骤可以是在第一沟道孔4形成后进行的。例如,该步骤可以在第一沟道孔4形成后立即进行,也可以在第一沟道层401形成后再进行。在形成硅层7的基础上,还使得第一沟道层401与硅层7接触。在当前的实施例中,在第一沟道孔4形成后先形成硅层,然后在形成第一沟道层401。因此在该实施例中,在形成第一沟道层401的过程中使得第一沟道层401与硅层7接触。

[0120] 参考图4G,在本发明的一些实施例中,形成贯穿第一堆叠结构2和第二堆叠结构3并到达衬底1的至少一个沟槽8。该至少一个沟槽8的作用在于,可以将多个第二材料层202和多个第四材料层302暴露出来,从而能够利用该至少一个沟槽8去除多个第二材料层202和多个第四材料层302,形成多个第一间隙和多个第二间隙。其中去除多个第二材料层202和多个第四材料层302的方法可以是多样的。在一些实施例中,以湿法刻蚀去除多个第二材料层202和多个第四材料层302。

[0121] 由于沟槽8和形成的多个第一间隙和多个第二间隙是相互连通的,因此沟槽8还能够被用于形成存储层。在一些实施例中,利用至少一个沟槽8在多个第一间隙和多个第

二间隙内形成第一存储层204和第二存储层304。其中形成第一存储层204和第二存储层304的具体方式可以是多样的。在本实施例中,形成第一存储层204和第二存储层304的方法包括原子层淀积。

[0122] 上述的第一存储层204、第二存储层304的具体结构可以是多样的。在一些实施例中,该第一存储层204、第二存储层304分别包括依次设置的阻挡层、电荷捕获层、隧穿层。可选的,其中该阻挡层、电荷捕获层、隧穿层的材料分别为氧化硅、氮化硅和氧化硅。此外,该第一存储层204、第二存储层304除了包括阻挡层、电荷捕获层和隧穿层之外,还可以具有或者不具有其他的层或者其他结构。

[0123] 由于沟槽8在形成第一存储层204、第二存储层304之后仍然和多个第一间隙和多个第二间隙是相互连通的,所以沟槽8还可以被用于制作栅极。在一些实施例中,在通过沟槽8在多个第一间隙和多个第二间隙内形成第一存储层204和第二存储层304后,利用沟槽8对多个第一间隙和多个第二间隙进行填充,形成多个第一栅极层203和多个第二栅极层303。可选的,以钨对多个第一间隙和多个第二间隙进行填充以制作多个第一栅极层203和多个第二栅极层303。当然,栅极层除了具有钨之外还可以具有其他的结构,例如使用界面剂增强钨与其他结构之间的附着强度。换言之,第一栅极层203和第二栅极层303的材质包括金属钨,并且还可以包含或者不包含其他材质。

[0124] 以上所述仅是本申请的优选实施方式,虽然本申请已以较佳实施例披露如上,然而并非用以限定本申请。任何熟悉本领域的技术人员,在不脱离本申请技术方案范围情况下,都可利用上述揭示的方法和技术内容对本申请技术方案做出许多可能的变动和修饰,或修改为等同变化的等效实施例。

[0125] 例如,在一些实施例中,在进行对第二沟道孔5的刻蚀过程中,可以设置专门的刻蚀停止层,也可以以中间导电部6为刻蚀停止层。

[0126] 因此,凡是未脱离本申请技术方案的内容,依据本申请的技术实质对以上实施例所做的任何的简单修改、等同变化及修饰,均仍属于本申请技术方案保护的范围内。

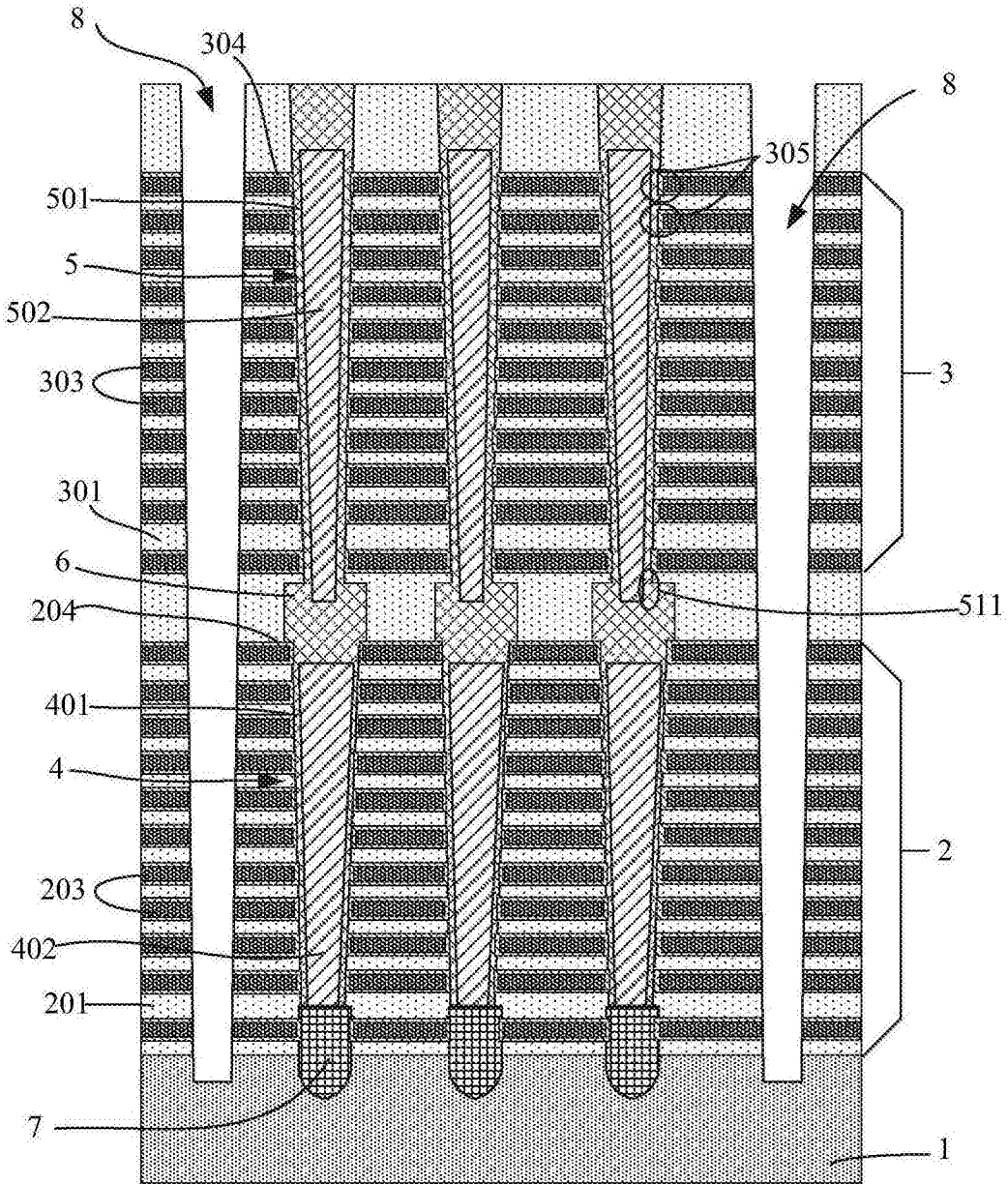


图1

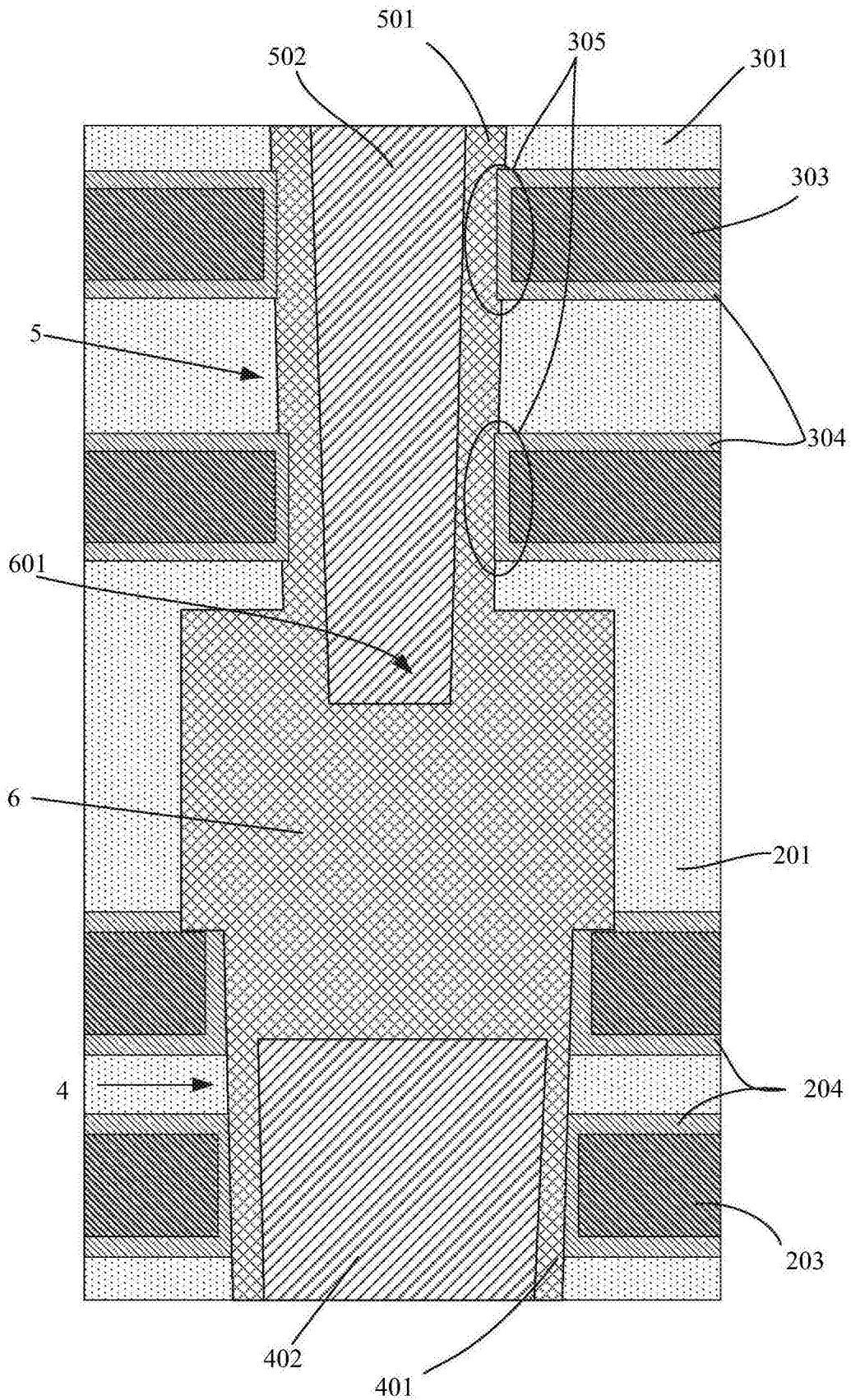


图2A

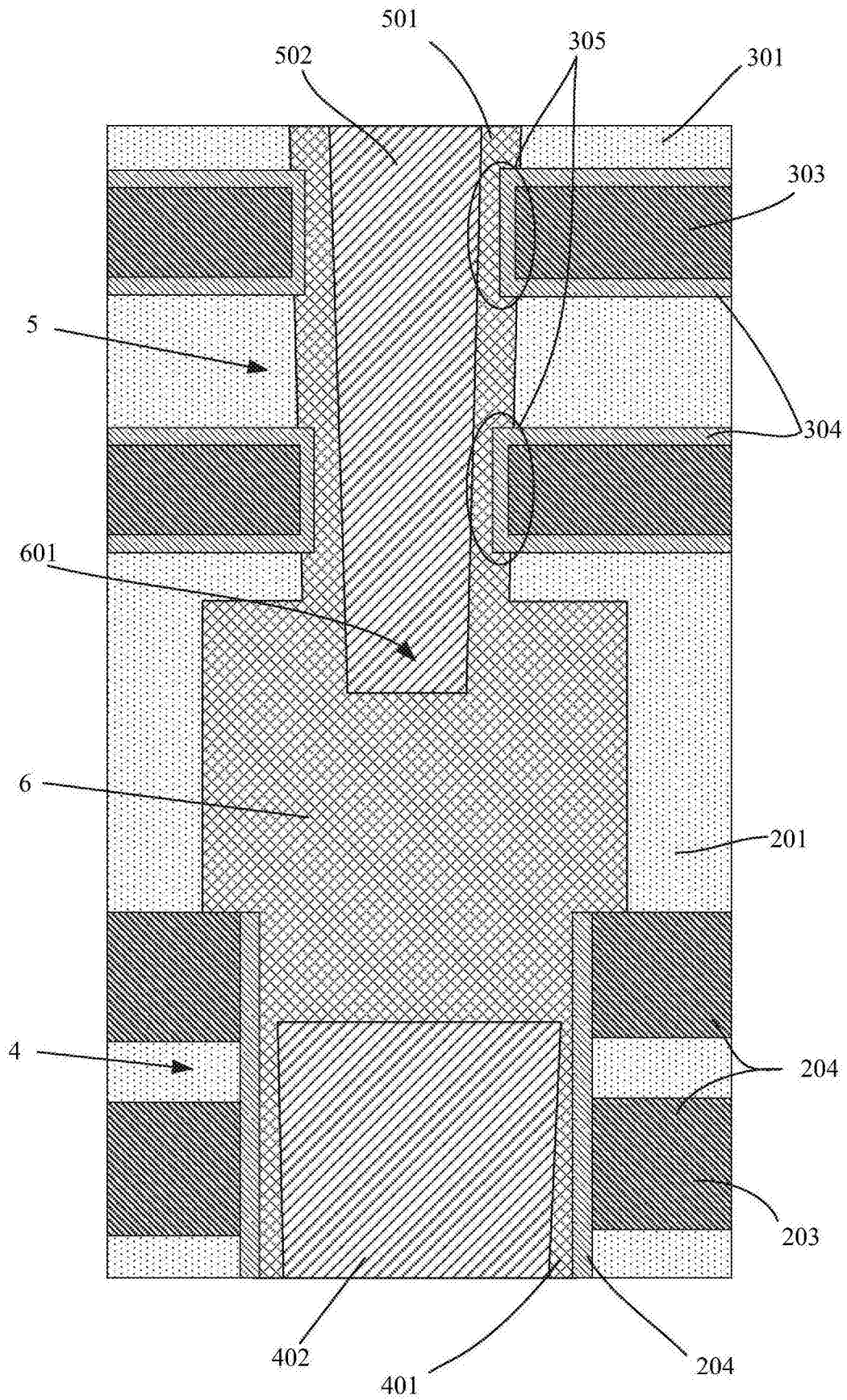


图2B

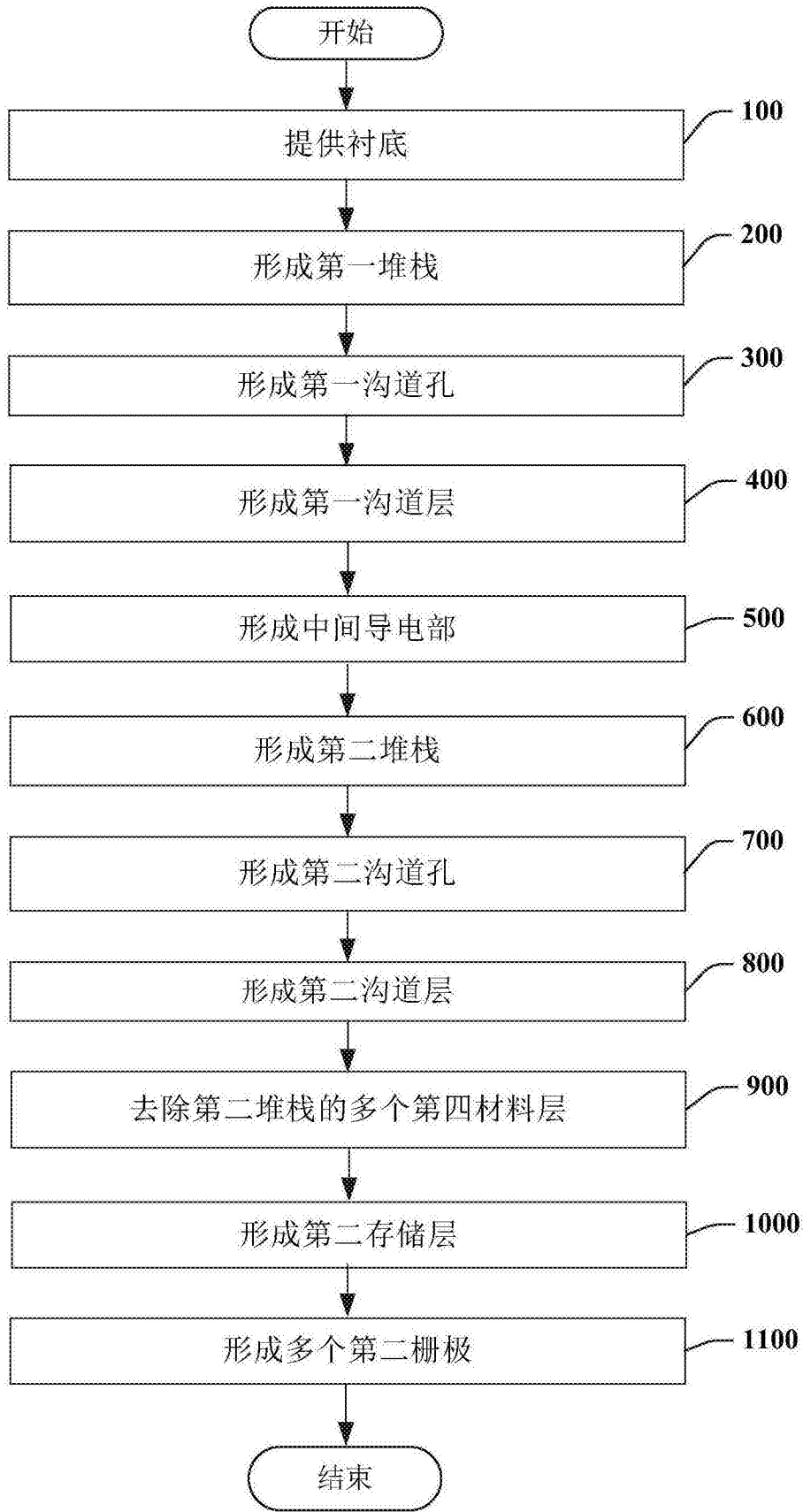


图3

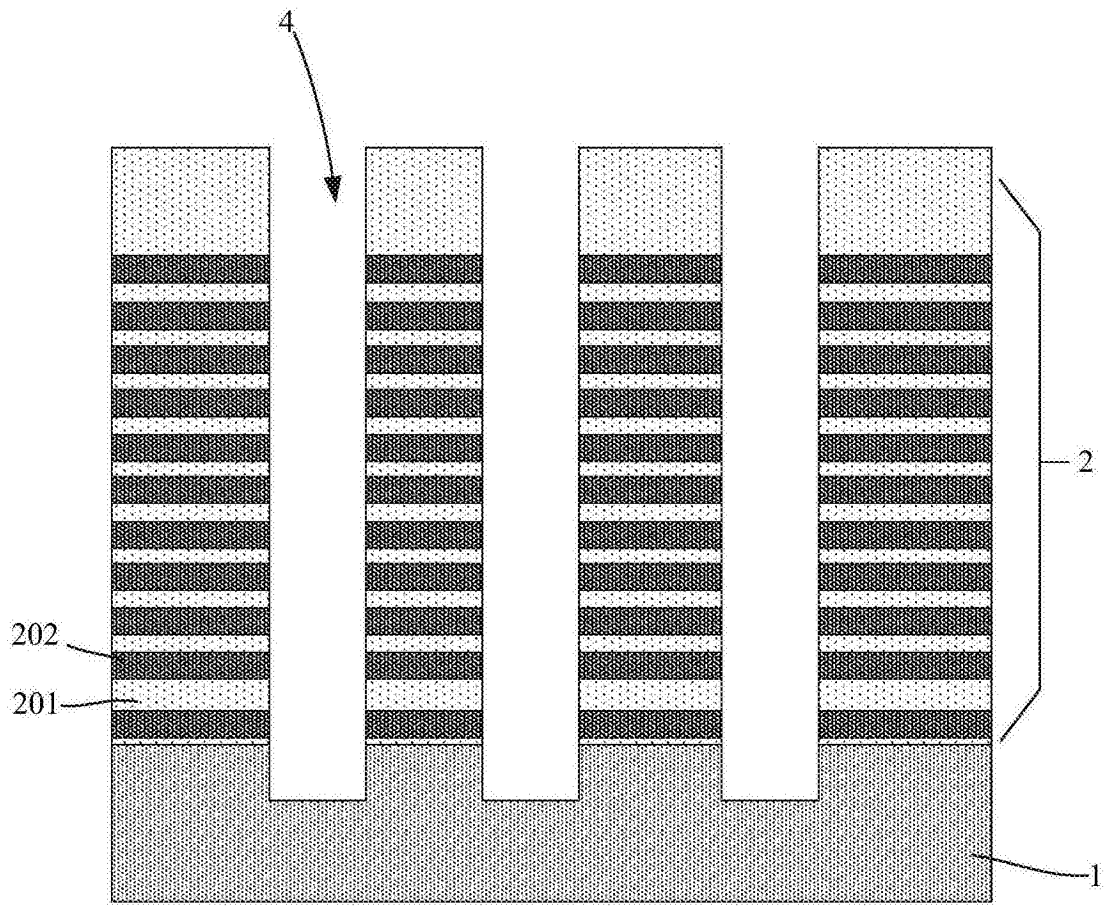


图4A

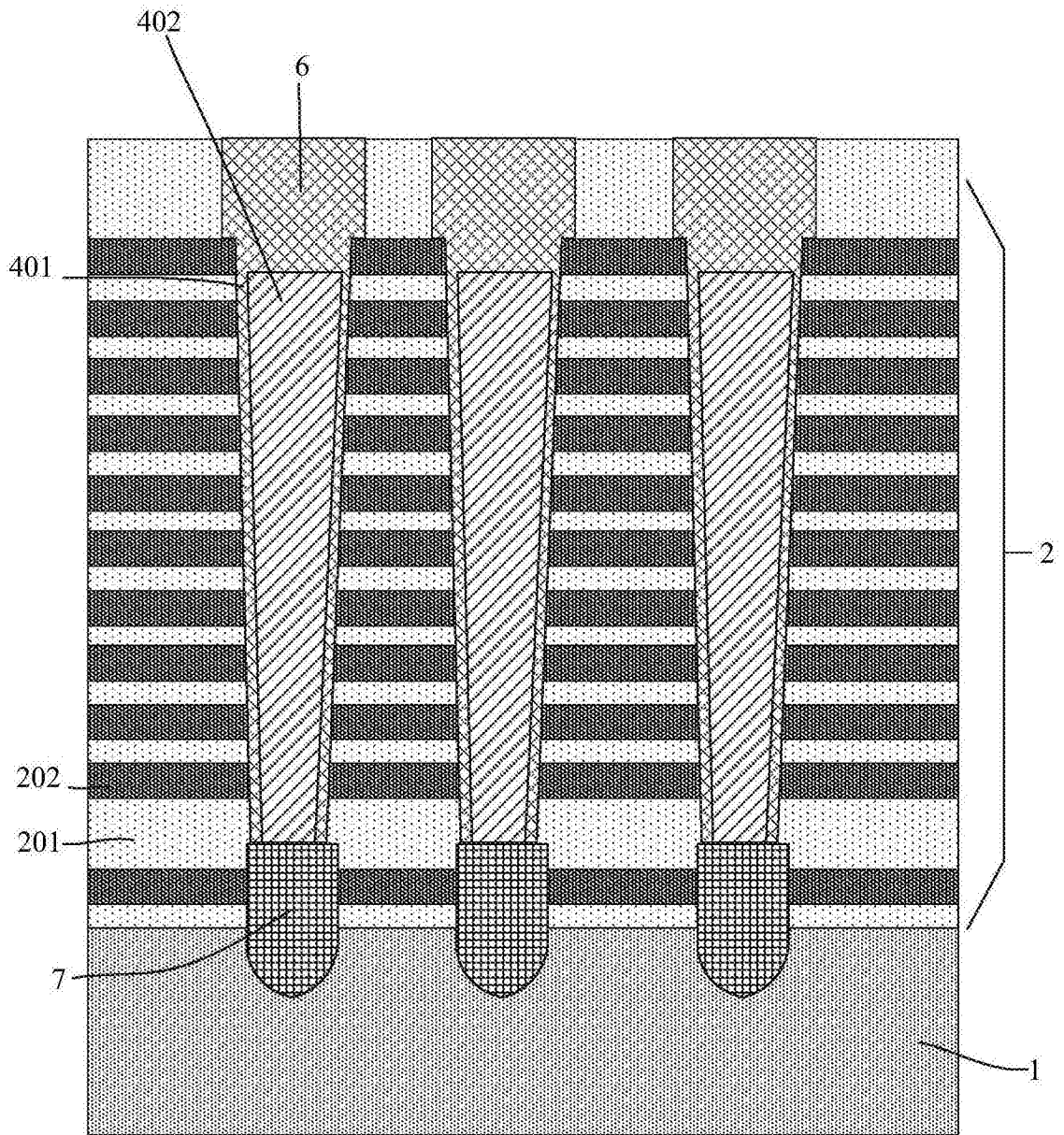


图4B

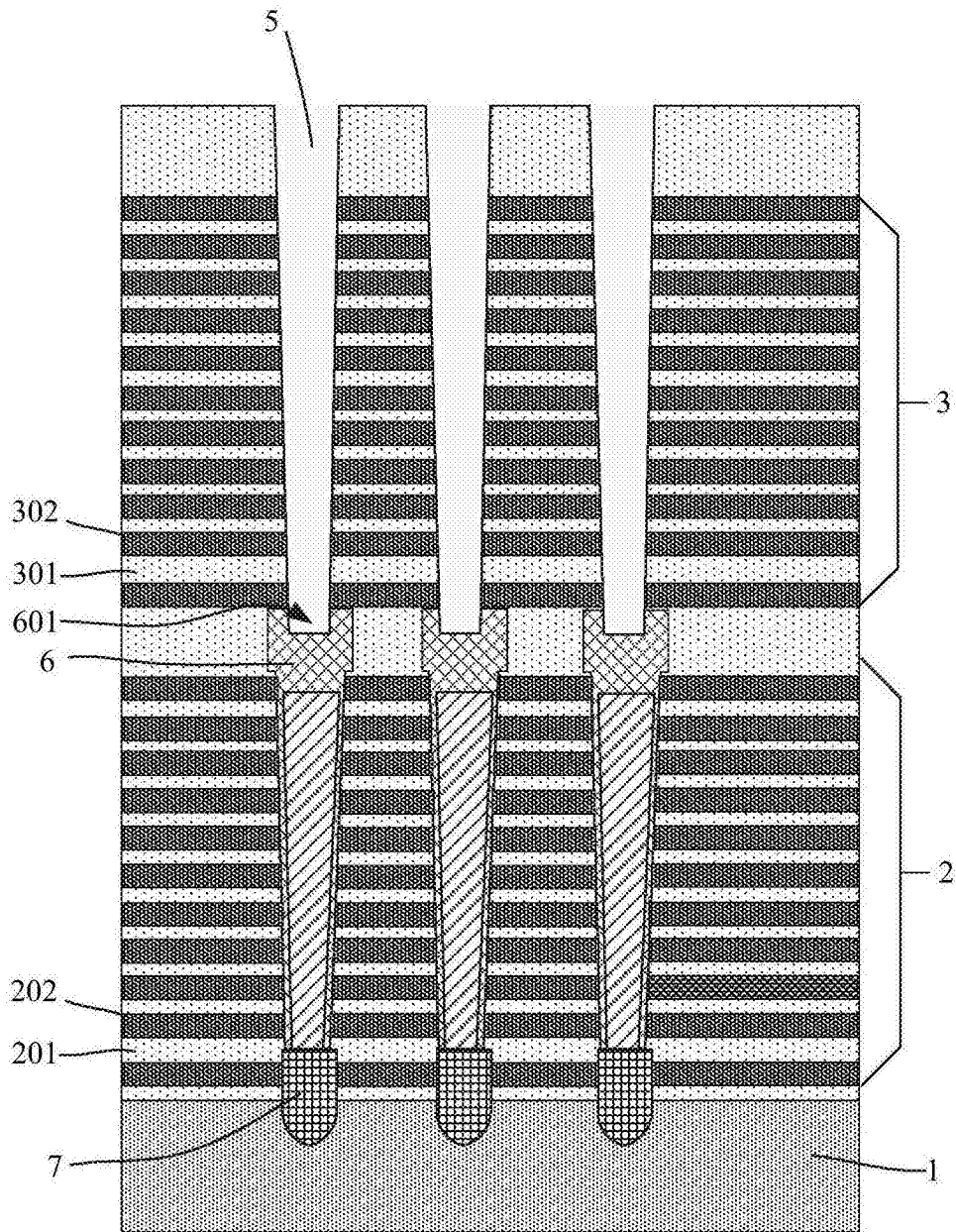


图4C

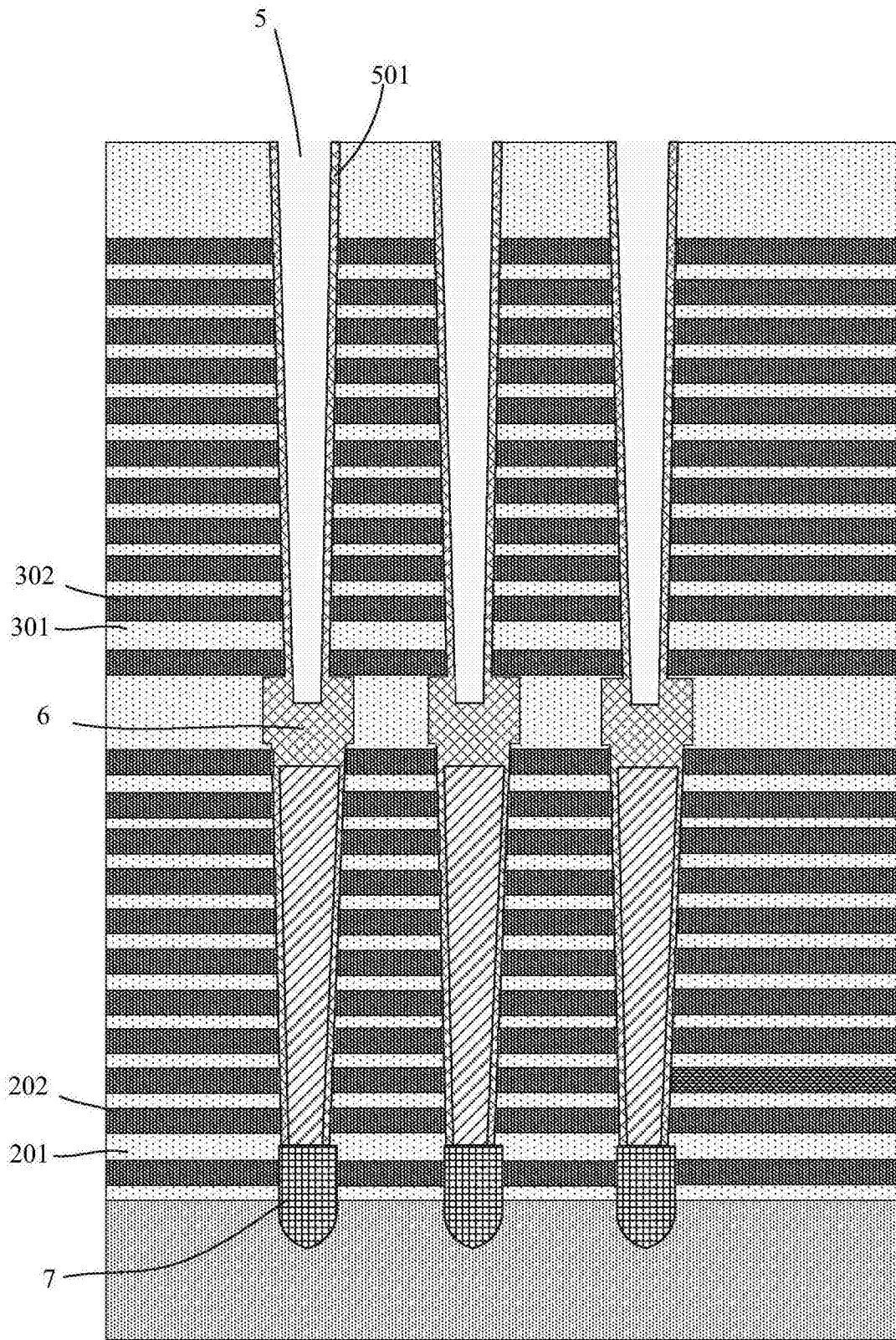


图4D

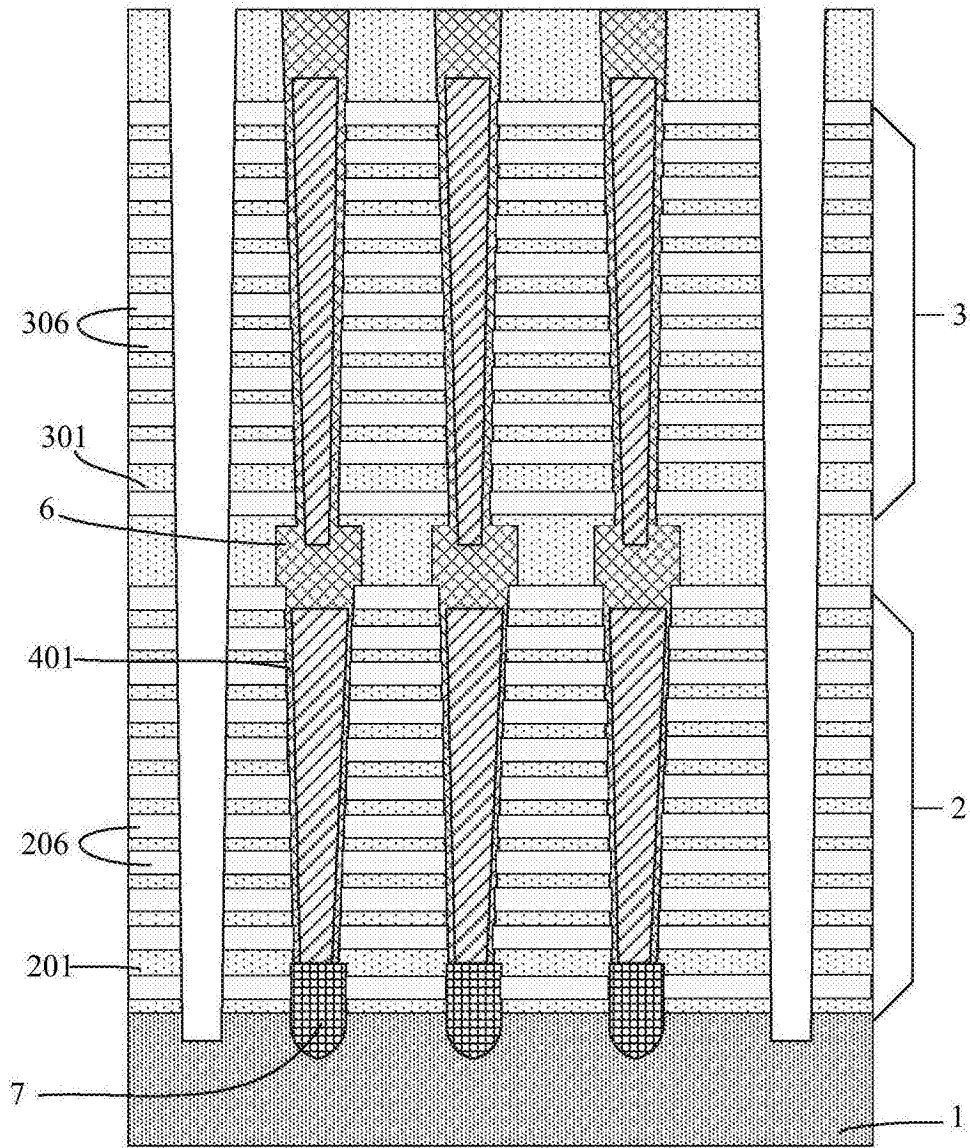


图4E

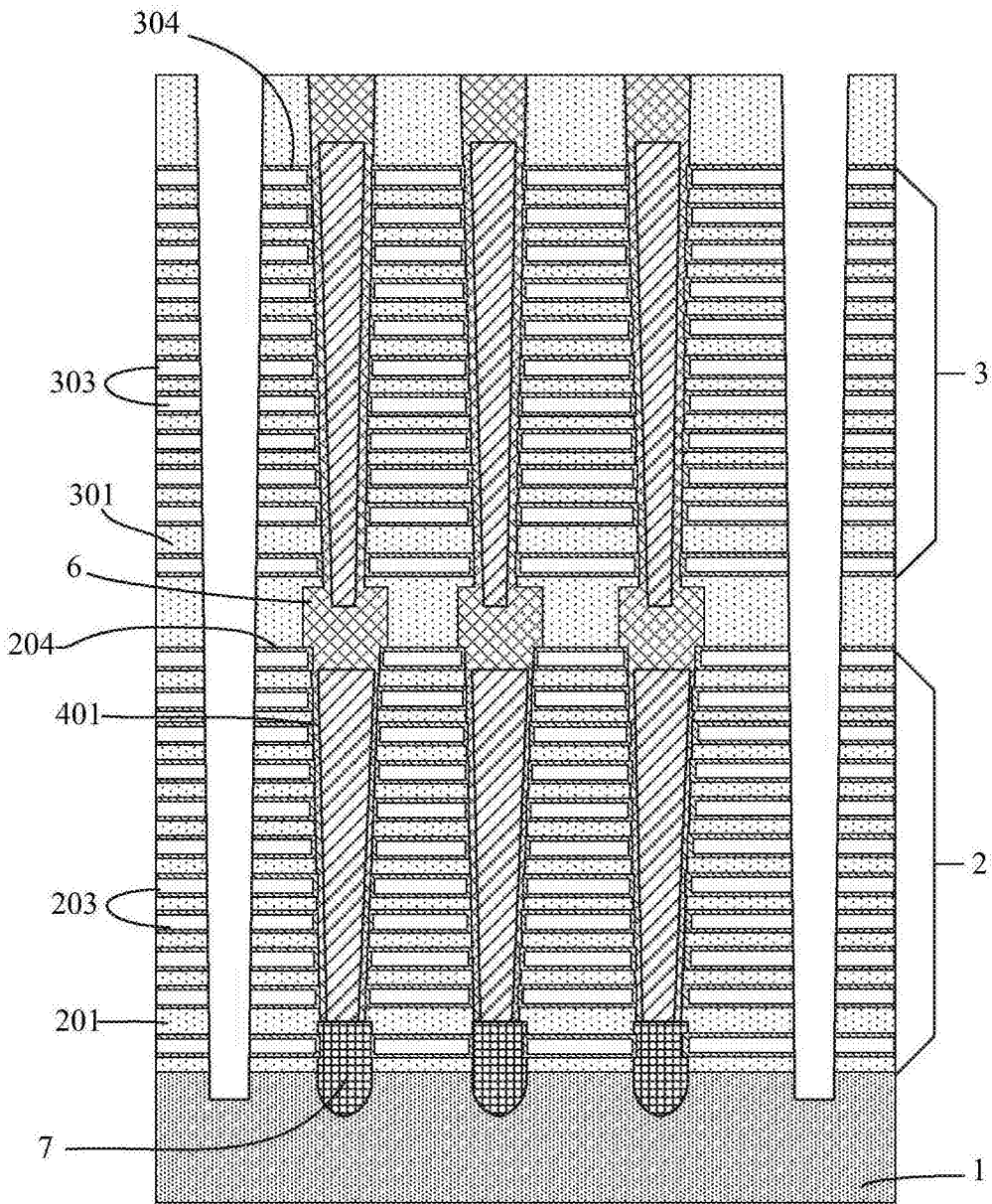


图4F

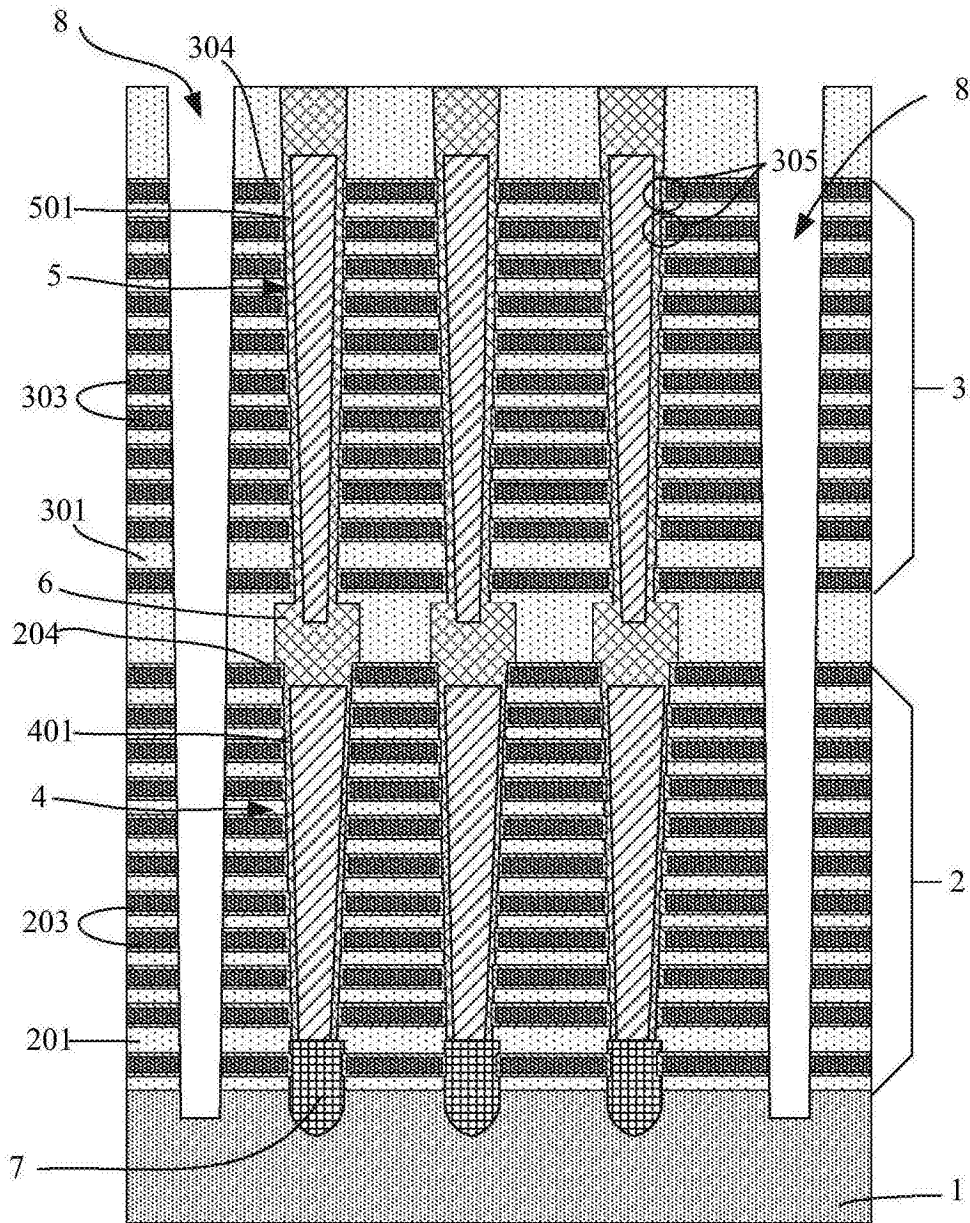


图4G