



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I533439 B

(45)公告日：中華民國 105 (2016) 年 05 月 11 日

(21)申請案號：102125718

(22)申請日：中華民國 99 (2010) 年 12 月 21 日

(51)Int. Cl. : H01L27/11 (2006.01)

H01L23/52 (2006.01)

(30)優先權：2009/12/25 日本

2009-296202

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；小山潤 KOYAMA, JUN (JP)；加藤清
KATO, KIYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200937613

US 6579727

審查人員：邱智強

申請專利範圍項數：10 項 圖式數：17 共 116 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明的目的之一在於提供一種在儲存保持期間中即使在沒有電力提供的情況下也可以保持儲存內容且對寫入次數沒有制限的新穎結構的半導體裝置。該半導體裝置，包括：具有使用氧化物半導體以外的半導體材料的第一通道形成區的第一電晶體；第一電晶體的上方的具有使用氧化物半導體材料的第二通道形成區的第二電晶體；以及電容元件，其中，第二電晶體的第二源極電極和第二汲極電極中的一方與電容元件的電極的一方電連接。

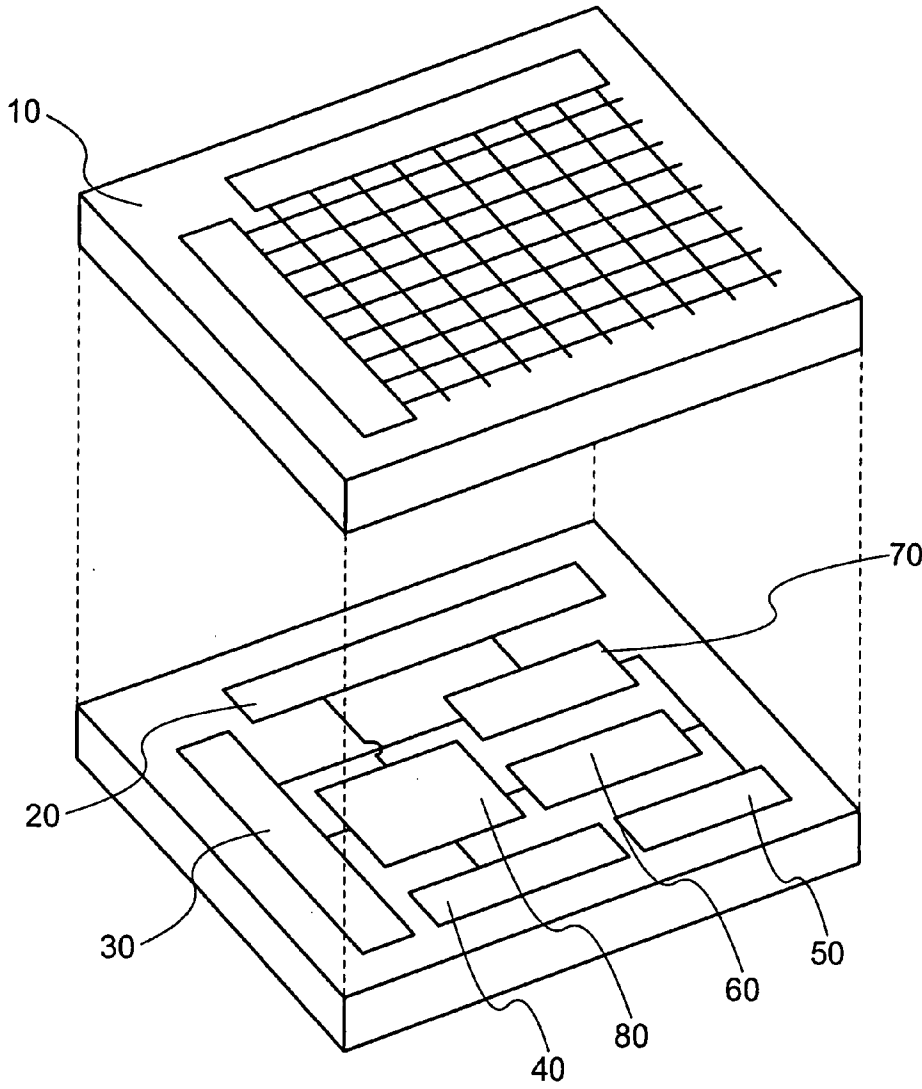
An object of one embodiment of the present invention is to provide a semiconductor device with a novel structure in which stored data can be stored even when power is not supplied in a data storing time and there is no limitation on the number of times of writing. The semiconductor device includes a first transistor which includes a first channel formation region using a semiconductor material other than an oxide semiconductor, a second transistor which includes a second channel formation region using an oxide semiconductor material, and a capacitor. One of a second source electrode and a second drain electrode of the second transistor is electrically connected to one electrode of the capacitor.

指定代表圖：

圖 1

符號簡單說明：

- 10 . . . 記憶單元陣列
- 20 . . . 列解碼器
- 30 . . . 行解碼器
- 40 . . . IO 控制器
- 50 . . . IO 緩衝器
- 60 . . . 指令緩衝器
- 70 . . . 地址緩衝器
- 80 . . . 控制器



發明摘要

※申請案號：102125718 (由99144998分割)

※申請日：99.12.21

※IPC分類：H01L 27/11 (2006.01)
H01L 23/52 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明的目的之一在於提供一種在儲存保持期間中即使在沒有電力提供的情況下也可以保持儲存內容且對寫入次數沒有制限的新穎結構的半導體裝置。該半導體裝置，包括：具有使用氧化物半導體以外的半導體材料的第一通道形成區的第一電晶體；第一電晶體的上方的具有使用氧化物半導體材料的第二通道形成區的第二電晶體；以及電容元件，其中，第二電晶體的第二源極電極和第二汲極電極中的一方與電容元件的電極的一方電連接。

【英文】

An object of one embodiment of the present invention is to provide a semiconductor device with a novel structure in which stored data can be stored even when power is not supplied in a data storing time and there is no limitation on the number of times of writing. The semiconductor device includes a first transistor which includes a first channel formation region using a semiconductor material other than an oxide semiconductor, a second transistor which includes a second channel formation region using an oxide semiconductor material, and a capacitor. One of a second source electrode and a second drain electrode of the second transistor is electrically connected to one electrode of the capacitor.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

10：記憶單元陣列

20：列解碼器

30：行解碼器

40：IO 控制器

50：IO 緩衝器

60：指令緩衝器

70：地址緩衝器

80：控制器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

所公開的發明關於一種利用半導體元件的半導體裝置及其製造方法。

【先前技術】

利用半導體元件的記憶裝置可以粗分為如果沒有電力供給儲存內容就消失的揮發性記憶裝置和即使沒有電力供給也保持儲存內容的非揮發性記憶裝置。

作為揮發性記憶裝置的典型例子，有 DRAM (Dynamic Random Access Memory：動態隨機存取記憶體)。
DRAM 選擇構成記憶元件的電晶體並將電荷儲存在電容器中而儲存資訊。

根據上述原理，因為當從 DRAM 讀出資訊時電容器的電荷消失，所以每次讀出資訊時都需要再次進行寫入工作。另外，因為在構成記憶元件的電晶體中存在洩漏電流，而即使電晶體未被選擇電荷也流出或流入，所以資料的保持期間較短。為此，需要按規定的週期再次進行寫入工作（刷新工作），由此，難以充分降低耗電量。另外，因

爲如果沒有電力供給儲存內容就消失，所以需要利用磁性材料或光學材料的其他記憶裝置以實現較長期間的儲存保持。

作爲揮發性記憶裝置的另一例子，有 SRAM（Static Random Access Memory：靜態隨機存取記憶體）。SRAM 使用正反器等電路保持儲存內容，而不需要進行刷新工作，在這一點上 SRAM 優越於 DRAM。但是，因爲 SRAM 使用正反器等電路，所以存在記憶容量的單價變高的問題。另外，在如果沒有電力供給儲存內容就消失這一點上，SRAM 和 DRAM 相同。

作爲非揮發性記憶裝置的典型例子，有快閃記憶體。快閃記憶體在電晶體的閘極電極與通道形成區之間具有浮動閘極，在該浮動閘極保持電荷而進行儲存，因此，快閃記憶體具有資料保持期間極長（半永久）、不需要進行揮發性記憶裝置所需要的刷新工作的優點（例如，參照專利文獻 1）。

但是，由於當進行寫入時產生的隧道電流會引起構成記憶元件的閘極絕緣層的退化，因此發生因規定次數的寫入而使記憶元件不能工作的問題。爲了緩和上述問題的影響，例如，使用使各記憶元件的寫入次數均等的方法，但是，爲了使用該方法，需要具有複雜的週邊電路。另外，即使使用了上述方法，也不能從根本上解決使用壽命的問題。就是說，快閃記憶體不合適於資訊的重寫頻度高的用途。

另外，爲了在浮動閘極保持電荷或者去除該電荷，需要高電壓和用於該目的的電路。再者，還有由於電荷的保持或去除需要較長時間而難以實現寫入和擦除的高速化的問題。

[專利文獻 1] 日本專利申請公開 第昭 57-105889 號
公報

● 【發明內容】

鑒於上述問題，所公開的發明的一個實施例的目的之一就是提供一種即使在儲存保持期間中沒有電力供給也能夠保持儲存內容並且對寫入次數也沒有限制的新穎結構的半導體裝置。

在所公開的發明中，使用高純度化了的氧化物半導體構成半導體裝置。由於使用高純度化了的氧化物半導體構成的電晶體的洩漏電流非常小，所以可以長時間地保持資訊。

所公開的發明的一個實施例是一種半導體裝置，該半導體裝置包括第一電晶體、第二電晶體以及電容元件。第一電晶體包括：使用氧化物半導體以外的半導體材料的第一通道形成區；以夾著第一通道形成區的方式設置的雜質區域；第一通道形成區上的第一閘極絕緣層；第一閘極絕緣層上的第一閘極電極；以及與雜質區域電連接的第一源極電極及第一汲極電極。第二電晶體包括：第一電晶體的上方的第二源極電極及第二汲極電極；與第二源極電極及

第二汲極電極電連接的使用氧化物半導體材料的第二通道形成區；第二通道形成區上的第二閘極絕緣層；以及第二閘極絕緣層上的第二閘極電極。第二電晶體的第二源極電極和第二汲極電極中的一方與電容元件的電極的一方電連接。

在上述結構中，電容元件可以由第二源極電極或第二汲極電極、第二閘極絕緣層及第二閘極絕緣層上的電容元件用電極來構成。

另外，在上述結構中，還可以包括第三電晶體、源極電極線、位元線、字線、第一信號線以及第二信號線。第三電晶體包括：第一電晶體的上方的第三源極電極及第三汲極電極；與第三源極電極及第三汲極電極電連接的使用氧化物半導體材料的第三通道形成區；第三通道形成區上的第三閘極絕緣層以及第三閘極絕緣層上的第三閘極電極。第三閘極電極與第二源極電極和第二汲極電極中的一方及電容元件的電極的一方電連接，源極電極線與第三源極電極電連接，位元線與第三汲極電極電連接，第一信號線與第二源極電極和第二汲極電極中的另一方電連接，並且第二信號線與第二閘極電極電連接，字線與電容元件的電極的另一方電連接。

另外，在上述結構中，可以使用第一電晶體構成邏輯電路（計算電路）或驅動電路。

另外，在本說明書等中，“上”或“下”不侷限於構成要素的位置關係為“直接在...之上”或“直接在...之下”

”。例如，“閘極絕緣層上的閘極電極”包括在閘極絕緣層和閘極電極之間包含其他構成要素的情況。另外，“上”或“下”只是爲了便於說明而使用的，在沒有特別的說明時，“上”或“下”還包括其上下倒轉的情況。

另外，在本說明書等中，“電極”或“佈線”不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”形成爲一體的情況等。

另外，“源極電極”和“汲極電極”的功能在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，有時互相調換。因此，在本說明書等中，“源極電極”和“汲極電極”可以互相調換。

另外，在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接物件間的電信號的授受，就對其沒有特別的限制。

例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

在本發明的一個實施例中，提供一種具有使用氧化物半導體以外的材料的電晶體及使用氧化物半導體的電晶體的疊層結構的半導體裝置。

因爲使用氧化物半導體的電晶體的截止電流極小，所以藉由使用該電晶體而可以在極長期間內保持儲存內容。

就是說，因為不需要進行刷新工作，或者，可以將刷新工作的頻度降低到極低，所以可以充分降低耗電量。另外，即使沒有電力供給，也可以在較長期間內保持儲存內容。

另外，在根據所公開的發明的半導體裝置中，資訊的寫入不需要高電壓，而且也沒有元件退化的問題。例如，不像現有的非揮發性記憶體的情況那樣，不需要對浮動閘注入電子或從浮動閘抽出電子，所以完全不會發生閘極絕緣層的退化等的問題。就是說，根據所公開的發明的半導體裝置對寫入次數沒有限制，這是現有的非揮發性記憶體所存在的問題，所以可以顯著提高可靠性。再者，因為是根據電晶體的導通狀態或截止狀態而進行資訊的寫入，所以容易實現高速工作。另外，還有不需要用於擦除資訊的工作的優點。

另外，由於使用氧化物半導體以外的材料的電晶體能夠進行非常高速的工作，藉由利用該電晶體可以順利地實現要求高速工作的各種電路（邏輯電路、驅動電路等）。

像這樣，藉由將使用氧化物半導體以外的材料的電晶體和使用氧化物半導體的電晶體形成為一體，可以實現具有新穎的特徵的半導體裝置。

【圖式簡單說明】

在附圖中：

圖 1 是半導體裝置的示意圖；

圖 2A 和 2B 是半導體裝置的截面圖；

圖 3A 和 3B 是半導體裝置的截面圖；

圖 4A 至 4C 是半導體裝置的截面圖；

圖 5A-1、5A-2 及 5B 是半導體裝置的電路圖；

圖 6A 至 6E 是有關半導體裝置的製造製程的截面圖；

圖 7A 至 7E 是有關半導體裝置的製造製程的截面圖；

圖 8A 至 8E 是有關半導體裝置的製造製程的截面圖；

圖 9A 至 9E 是有關半導體裝置的製造製程的截面圖；

圖 10A 至 10H 是有關半導體裝置的製造製程的截面圖；

圖 11A 至 11H 是有關 SOI 基板的製造製程的截面圖；

圖 12A 至 12H 是有關半導體裝置的製造製程的截面圖；

圖 13A 和 13B 是半導體裝置的電路圖；

圖 14A 至 14C 是半導體裝置的電路圖；

圖 15A 和 15B 是半導體裝置的電路圖；

圖 16A 至 16F 是用來說明使用半導體裝置的電子設備的圖；

圖 17 是示出記憶視窗寬度 (memory window width) 的調查結果的圖。

【實施方式】

下面，使用附圖對本發明的實施例的一個例子進行說明。但是，本發明不侷限於下面的說明中，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施例所記載的內容中。

另外，附圖等所示的每個結構的位置、大小、範圍等為了容易理解而有時不表示為實際上的位置、大小、範圍等。因此，所公開的發明不一定侷限於附圖等所公開的位置、大小、範圍等。

另外，本說明書中的“第一”、“第二”、“第三”等的序數詞是為避免構成要素的混淆而附記的，而不是用於在數目方面上進行限制。

實施例 1

在本實施例中，參照圖 1 至圖 5B 對根據所公開的發明的一個實施例的半導體裝置的結構及製造方法進行說明。另外，在電路圖中，為了表示使用氧化物半導體的電晶體，有時附上“OS”的符號。

<半導體裝置的構成的概略>

圖 1 是示出半導體裝置的構成的一個例子的示意圖。

作為根據所公開的發明的一個實施例的半導體裝置，典型的有在上部具有記憶電路且在下部具有需要高速工作的邏輯電路（計算電路）或驅動電路的疊層結構的半導體裝置。

圖 1 所示的半導體裝置是在上部具有記憶單元陣列 10，在下部具有列解碼器 20、行解碼器 30、IO 控制器 40、IO 緩衝器 50、指令緩衝器 60、位址緩衝器 70、控制器 80 等驅動電路的半導體裝置（記憶裝置）。在下部中，還可以具有 CPU 等計算電路。另外，雖然在這裏作為半導體裝置的一個例子示出記憶裝置，但是本發明的一個實施例不侷限於此。

<半導體裝置的截面結構>

圖 2A 和 2B 是示出半導體裝置的具體結構的例子的截面圖。圖 2A 示出根據第一例的半導體裝置的截面，圖 2B 示出根據第二例的半導體裝置的截面。圖 2A 和 2B 所示的半導體裝置在下部具有使用氧化物半導體以外的材料的電晶體（電晶體 170 或電晶體 570），並且在上部具有使用氧化物半導體的電晶體 162 以及電容元件 164。使用氧化物半導體以外的材料的電晶體易於高速工作，可以用於邏輯電路（也稱為計算電路）等。另一方面，使用氧化物半導體的電晶體可以用於利用氧化物半導體的特性的記憶電路等。

另外，雖然說明上述電晶體都為 n 通道型電晶體的情

況，但是當然也可以使用 p 通道型電晶體。另外，所公開的發明的技術本質在於：爲了保持資訊，將氧化物半導體用於電晶體 162。所以，半導體裝置的具體結構不侷限於這裏所示的結構。

圖 2A 中的電晶體 170 包括：設置在含有半導體材料（例如，矽等）的基板 100 中的通道形成區 116；以夾著通道形成區 116 的方式設置的雜質區域 114 及高濃度雜質區域 120（將它們總稱爲雜質區域）；設置在通道形成區 116 上的閘極絕緣層 108；設置在閘極絕緣層 108 上的閘極電極 110；以及與雜質區域電連接的源極電極或汲極電極 130a 及源極電極或汲極電極 130b。

這裏，在閘極電極 110 的側面上設置有側壁絕緣層 118。另外，在基板 100 的從垂直於表面的方向看不與側壁絕緣層 118 重疊的區域中，具有高濃度雜質區域 120 及接觸於高濃度雜質區域 120 的金屬化合物區域 124。另外，在基板 100 上以圍繞電晶體 170 的方式設置有元件分離絕緣層 106，並且以覆蓋電晶體 170 的方式設置有層間絕緣層 126 及層間絕緣層 128。源極電極或汲極電極 130a 及源極電極或汲極電極 130b 藉由形成在層間絕緣層 126 及層間絕緣層 128 中的開口電連接到金屬化合物區域 124。也就是說，源極電極或汲極電極 130a 及源極電極或汲極電極 130b 藉由金屬化合物區域 124 電連接到高濃度雜質區域 120 及雜質區域 114。注意，有時爲了電晶體 170 的集成化等而不形成側壁絕緣層 118。

圖 2B 中的電晶體 570 包括：設置在含有氮的層 502 及氧化膜 512 上的含有半導體材料（例如矽等）的層中的通道形成區 534；以夾著通道形成區 534 的方式設置的低濃度雜質區域 532 及高濃度雜質區域 530（將它們總稱為雜質區域）；設置在通道形成區 534 上的閘極絕緣層 522a；設置在閘極絕緣層 522a 上的閘極電極 524；以及電連接到雜質區域的源極電極或汲極電極 540a 及源極電極或汲極電極 540b。

這裏，在閘極電極 524 的側面上設置有側壁絕緣層 528。另外，在基底基板 500 的從垂直於表面的方向看不重疊於側壁絕緣層 528 的區域中形成有高濃度雜質區域 530。另外，以覆蓋電晶體 570 的方式設置有層間絕緣層 536 及層間絕緣層 538。源極電極或汲極電極 540a 及源極電極或汲極電極 540b 藉由形成在層間絕緣層 536 及層間絕緣層 538 中的開口電連接到高濃度雜質區域 530。注意，有時爲了電晶體 570 的集成化等而不形成側壁絕緣層 528。

圖 2A 及 2B 中的電晶體 162 包括：設置在絕緣層 138 上的源極電極或汲極電極 142a 以及源極電極或汲極電極 142b；與源極電極或汲極電極 142a 以及源極電極或汲極電極 142b 電連接的氧化物半導體層 144；覆蓋源極電極或汲極電極 142a、源極電極或汲極電極 142b 和氧化物半導體層 144 的閘極絕緣層 146；在閘極絕緣層 146 上設置爲重疊於氧化物半導體層 144 的閘極電極 148a。

在此，氧化物半導體層 144 最好藉由被充分地去除氫等的雜質，或者被供給充分的氧，而被高純度化。明確地說，例如將氧化物半導體層 144 的氫濃度設定為 $5 \times 10^{19} \text{ atoms/cm}^3$ 或以下，最好設定為 $5 \times 10^{18} \text{ atoms/cm}^3$ 或以下，更佳的是設定為 $5 \times 10^{17} \text{ atoms/cm}^3$ 或以下。另外，上述氧化物半導體層 144 中的氫濃度是藉由二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）來測量的。如此，在氫濃度被充分降低而被高純度化，並藉由被供給充分的氧來降低起因於氧缺乏的能隙中的缺陷能級的氧化物半導體層 144 中，載子濃度為低於 $1 \times 10^{12} / \text{cm}^3$ ，最好為低於 $1 \times 10^{11} / \text{cm}^3$ ，更佳的是為低於 $1.45 \times 10^{10} / \text{cm}^3$ 。例如，室溫下的截止電流密度（將截止電流除以電晶體的通道寬度的值）為 $10 \text{ zA}/\mu\text{m}$ 至 $100 \text{ zA}/\mu\text{m}$ （ 1 zA （zeptoampere）等於 $1 \times 10^{-21} \text{ A}$ ）左右。如此，藉由使用被 i 型化（本質化）或實質上被 i 型化的氧化物半導體，可以得到截止電流特性極為優良的電晶體 162。

另外，在圖 2A 和 2B 所示的電晶體 162 中，不將氧化物半導體層 144 加工為島狀，因此可以防止由於加工時的蝕刻導致的氧化物半導體層 144 的污染。

電容元件 164 包括源極電極或汲極電極 142a、氧化物半導體層 144、閘極絕緣層 146 和電極 148b。換言之，源極電極或汲極電極 142a 用作電容元件 164 的一方電極，電極 148b 用作電容元件 164 的另一方電極。

另外，在圖 2A 和 2B 所示的電容元件 164 中，藉由

層疊氧化物半導體層 144 和閘極絕緣層 146，可以充分確保源極電極或汲極電極 142a 和電極 148b 之間的絕緣性。

另外，在電晶體 162 和電容元件 164 中，最好將源極電極或汲極電極 142a、源極電極或汲極電極 142b 的端部形成為錐形形狀。在此，將錐形角例如設定為 30 度或以上且 60 度或以下。注意，錐形角是指當從垂直於截面（與基板的表面正交的面）的方向觀察具有錐形形狀的層（例如，源極電極或汲極電極 142a）時，該層的側面和底面所形成的傾斜角。藉由將源極電極或汲極電極 142a、源極電極或汲極電極 142b 的端部形成為錐形形狀，可以提高氧化物半導體層 144 的覆蓋性並防止斷裂。

另外，在電晶體 162 和電容元件 164 上設置有層間絕緣層 150，在層間絕緣層 150 上設置有層間絕緣層 152。

<半導體裝置的變形例>

圖 3A 和 3B 是示出半導體裝置的結構的變形例的截面圖。圖 3A 示出根據第一變形例的半導體裝置的截面，圖 3B 示出根據第二變形例的半導體裝置的截面。另外，圖 3A 和 3B 所示的半導體裝置都是圖 2A 所示的結構的變形例。

圖 3A 所示的半導體裝置與圖 2A 所示的半導體裝置的不同之處在於在層間絕緣層 128 與絕緣層 138 之間是否具有絕緣層 132 及絕緣層 134。這裏，絕緣層 132 使用添加有氫的氮化矽，絕緣層 134 使用不添加氫的氮化矽。另

外，絕緣層 138 最好使用氧化矽。

如此，藉由採用下層為由添加有氫的氮化矽構成的絕緣層 132，上層為由不添加氫的氮化矽構成的絕緣層 134 的結構，可以對構成電晶體 170 的通道形成區 116 的材料（例如矽）供給氫，從而能夠提高電晶體 170 的特性並可以防止氫混入氧化物半導體層 144，其中氫是導致使用氧化物半導體的電晶體 162 特性惡化的原因。另外，由添加有氫的氮化矽構成的絕緣層 132 可以利用電漿 CVD 法等形式形成。另外，由不添加氫的氮化矽構成的絕緣層 134 可以利用濺射法等形式形成。在這種情況下，例如，可以使用氮氣圍或氮和氫的混合氣圍作為成膜氣圍，並使用不含有氫的矽作為濺射靶材。

圖 3B 所示的半導體裝置與圖 2A 所示的半導體裝置的不同之處在於層間絕緣層 128 與絕緣層 138 之間是否具有絕緣層 134。這裏，絕緣層 134 使用不添加氫的氮化矽。另外，層間絕緣層 126 使用添加有氫的氮化矽。層間絕緣層 128 及絕緣層 138 最好使用氧化矽。

如此，藉由採用具有由添加有氫的氮化矽構成的層間絕緣層 126 並具有由不添加氫的氮化矽構成的絕緣層 134 的結構，可以對構成電晶體 170 的通道形成區 116 的材料（例如矽）供給氫，從而提高電晶體 170 的特性並防止氫混入氧化物半導體層 144，其中氫是導致使用氧化物半導體的電晶體 162 特性惡化的原因。另外，由添加有氫的氮化矽構成的層間絕緣層 126 可以利用電漿 CVD 法等形式形成

。另外，由不添加氫的氮化矽構成的絕緣層 134 可以利用濺射法等形成。在這種情況下，例如，可以使用氮氣圍或氮和氫的混合氣圍作為成膜氣圍，並使用不含有氫的矽作為濺射靶材。

<上部的電晶體及電容元件的變形例>

接著，使用圖 4A 至 4C 示出圖 2A 和 2B 中的上部的電晶體 162 及電容元件 164 的變形例。

圖 4A 所示的電晶體和電容元件是圖 2A 和 2B 中的半導體裝置的上部的電晶體和電容元件的變形例子之一。

圖 4A 所示的結構和圖 2A 和 2B 所示的結構的不同點在於將氧化物半導體層形成為島狀。換言之，在圖 2A 和 2B 所示的結構中，氧化物半導體層 144 覆蓋絕緣層 138、源極電極或汲極電極 142a 以及源極電極或汲極電極 142b 的整體。另一方面，在圖 4A 所示的結構中，島狀的氧化物半導體層 144 覆蓋絕緣層 138、源極電極或汲極電極 142a 以及源極電極或汲極電極 142b 的一部分。在此，最好將島狀的氧化物半導體層 144 的端部形成為錐形形狀。最好將錐形角例如設定為 30 度或以上且 60 度或以下。

另外，在電容元件 164 中，藉由層疊氧化物半導體層 144 和閘極絕緣層 146，可以充分確保源極電極或汲極電極 142a 和電極 148b 之間的絕緣性。

圖 4B 所示的電晶體和電容元件是圖 2A 和 2B 中半導體裝置的上部的電晶體和電容元件的變形例子之一。

圖 4B 所示的結構和圖 2A 和 2B 所示的結構的不同點在於：絕緣層 143 形成在源極電極或汲極電極 142a 和源極電極或汲極電極 142b 上；氧化物半導體層 144 形成為覆蓋絕緣層 143、源極電極或汲極電極 142a 以及源極電極或汲極電極 142b。另外，氧化物半導體層 144 被設置為藉由設置在絕緣層 143 中的開口與源極電極或汲極電極 142a 連接。

藉由具有絕緣層 143，降低形成在閘極電極與源極電極或汲極電極之間的電容，而可以實現電晶體的工作的高速化。

圖 4C 所示的電晶體和電容元件的結構與圖 4A 及 4B 所示的電晶體和電容元件的結構部分不同。

圖 4C 所示的結構與圖 4A 所示的結構的不同之處在於：絕緣層 143 形成在源極電極或汲極電極 142a 和源極電極或汲極電極 142b 上；氧化物半導體層 144 形成為覆蓋絕緣層 143、源極電極或汲極電極 142a 以及源極電極或汲極電極 142b。另外，圖 4C 所示的結構與圖 4B 所示的結構的不同之處在於將氧化物半導體層 144 形成為島狀。藉由採用該結構，可以兼得圖 4A 所示的結構中的效果和圖 4B 所示的結構中的效果。

〈半導體裝置的電路結構及工作〉

接著，對上述半導體裝置的電路結構的例子及其工作進行說明。圖 5A-1、5A-2 及 5B 是使用圖 2A 和 2B 所示

的半導體裝置的電路結構的例子。

在圖 5A-1 所示的半導體裝置中，第一佈線（1st Line：也稱爲源極電極線）與電晶體 160 的源極電極電連接，第二佈線（2nd Line：也稱爲位元線）與電晶體 160 的汲極電極電連接。另外，第三佈線（3rd Line：也稱爲第一信號線）與電晶體 162 的源極電極和汲極電極中的一方電連接，第四佈線（4th Line：也稱第二信號線）與電晶體 162 的閘極電極電連接。再者，電晶體 160 的閘極電極和電晶體 162 的源極電極和汲極電極中的另一方與電容元件 164 的電極的一方電連接，第五佈線（5th Line：也稱爲字線）與電容元件 164 的電極的另一方電連接。

在此，將上述使用氧化物半導體的電晶體應用於電晶體 160 和電晶體 162。上述使用氧化物半導體的電晶體具有截止電流極爲小的特徵。因此，藉由使電晶體 162 成爲截止狀態，可以極長時間地保持電晶體 160 的閘極電極的電位。再者，藉由具有電容元件 164，容易保持施加到電晶體 160 的閘極電極的電荷，另外，也容易讀出所保持的資訊。另外，使用氧化物半導體的電晶體 162 的通道長度（L）爲 10nm 或以上且 1000nm 或以下，所以該電晶體 162 具有耗電量小，並工作速度極快的特徵。

在圖 5A-1 所示的半導體裝置中，藉由有效地利用可以保持電晶體 160 的閘極電極的電位的特徵，可以如以下所示那樣進行資訊的寫入、保持以及讀出。

首先，對資訊的寫入和保持進行說明。首先，將第四

佈線的電位設定為使電晶體 162 成為導通狀態的電位，使電晶體 162 成為導通狀態。由此，對電晶體 160 的閘極電極和電容元件 164 施加第三佈線的電位。也就是說，對電晶體 160 的閘極電極施加規定的電荷（寫入）。在此，將施加兩個不同的電位位準的電荷（以下稱為 Low 位準電荷、High 位準電荷）的任一方施加到電晶體 160 的閘極電極。然後，藉由將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，保持對電晶體 160 的閘極電極施加的電荷（儲存）。

因為電晶體 162 的截止電流極為小，所以電晶體 160 的閘極電極的電荷被長時間地保持。

接著，對資訊的讀出進行說明。當在對第一佈線施加規定的電位（定電位）的狀態下，對第五佈線施加適當的電位（讀出電位）時，根據保持在電晶體 160 的閘極電極中的電荷量，第二佈線具有不同的電位。這是因為一般而言，在電晶體 160 為 n 通道型的情況下，對電晶體 160 的閘極電極施加 High 位準電荷時的外觀上的臨界值 V_{th_H} 低於對電晶體 160 的閘極電極施加 Low 位準電荷時的外觀上的臨界值 V_{th_L} 的緣故。在此，外觀上的臨界值電壓是指為了使電晶體 160 成為“導通狀態”所需要的第五佈線的電位。從而，藉由將第五佈線的電位設定為 V_{th_H} 和 V_{th_L} 的中間電位 V_0 ，可以辨別對電晶體 160 的閘極電極施加的電荷。例如，在寫入中對電晶體 160 的閘極電極施加 High 位準電荷的情況下，當第五佈線的電位成為 V_0 （

$>V_{th_H}$) 時，電晶體 160 成爲“導通狀態”。在對電晶體 160 的閘極電極施加 Low 位準電荷的情況下，即使第五佈線的電位成爲 V_0 ($<V_{th_L}$)，電晶體 160 也一直處於“截止狀態”。因此，藉由第二佈線的電位可以讀出所保持的資訊。

另外，當將記憶單元配置爲陣列狀而使用時，需要只可以讀出所希望的記憶單元的資訊。像這樣，爲了讀出規定的記憶單元的資訊，且不讀出除此以外的記憶單元的資訊，當在每個記憶單元之間將電晶體 160 分別並聯連接時，對讀出的物件之外的記憶單元的第五佈線施加不管閘極電極的狀態怎麼樣都使電晶體 160 成爲“截止狀態”的電位，也就是小於 V_{th_H} 的電位，即可。另外，當在每個記憶單元之間將電晶體 160 分別串聯連接時，對讀出的物件之外的記憶單元的第五佈線施加不管閘極電極的狀態怎麼樣都使電晶體 160 成爲“導通狀態”的電位，也就是大於 V_{th_L} 的電位，即可。

接著，對資訊的改寫進行說明。資訊的改寫與上述資訊的寫入和保持同樣進行。也就是說，將第四佈線的電位設定爲使電晶體 162 成爲導通狀態的電位，而使電晶體 162 成爲導通狀態。由此，對電晶體 160 的閘極電極和電容元件 164 施加第三佈線的電位（有關新的資訊的電位）。然後，藉由將第四佈線的電位設定爲使電晶體 162 成爲截止狀態的電位，使電晶體 162 成爲截止狀態，而使電晶體 160 的閘極電極成爲施加有有關新的資訊的電荷的

狀態。

像這樣，根據所公開的發明的半導體裝置，藉由再次進行資訊的寫入，可以直接改寫資訊。因此，不需要快閃記憶體等所需要的擦除工作，可以抑制起因於擦除工作的工作速度的降低。換言之，實現了半導體裝置的高速工作。

另外，藉由將電晶體 162 的源極電極或汲極電極與電晶體 160 的閘極電極電連接，該源極電極或汲極電極具有與用作非揮發性記憶元件的浮動閘型電晶體的浮動閘相同的作用。由此，有時將附圖中的電晶體 162 的源極電極或汲極電極與電晶體 160 的閘極電極電連接的部分稱為浮動閘部 FG。當電晶體 162 處於截止狀態時，可以認為該浮動閘部 FG 被埋設在絕緣體中，在浮動閘部 FG 中保持有電荷。因為使用氧化物半導體的電晶體 162 的截止電流為使用矽等而形成的電晶體的截止電流的十萬分之一以下，所以可以不考慮由於電晶體 162 的漏泄的儲存在浮動閘部 FG 中的電荷的消失。也就是說，藉由使用氧化物半導體的電晶體 162，可以實現非揮發性記憶裝置。

例如，當室溫下的電晶體 162 的截止電流密度為 $10\text{zA}/\mu\text{m}$ (1zA (zeptoampere) 等於 $1\times 10^{-21}\text{A}$) 左右，並電容元件 164 的電容值為 1pF 左右時，至少可以保持資料 10^6 秒或以上。另外，當然該保持時間根據電晶體特性或電容值而變動。

另外，在此情況下不存在在現有的浮動閘型電晶體中

被指出的閘極絕緣膜（隧道絕緣膜）的劣化的問題。也就是說，可以解決以往的將電子注入到浮動閘時的閘極絕緣膜的劣化的問題。這意味著在原理上不存在寫入次數的限制。另外，也不需要再在現有的浮動閘型電晶體中當寫入或擦除數據時所需要的高電壓。

作為構成圖 5A-1 所示的半導體裝置的電晶體等的要素包括電阻和電容器，並且可以用圖 5A-2 所示的電路代替如圖 5A-1 所示的半導體裝置。換言之，可以認為在圖 5A-2 中，電晶體 160 和電容元件 164 分別包括電阻和電容器而構成。R1 和 C1 分別是電容元件 164 的電阻值和電容值，電阻值 R1 相當於構成電容元件 164 的絕緣層的電阻值。另外，R2 和 C2 分別是電晶體 160 的電阻值和電容值，電阻值 R2 相當於電晶體 160 處於導通狀態時的閘極絕緣層的電阻值，電容值 C2 相當於所謂的閘極電容（形成在閘極電極和源極電極或汲極電極之間的電容）值。另外，因為電阻值 R2 不過是用於示出電晶體 160 的閘極電極與通道形成區之間的電阻值，所以為了明確這一點，使用虛線示出連接的一部分。

在電晶體 162 處於截止狀態時的源極電極和汲極電極之間的電阻值（也稱為有效電阻）為 R_{OS} 的情況下，當 R1 和 R2 滿足 $R1 \geq R_{OS}$ （R1 為 R_{OS} 或以上）、 $R2 \geq R_{OS}$ （R2 為 R_{OS} 或以上）時，主要根據電晶體 162 的截止電流來決定電荷的保持期間（也可以說成資訊的保持期間）。

與此相反，當 R1、R2 以及 ROS 不滿足該關係時，即使電晶體 162 的截止電流充分小，難以充分確保保持期間。這是因為在電晶體 162 之外產生的漏泄大的緣故。由此，可以說本實施例所公開的半導體裝置最好滿足上述關係。

另一方面，C1 和 C2 最好滿足 $C1 \geq C2$ (C1 為 C2 或以上) 的關係。這是因為藉由增大 C1，當由第五佈線控制浮動閘部 FG 的電位時 (例如當進行讀出時)，可以降低第五佈線的電位的變動的緣故。

藉由滿足上述關係，可以實現更佳的半導體裝置。另外，R1 和 R2 由電晶體 160 或電晶體 162 的閘極絕緣層來控制。C1 和 C2 也是同樣的。因此，最好適當地設定閘極絕緣層的材料或厚度等，而滿足上述關係。

圖 5B 所示的半導體裝置是具有不設置圖 5A-1 中的電晶體 160 的結構的半導體裝置。在圖 5B 所示的半導體裝置中，第一佈線 (1st Line：也稱為第一信號線) 與電晶體 162 的源極電極和汲極電極中的一方電連接，第二佈線 (2nd Line：也稱為第二信號線) 與電晶體 162 的閘極電極電連接。再者，電晶體 162 的源極電極和汲極電極中的另一方與電容元件 164 的電極的一方電連接，第三佈線 (3rd Line：也稱為電容線) 與電容元件 164 的電極的另一方電連接。

在此，將上述使用氧化物半導體的電晶體應用於電晶體 162。上述使用氧化物半導體的電晶體具有截止電流極

小的特徵。因此，藉由將電晶體 162 成爲截止狀態，可以極長時間地保持對電容元件 164 施加的電位。另外，使用氧化物半導體的電晶體 162 的通道長度（L）爲 10nm 或以上且 1000nm 或以下，所以該電晶體 162 具有耗電量小，並工作速度極快的特徵。

在圖 5B 所示的半導體裝置中，藉由有效地利用可以保持對電容元件 164 施加的電位的特徵，可以如以下所示那樣進行資訊的寫入、保持、讀出。

首先，對資訊的寫入和保持進行說明。在此，爲了方便起見，假設第三佈線的電位是固定的。首先，將第二佈線的電位設定爲使電晶體 162 成爲導通狀態的電位，使電晶體 162 成爲導通狀態。由此，對電容元件 164 的電極的一方施加第一佈線的電位。也就是說，對電容元件 164 施加規定的電荷（寫入）。然後，藉由將第二佈線的電位設定爲使電晶體 162 成爲截止狀態的電位，使電晶體 162 成爲截止狀態，由此保持對電容元件 164 施加的電荷（儲存）。如上述那樣，因爲電晶體 162 的截止電流極小，所以可以極長時間地保持電荷。

接著，對資訊的讀出進行說明。當在對第一佈線施加規定的電位（定電位）的狀態下，將第二佈線的電位設定爲使電晶體 162 成爲導通狀態的電位時，根據保持在電容元件 164 中的電荷量，第一佈線具有不同的電位。因此，藉由看第一佈線的電位，可以讀出所保持的資訊。

另外，必須注意：由於當讀出資訊時，電容元件 164

中的電荷喪失，所以進行再次寫入。

接著，對資訊的改寫進行說明。資訊的改寫與上述資訊的寫入和保持同樣進行。也就是說，將第二佈線的電位設定為使電晶體 162 成為導通狀態的電位，使電晶體 162 成為導通狀態。由此，對電容元件 164 的電極的一方施加第一佈線的電位（有關新的資訊的電位）。然後，藉由將第二佈線的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，由此電容元件 164 成為施加有有關新的資訊的電荷的狀態。

像這樣，根據所公開的發明的半導體裝置，藉由再次進行資訊的寫入，可以直接改寫資訊。由此，實現了半導體裝置的高速工作。

另外，上述說明是使用以電子為多數載子的 n 型電晶體（n 通道型電晶體）時的說明，但是當然可以使用以電洞為多數載子的 p 型電晶體代替 n 型電晶體。

以上本實施例所示的結構和方法等可以與其他實施例所示的結構和方法等適當地組合而使用。

實施例 2

在本實施例中，使用圖 6A 至 6E 對使用氧化物半導體的半導體裝置的製造方法，明確地說，對圖 2A 和 2B 的上部的電晶體 162 的製造方法進行說明。注意，圖 6A 至 6E 主要示出電晶體 162 的製造製程等，所以省略對電晶體 162 的下部的電晶體 170 等的詳細說明。

首先，在層間絕緣層 128 上形成絕緣層 138。然後，在絕緣層 138 上形成導電層，並對該導電層進行選擇性的蝕刻來形成源極電極或汲極電極 142a 及源極電極或汲極電極 142b（參照圖 6A）。

絕緣層 138 用作基底，可以利用 PVD 法或 CVD 法等形式形成。另外，絕緣層 138 可以使用含有如氧化矽、氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭等無機絕緣材料的材料來形成。另外，最好以儘量不含有氫或水的方式形成絕緣層 138。此外，還可以採用不設置絕緣層 138 的結構。

作為導電層，可以利用如濺射法等的 PVD 法或如電漿 CVD 法等的 CVD 法來形成。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鉭、鈦、鉬及鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、銦、銻中的一種或多種材料。另外，還可以採用組合鋁與選自鈦、鉭、鎢、鉬、鉻、釷、釷中的一種或多種元素的材料。

導電層既可以採用單層結構也可以採用兩層以上的疊層結構。例如可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作為導電層採用鈦膜或氮化鈦膜的單層結構時，具有易於將源極電極或汲極電極 142a 及源極電極或汲極電極 142b 加工為錐形形狀的優點。

另外，導電層還可以使用導電金屬氧化物來形成。作為導電金屬氧化物可以採用氧化銦 (In_2O_3)、氧化錫 (SnO_2)、氧化鋅 (ZnO)、氧化銦氧化錫合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時簡稱為 ITO)、氧化銦氧化鋅合金 ($\text{In}_2\text{O}_3\text{-ZnO}$) 或者使這些金屬氧化物材料中含有矽或氧化矽的金屬氧化物。

最好以形成的源極電極或汲極電極 142a 及源極電極或汲極電極 142b 的端部成為錐形形狀的方式對導電層進行蝕刻。這裏，錐形角例如最好為 30 度或以上且 60 度或以下。藉由以源極電極或汲極電極 142a 及源極電極或汲極電極 142b 的端部成為錐形形狀的方式進行蝕刻，可以提高後面形成的閘極絕緣層 146 的覆蓋性，並防止斷裂。另外，“錐形角”是指當從垂直於具有錐形形狀的層的截面（垂直於基板表面的面）方向觀察該具有錐形形狀的層（例如，源極電極或汲極電極 142a）時，該層的側面與底面之間的傾斜角。

電晶體的通道長度 (L) 由源極電極或汲極電極 142a 的下端部與源極電極或汲極電極 142b 的下端部之間間隔決定。另外，當進行形成用於形成通道長度 (L) 為 25nm 或以下的電晶體的掩模的曝光時，最好使用波長為幾 nm 至幾十 nm 的極短的極紫外線 (Extreme Ultraviolet) 進行用來形成掩模的曝光。利用極紫外線的曝光的解析度高且聚焦深度大。由此，可以將後面形成的電晶體的通道長度 (L) 形成為 10nm 或以上至 1000nm ($1\mu\text{m}$) 或以

下，而可以提高電路的工作速度。再者，藉由微型化可以降低半導體裝置的耗電量。

另外，還可以在源極電極或汲極電極 142a 及源極電極或汲極電極 142b 上形成絕緣層。藉由設置該絕緣層，可以降低之後形成的閘極電極與源極電極或汲極電極 142a 及源極電極或汲極電極 142b 之間的寄生電容。

接著，以覆蓋源極電極或汲極電極 142a 及源極電極或汲極電極 142b 的方式形成氧化物半導體層 144（參照圖 6B）。

作為氧化物半導體層 144，可以使用如下氧化物半導體來形成：四元金屬氧化物的 In-Sn-Ga-Zn-O 類；三元金屬氧化物的 In-Ga-Zn-O 類、In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類；二元金屬氧化物的 In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、Zn-Mg-O 類、Sn-Mg-O 類、In-Mg-O 類；一元金屬氧化物的 In-O 類、Sn-O 類、Zn-O 類等。

尤其是 In-Ga-Zn-O 類的氧化物半導體材料，由於其在無電場時的電阻充分高而能夠充分地降低截止電流且電場效應遷移率也高，所以作為用於半導體裝置的半導體材料十分合適。

作為 In-Ga-Zn-O 類的氧化物半導體材料的典型例子，有表示為 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$ 、 m 不限於自然數) 的氧化物半導體材料。此外，還有使用 M 代替 Ga 的表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、 m 不限於自然數) 的氧化物半導體

材料。在此，M 表示選自鎵（Ga）、鋁（Al）、鐵（Fe）、鎳（Ni）、錳（Mn）、鈷（Co）等中的一種金屬元素或多種金屬元素。例如，作為 M，可以採用 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co 等。另外，上述組成是根據結晶結構而導出的，僅表示一個例子。

作為用於以濺射法形成氧化物半導體層 144 的靶材，最好使用由 $\text{In:Ga:Zn}=1:x:y$ （ x 為 0 以上、 y 為 0.5 以上且 5 以下）的組成式表示的靶材。例如，可以使用其組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [摩爾數比]的靶材等。另外，還可以使用組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩爾數比]的靶材、組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [摩爾數比]的靶材或組成比為 $\text{In}_2\text{O}_3:\text{ZnO}=1:2$ [摩爾數比]的靶材。

在本實施例中，利用使用 In-Ga-Zn-O 類的金屬氧化物靶材的濺射法形成非晶結構的氧化物半導體層 144。

將金屬氧化物靶材中的金屬氧化物的相對密度設定為 80%或以上，最好設定為 95%或以上，更佳的是設定為 99.9%或以上。藉由使用相對密度高的金屬氧化物靶材，可以形成具有緻密結構的氧化物半導體層 144。

氧化物半導體層 144 的形成氣圍最好為稀有氣體（典型為氬）氣圍、氧氣圍或稀有氣體（典型為氬）和氧的混合氣圍。明確地說，例如，最好使用氫、水、羥基或氫化物等的雜質的濃度降低到 1ppm 或以下（最好的是濃度為 10ppb 或以下）的高純度氣體氣圍。

當形成氧化物半導體層 144 時，例如，將被處理物放

入保持為減壓狀態的處理室內，並對被處理物進行加熱以使被處理物溫度達到 100°C 或以上且低於 550°C ，最好為 200°C 或以上且 400°C 或以下。或者，也可以將形成氧化物半導體層 144 時的被處理物的溫度設定為室溫。然後，邊去除處理室內的水分邊引入去除了氫或水等的濺射氣體，並使用上述靶材形成氧化物半導體層 144。藉由邊加熱被處理物邊形成氧化物半導體層 144，可以減少氧化物半導體層 144 中含有的雜質。另外，可以減輕因濺射而帶來的損傷。最好使用吸附式真空泵去除殘留在處理室內的水分。例如，可以使用低溫泵、離子泵、鈦昇華泵等。另外，還可以使用裝備有冷阱的渦輪泵。由於藉由使用低溫泵等進行排氣，可以將氫或水等從處理室中去除，由此可以降低氧化物半導體層 144 中的雜質濃度。

作為氧化物半導體層 144 的形成條件，例如可以採用以下條件：被處理物與靶材之間的距離為 170mm 、壓力為 0.4Pa 、直流（DC）電力為 0.5kW 、氣圍為氧（氧流量比率 100%）氣圍或氫（氫流量比率 100%）氣圍或氧和氫的混合氣圍。另外，當利用脈衝直流（DC）電源時，可以減少成膜時形成的粉狀物質（也稱為微粒、塵屑等）且膜厚分佈也變得均勻，所以是最好的。將氧化物半導體層 144 的厚度設定為 1nm 或以上且 50nm 或以下，最好為 1nm 或以上且 30nm 或以下，更佳的是為 1nm 或以上且 10nm 或以下。藉由採用該厚度的氧化物半導體層 144，可以抑制伴隨微型化的短通道效應。但是，由於根據使用

的氧化物半導體材料及半導體裝置的用途等所適宜的厚度也不同，所以可以根據使用的材料及用途選擇適宜的厚度。

另外，在利用濺射法形成氧化物半導體層 144 之前，最好進行藉由引入氬氣體來產生電漿的反濺射來去除在形成表面（例如層間絕緣層 128 的表面）上的附著物。這裏，反濺射是指以下一種方法：通常的濺射是使粒子碰撞濺射靶材，而反濺射與其相反，其藉由使離子碰撞處理表面來改變表面的性質。作為使粒子碰撞處理表面的方法，可以舉出在氬氣圍下對處理表面一側施加高頻電壓以在被處理物附近生成電漿的方法等。另外，也可以使用氮、氦、氧等氣圍代替氬氣圍。

然後，最好對氧化物半導體層 144 進行熱處理（第一熱處理）。藉由該第一熱處理，可以去除氧化物半導體層 144 中的過量的氫（包括水及羥基）而改善氧化物半導體層的結構，從而降低能隙中的缺陷能級。例如，可以將第一熱處理的溫度設定為 300°C 或以上且低於 550°C，或者 400°C 或以上且 500°C 或以下。

作為熱處理，例如，可以將被處理物放入使用電阻發熱體等的電爐中，並在氮氣圍下以 450°C 加熱 1 個小時。在此期間，不使氧化物半導體層 144 接觸大氣以防止水或氫的混入。

熱處理裝置不限於電爐，還可以使用利用被加熱的氣體等的介質的熱傳導或熱輻射來加熱被處理物的裝置。例

如，可以使用 GRTA (Gas Rapid Thermal Anneal : 氣體快速熱退火) 裝置、LRTA (Lamp Rapid Thermal Anneal : 燈快速熱退火) 裝置等的 RTA (Rapid Thermal Anneal : 快速熱退火) 裝置。LRTA 裝置是藉由鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈發射的光 (電磁波) 輻射來加熱被處理物的裝置。GRTA 裝置是使用高溫氣體進行熱處理的裝置。作為氣體，使用如氫等的稀有氣體或氮等的即使進行熱處理也不與被處理物產生反應的惰性氣體。

例如，作為第一熱處理，可以採用 GRTA 處理，即：將被處理物放入被加熱的惰性氣體氣圍中，在進行幾分鐘的加熱之後，再將被處理物從該惰性氣體氣圍中取出。藉由利用 GRTA 處理可以在短時間內進行高溫熱處理。另外，即使溫度條件超過被處理物的耐熱溫度，也有可能適用該方法。另外，在處理中，還可以將惰性氣體換為含有氧的氣體。這是由於以下緣故：藉由在含有氧的氣圍中進行第一熱處理，可以降低因氧缺乏而引起能隙中的缺陷能級。

另外，作為惰性氣體氣圍，最好採用以氮或稀有氣體 (氮、氬、氫等) 為主要成分且不含有水、氫等的氣圍。例如，最好引入熱處理裝置中的氮或氮、氬、氫等的稀有氣體的純度為 6N (99.9999%) 或以上，更佳的是為 7N (99.99999%) 或以上 (即，雜質濃度為 1ppm 或以下，最好設定為 0.1ppm 或以下) 。

總之，藉由利用第一熱處理減少雜質以形成 i 型（本質半導體）或無限接近於 i 型的氧化物半導體層 144，可以實現具有極優越的特性的電晶體。

另外，上述熱處理（第一熱處理）具有去除氫或水等的作用，所以也可以將該熱處理稱為脫水化處理或脫氫化處理等。可以在形成氧化物半導體層之後、形成閘極絕緣層之後或形成閘極電極之後等進行該脫水化處理或脫氫化處理。另外，該脫水化處理、脫氫化處理不限於一次，而可以進行多次。

接著，形成接觸氧化物半導體層 144 的閘極絕緣層 146（參照圖 6C）。閘極絕緣層 146 可以利用 CVD 法或濺射法等形式形成。另外，閘極絕緣層 146 最好以含有氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鋇、氧化鉛、氧化鈮、矽酸鉛（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、添加有氮的鋁酸鉛（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））等的方式形成。閘極絕緣層 146 既可以採用單層結構，也可以採用疊層結構。另外，雖然對其厚度沒有特別的限定，但是當對半導體裝置進行微型化時，為了確保電晶體的工作最好將其形成得較薄。例如，當使用氧化矽時，可以將其形成為 1nm 或以上且 100nm 或以下，最好為 10nm 或以上且 50nm 或以下。

當如上述那樣將閘極絕緣層 146 形成得較薄時，存在因隧道效應等引起閘極洩漏電流的問題。為了解決閘極洩漏電流的問題，可以使用如氧化鉛、氧化鋇、氧化鈮、矽

酸鈣 (HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的矽酸鈣 ($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0$ 、 $y>0$ 、 $z>0$))、添加有氮的鋁酸鈣 ($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0$ 、 $y>0$ 、 $z>0$)) 等的高介電常數 (high-k) 材料作為閘極絕緣層 146。藉由將 high-k 材料用於閘極絕緣層 146，不但可以確保電特性，而且可以將膜厚度設定得厚以抑制閘極洩漏電流。另外，還可以採用層疊含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽或氧化鋁等的膜的疊層結構。

最好在形成閘極絕緣層 146 之後，在惰性氣體氣圍下或氧氣圍下進行第二熱處理。熱處理的溫度為 200°C 或以上且 450°C 或以下，最好為 250°C 或以上且 350°C 或以下。例如，可以在氮氣圍下以 250°C 進行 1 個小時的熱處理。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻性。另外，當閘極絕緣層 146 含有氧時，其向氧化物半導體層 144 供給氧，填補該氧化物半導體層 144 的氧缺陷，而可以形成 i 型 (本質半導體) 或無限接近於 i 型的氧化物半導體層。

另外，在本實施例中，雖然在形成閘極絕緣層 146 之後進行第二熱處理，但是第二熱處理的時序不限定於此。例如，也可以在形成閘極電極之後進行第二熱處理。另外，既可以在第一熱處理之後連續地進行第二熱處理，也可以在第一熱處理中兼併第二熱處理，或在第二熱處理中兼併第一熱處理。

接著，在閘極絕緣層 146 上的與氧化物半導體層 144

重疊的區域形成閘極電極 148a (參照圖 6D)。藉由在閘極絕緣層 146 上形成導電層之後，對該導電層進行選擇性的蝕刻可以形成閘極電極 148a。成爲閘極電極 148a 的導電層可以利用如濺射法等的 PVD 法或如電漿 CVD 法等的 CVD 法來形成。其詳細內容與形成源極電極或汲極電極 142a 等的情況相同而可以參照有關內容。另外，在形成閘極電極 148a 時，可以一起形成之前的實施例中的電容元件 164 的電極 148b。

接著，在閘極絕緣層 146 及閘極電極 148a 上形成層間絕緣層 150 及層間絕緣層 152 (參照圖 6E)。層間絕緣層 150 及層間絕緣層 152 可以利用 PVD 法或 CVD 法等形成。另外，還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉬等的無機絕緣材料的材料形成。另外，在本實施例中，雖然採用層間絕緣層 150 與層間絕緣層 152 的疊層結構，但是所公開的發明的一個實施例不限定於此。既可以採用單層結構，也可以採用三層以上的疊層結構。另外，也可以不設置層間絕緣層。

另外，最好將上述層間絕緣層 152 的表面形成得較爲平坦。這是由於：藉由使層間絕緣層 152 的表面形成得較爲平坦，當將半導體裝置微型化等時，也可以順利地在層間絕緣層 152 上形成電極或佈線等。另外，可以利用 CMP (化學機械拋光) 等方法進行層間絕緣層 152 的平坦化。

藉由上述步驟完成使用被高純度化的氧化物半導體層

144 的電晶體 162 (參照圖 6E) 。

圖 6E 所示的電晶體 162 包括：氧化物半導體層 144；電連接到氧化物半導體層 144 的源極電極或汲極電極 142a 及源極電極或汲極電極 142b；覆蓋氧化物半導體層 144、源極電極或汲極電極 142a 及源極電極或汲極電極 142b 的閘極絕緣層 146；閘極絕緣層 146 上的閘極電極 148a；閘極絕緣層 146 和閘極電極 148a 上的層間絕緣層 150；以及層間絕緣層 150 上的層間絕緣層 152。

在本實施例所示的電晶體 162 中，由於氧化物半導體層 144 被高純度化，其氫濃度為 $5 \times 10^{19} \text{atoms/cm}^3$ 或以下，最好為 $5 \times 10^{18} \text{atoms/cm}^3$ 或以下，更佳的是為 $5 \times 10^{17} \text{atoms/cm}^3$ 或以下。另外，氧化物半導體層 144 的載子密度與通常的矽晶圓中的載子密度 ($1 \times 10^{14} / \text{cm}^3$ 左右) 相比是充分小的值 (例如，低於 $1 \times 10^{12} / \text{cm}^3$ 、更佳的是為低於 $1.45 \times 10^{10} / \text{cm}^3$)。並且，由此截止電流極小。例如，電晶體 162 在室溫下的截止電流密度 (截止電流除以電晶體的通道寬度的值) 成為 $10 \text{zA}/\mu\text{m}$ 至 $100 \text{zA}/\mu\text{m}$ (1zA (zeptoampere) 為 $1 \times 10^{-21} \text{A}$) 左右。

如此，藉由使用被高純度化而被本質化的氧化物半導體層 144，可以充分地降低電晶體的截止電流。並且，藉由使用該種電晶體，可以獲得能夠在極長期間內保持儲存內容的半導體裝置。

以上本實施例所示的結構和方法等可以與其他實施例所示的結構和方法等適當地組合而使用。

實施例 3

在本實施例中，使用圖 7A 至 7E 對使用氧化物半導體（尤其是具有非晶結構的氧化物半導體）的電晶體的製造方法進行說明。可以使用該電晶體代替之前的實施例中的電晶體 162 等。另外，本實施例的電晶體的部分結構與之前的實施例中的電晶體相同。所以，以下主要對其不同之處進行說明。另外，在以下說明中，雖然以頂閘型電晶體為例進行說明，但是電晶體的結構不侷限於頂閘型。

首先，在被處理物 200 上形成絕緣層 202。然後，在絕緣層 202 上形成氧化物半導體層 206（參照圖 7A）。

例如，被處理物 200 為之前的實施例中的層間絕緣層 128。最好被處理物 200 表面的算術平均粗糙度（Ra）為 1nm 或以下。更佳的是為 0.5nm 或以下。伴隨半導體裝置的微型化，對用於構圖的掩模的曝光條件的要求提高，但是藉由形成上述那樣的平坦性較高的表面，即使在曝光條件要求高的情況下也能夠容易地對應。另外，上述算術平均粗糙度例如可以在 $10\mu\text{m}\times 10\mu\text{m}$ 的區域中進行測量。

絕緣層 202 相當於之前的實施例中的絕緣層 138，用作基底。其詳細內容可以參照之前的實施例。另外，還可以採用不設置絕緣層 202 的結構。

氧化物半導體層 206 相當於之前的實施例中的氧化物半導體層 144。至於可以使用的材料、製造方法及其他的詳細內容可以參照之前的實施例。

在本實施例中，利用使用 In-Ga-Zn-O 類金屬氧化物靶材的濺射法形成非晶結構的氧化物半導體層 206。

接著，利用使用掩模的蝕刻等的方法加工氧化物半導體層 206，以形成島狀的氧化物半導體層 206a。

作為氧化物半導體層 206 的蝕刻方法，既可以使用乾蝕刻也可以使用濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。根據材料適當地設定蝕刻條件（蝕刻氣體、蝕刻液、蝕刻時間、溫度等），以將氧化物半導體層蝕刻成所希望的形狀。

作為乾蝕刻所使用的蝕刻氣體，例如有含有氯的氣體（氯類氣體，例如氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、四氯化碳（ CCl_4 ）等）。另外，還可以使用含有氟的氣體（氟類氣體，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等）、溴化氫（ HBr ）、氧（ O_2 ）或對上述氣體添加了氦（ He ）或氬（ Ar ）等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型 RIE（反應性離子蝕刻）法或 ICP（感應耦合電漿）蝕刻法。適當地設定蝕刻條件（施加到線圈形電極的電力量、施加到被處理物一側的電極的電力量、被處理物一側的電極溫度等），以將其蝕刻成所希望的形狀。

作為用於濕蝕刻的蝕刻劑，可以使用將磷酸、醋酸以及硝酸混合的溶液等。另外，還可以使用 ITO-07N（日本關東化學公司製造）等的蝕刻液。

最好以其端部成爲錐形形狀的方式對氧化物半導體層 206a 進行蝕刻。這裏，作爲錐形角，例如，最好爲 30 度以上 60 度以下。另外，錐形角是指：當從垂直於具有錐形形狀的層的截面的方向觀察具有錐形形狀的層（例如氧化物半導體層 206a）時的該層的側面與底面之間的傾斜角。藉由以氧化物半導體層 206a 的端部形成爲錐形形狀的方式進行蝕刻，可以提高之後形成的源極電極或汲極電極 208a、源極電極或汲極電極 208b 的覆蓋性，並防止斷裂。

之後，最好對氧化物半導體層 206a 進行熱處理（第一熱處理）。藉由該第一熱處理，可以去除氧化物半導體層 206a 中的過量的氫（包括水及羥基）而改善氧化物半導體層的結構，從而降低能隙中的缺陷能級。其詳細內容可以參照之前的實施例。另外，當如這裏所示那樣地在蝕刻之後進行熱處理（第一熱處理）時，具有以下優點：即便在使用濕蝕刻進行蝕刻的情況下，也可以在蝕刻速率高的狀態下進行蝕刻，由此可以縮短蝕刻所需要的時間。

另外，也可以對被加工爲島狀的氧化物半導體層 206a 之前的氧化物半導體層 206 進行第一熱處理。此時，在第一熱處理之後，將被處理物 200 從加熱裝置中取出並對其進行光刻製程。

另外，上述熱處理（第一熱處理）具有去除氫或水等的作用，所以也可以將該熱處理稱爲脫水化處理或脫氫化處理等。可以在形成氧化物半導體層之後、在氧化物半導

體層 206a 上層疊源極電極及汲極電極之後或形成閘極絕緣層之後等進行該脫水化處理或脫氫化處理。另外，該脫水化處理、脫氫化處理不限於一次，而可以進行多次。

接著，以接觸氧化物半導體層 206a 的方式形成導電層。並且，對導電層進行選擇性地蝕刻以形成源極電極或汲極電極 208a 及源極電極或汲極電極 208b（參照圖 7B）

。至於導電層、源極電極或汲極電極 208a 及源極電極或汲極電極 208b 以及其他的詳細內容，可以參照之前的實施例中關於導電層或源極電極或汲極電極等的記載。

接著，形成接觸於氧化物半導體層 206a 的一部分的閘極絕緣層 212（參照圖 7C）。至於閘極絕緣層 212 的詳細內容，可以參照之前的實施例中的關於閘極絕緣層等的記載。

在形成閘極絕緣層 212 之後，最好在惰性氣體氣圍下或氧氣圍下進行第二熱處理。至於第二熱處理的詳細內容也可以參照之前的實施例。

另外，在本實施例中，雖然在形成閘極絕緣層 212 之後進行第二熱處理，但是第二熱處理的時序不限定於此。例如，也可以在形成閘極電極之後進行第二熱處理。

接著，在閘極絕緣層 212 上的與氧化物半導體層 206a 重疊的區域形成閘極電極 214（參照圖 7D）。藉由在閘極絕緣層 212 上形成導電層之後，對該導電層進行選擇性地構圖可以形成閘極電極 214。至於其詳細內容，可以參照之前的實施例。另外，還可以在形成閘極電極 214

時形成之前的實施例中的電容元件的電極。

接著，在閘極絕緣層 212 及閘極電極 214 上形成層間絕緣層 216 及層間絕緣層 218（參照圖 7E）。至於其詳細內容，可以參照之前的實施例。此外，也可以不設置層間絕緣層。

藉由上述步驟，完成使用被高純度化的非晶結構的氧化物半導體層 206a 的電晶體 250（參照圖 7E）。另外，根據熱處理的條件，有時在氧化物半導體層 206a 中存在極少量的結晶成分。

像這樣，藉由使用被高純度化而被本質化的氧化物半導體層 206a，可以充分地降低電晶體的截止電流。並且，藉由使用該種電晶體，可以獲得能夠在極長期間內保持儲存內容的半導體裝置。

另外，在本實施例中，雖然對源極電極及汲極電極的下部接觸於氧化物半導體層的上部的頂閘型的電晶體進行了說明，但是可以應用本實施例的結構的電晶體不侷限於此。例如，也可以將本實施例的結構的一部分應用於源極電極及汲極電極的上部與氧化物半導體層的下部接觸的結構（圖 2A 和 2B、圖 4A 至 4C 所示的結構等）的頂閘型電晶體。另外，也可以將本實施例的結構的一部分應用於：源極電極及汲極電極的下部接觸於氧化物半導體層的上部的結構的底閘型電晶體；或源極電極及汲極電極的上部接觸於氧化物半導體層的下部的結構的底閘型電晶體。也就是說，根據本實施例，可以實現具有非晶結構的氧化物

半導體的各種各樣的電晶體。

以上，本實施例所示的結構、方法等可以與其他實施例適當地組合而實施。

實施例 4

在本實施例中，使用圖 8A 至 8E 說明使用氧化物半導體的電晶體的製造方法。在本實施例中，對使用如下氧化物半導體層的電晶體進行詳細說明：作為氧化物半導體層，使用具有結晶區域的第一氧化物半導體層及從第一氧化物半導體層的結晶區域進行結晶成長的第二氧化物半導體層。可以使用該電晶體代替之前的實施例中的電晶體 162 等。另外，本實施例的電晶體的部分結構與之前的實施例中的電晶體相同。所以，在以下說明中，主要對其不同之處進行說明。

另外，當僅使用第一氧化物半導體層就能確保所需要的厚度時，不需要第二氧化物半導體層。另外，在以下說明中，雖然以頂閘型的電晶體為例進行說明，但是電晶體的結構不侷限於頂閘型。

首先，在被處理物 300 上形成絕緣層 302。然後，在絕緣層 302 上形成第一氧化物半導體層，並利用第一熱處理使至少包括第一氧化物半導體層表面的區域晶化，以形成第一氧化物半導體層 304（參照圖 8A）。

至於被處理物 300 的詳細內容（表面等的詳細說明），可以參照之前的實施例。

絕緣層 302 用作基底。至於絕緣層 302 的詳細內容，也可以參照之前的實施例。此外，也可以不設置絕緣層 302。

第一氧化物半導體層可以與之前的實施例中的氧化物半導體層同樣地形成。所以，關於第一氧化物半導體層及其成膜方法的詳細內容，參照之前的實施例即可。但是，在本實施例中，由於利用第一熱處理意圖性地使第一氧化物半導體層晶化，所以最好使用易於晶化的氧化物半導體形成第一氧化物半導體層。作為這樣的氧化物半導體，例如可以舉出 ZnO 等。另外，作為 In-Ga-Zn-O 類氧化物半導體，例如 Zn 濃度高的易於晶化，所以為了實現上述目的，最好使用金屬元素（In、Ga 及 Zn）中 Zn 所占的比率為 60atom% 或以上的 In-Ga-Zn-O 類氧化物半導體。另外，第一氧化物半導體層的厚度最好為 1nm 或以上且 10nm 或以下。在本實施例中作為一個例子將其厚度設定為 3nm。但是，由於根據使用的氧化物半導體材料及半導體裝置的用途等所適宜的厚度也不同，所以可以根據使用的材料及用途選擇適宜的厚度。

將第一熱處理的溫度設定為 550°C 或以上且 850°C 或以下，最好設定為 600°C 或以上且 750°C 或以下。另外，熱處理的時間最好為 1 分或以上且 24 小時或以下。此外，根據氧化物半導體的種類等，熱處理的溫度及熱處理的時間不同。

另外，作為第一熱處理的氣圍，最好採用為不含有氫

或水等的氣圍。例如，可以採用水被充分地去除了的氮、氧、稀有氣體（氦、氖、氬等）氣圍。

作為熱處理裝置，除了電爐之外，還可以使用利用被加熱的氣體等的介質的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用 LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置、GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置等的 RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA 裝置是藉由鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈發射的光（電磁波）輻射來加熱被處理物的裝置。GRTA 裝置是使用高溫氣體進行熱處理的裝置。作為氣體，使用如氬等的稀有氣體或如氮等的即使進行熱處理也不與被處理物產生反應的惰性氣體。

藉由上述第一熱處理，至少包括第一氧化物半導體層的表面的區域被晶化。該結晶區域是由第一氧化物半導體層表面向第一氧化物半導體層內部進行結晶成長而形成的區域。另外，該結晶區域有時含有平均厚度為 1nm 或以上且 10nm 或以下的板狀結晶。另外，該結晶區域有時含有其 c 軸在大致垂直於氧化物半導體層的表面的方向上配向的結晶。這裏，大致平行是指在平行方向 ± 10 度以內的狀態，大致垂直是指垂直方向 ± 10 度以內的狀態。

另外，最好在利用第一熱處理形成結晶區域的同時去除第一氧化物半導體層中的氫（包括水及羥基）。當進行氫等的去除時，最好在純度為 6N（99.9999%）或以上（

即，雜質濃度為 1ppm 或以下)的氮、氧、稀有氣體(氮、氬、氫等)氣圍下進行第一熱處理。更最好採用純度為 7N(99.99999%)或以上(即，雜質濃度為 0.1ppm 或以下)的氣圍。另外，還可以在 H₂O 為 20ppm 以下的超乾燥空氣中，最好的是在 H₂O 為 1ppm 或以下的超乾燥空氣中進行第一熱處理。

另外，最好在利用第一熱處理形成結晶區域的同時對第一氧化物半導體層供給氧。例如，藉由將熱處理的氣圍設定為氧氣圍，可以對第一氧化物半導體層供給氧。

在本實施例中，作為第一熱處理，藉由在氮氣圍下以 700°C 進行 1 個小時的熱處理去除氧化物半導體層中的氫等之後，再將氮氣圍換為氧氣圍，以對第一氧化物半導體層內部供給氧。另外，由於第一熱處理的主要目的是形成結晶區域，所以可以另行進行用於去除氫等的處理及用於供給氧的處理。例如，可以在用於去除氫等的熱處理及用於供給氧的處理之後進行用於晶化的熱處理。

藉由該第一熱處理，可以獲得氫(包括水及羥基)等被去除且被供給有氧的具有結晶區域的第一氧化物半導體層。

接著，在至少在包括表面的區域具有結晶區域的第一氧化物半導體層 304 上形成第二氧化物半導體層 305(參照圖 8B)。另外，當僅使用第一氧化物半導體層 304 就能確保所需要的厚度時，不需要第二氧化物半導體層 305。此時，可以省略有關第二氧化物半導體層 305 的製程。

第二氧化物半導體層 305 可以與之前的實施例中的氧化物半導體層同樣地形成。所以，關於第二氧化物半導體層 305 及其成膜方法的詳細內容，參照之前的實施例即可。但是，最好將第二氧化物半導體層 305 形成為厚於第一氧化物半導體層 304。另外，最好以第一氧化物半導體層 304 與第二氧化物半導體層 305 的厚度的和成爲 1nm 或以上且 50nm 或以下，最好爲 1nm 或以上且 10nm 或以下的方式形成第二氧化物半導體層 305。在本實施例中，作爲一個例子將其厚度設定爲 7nm。另外，由於根據使用的氧化物半導體材料及半導體裝置的用途等所適宜的厚度也不同，所以可以根據使用的材料及用途選擇適宜的厚度。

作爲第二氧化物半導體層 305，最好採用其主要成分與第一氧化物半導體層 304 相同且晶化後的晶格常數接近第一氧化物半導體層 304 的晶格常數的材料（晶格失配度爲 1% 或以下）。這是由於以下緣故：當使用這樣的材料時，在第二氧化物半導體層 305 的晶化中，易於進行以第一氧化物半導體層 304 的結晶區域爲種子的結晶成長。再者，當使用相同主要成分材料時，介面性質或電特性也良好。

另外，當能夠藉由晶化獲得所希望的膜質時，也可以使用其主要材料與第一氧化物半導體層 304 不同的材料形成第二氧化物半導體層 305。

接著，對第二氧化物半導體層 305 進行第二熱處理，來以第一氧化物半導體層 304 的結晶區域爲種子進行結晶

成長以形成第二氧化物半導體層 306 (參照圖 8C)。當不形成第二氧化物半導體層 305 時可以省略該製程。

將第二熱處理的溫度設定為 550°C 或以上且 850°C 或以下，最好為 600°C 或以上且 750°C 或以下。將第二熱處理的加熱時間設定為 1 分或以上且 100 小時或以下，最好為 5 小時或以上且 20 小時或以下，典型的為 10 小時。此外，在第二熱處理中，也最好熱處理氣圍中不含有氫或水等。

至於氣圍的詳細說明及熱處理的效果與第一熱處理相同。另外，可以使用的熱處理裝置也與第一熱處理的情況相同。例如，藉由在第二熱處理的升溫時將爐的內部的氣圍設定為氮氣圍，而在冷卻時將爐的內部的氣圍設定為氧氣圍，可以在氮氣圍下去除氫等並在氧氣圍下進行氧的供給。

藉由進行上述那樣的第二熱處理，可以使結晶成長由形成於第一氧化物半導體層 304 中的結晶區域一直延伸至第二氧化物半導體層 305 整體，從而形成第二氧化物半導體層 306。另外，可以形成去除了氫（包括水及羥基）等且被供給氧的第二氧化物半導體層 306。此外，藉由第二熱處理，可以提高第一氧化物半導體層 304 的結晶區域的配向。

例如，當將 In-Ga-Zn-O 類氧化物半導體材料用於第二氧化物半導體層 306 時，第二氧化物半導體層 306 有可能包含以 $\text{InGaO}_3(\text{ZnO})_m$ (m 不限於自然數) 表示的結晶

、以 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ (In:Ga:Zn:O=2:2:1:7[atom 比]) 表示的結晶等。藉由第二熱處理，將這種結晶以其 c 軸處於大致垂直於第二氧化物半導體層 306 的表面的方向的方式而配向。

在此，上述結晶具有與 a 軸 (a-axis) 以及 b 軸 (b-axis) 平行的層的疊層結構。另外，每個層含有 In、Ga、Zn 中的任一種。明確地說，上述結晶具有將含有 In 的層、不含有 In 的層 (含有 Ga 或 Zn 的層) 在 c 軸方向上層疊的結構。

在 In-Ga-Zn-O 類氧化物半導體結晶中，含有 In 的層的面內方向，即與 a 軸以及 b 軸平行的方向的導電性是良好的。這是因為在 In-Ga-Zn-O 類氧化物半導體結晶中，導電主要由 In 控制，並藉由一個 In 的 5s 軌道與它相鄰的 In 的 5s 軌道重疊，形成載子路徑 (carrier path) 等的緣故。

另外，當在第一氧化物半導體層 304 與絕緣層 302 的介面中存在非晶體區域時，藉由進行第二熱處理，有時結晶成長從形成在第一氧化物半導體層 304 的表面的結晶區域向第一氧化物半導體層 304 的下方進展，而使該非晶體區域晶化。注意，根據構成絕緣層 302 的材料、熱處理的條件等，有時該非晶體區域也殘留。

另外，當將主要成分相同的氧化物半導體材料用於第一氧化物半導體層 304 和第二氧化物半導體層 305 時，如圖 8C 所示那樣，有時第一氧化物半導體層 304 和第二氧

化物半導體層 306 具有同一結晶結構。由此，雖然在圖 8C 中以虛線表示，但是有時由於不能辨別第一氧化物半導體層 304 和第二氧化物半導體層 306 的邊界，所以可以將第一氧化物半導體層 304 和第二氧化物半導體層 306 看作為同一層。

接著，藉由使用掩模的蝕刻等的方法來加工第一氧化物半導體層 304 和第二氧化物半導體層 306，形成島狀的第一氧化物半導體層 304a 和第二氧化物半導體層 306a（參照圖 8D）。注意，這裏在第二熱處理之後進行形成島狀的氧化物半導體層的加工，但是也可以在形成島狀的氧化物半導體的加工之後進行第二熱處理。此時，具有如下優點：即使使用濕蝕刻也可以在蝕刻速率高的狀態下進行蝕刻，由此可以縮短蝕刻所需要的時間。

第一氧化物半導體層 304 和第二氧化物半導體層 306 的蝕刻既可以使用乾蝕刻也可以使用濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。根據材料適當地設定蝕刻條件（蝕刻氣體、蝕刻液、蝕刻時間、溫度等），以將氧化物半導體層蝕刻成所希望的形狀。第一氧化物半導體層 304 和第二氧化物半導體層 306 的蝕刻可以與之前的實施例中的氧化物半導體層的蝕刻同樣地進行。對於其詳細內容，可以參照之前的實施例即可。

另外，最好氧化物半導體層中的成為通道形成區的區域具有平坦表面。例如，在第二氧化物半導體層 306 中的與閘極電極重疊的區域（通道形成區）中，最好第二氧化

物半導體層 306 的表面的高低差 (P-V) 為 1nm 或以下 (更佳的是為 0.5nm 或以下)。另外，上述高低差例如可以在 $10\mu\text{m}\times 10\mu\text{m}$ 的區域中進行測量。

接著，以接觸第二氧化物半導體層 306a 的方式形成導電層。然後，對該導電層進行選擇性的蝕刻來形成源極電極或汲極電極 308a 及源極電極或汲極電極 308b (參照圖 8D)。至於其詳細內容，可以參照之前的實施例即可。

另外，在圖 8D 所示的製程中，有時第一氧化物半導體層 304a 或第二氧化物半導體層 306a 中的接觸於源極電極或汲極電極 308a、源極電極或汲極電極 308b 的結晶層成為非晶狀態。由此，第一氧化物半導體層 304a 和第二氧化物半導體層 306a 的所有區域不一定是具有結晶性的區域。

接著，形成接觸於第二氧化物半導體層 306a 的一部分的閘極絕緣層 312。對於其詳細內容，可以參照之前的實施例即可。然後，在閘極絕緣層 312 上的與第一氧化物半導體層 304a 以及第二氧化物半導體層 306a 重疊的區域中形成閘極電極 314。並且，在閘極絕緣層 312 和閘極電極 314 上形成層間絕緣層 316 和層間絕緣層 318 (參照圖 8E)。對於其詳細內容，可以參照之前的實施例即可。

最好在形成閘極絕緣層 312 之後，在惰性氣體氣圍下或氧氣圍下進行第三熱處理。第三熱處理的溫度為 200°C 或以上且 450°C 或以下，最好為 250°C 或以上且 350°C 或

以下。例如，可以在包含氧的氣圍下以 250°C 進行 1 個小時的熱處理。藉由進行第三熱處理，可以降低電晶體的電特性的不均勻性。另外，當閘極絕緣層 312 是包含氧的絕緣層時，也可以對第二氧化物半導體層 306a 供給氧。

另外，在本實施例中，在形成閘極絕緣層 312 之後進行第三熱處理，但是第三熱處理的時序不侷限於此。另外，當藉由第二熱處理等的其他處理對第二氧化物半導體層 306a 供給氧時，可以省略第三熱處理。

藉由以上製程來完成使用第一氧化物半導體層 304a 和第二氧化物半導體層 306a 的電晶體 350（參照圖 8E）。

像這樣，藉由使用被高純度化而被本質化的第一氧化物半導體層 304a 和第二氧化物半導體層 306a，可以充分降低電晶體的截止電流。並且，藉由使用這種電晶體，可以得到可以極長時間地保持儲存內容的半導體裝置。

另外，在本實施例中，雖然對源極電極及汲極電極的下部接觸於氧化物半導體層的上部的頂閘型的電晶體進行了說明，但是可以應用本實施例的結構的電晶體不侷限於此。例如，也可以將本實施例的結構的一部分應用於源極電極及汲極電極的上部與氧化物半導體層的下部接觸的結構（圖 2A 和 2B、圖 4A 至 4D 所示的結構等）的頂閘型電晶體。另外，也可以將本實施例的一部分應用於：源極電極及汲極電極的下部接觸於氧化物半導體層的上部的結構的底閘型電晶體；源極電極及汲極電極的上部接觸於氧

化物半導體層的下部的結構的底閘型電晶體。也就是說，根據本實施例，可以實現包括具有結晶區域的氧化物半導體層各種各樣的電晶體。

再者，在本實施例中，作為氧化物半導體層，使用具有結晶區域的第一氧化物半導體層 304a 和從第一氧化物半導體層 304a 的結晶區域進行結晶成長的第二氧化物半導體層 306a，所以可以提高電場效應遷移率，而可以實現具有良好的電特性的電晶體。例如，可以實現電場效應遷移率 $\mu > 100 \text{cm}^2/\text{V}\cdot\text{s}$ 。由此，也可以將上述電晶體應用於要求高工作速度的各種邏輯電路。

如上所述，本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而實施。

實施例 5

在本實施例中，使用圖 9A 至 9E 對使用氧化物半導體的電晶體的製造方法進行說明。可以使用該電晶體代替之前的實施例中的電晶體 162 等。注意，根據本實施例的電晶體的一部分的結構與之前的實施例中的電晶體相同。所以，以下主要對其不同之處進行說明。另外，在以下說明中，雖然以頂閘型電晶體為例子進行說明，但是電晶體的結構不侷限於頂閘型。

首先，在被處理物 400 上形成絕緣層 402。然後，在絕緣層 402 上形成氧化物半導體層 406（參照圖 9A）。對於其詳細內容，可以參照之前的實施例即可。

接著，藉由使用掩模的蝕刻等的方法來加工氧化物半導體層 406，形成島狀的氧化物半導體層 406a，以覆蓋該氧化物半導體層 406a 的方式，形成導電層 408 和絕緣層 410（參照圖 9B）。另外，絕緣層 410 不是必須要構成要素，但是其在對後面形成的源極電極或汲極電極的側面選擇性地進行氧化的方面是有效的。另外，絕緣層 410 在降低閘極電極和源極電極或汲極電極之間的電容的方面也是有效的。

對於島狀的氧化物半導體層 406a 的形成和熱處理等的詳細內容，可以參照之前的實施例即可。另外，對於導電層 408 的詳細內容，也可以參照之前的實施例。

可以藉由 CVD 法或濺射法等來形成絕緣層 410。另外，最好以包含氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鉛、氧化鉬等的方式形成絕緣層 410。另外，絕緣層 410 可以具有單層結構，也可以具有疊層結構。對絕緣層 410 的厚度沒有特別的限制，但是例如可以將其厚度設定為 10nm 或以上且 200nm 或以下。

接著，對導電層 408 和絕緣層 410 進行選擇性的蝕刻來形成源極電極或汲極電極 408a、源極電極或汲極電極 408b、絕緣層 410a 以及絕緣層 410b（參照圖 9C）。詳細內容與之前的實施例中的源極電極或汲極電極的形成製程相同。另外，鋁、鈦、鉬以及銅等的材料適合於後面進行的電漿氧化處理，所以適合用作源極電極或汲極電極 408a、源極電極或汲極電極 408b 等的材料。

接著，進行用於對氧化物半導體層 406a 供給氧的氧化處理（參照圖 9D）。藉由該氧化處理，在源極電極或汲極電極 408a 的一部分（尤其是相當於其側面的部分）上形成氧化區域 411a，在源極電極或汲極電極 408b 的一部分（尤其是相當於其側面的部分）上形成氧化區域 411b（參照圖 9D）。另外，藉由該氧化處理，在源極電極或汲極電極 408a 以及源極電極或汲極電極 408b 的外周部中也形成氧化區域。

作為氧化處理，最好進行使用由微波（300MHz 至 300GHz）激發的氧電漿的氧化處理（電漿氧化處理）。這是因為藉由由微波激發電漿，實現高密度電漿，可以充分降低對氧化物半導體層 406a 的損傷的緣故。

更明確地說，例如可以將頻率設定為 300MHz 至 300GHz（典型為 2.45GHz），將壓力設定為 50Pa 至 5000Pa（典型為 500Pa），將被處理物的溫度設定為 200℃ 至 400℃（典型為 300℃），並使用氧和氫的混合氣體，進行上述處理。

藉由上述氧化處理，對氧化物半導體層 406a 供給氧，所以可以在充分降低對氧化物半導體層 406a 的損傷的同時，降低起因於氧缺乏的能隙中的缺陷能級。換言之，可以進一步提高氧化物半導體層 406a 的特性。

另外，只要是可以在充分降低對氧化物半導體層 406a 的損傷的同時，對氧化物半導體層 406a 供給氧的方法，就不侷限於使用微波的電漿氧化處理。例如，也可以

使用包含氧的氣圍下的熱處理等的方法。

另外，除了上述氧化處理之外，還可以進行從氧化物半導體層 406a 去除水、氫等的處理。此時，例如可以進行使用氮、氬等的氣體的電漿處理。

另外，當電晶體 450 被微型化時（例如，當通道長度為短於 1000nm 時），藉由上述氧化處理來形成的氧化區域 411a 和氧化區域 411b 是特別有效的。隨著電晶體的微型化，對於閘極絕緣層要求減小其厚度。藉由具有該氧化區域，可以防止因閘極絕緣層的薄型化、覆蓋不良等而有可能發生的閘極電極和源極電極或汲極電極的短路。另外，該氧化區域只要具有 5nm 或以上（最好為 10nm 或以上）的厚度，充分有效。

另外，從改善露出的絕緣層 402 的膜質的觀點來看，上述氧化處理也是有效的。

另外，在具有防止源極電極或汲極電極 408a、源極電極或汲極電極 408b 的上部的氧化的作用上來看，絕緣層 410a 和絕緣層 410b 是重要的。這是因為在殘留有進行蝕刻時使用的掩模的情況下進行上述電漿處理有很大的困難的緣故。

接著，在不暴露於大氣的情況下，形成接觸於氧化物半導體層 406a 的一部分的閘極絕緣層 412。然後，在閘極絕緣層 412 上的與氧化物半導體層 406a 重疊的區域中形成閘極電極 414，在閘極絕緣層 412 和閘極電極 414 上形成層間絕緣層 416 和層間絕緣層 418（參照圖 9E）。對

於其詳細內容，可以參照之前的實施例即可。

藉由以上製程，來完成使用氧化物半導體的電晶體 450。

在本實施例中，藉由對氧化物半導體層 406a 進行氧電漿處理，來對氧化物半導體層 406a 供給氧。由此，電晶體 450 的特性進一步得到提高。另外，相當於源極電極或汲極電極的側面的區域被氧化，所以可以防止因閘極絕緣層的薄膜化而可能產生的閘極電極-源極電極（或者汲極電極）之間的短路。另外，可以由氧化區域 411a 和氧化區域 411b 形成適當的偏移區域，所以也可以抑制氧化物半導體的源極電極（或者汲極電極）附近的電場的集中。

另外，藉由將絕緣層設置在源極電極和汲極電極上，可以降低源極電極以及汲極電極和閘極電極之間形成的電容（寄生電容），而可以實現進一步的高速工作。

另外，在本實施例中，雖然對源極電極及汲極電極的下部接觸於氧化物半導體層的上部的頂閘型的電晶體進行了說明，但是可以應用本實施例的結構的電晶體不侷限於此。例如，也可以將本實施例的結構的一部分應用於源極電極及汲極電極的下部接觸於氧化物半導體層的上部的結構的底閘型電晶體。也就是說，根據本實施例，可以實現包括被供給氧的氧化物半導體、具有氧化區域的電極等的各種各樣的電晶體。

以上本實施例所示的結構、方法等可以與其他實施例

適當地組合而實施。

實施例 6

在本實施例中，使用圖 10A 至 10H 及圖 2A 對使用氧化物半導體以外的半導體材料的半導體裝置的製造方法，明確而言，對圖 2A 的下部的電晶體 170 的製造方法進行說明。

首先，準備包含半導體材料的基板 100（參照圖 10A）。作為包含半導體材料的基板 100 可以使用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板或 SOI 基板等。這裏，作為一個例子，示出使用單晶矽基板作為包含半導體材料的基板 100 時的情況。另外，一般來說，“SOI 基板”是指在絕緣表面上設置有矽層的基板。但是，在本說明書等中，“SOI 基板”還指在絕緣表面上設置有由矽以外的材料構成的半導體層的基板。也就是說，“SOI 基板”所具有的半導體層不侷限於矽層。另外，SOI 基板還包括在玻璃基板等絕緣基板上隔著絕緣層設置有半導體層的基板。

在基板 100 上形成保護層 102，該保護膜 102 成為用來形成元件分離絕緣層的掩模（參照圖 10A）。作為保護層 102，例如可以使用以氧化矽、氮化矽、氧氮化矽等材料形成的絕緣層。另外，在該製程的前後，為了控制電晶體的臨界值電壓，也可以對基板 100 添加賦予 n 型導電性的雜質元素或賦予 p 型導電性的雜質元素。當作為半導體

採用矽時，作為賦予 n 型導電性的雜質，例如可以使用磷或砷等。此外，作為賦予 p 型導電性的雜質，例如可以使用硼、鋁、鎵等。

接著，將上述保護層 102 用作掩模來進行蝕刻，以去除不被保護層 102 覆蓋的區域（露出的區域）的基板 100 的一部分。由此，形成與其它的半導體區域分離的半導體區域 104（參照圖 10B）。該蝕刻最好使用乾蝕刻，但是也可以使用濕蝕刻。可以根據被蝕刻材料適當地選擇蝕刻氣體及蝕刻液。

接著，以覆蓋半導體區域 104 的方式形成絕緣層，並藉由選擇性地去除與半導體區域 104 重疊的區域的絕緣層，來形成元件分離絕緣層 106（參照圖 10B）。該絕緣層使用氧化矽、氮化矽、氧氮化矽等形成。作為去除絕緣層的方法，有 CMP 等研磨處理或蝕刻處理等，可以使用任一種方法。另外，在形成半導體區域 104 之後或在形成元件分離絕緣層 106 之後，去除上述保護層 102。

接著，在半導體區域 104 上形成絕緣層，並在該絕緣層上形成包含導電材料的層。

絕緣層是成為後面的閘極絕緣層的層，其可以採用藉由 CVD 法或濺射法等形成的包含氧化矽、氧氮化矽、氮化矽、氧化鈦、氧化鋁、氧化鋇、氧化釷、矽酸鈦（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈦（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、添加有氮的鋁酸鈦（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））等的膜的單層結構或多層結構。另外

，也可以藉由高密度電漿處理或熱氧化處理使半導體區域 104 的表面氧化或氮化，來形成上述絕緣層。例如，可以使用 He、Ar、Kr、Xe 等稀有氣體、氧、氧化氮、氮、氫、氫等的混合氣體來進行高密度電漿處理。另外，至於絕緣層的厚度，例如可以設定為 1nm 或以上且 100nm 或以下，最好為 10nm 或以上且 50nm 或以下。

可以使用鋁、銅、鈦、鉭、鎢等的金屬材料形成包含導電材料的層。另外，也可以藉由使用如多晶矽等的半導體材料形成包含導電材料的層。其形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法或旋塗法等各種成膜方法。此外，在本實施例中，作為一個例子，示出使用金屬材料形成包含導電材料的層時的情況。

然後，藉由對絕緣層及包含導電材料的層進行選擇性的蝕刻，來形成閘極絕緣層 108 及閘極電極 110。（參照圖 10C）。

接著，形成覆蓋閘極電極 110 的絕緣層 112（參照圖 10C）。然後，對半導體區域 104 添加磷（P）或砷（As）等，以形成結深較淺的雜質區域 114（參照圖 10C）。這裏，為了形成 n 型電晶體而添加了磷或砷，但是，當形成 p 型電晶體時，添加硼（B）或鋁（Al）等雜質即可。由於上述雜質區域 114 的形成，在半導體區域 104 的閘極絕緣層 108 的下部形成了通道形成區 116（參照圖 10C）。這裏，雖然可以適當地設定添加雜質的濃度，但是當半導體元件被高度微型化時，最好提高添加的雜質的濃度。

另外，雖然這裏在形成絕緣層 112 之後形成雜質區域 114，但是也可以在形成雜質區域 114 之後形成絕緣層 112。

接著，形成側壁絕緣層 118（參照圖 10D）。側壁絕緣層 118 可以藉由以下方法形成，即：以覆蓋絕緣層 112 的方式形成絕緣層，然後藉由對該絕緣層進行各向異性高的蝕刻處理來以自對準的方式形成。另外，此時，最好對絕緣層 112 進行部分蝕刻以使閘極電極 110 的上面及雜質區域 114 的上面露出。注意，有時為了實現高集成化等目標而不形成側壁絕緣層 118。

接著，以覆蓋閘極電極 110、雜質區域 114 和側壁絕緣層 118 等的方式形成絕緣層。然後，藉由將磷（P）或砷（As）等添加到接觸於雜質區域 114 的區域，來形成高濃度雜質區域 120（參照圖 10E）。然後，藉由去除上述絕緣層，並以覆蓋閘極電極 110、側壁絕緣層 118 及高濃度雜質區域 120 等的方式形成金屬層 122（參照圖 10E）。該金屬層 122 可以使用真空蒸鍍法、濺射法或旋塗法等各種成膜方法形成。最好使用能夠藉由與構成半導體區域 104 的半導體材料起反應而成爲低電阻的金屬化合物的金屬材料形成金屬層 122。作爲上述金屬材料，例如有鈦、鋁、鎢、鎳、鈷、鉑等。

接著，進行熱處理，使上述金屬層 122 與半導體材料發生反應。由此，形成接觸於高濃度雜質區域 120 的金屬化合物區域 124（參照圖 10F）。另外，當使用多晶矽等作爲閘極電極 110 時，在閘極電極 110 中的與金屬層 122

接觸的部分也形成金屬化合物區域。

作為上述熱處理，例如可以使用利用閃光燈的照射的熱處理。當然，也可以使用其他熱處理方法，但是為了提高形成金屬化合物時的化學反應的控制性，最好使用可以在極短的時間內進行熱處理的方法。另外，上述金屬化合物區域藉由金屬材料與半導體材料之間的反應形成並具有充分高的導電性。藉由形成該金屬化合物區域，可以充分降低電阻，並可以提高元件特性。另外，在形成金屬化合物區域 124 之後，去除金屬層 122。

接著，以覆蓋藉由上述製程形成的各構件的方式形成層間絕緣層 126 及層間絕緣層 128（參照圖 10G）。層間絕緣層 126 和層間絕緣層 128 可以使用包含氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉬等無機絕緣材料的材料形成。此外，也可以使用聚醯亞胺、丙烯酸樹脂等有機絕緣材料形成層間絕緣層 126 及層間絕緣層 128。這裏，雖然示出層間絕緣層 126 與層間絕緣層 128 的疊層結構，但是所公開的發明的一個實施例不侷限於此。既可以採用單層結構，也可以採用三層以上的疊層結構。在形成層間絕緣層 128 之後，最好藉由對其表面進行 CMP 或蝕刻處理等以使其平坦化。

然後，在上述層間絕緣層 126、128 中形成到達金屬化合物區域 124 的開口，並在該開口中形成源極電極或汲極電極 130a 及源極電極或汲極電極 130b（參照圖 10H）。例如，可以在包括開口的區域中利用 PVD 法或 CVD 法

等形成導電層，然後利用蝕刻處理或 CMP 等方法去除上述導電層的一部分，來形成源極電極或汲極電極 130a 及源極電極或汲極電極 130b。

明確而言，例如可以採用以下方法，即：在包括開口的區域中利用 PVD 法形成較薄的鈦膜，然後利用 CVD 法形成較薄的氮化鈦膜，之後以嵌入開口的方式形成鎢膜。這裏，利用 PVD 法形成的鈦膜具有使被形成面的氧化膜（自然氧化膜等）還原而降低與下部電極（這裏為金屬化合物區域 124）的接觸電阻的功能。另外，之後形成的氮化鈦膜具有抑制導電材料擴散的阻擋功能。此外，還可以在使用鈦或氮化鈦等形成障壁膜之後，利用鍍法形成銅膜。

另外，當藉由去除上述導電層的一部分形成源極電極或汲極電極 130a 及源極電極或汲極電極 130b 時，最好以源極電極或汲極電極 130a 及源極電極或汲極電極 130b 的表面成為平坦的方式對其進行加工。例如，當在包含開口的區域中形成較薄的鈦膜或氮化鈦膜，然後以嵌入開口的方式形成鎢膜時，藉由之後的 CMP 可以在去除多餘的鎢膜、鈦膜或氮化鈦膜等的同時提高其表面的平坦性。像這樣，藉由對包含源極電極或汲極電極 130a 及源極電極或汲極電極 130b 的表面進行平坦化，可以在之後的製程中形成優良的電極、佈線、絕緣層及半導體層等。

另外，雖然在這裏僅示出接觸於金屬化合物區域 124 的源極電極或汲極電極 130a 及源極電極或汲極電極 130b

，但是也可以在該製程中形成接觸於閘極電極 110 的電極等。對可以用作源極電極或汲極電極 130a 及源極電極或汲極電極 130b 的材料沒有特別的限制，而可以使用各種導電材料。例如，可以使用鋁、鈦、鉻、鉭、鎢、鋁、銅、鈹或鈳等導電材料。注意，考慮到之後進行的熱處理，最好使用具有能夠耐受熱處理程度的耐熱性的材料形成源極電極或汲極電極 130a 及源極電極或汲極電極 130b。

藉由上述製程，形成使用包含半導體材料的基板 100 的電晶體 170（參照圖 10H）。由於使用氧化物半導體以外的材料的電晶體 170 能夠進行高速工作，所以可以使用該電晶體構成邏輯電路（也稱為計算電路）等。此外，還可以將該電晶體用於用來驅動之前的實施例所示的記憶電路的驅動電路等。

另外，還可以在上述製程之後形成電極、佈線或絕緣層等。作為佈線結構，藉由採用由層間絕緣層及導電層的疊層結構構成的多層佈線結構，可以提供高集成化的半導體裝置。

例如，可以在上述製程之後形成絕緣層 138 並在絕緣層 138 中形成開口。再者，還可以在該開口中形成與源極電極或汲極電極 130a 連接的電極 142c 及與源極電極或汲極電極 130b 連接的電極 142d（參照圖 2A）。

以上本實施例所示的結構和方法等可以與其他實施例所示的結構和方法等適當地組合而使用。

實施例 7

在本實施例中，參照圖 11A 至 11H 及圖 12A 至 12H 對使用氧化物半導體以外的半導體材料的半導體裝置的製造方法，明確而言，對圖 2B 的下部的電晶體 570 的製造方法進行說明。在下面的說明中，首先參照圖 11A 至 11H 對在基底基板上設置有單晶半導體層的 SOI 基板的製造方法進行說明，然後，參照圖 12A 至 12H 對使用該 SOI 基板的電晶體的製造方法進行說明。

<SOI 基板的製造方法>

首先，準備基底基板 500（參照圖 11A）。作為基底基板 500 可以使用由絕緣體構成的基板。明確而言，可以舉出鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鉍硼矽酸鹽玻璃等用於電子工業的各種玻璃基板、石英基板、陶瓷基板、藍寶石基板。另外，也可以使用以氮化矽和氧化鋁為主要成分的熱膨脹係數接近於矽的陶瓷基板。

另外，作為基底基板 500 可以使用單晶矽基板、單晶鍺基板等半導體基板。由於與使用玻璃基板等的情況相比，當使用半導體基板作為基底基板 500 時熱處理的溫度上限較寬，所以更容易獲得優質的 SOI 基板。這裏，作為半導體基板，可以使用太陽能電池級矽（SOG-Si:Solar Grade Silicon）基板等。此外，還可以使用多晶半導體基板。與使用單晶矽基板等的情況相比，使用太陽能電池級矽或多晶半導體基板等時可以抑制製造成本。

在本實施例中，對使用玻璃基板作為基底基板 500 的情況進行說明。藉由使用廉價的能夠大面積化的玻璃基板作為基底基板 500 可以實現低成本化。

最好預先對上述基底基板 500 的表面進行清洗。明確而言，使用鹽酸和過氧化氫水的混合液（HPM）、硫酸和過氧化氫水的混合液（SPM）、氨水和過氧化氫水的混合液（APM）、稀氫氟酸（DHF）、FPM（氫氟酸和過氧化氫水以及純水的混合液）等對基底基板 500 進行超聲波清洗。藉由進行該清洗處理，可以提高基底基板 500 的表面的平坦性並去除殘留在基底基板 500 表面上的研磨粒子等。

接著，在基底基板 500 的表面上形成含有氮的層 502（例如，含有氮化矽膜（ SiN_x ）或氮氧化矽膜（ SiN_xO_y ）（ $x>y$ ））等的含有氮的絕緣膜的層）（參照圖 11B）。含有氮的層 502 可以使用 CVD 法、濺射法等形式。

在本實施例中形成的含有氮的層 502 成為後面用來貼合單晶半導體層的層（接合層）。另外，含有氮的層 502 還用作防止基底基板中含有的鈉（Na）等雜質擴散到單晶半導體層中的阻擋層。

如上所述，由於在本實施例中將含有氮的層 502 用作接合層，所以最好以其表面具有預定的平坦性的方式形成含有氮的層 502。明確而言，將含有氮的層 502 形成為：表面的平均面粗糙度（Ra，也稱為算術平均粗糙度）為 0.5nm 或以下，均方根粗糙度（Rms）為 0.60nm 或以下，

更佳的是，平均面粗糙度為 0.35nm 或以下，均方根粗糙度為 0.45nm 或以下。另外，上述平均面粗糙度及均方根粗糙度例如可以在 $10\mu\text{m}\times 10\mu\text{m}$ 的區域中進行測量。作為厚度，設定為 10nm 或以上至 200nm 或以下的範圍內，最好設定為 50nm 或以上至 100nm 或以下的範圍內。像這樣，藉由提高表面的平坦性，可以防止單晶半導體層的接合不良。

● 接著，準備接合基板。這裏作為接合基板使用單晶半導體基板 510（參照圖 11C）。另外，雖然在這裏使用單晶體的基板作為接合基板，但是接合基板的結晶性不侷限於單晶。

作為單晶半導體基板 510，例如可以使用如單晶矽基板、單晶鍺基板、單晶矽鍺基板等的由第 14 族元素構成的單晶半導體基板。此外，還可以使用如砷化鎵、磷化銦等的化合物半導體基板。作為在市場上出售的矽基板，典型的有尺寸為直徑 5 英寸（125mm），直徑 6 英寸（150mm），直徑 8 英寸（200mm），直徑 12 英寸（300mm），直徑 16 英寸（400mm）的圓形基板。另外，單晶半導體基板 510 的形狀不侷限於圓形，例如，還可以使用被加工為矩形的基板。另外，單晶半導體基板 510 可以利用 CZ（提拉）法及 FZ（浮區）法製造。

在單晶半導體基板 510 的表面形成氧化膜 512（參照圖 11D）。另外，從去除污染物的觀點來看，最好在形成氧化膜 512 之前預先使用鹽酸和過氧化氫水的混合液（

HPM)、硫酸和過氧化氫水的混合液 (SPM)、氨水和過氧化氫水以及純水的混合液 (APM)、稀氫氟酸 (DHF)、FPM (氫氟酸和過氧化氫以及純水的混合液) 等對單晶半導體基板 510 的表面進行清洗。也可以藉由交替噴出稀釋的氫氟酸和臭氧水來進行清洗。

例如，可以形成氧化矽膜、氮化矽膜等的單層或疊層作為氧化膜 512。作為上述氧化膜 512 的製造方法，有熱氧化法、CVD 法或濺射法等。此外，當使用 CVD 法形成氧化膜 512 時，最好使用四乙氧基矽烷 (簡稱 TEOS：化學式 $\text{Si}(\text{OC}_2\text{H}_5)_4$) 等的有機矽烷形成氧化矽膜，以實現良好的貼合。

在本實施例中，藉由對單晶半導體基板 510 進行熱氧化處理來形成氧化膜 512 (這裏為 SiO_x 膜)。作為熱氧化處理，最好在氧化氣圍中添加鹵素來進行。

例如，可以藉由在添加有氯 (Cl) 的氧化氣圍中對單晶半導體基板 510 進行熱氧化處理，形成被氯氧化的氧化膜 512。在這種情況下，氧化膜 512 成為含有氯原子的膜。藉由利用該氯氧化俘獲外來雜質的重金屬 (例如，Fe、Cr、Ni、Mo 等) 形成金屬氯化物然後再將該金屬氯化物去除到外部，可以降低單晶半導體基板 510 的污染。此外，在與基底基板 500 貼合之後，來自基底基板的 Na 等雜質被氧化膜 512 固定，由此可以防止單晶半導體基板 510 被污染。

另外，氧化膜 512 所包含的鹵素原子不侷限於氯原子

。也可以使氧化膜 512 包含氟原子。作為使單晶半導體基板 510 表面氟氧化的方法，例如可以舉出以下方法：在將單晶半導體基板 510 浸漬在 HF 溶液中之後在氧化氣圍中進行熱氧化處理；或者將 NF_3 添加到氧化氣圍中進行熱氧化處理；等等。

接著，藉由對單晶半導體基板 510 照射由電場加速的離子並進行添加，在單晶半導體基板 510 的預定的深度中形成結晶結構受到損傷的脆化區 514（參照圖 11E）。

可以根據離子的動能、質量和電荷、離子的入射角等來調節形成脆化區 514 的區域的深度。此外，脆化區 514 被形成在與離子的平均侵入深度基本相同的深度的區域中。由此，可以根據離子的添加深度來調節從單晶半導體基板 510 分離的單晶半導體層的厚度。例如，可以使單晶半導體層的厚度大致成爲 10nm 或以上且 500nm 或以下，最好爲 50nm 或以上且 200nm 或以下的方式調節平均侵入深度。

可以使用離子摻雜裝置或離子植入裝置進行該離子照射處理。作為離子摻雜裝置的代表例可以舉出將使工藝氣體電漿激發而產生的所有離子種照射到被處理體的非質量分離型的裝置。在該裝置中，不對電漿中的離子種進行質量分離而將其直接照射到被處理體。針對於此，離子植入裝置是質量分離型的裝置。在離子植入裝置中，對電漿中的離子種進行質量分離，並將某個特定的質量的離子種照射到被處理體。

在本實施例中，對使用離子摻雜裝置將氫添加到單晶半導體基板 510 的例子進行說明。作為源氣體，使用包含氫的氣體。至於照射的離子，最好將 H_3^+ 的比例設定為高。明確而言，相對於 H^+ 、 H_2^+ 、 H_3^+ 的總量，使 H_3^+ 的比例為 50% 或以上（更佳的是為 80% 或以上）。藉由提高 H_3^+ 的比例，可以使離子照射的效率得到提高。

另外，添加的離子不侷限於氫。也可以添加氮等的離子。此外，添加的離子不侷限於一種，也可以添加多種離子。例如，當使用離子摻雜裝置同時照射氫和氮時，與在不同的製程中進行照射的情況相比可以減少製程數，並且可以進一步抑制後面形成的單晶半導體層的表面粗糙。

另外，當使用離子摻雜裝置形成脆化區 514 時，雖然有同時添加入重金屬的憂慮，但是藉由隔著含有鹵素原子的氧化膜 512 進行離子照射，可以防止這些重金屬對單晶半導體基板 510 的污染。

接著，使基底基板 500 和單晶半導體基板 510 對置，並使含有氮的層 502 的表面與氧化膜 512 貼合。由此，貼合基底基板 500 和單晶半導體基板 510（參照圖 11F）。

在進行貼合時，最好對基底基板 500 或單晶半導體基板 510 的一處施加 $0.001N/cm^2$ 或以上且 $100N/cm^2$ 或以下，例如 $1N/cm^2$ 或以上且 $20N/cm^2$ 或以下的壓力。藉由施加壓力使接合平面接近而貼合，在被貼合的部分中含有氮的層 502 與氧化膜 512 接合，並以該部分為起點開始自發性地接合進而擴展至幾乎整個面。該接合利用范德華力和

氫鍵作用，並可以在常溫下進行。

另外，在貼合單晶半導體基板 510 與基底基板 500 之前，最好對進行貼合的表面進行表面處理。藉由進行表面處理，可以提高單晶半導體基板 510 和基底基板 500 的介面的接合強度。

作為表面處理，可以使用濕處理、乾處理或濕處理與乾處理的組合。此外，還可以使用不同的濕處理的組合或不同的乾處理的組合。

另外，在貼合之後，也可以進行熱處理以增高接合強度。將該熱處理的溫度設定為不使脆化區 514 發生分離的溫度（例如，室溫以上且低於 400°C）。另外，也可以在該溫度範圍內邊加熱邊接合含有氮的層 502 及氧化膜 512。作為上述熱處理，可以使用如擴散爐或電阻加熱爐等的加熱爐、RTA（快速熱退火：Rapid Thermal Anneal）裝置、微波加熱裝置等。另外，上述溫度條件只是一個例子而已，所公開的本發明的一個實施例不應被解釋為限定於此。

接著，藉由進行熱處理使單晶半導體基板 510 在脆化區中進行分離，而在基底基板 500 上隔著含有氮的層 502 及氧化膜 512 形成單晶半導體層 516（參照圖 11G）。

另外，最好使進行上述分離時的熱處理的溫度盡可能地低。這是因為進行分離時的溫度越低越能夠抑制單晶半導體層 516 的表面粗糙的緣故。明確而言，例如，可以將進行上述分離時的熱處理的溫度設定為 300°C 或以上且

600°C 或以下，當將溫度設定為 400°C 或以上且 500°C 或以下時更有效。

另外，也可以在使單晶半導體基板 510 分離之後，以 500°C 或以上的溫度對單晶半導體層 516 進行熱處理以降低殘留在單晶半導體層 516 中的氫的濃度。

接著，藉由對單晶半導體層 516 的表面照射雷射，形成表面平坦性提高且缺陷減少了的單晶半導體層 518。另外，還可以進行熱處理來替代雷射照射處理。

另外，在本實施例中，雖然在進行了用來分離單晶半導體層 516 的熱處理之後連續進行了雷射照射處理，但是所公開的發明的一個實施例不應被解釋為限定於此。還可以在用來分離單晶半導體層 516 的熱處理之後進行蝕刻處理來去除單晶半導體層 516 表面缺陷多的區域，然後再進行雷射照射處理。或者，在提高單晶半導體層 516 表面的平坦性之後進行雷射照射處理。另外，上述蝕刻處理可以使用濕蝕刻或乾蝕刻。另外，在本實施例中，還可以在進行上述那樣的雷射照射之後進行減薄單晶半導體層 516 的厚度的薄膜化製程。至於單晶半導體層 516 的薄膜化，既可以使用乾蝕刻或濕蝕刻中的任一種，也可以使用其兩者。

藉由上述製程，可以形成具有良好特性的單晶半導體層 518 的 SOI 基板（參照圖 11H）。

<電晶體的製造方法>

接著，參照圖 12A 至 12H 對使用上述 SOI 基板的電晶體 570 的製造方法進行說明。

圖 12A 是示出根據圖 11A 至 11H 所示的方法形成的 SOI 基板的一部分的截面圖。

首先，將單晶半導體層 518 加工為島狀以形成半導體層 520（參照圖 12B）。另外，在該製程的前後，為了控制電晶體的臨界值電壓，可以對半導體層添加賦予 n 型導電性的雜質或賦予 p 型導電性的雜質。當作爲半導體採用矽時，作爲賦予 n 型導電性的雜質，例如可以使用磷或砷等。另外，作爲賦予 p 型導電性的雜質，例如可以使用硼、鋁、鎵等。

接著，以覆蓋半導體層 520 的方式形成絕緣層 522（參照圖 12C）。絕緣層 522 成爲後面的閘極絕緣層。這裏，使用電漿 CVD 法形成氧化矽膜的單層。至於絕緣層 522 的材料及形成方法可以參照之前的實施例中的關於閘極絕緣層（閘極絕緣層 108 等）的記載。

接著，在絕緣層 522 上形成導電層之後，對該導電層進行選擇性的蝕刻，在半導體層 520 的上方形成閘極電極 524（參照圖 12D）。至於閘極電極 524 的材料及形成方法可以參照之前的實施例中的關於閘極電極（閘極電極 110 等）的記載。

接著，將閘極電極 524 用作掩模，對半導體層 520 添加賦予一導電型的雜質以形成雜質區域 526（參照圖 12E）。另外，雖然這裏爲了形成 n 型電晶體而添加磷（P）

或砷 (As)，但是當形成 p 型電晶體時，添加硼 (B) 或鋁 (Al) 等的雜質即可。這裏，可以適當地設定添加雜質的濃度。

接著，在閘極電極 524 的側面形成側壁絕緣層 528。側壁絕緣層 528 可以藉由以下方法形成，即：以覆蓋絕緣層 522 及閘極電極 524 的方式形成絕緣層，然後藉由對該絕緣層進行各向異性高的蝕刻處理來以自對準的方式形成。另外，此時，對絕緣層 522 進行部分性的蝕刻來形成閘極絕緣層 522a 並使雜質區域 526 露出即可。

接著，將閘極電極 524 及側壁絕緣層 528 用作掩模，對雜質區域 526 添加賦予一導電型的雜質元素。注意，對雜質區域 526 添加的雜質元素是與之前的製程中添加的雜質元素同導電型的雜質元素。並且，其濃度高於之前的製程。藉由添加該雜質元素，在半導體層 520 中形成一對高濃度雜質區域 530、一對低濃度雜質區域 532 及通道形成區 534 (參照圖 12G)。高濃度雜質區域 530 用作源極區或汲極區。

另外，當半導體層 520 由含有矽的材料構成時，爲了進一步使源極區及汲極區低電阻化，可以形成將半導體層 520 的一部分矽化的矽化物區。可以利用以下方法進行矽化，即：使半導體層接觸金屬並藉由加熱處理 (例如，GRTA 法、LRTA 法等) 來使半導體層中的矽與金屬起反應。作爲矽化物區，可以形成鈷矽化物或鎳矽化物等。當半導體層 520 較薄時，也可以對半導體層 520 進行矽化反

應直至其底部。作為可以用於矽化的金屬材料，可以舉出鈦、鎳、鎢、鉬、鈷、鎳、鉛、鋇、釩、鈳、鉻、鉑、鈮等。另外，還可以利用雷射照射等形成矽化物區。

接著，以覆蓋藉由上述製程形成的各構件的方式形成層間絕緣層 536 和層間絕緣層 538（參照圖 12H）。層間絕緣層 536 和層間絕緣層 538 可以使用包含氧化矽、氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鋇等無機絕緣材料的材料形成。此外，也可以使用聚醯亞胺、丙烯酸樹脂等有機絕緣材料形成層間絕緣層 536 及層間絕緣層 538。這裏，雖然示出層間絕緣層 536 與層間絕緣層 538 的疊層結構，但是所公開的發明的一個實施例不侷限於此。既可以採用單層結構，也可以採用三層以上的疊層結構。在形成層間絕緣層 538 之後，最好藉由對其表面進行 CMP 或蝕刻處理等以使其平坦化。

接著，藉由在上述層間絕緣層 536、538 中形成到達高濃度雜質區域 530 的開口，在該開口中形成源極電極或汲極電極 540a 及源極電極或汲極電極 540b（參照圖 12H）。至於源極電極或汲極電極 540a 及源極電極或汲極電極 540b 的材料或製造方法，可以參照有關源極電極或汲極電極 130a 及源極電極或汲極電極 130b 等的記載。

藉由上述方法形成使用 SOI 基板的電晶體 570（參照圖 12H）。因為使用氧化物半導體以外的材料的電晶體 570 能夠進行高速工作，所以可以使用該電晶體構成邏輯電路（也稱為計算電路）等。另外，還可以用於驅動之前

的實施例所示的記憶電路的驅動電路等。

另外，還可以在上述製程之後，進一步形成電極、佈線或絕緣層等。作為佈線的結構，藉由採用由層間絕緣層及導電層的疊層結構構成的多層佈線結構，可以提供高集成化的半導體裝置。

以上本實施例所示的結構和方法等可以與其他實施例所示的結構和方法等適當地組合而使用。

實施例 8

在本實施例中，使用圖 13A 和 13B 以及圖 14A 至 14C 對之前的實施例所示的半導體裝置的應用例子進行說明。

圖 13A 和 13B 是使用多個圖 5A-1 所示的半導體裝置（以下也表示為記憶單元 190）來形成的半導體裝置的電路圖。圖 13A 是記憶單元 190 串聯連接的所謂 NAND 型半導體裝置的電路圖。圖 13B 是記憶單元 190 並聯連接的所謂 NOR 型半導體裝置的電路圖。

在圖 13A 所示的半導體裝置包括源極電極線 SL、位元線 BL、第一信號線 S1、m 條第二信號線 S2、m 條字線 WL、配置為縱 m 個（行）×橫 1 個（列）的多個記憶單元 190（1，1）至 190（m，1）。另外，圖 13A 示出半導體裝置具有一條源極電極線 SL 和一條位元線 BL 的結構，但是所公開的發明的一個實施例不侷限於此。可以採用藉由具有 n 條源極電極線 SL 和 n 條位元線 BL，而具有縱 m

個（行） \times 橫 n 個（列）的記憶單元陣列的結構。

在每個記憶單元 190 中，電晶體 160 的閘極電極、電晶體 162 的源極電極和汲極電極中的一方與電容元件 164 的電極的一方電連接。另外，第一信號線 S1 與電晶體 162 的源極電極和汲極電極中的另一方電連接，第二信號線 S2 與電晶體 162 的閘極電極電連接。再者，字線 WL 與電容元件 164 的電極的另一方電連接。

● 另外，記憶單元 190 所具有的電晶體 160 的源極電極與相鄰的記憶單元 190 的電晶體 160 的汲極電極電連接，記憶單元 190 所具有的電晶體 160 的汲極電極與相鄰的記憶單元 190 的電晶體 160 的源極電極電連接。但是，串聯連接的多個記憶單元中的設置在一方的端部的記憶單元 190 所具有的電晶體 160 的汲極電極與位元線電連接。另外，串聯連接的多個記憶單元中的設置在另一方的端部的記憶單元 190 所具有的電晶體 160 的源極電極與源極電極線電連接。

● 圖 13A 所示的半導體裝置按行進行寫入工作和讀出工作。以如下步驟進行寫入工作：對進行寫入的行的第二信號線 S2 施加使電晶體 162 成爲導通狀態的電位，而使進行寫入的行的電晶體 162 成爲導通狀態。由此，對所指定的行的電晶體 160 的閘極電極施加第一信號線 S1 的電位，而對該閘極電極施加規定的電荷。像這樣，可以對所指定的行的記憶單元寫入資料。

另外，以如下步驟進行讀出工作：首先，對進行讀出

的行之外的字線 WL 施加不管電晶體 160 的閘極電極的電荷如何都使電晶體 160 成爲導通狀態的電位，而使進行讀出的行之外的電晶體 160 成爲導通狀態。然後，對進行讀出的行的字線 WL 施加根據電晶體 160 的閘極電極所具有的電荷選擇電晶體 160 的導通狀態或截止狀態的電位（讀出電位）。然後，對源極電極線 SL 施加定電位，使與位元線 BL 連接的讀出電路（未圖示）成爲工作狀態。這裏，源極電極線 SL-位元線 BL 之間的多個電晶體 160 除了進行讀出的行之外處於導通狀態，所以根據進行讀出的行的電晶體 160 的狀態，決定源極電極線 SL-位元線 BL 之間的導電率。就是說，根據進行讀出的行的電晶體 160 的閘極電極所具有的電荷，讀出電路所讀出的位元線 BL 的電位取不同的值。像這樣，可以從所指定的行的記憶單元讀出資料。

圖 13B 所示的半導體裝置具有 n 條源極電極線 SL、 n 條位元線 BL、以及 n 條第一信號線 S1； m 條第二信號線 S2 以及 m 條字線 WL；以及多個記憶單元 190 (1, 1) 至 190 (m, n) 配置爲縱 m 個（行） \times 橫 n 個（列）的矩陣狀的記憶單元陣列 181。每個電晶體 160 的閘極電極、電晶體 162 的源極電極和汲極電極中的一方與電容元件 164 的電極的一方電連接。另外，源極電極線 SL 與電晶體 160 的源極電極電連接，位元線 BL 與電晶體 160 的汲極電極電連接。另外，第一信號線 S1 與電晶體 162 的源極電極和汲極電極中的另一方電連接，第二信號線 S2 與電

晶體 162 的閘極電極電連接。再者，字線 WL 與電容元件 164 的電極的另一方電連接。

圖 13B 所示的半導體裝置按行進行寫入工作和讀出工作。寫入工作以與上述圖 13A 所示的半導體裝置相同的方法進行。讀出工作以如下步驟進行：首先，對進行讀出的行之外的字線 WL 施加不管電晶體 160 的閘極電極的電荷如何都使電晶體 160 成爲截止狀態的電位，而使進行讀出的行之外的電晶體 160 成爲截止狀態。然後，對進行讀出的行的字線 WL 施加根據電晶體 160 的閘極電極所具有的電荷選擇電晶體 160 的導通狀態或截止狀態的電位（讀出電位）。然後，對源極電極線 SL 施加定電位，使與位元線 BL 連接的讀出電路（未圖示）成爲工作狀態。這裏，根據進行讀出的行的電晶體 160 的狀態，決定源極電極線 SL-位元線 BL 之間的導電率。就是說，根據進行讀出的行的電晶體 160 的閘極電極所具有的電荷，讀出電路所讀出的位元線 BL 的電位取不同的值。像這樣，可以從所指定的行的記憶單元讀出資料。

接著，使用圖 14A 至 14C 對可以用於圖 13A 和 13B 所示的半導體裝置等的讀出電路的一個例子進行說明。

圖 14A 示出讀出電路的概況。該讀出電路具有電晶體和感測放大器電路。

當進行讀出資料時，端子 A 與連接到進行讀出的記憶單元的位元線連接。另外，對電晶體的閘極電極施加偏壓電壓 V_{bias} ，來控制端子 A 的電位。

根據所容納的資料，記憶單元 190 示出不同的電阻值。明確地說，當所選擇的記憶單元 190 的電晶體 160 處於導通狀態時成爲低電阻狀態，當所選擇的記憶單元 190 的電晶體 160 處於截止狀態時成爲高電阻狀態。

當記憶單元處於高電阻狀態時，端子 A 的電位高於參考電位 V_{ref} ，感測放大器電路輸出對應於端子 A 的電位的電位（資料“1”）。另一方面，當記憶單元處於低電阻狀態時，端子 A 的電位低於參考電位 V_{ref} ，感測放大器電路輸出對應於端子 A 的電位的電位（資料“0”）。

像這樣，藉由使用讀出電路，可以從記憶單元讀出資料。另外，本實施例所示的讀出電路是一個例子。也可以使用其他已知的電路。此外，讀出電路也可以具有預充電電路。也可以採用連接有參照用位元線代替參考電位 V_{ref} 的結構。

圖 14B 示出感測放大器電路的一個例子的差動型感測放大器。差動型感測放大器具有輸入端子 $V_{in}(+)$ 、 $V_{in}(-)$ 以及輸出端子 V_{out} ，放大 $V_{in}(+)$ 與 $V_{in}(-)$ 的差。當 $V_{in}(+) > V_{in}(-)$ 時， V_{out} 通常成爲 High 輸出，當 $V_{in}(+) < V_{in}(-)$ 時， V_{out} 通常成爲 Low 輸出。

圖 14C 示出感測放大器電路的一個例子的鎖存型感測放大器。鎖存型感測放大器具有輸入輸出端子 $V1$ 和 $V2$ 以及控制用信號 S_p 和 S_n 的輸入端子。首先，將控制用信號 S_p 設定爲 High，而將控制用信號 S_n 設定爲 Low，來遮斷電源電位（ V_{dd} ）。然後，對 $V1$ 和 $V2$ 施加進行比較

的電位。之後，在將控制用信號 S_p 設定為 Low，而將控制用信號 S_n 設定為 High，對 V1 和 V2 供給電源電位（Vdd）的情況下，當進行比較的電位 V_{1in} 和 V_{2in} 處於 $V_{1in} > V_{2in}$ 時，V1 的輸出成爲 High，V2 的輸出成爲 Low。當進行比較的電位 V_{1in} 和 V_{2in} 處於 $V_{1in} < V_{2in}$ 時，V1 的輸出成爲 Low，V2 的輸出成爲 High。藉由利用這種關係，可以放大 V_{1in} 和 V_{2in} 的差。

● 本實施例所示的結構、方法等可以與其他實施例適當地組合而實施。

實施例 9

在本實施例中，參照圖 15A 和 15B 對使用之前的實施例所示的電晶體的半導體裝置的例子進行說明。

● 圖 15A 示出具有相當於所謂的 DRAM（Dynamic Random Access Memory：動態隨機存取記憶體）的結構的半導體裝置的一個例子。圖 15A 所示的記憶單元陣列 620 具有將多個記憶單元 630 排列爲矩陣狀的結構。另外，記憶單元陣列 620 具有 m 條第一佈線和 n 條第二佈線。注意，記憶單元 630 相當於圖 5B 所示的半導體裝置。另外，在本實施例中，將圖 5B 中的第一佈線稱爲位元線 BL，將第二佈線稱爲字線 WL。

記憶單元 630 包括電晶體 631 和電容元件 632。電晶體 631 的閘極電極與第一佈線（字線 WL）連接。另外，電晶體 631 的源極電極和汲極電極中的一方與第二佈線（

位元線 BL) 連接，電晶體 631 的源極電極和汲極電極中的另一方與電容元件的電極的一方連接。另外，電容元件的電極的另一方與電容線 CL 連接，對該電容元件的電極的另一方施加一定電位。作為電晶體 631，應用之前的實施例所示的電晶體。

之前的實施例所示的電晶體具有截止電流極小的特徵。因此，當將該電晶體應用於所謂的 DRAM 的圖 15A 所示的半導體裝置時，可以得到實際上的非揮發性記憶裝置。

圖 15B 示出具有相當於所謂的 SRAM (Static Random Access Memory: 靜態隨機存取記憶體) 的結構的半導體裝置的一個例子。圖 15B 所示的記憶單元陣列 640 可以具有將多個記憶單元 650 排列為矩陣狀的結構。另外，記憶單元陣列 640 具有多條第一佈線 (字線 WL)、多條第二佈線 (位元線 BL) 以及多條第三佈線 (反轉位元線 /BL)。

記憶單元 650 具有第一電晶體 651 至第六電晶體 656。第一電晶體 651 和第二電晶體 652 用作選擇電晶體。另外，第三電晶體 653 和第四電晶體 654 之中的一方是 n 通道型電晶體 (這裏，是第四電晶體 654)，另一方是 p 通道型電晶體 (這裏，是第三電晶體 653)。就是說，第三電晶體 653 和第四電晶體 654 構成 CMOS 電路。與此同樣，第五電晶體 655 和第六電晶體 656 構成 CMOS 電路。

第一電晶體 651、第二電晶體 652、第四電晶體 654

以及第六電晶體 656 是 n 通道型電晶體，可以應用之前的實施例所示的電晶體。第三電晶體 653 和第五電晶體 655 是 p 通道型電晶體，並可以使用氧化物半導體或其他材料（例如，矽等）來形成。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而實施。

● 實施例 10

在本實施例中，使用圖 16A 至 16F 對將之前的實施例所說明的半導體裝置應用於電子設備的情況進行說明。在本實施例中，說明將上述半導體裝置應用於電腦、行動電話機（也稱為行動電話、行動電話裝置）、可攜式資訊終端（包括可攜式遊戲機、聲音再現裝置等）、如數位相機、數位攝像機等的影像拍攝裝置、電子紙、電視裝置（也稱為電視或電視接收機）等的電子設備的情況。

● 圖 16A 示出筆記本型個人電腦，包括框體 701、框體 702、顯示部 703 以及鍵盤 704 等。之前的實施例所示的半導體裝置設置在框體 701 和框體 702 中。之前的實施例所示的半導體裝置的寫入和讀出資訊的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。因此，可以實現一種其寫入和讀出資訊的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低的筆記本型個人電腦。

圖 16B 示出可攜式資訊終端（PDA），其本體 711 包

括顯示部 713、外部介面 715 以及操作按鈕 714 等。另外，還包括用於操作可攜式資訊終端的觸屏筆 712 等。之前的實施例所示的半導體裝置設置在本體 711 中。之前的實施例所示的半導體裝置寫入和讀出資訊的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。因此，可以實現一種其寫入和讀出資訊的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低的可攜式資訊終端。

圖 16C 示出安裝有電子紙的電子書閱讀器 720，包括框體 721 和框體 723 的兩個框體。框體 721 和框體 723 分別設置有顯示部 725 和顯示部 727。框體 721 和框體 723 由軸部 737 相連接，且可以以該軸部 737 為軸進行開閉動作。另外，框體 721 包括電源 731、操作鍵 733 以及揚聲器 735 等。之前的實施例所示的半導體裝置設置在框體 721 和框體 723 中的至少一個。之前的實施例所示的半導體裝置寫入和讀出資訊的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。因此，可以實現一種其寫入和讀出資訊的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低的電子書閱讀器。

圖 16D 示出行動電話機，包括框體 740 和框體 741 的兩個框體。再者，框體 740 和框體 741 滑動而可以從如圖 16D 所示那樣的展開狀態變成重疊狀態，所以可以實現適於攜帶的小型化。另外，框體 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、定位裝置 746、照相

用透鏡 747 以及外部連接端子 748 等。此外，框體 740 包括進行行動電話機的充電的太陽能電池單元 749 和外部記憶體插槽 750 等。另外，天線內置在框體 741 中。之前的實施例所示的半導體裝置設置在框體 740 和框體 741 中的至少一個。之前的實施例所示的半導體裝置寫入和讀出資訊的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。因此，可以實現一種其寫入和讀出資訊的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低的行動電話機。

圖 16E 示出數位相機，包括本體 761、顯示部 767、取景器 763、操作開關 764、顯示部 765 以及電池 766 等。之前的實施例所示的半導體裝置設置在本體 761 中。之前的實施例所示的半導體裝置寫入和讀出資訊的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。因此，可以實現一種其寫入和讀出資訊的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低的數位相機。

圖 16F 示出電視裝置 770，包括框體 771、顯示部 773 以及支架 775 等。可以藉由框體 771 具有的開關和遙控控制器 780 來進行電視裝置 770 的操作。框體 771 和遙控控制器 780 安裝有之前的實施例所示的半導體裝置。之前的實施例所示的半導體裝置寫入和讀出資訊的速度很快，可以在較長期間內保持儲存，並且耗電量被充分地降低。因此，可以實現一種其寫入和讀出資訊的速度很快，可

以在較長期間內保持儲存，並且耗電量被充分地降低的電視裝置。

如上所述，本實施例所示的電子設備安裝有根據之前的實施例的半導體裝置。所以，可以實現耗電量被降低的電子設備。

例子 1

對根據所公開的發明的一個實施例的半導體裝置的能夠重寫的次數進行考察。在本例子中，參照圖 17 對該考察結果進行說明。

用於考察的半導體裝置是具有圖 5A-1 所示的電路結構的半導體裝置。這裏，作為相當於電晶體 162 的電晶體，使用氧化物電晶體。另外，作為相當於電容元件 164 的電容元件，使用電容值為 0.33pF 的電容元件。

藉由比較初期記憶視窗寬度和反復進行規定次數的資料的保持和資料的寫入之後的記憶視窗寬度，來進行考察。藉由對相當於圖 5A-1 中的第三佈線的佈線施加 0V 和 5V 中的一方，對相當於第四佈線的佈線施加 0V 和 5V 中的一方，進行資料的保持和資料的寫入。當相當於第四佈線的佈線的電位為 0V 時，相當於電晶體 162 的電晶體處於截止狀態，因此保持對浮動閘部 FG 施加的電位。當相當於第四佈線的佈線的電位為 5V 時，相當於電晶體 162 的電晶體處於導通狀態，因此對浮動閘部 FG 施加相當於第三佈線的佈線的電位。

記憶視窗寬度是指示出記憶裝置的特性的指標之一。在此，該記憶視窗寬度是指示出不同的記憶狀態之間的相當於第五佈線的佈線的電位 V_{cg} 和相當於電晶體 160 的電晶體的漏電流 I_d 的關係的曲線（ V_{cg} - I_d 曲線）的漂移量 ΔV_{cg} 。不同的記憶狀態是指對浮動閘部 FG 施加 0V 的狀態（以下稱爲 Low 狀態）和對浮動閘部 FG 施加 5V 的狀態（以下稱爲 High 狀態）。就是說，可以藉由在 Low 狀態和 High 狀態進行電位 V_{cg} 的掃描，來確認記憶視窗寬度。另外，在任何情況下 $V_{ds}=1V$ 。

圖 17 示出初期狀態的記憶視窗寬度和進行 1×10^9 次的寫入之後的記憶視窗寬度的考察結果。在圖 17 中，實線示出第一次的寫入，虛線示出第 1×10^9 次的寫入。另外，在實線和虛線的兩者中，左邊的曲線示出 High 狀態的寫入，右邊的曲線示出 Low 狀態的寫入。另外，橫軸示出 V_{cg} (V)，縱軸示出 I_d (A)。根據圖 17 可以確認到：在第 1×10^9 次的寫入的前後，在 High 狀態和 Low 狀態掃描了電位 V_{cg} 的記憶視窗寬度沒變化。在第 1×10^9 次的寫入的前後記憶視窗寬度沒變化示出：至少在此期間，半導體裝置的特性沒變化。

如上所述，根據所公開的發明的一個實施例的半導體裝置即使反復進行多次保持和寫入其特性也沒變化。就是說，可以藉由所公開的發明的一個實施例來實現可靠性極爲高的半導體裝置。

【符號說明】

- 10：記憶單元陣列
- 20：列解碼器
- 30：行解碼器
- 40：IO 控制器
- 50：IO 緩衝器
- 60：指令緩衝器
- 70：地址緩衝器
- 80：控制器
- 100：基板
- 102：保護層
- 104：半導體區域
- 106：元件分離絕緣層
- 108：閘極絕緣層
- 110：閘極電極
- 112：絕緣層
- 114：雜質區域
- 116：通道形成區
- 118：側壁絕緣層
- 120：高濃度雜質區域
- 122：金屬層
- 124：金屬化合物區域
- 126：層間絕緣層
- 128：層間絕緣層

130a : 源極電極或汲極電極

130b : 源極電極或汲極電極

132 : 絕緣層

134 : 絕緣層

138 : 絕緣層

142a : 源極電極或汲極電極

142b : 源極電極或汲極電極

● 142c : 電極

142d : 電極

143 : 絕緣層

144 : 氧化物半導體層

146 : 閘極絕緣層

148a : 閘極電極

148b : 電極

150 : 層間絕緣層

● 152 : 層間絕緣層

160 : 電晶體

162 : 電晶體

164 : 電容元件

170 : 電晶體

181 : 記憶單元陣列

190 : 記憶單元

200 : 被處理物

202 : 絕緣層

- 206 : 氧化物半導體層
- 206a : 氧化物半導體層
- 208a : 源極電極或汲極電極
- 208b : 源極電極或汲極電極
- 212 : 閘極絕緣層
- 214 : 閘極電極
- 216 : 層間絕緣層
- 218 : 層間絕緣層
- 250 : 電晶體
- 300 : 被處理物
- 302 : 絕緣層
- 304 : 第一氧化物半導體層
- 304a : 第一氧化物半導體層
- 305 : 第二氧化物半導體層
- 306 : 第二氧化物半導體層
- 306a : 第二氧化物半導體層
- 308a : 源極電極或汲極電極
- 308b : 源極電極或汲極電極
- 312 : 閘極絕緣層
- 314 : 閘極電極
- 316 : 層間絕緣層
- 318 : 層間絕緣層
- 350 : 電晶體
- 400 : 被處理物

- 402 : 絕緣層
- 406 : 氧化物半導體層
- 406a : 氧化物半導體層
- 408 : 導電層
- 408a : 源極電極或汲極電極
- 408b : 源極電極或汲極電極
- 410 : 絕緣層
- 410a : 絕緣層
- 410b : 絕緣層
- 411a : 氧化區域
- 411b : 氧化區域
- 412 : 閘極絕緣層
- 414 : 閘極電極
- 416 : 層間絕緣層
- 418 : 層間絕緣層
- 450 : 電晶體
- 500 : 基底基板
- 502 : 含有氮的層
- 510 : 單晶半導體基板
- 512 : 氧化膜
- 514 : 脆化區
- 516 : 單晶半導體層
- 518 : 單晶半導體層
- 520 : 半導體層

- 522 : 絕緣層
- 522a : 閘極絕緣層
- 524 : 閘極電極
- 526 : 雜質區域
- 528 : 側壁絕緣層
- 530 : 高濃度雜質區域
- 532 : 低濃度雜質區域
- 534 : 通道形成區
- 536 : 層間絕緣層
- 538 : 層間絕緣層
- 540a : 源極電極或汲極電極
- 540b : 源極電極或汲極電極
- 570 : 電晶體
- 620 : 記憶單元陣列
- 630 : 記憶單元
- 631 : 電晶體
- 632 : 電容元件
- 640 : 記憶單元陣列
- 650 : 記憶單元
- 651 : 電晶體
- 652 : 電晶體
- 653 : 電晶體
- 654 : 電晶體
- 655 : 電晶體

- 656 : 電晶體
- 701 : 框體
- 702 : 框體
- 703 : 顯示部
- 704 : 鍵盤
- 711 : 本體
- 712 : 觸屏筆
- 713 : 顯示部
- 714 : 操作按鈕
- 715 : 外部介面
- 720 : 電子書閱讀器
- 721 : 框體
- 723 : 框體
- 725 : 顯示部
- 727 : 顯示部
- 731 : 電源
- 733 : 操作鍵
- 735 : 揚聲器
- 737 : 軸部
- 740 : 框體
- 741 : 框體
- 742 : 顯示面板
- 743 : 揚聲器
- 744 : 麥克風

- 745 : 操作鍵
- 746 : 定位裝置
- 747 : 照相用透鏡
- 748 : 外部連接端子
- 749 : 太陽能電池單元
- 750 : 外部記憶體插槽
- 761 : 本體
- 763 : 取景器
- 764 : 操作開關
- 765 : 顯示部
- 766 : 電池
- 767 : 顯示部
- 770 : 電視裝置
- 771 : 框體
- 773 : 顯示部
- 775 : 支架
- 780 : 遙控控制器

申請專利範圍

1. 一種半導體裝置，包含：

第一電晶體，包含：

包含氧化物半導體以外的半導體材料的第一通道形成區域；

以夾著該第一通道形成區域的方式設置的一對雜質區域；

在該第一通道形成區域上的第一閘極絕緣層；

在該第一閘極絕緣層上的第一閘極電極；以及

電性連接於該一對雜質區域中的其中一個的第一源極電極及電性連接於該一對雜質區域中的另一個的第一汲極電極；

在該第一電晶體上的層間絕緣膜；

在該層間絕緣膜上的第二電晶體，包含：

第二源極電極及第二汲極電極；

包含氧化物半導體材料且電性連接於該第二源極電極及該第二汲極電極的第二通道形成區域；

在該第二通道形成區域上的第二閘極絕緣層；以及

在該第二閘極絕緣層上的第二閘極電極；以及

在該層間絕緣膜上的電容器，包含：

該第二源極電極和該第二汲極電極的其中之一者，作為該電容器的一個電極；

該第二閘極絕緣層；以及

在該第二閘極絕緣層上的電容器電極，作為該電容器的另一個電極。

2. 一種半導體裝置，包含：

第一電晶體，包含：

包含氧化物半導體以外的半導體材料的第一通道形成區域；

以夾著該第一通道形成區域的方式設置的一對雜質區域；

在該第一通道形成區域上的第一閘極絕緣層；

在該第一閘極絕緣層上的第一閘極電極；以及

電性連接於該一對雜質區域中的一個的第一源極電極及電性連接於該一對雜質區域中的另一個的第一汲極電極；

在該第一電晶體上的層間絕緣膜；

在該層間絕緣膜上的第二電晶體，包含：

第二源極電極及第二汲極電極；

包含氧化物半導體材料且電性連接於該第二源極電極及該第二汲極電極的第二通道形成區域；

在該第二通道形成區域上的第二閘極絕緣層；以及

在該第二閘極絕緣層上的第二閘極電極；以及

在該層間絕緣膜上的電容器，包含：

該第二源極電極和該第二汲極電極的其中之一者，作為該電容器的一個電極；

該第二閘極絕緣層；以及

在該第二閘極絕緣層上的電容器電極，作為該電容器的另一個電極，

其中該第二源極電極及該第二汲極電極的邊緣部份形成為錐形形狀。

3. 如申請專利範圍第 1 項或第 2 項之半導體裝置，另外包含：

第三電晶體，包含：

在該第一電晶體上的第三源極電極和第三汲極電極；

包含氧化物半導體材料且電性連接於該第三源極電極及該第三汲極電極的第三通道形成區域；

在該第三通道形成區域上的第三閘極絕緣層；以及

在該第三閘極絕緣層上的第三閘極電極；

源極線；

位元線；

字線；

第一信號線；以及

第二信號線，

其中，該第三閘極電極、該第二源極電極和該第二汲極電極的其中之一者、及該電容器的該一個電極彼此電性連接，

其中該源極線與該第三源極電極彼此電性連接，

其中該位元線與該第三汲極電極彼此電性連接，

其中該第一信號線與該第二源極電極和該第二汲極電極中的該另一個彼此電性連接，

其中該第二信號線與該第二閘極電極彼此電性連接，
以及

其中，該字線與該電容器的該另一個電極彼此電性連接。

4. 如申請專利範圍第 3 項之半導體裝置，其中該半導體裝置包含含有該第二電晶體、該第三電晶體及該電容器的記憶單元。

5. 如申請專利範圍第 1 項或第 2 項之半導體裝置，
其中該半導體裝置包含邏輯電路及驅動電路的其中之一者，以及

其中該邏輯電路及該驅動電路的該其中之一者包含該第一電晶體。

6. 如申請專利範圍第 1 項或第 2 項之半導體裝置，
其中該半導體裝置包含含有該第二電晶體及該電容器的記憶單元。

7. 如申請專利範圍第 1 項或第 2 項之半導體裝置，
其中該層間絕緣膜包含氮化矽及氧化矽的其中之一者。

8. 如申請專利範圍第 1 項或第 2 項之半導體裝置，
其中該氧化物半導體材料是一材料，選自由 In-Sn-Ga-Zn-O 類氧化物半導體、In-Ga-Zn-O 類氧化物半導體、

In-Sn-Zn-O 類氧化物半導體、In-Al-Zn-O 類氧化物半導體、Sn-Ga-Zn-O 類氧化物半導體、Al-Ga-Zn-O 類氧化物半導體、Sn-Al-Zn-O 類氧化物半導體、In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、Zn-Mg-O 類氧化物半導體、Sn-Mg-O 類氧化物半導體、In-Mg-O 類氧化物半導體、In-O 類氧化物半導體、Sn-O 類氧化物半導體及 Zn-O 類氧化物半導體所組成的群族。

9. 如申請專利範圍第 1 項或第 2 項之半導體裝置，其中該第一通道形成區域包含矽。

10. 如申請專利範圍第 1 項或第 2 項之半導體裝置，其中該半導體裝置被用於選自由電腦、行動電話機、可攜式資訊終端、數位相機、數位攝像機、電子紙及電視所組成的群族的電子裝置。

圖式

圖 1

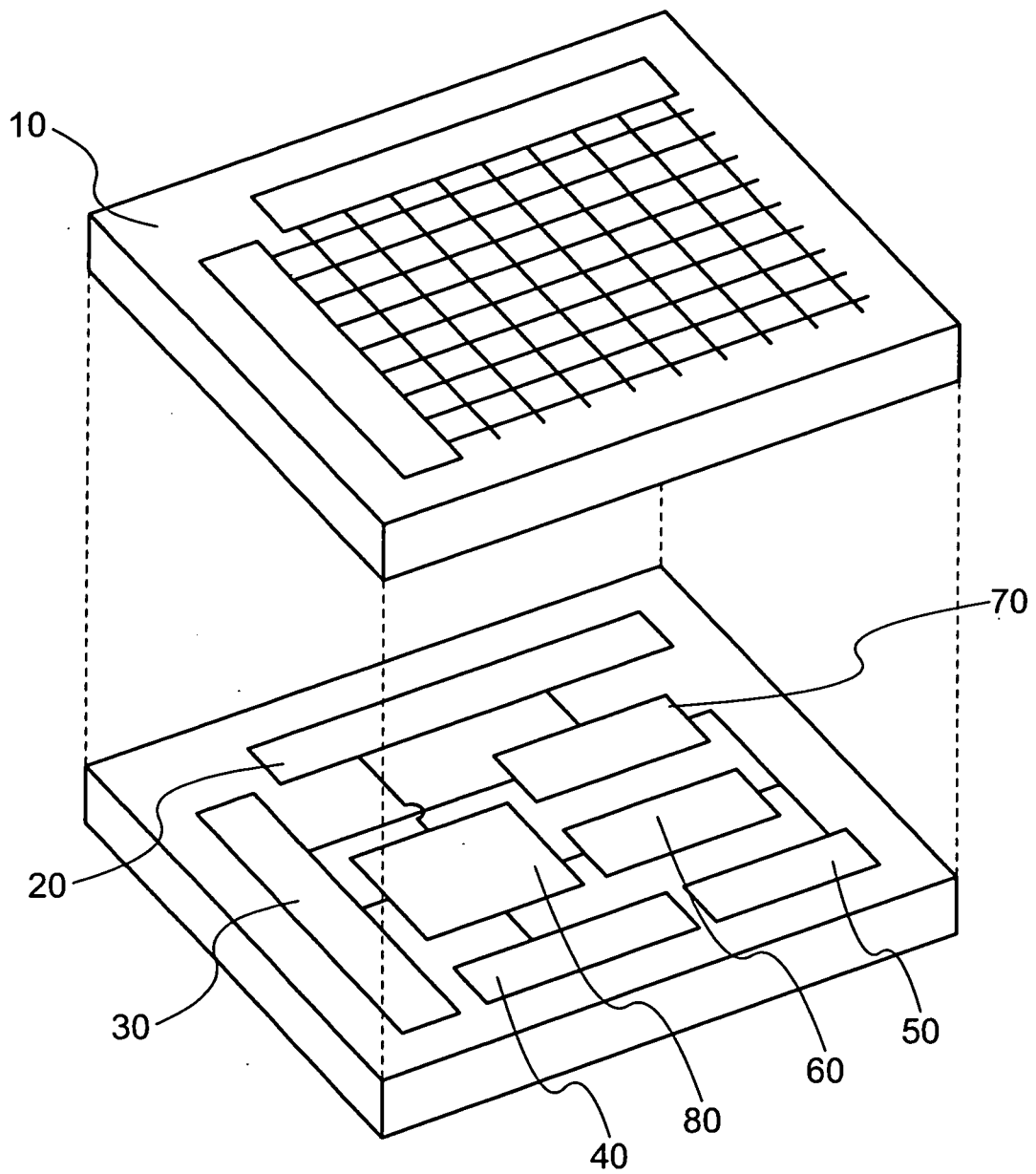


圖 2A

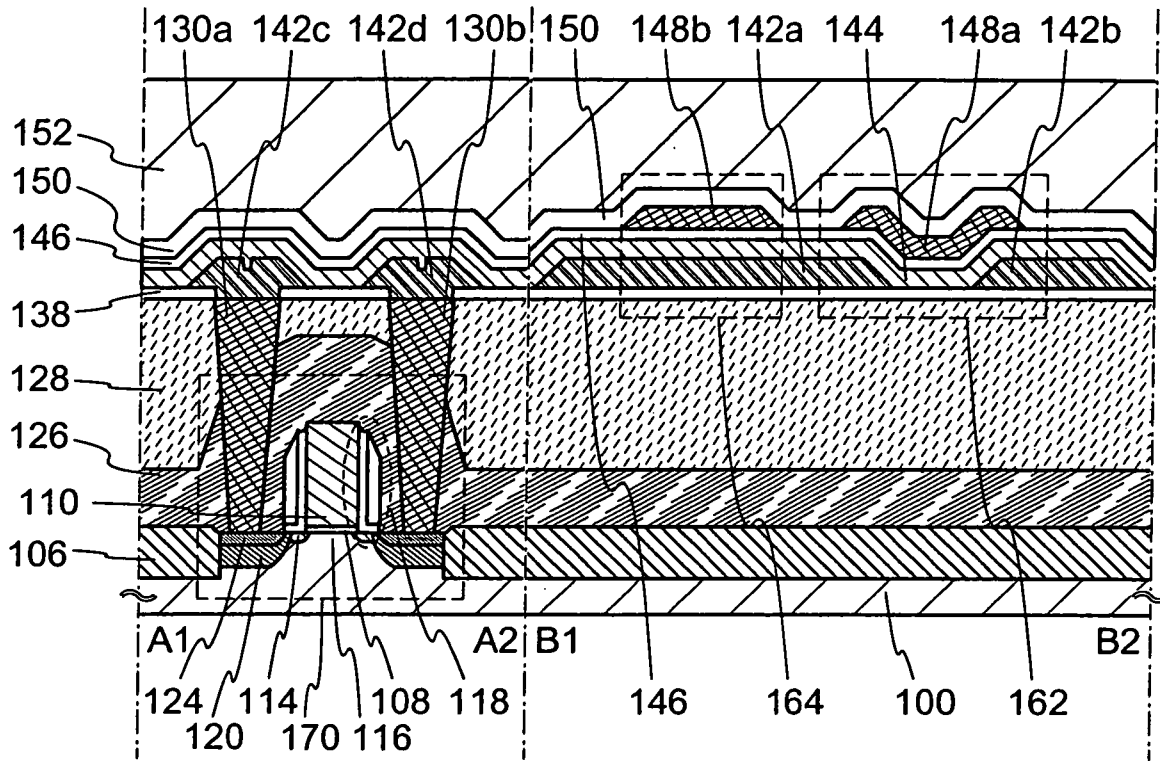


圖 2B

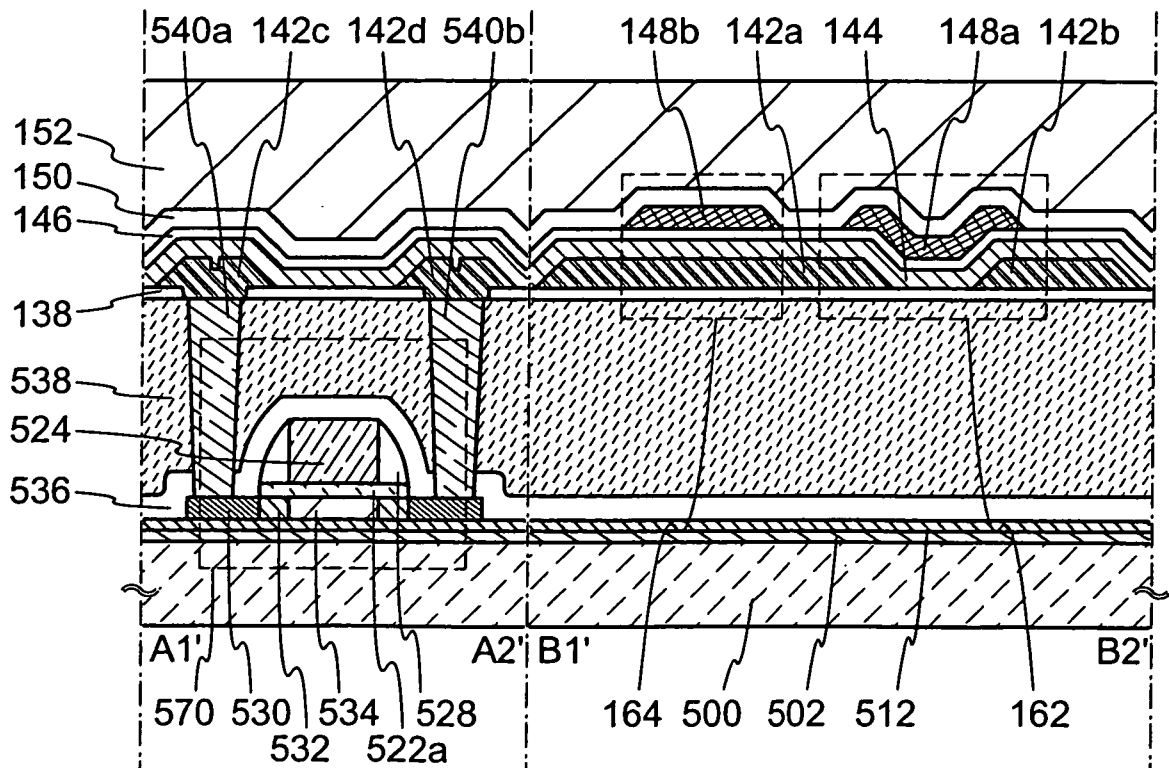


圖 3A

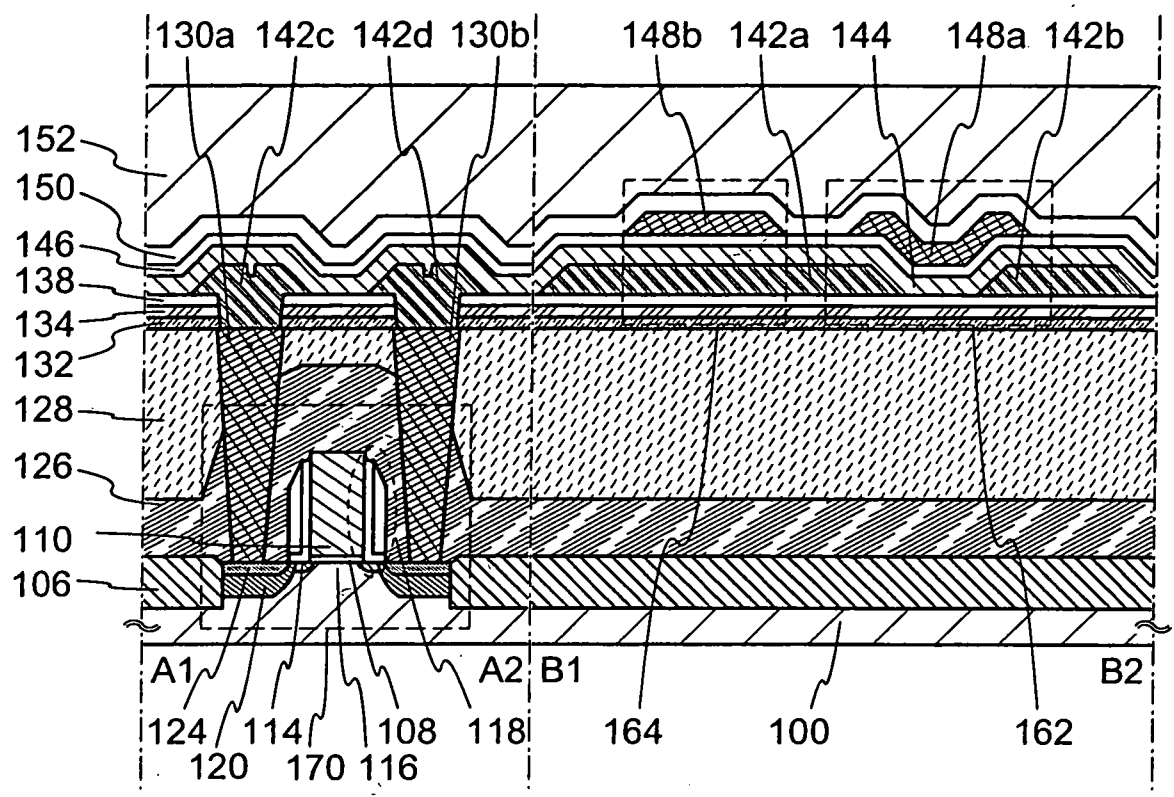


圖 3B

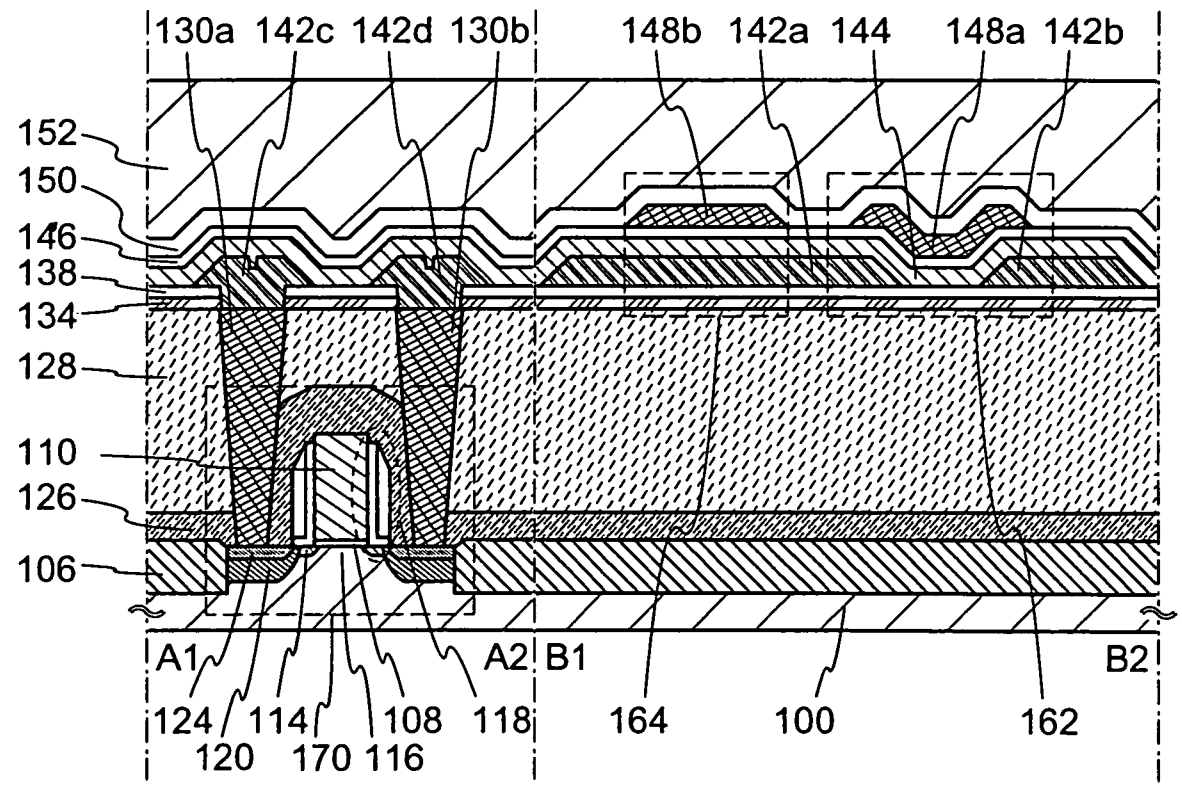


圖 4A

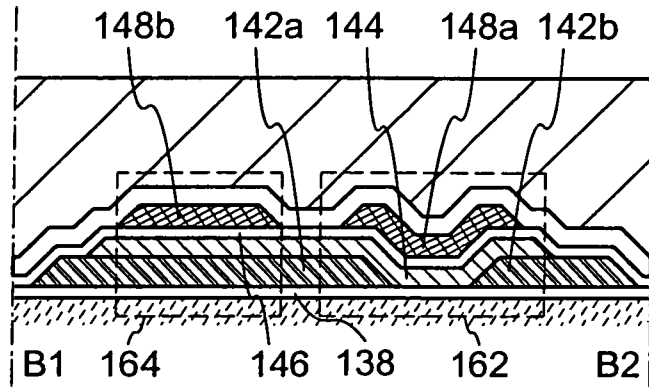


圖 4B

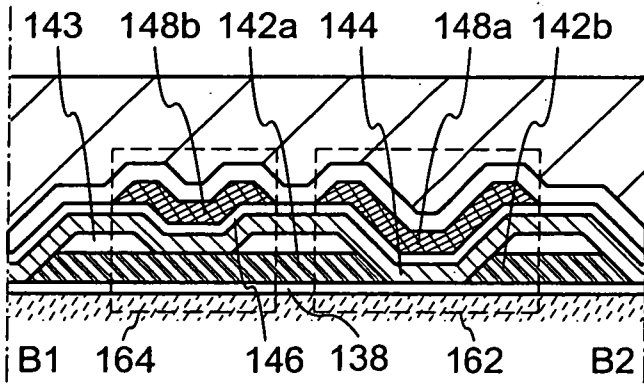


圖 4C

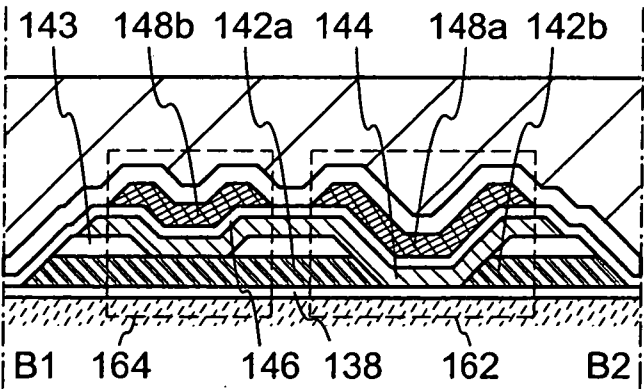


圖 5A1

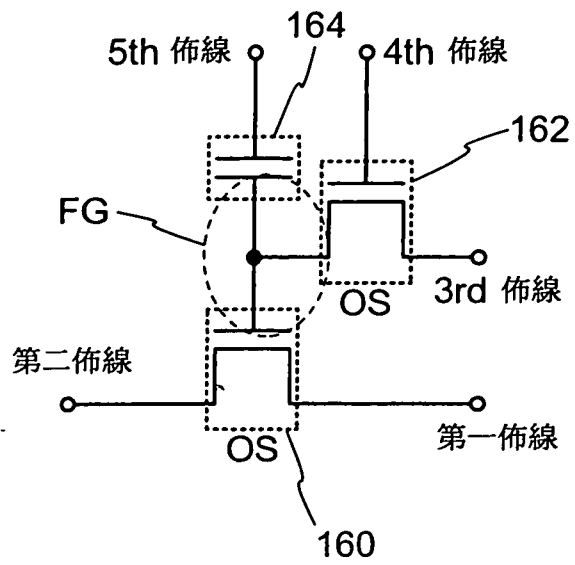


圖 5A2

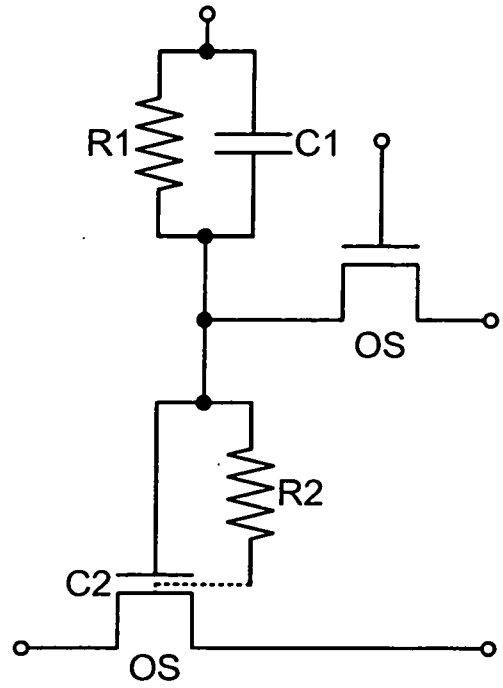


圖 5B

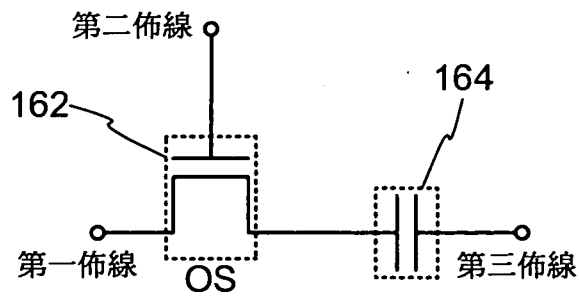


圖 6A

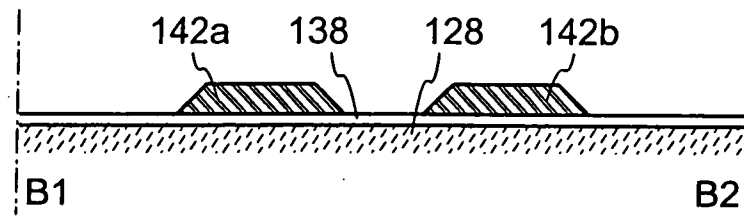


圖 6B

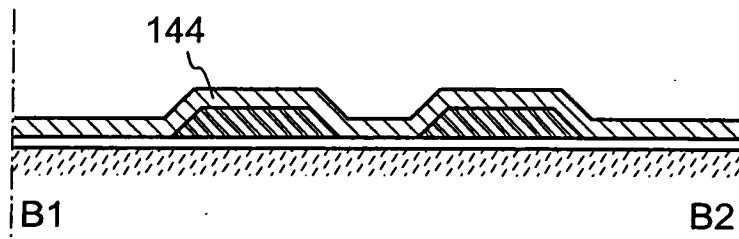


圖 6C

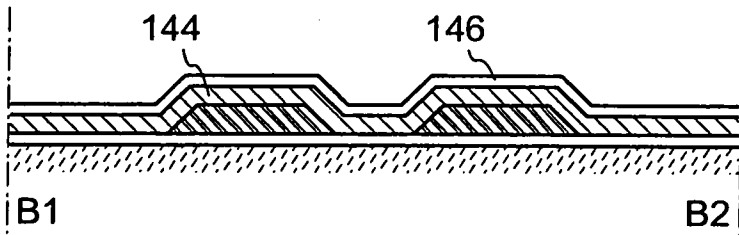


圖 6D

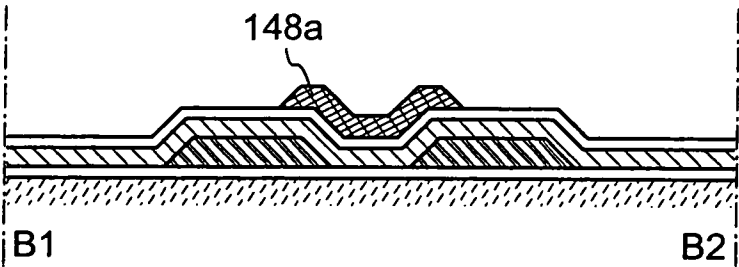
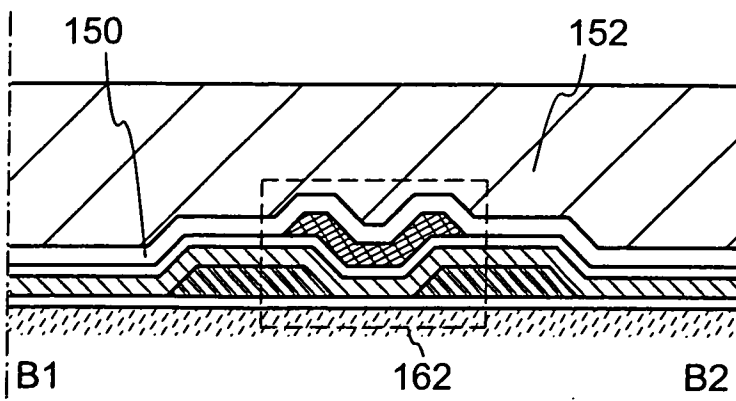


圖 6E



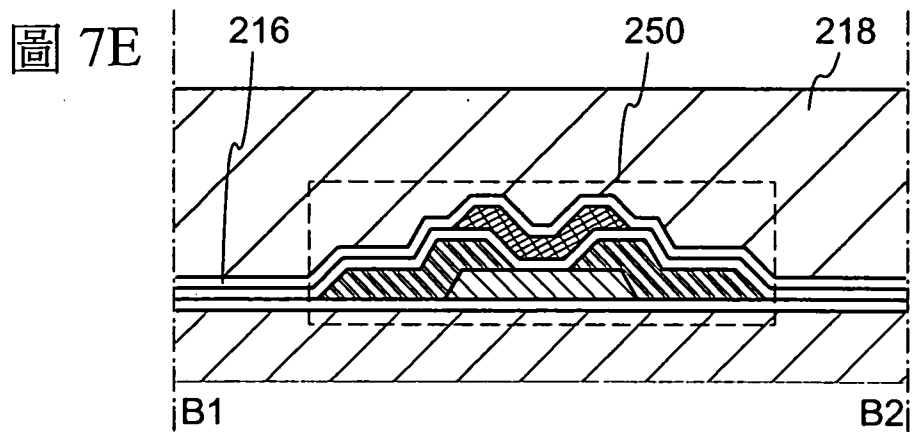
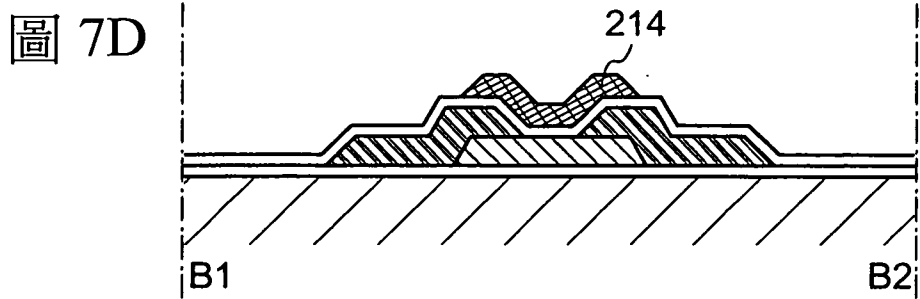
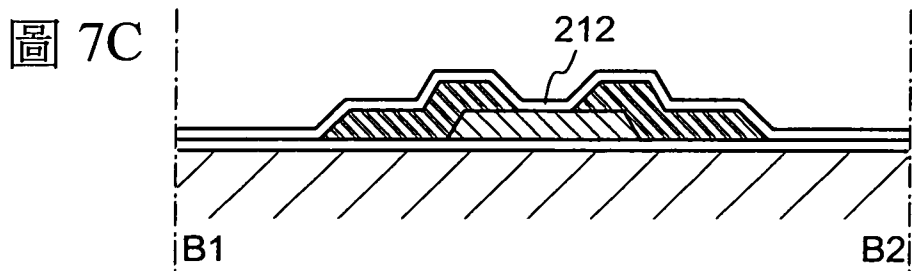
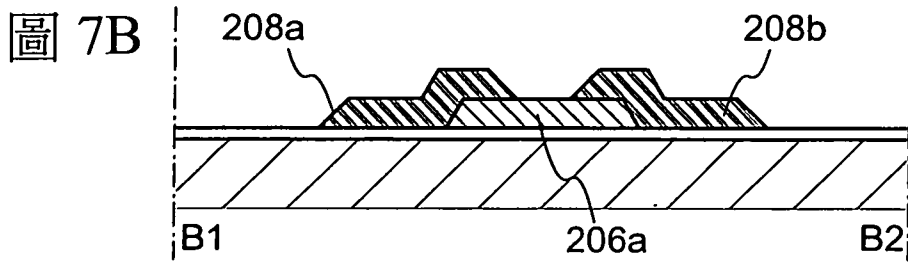
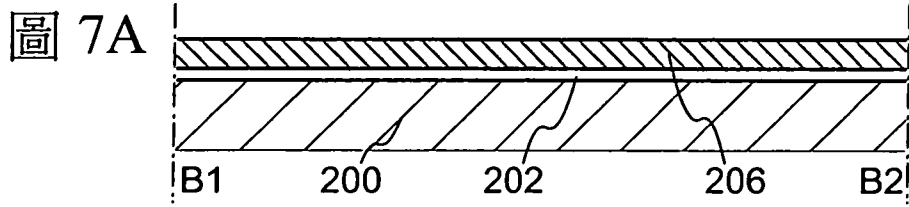


圖 8A

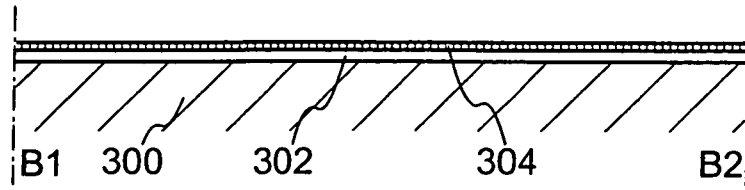


圖 8B

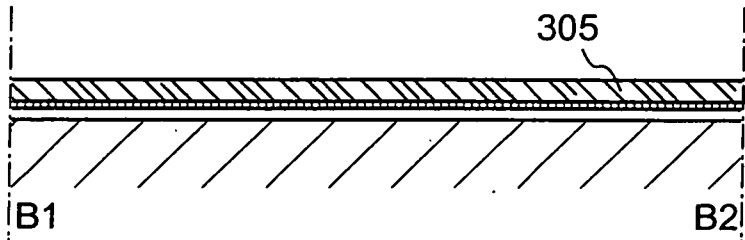


圖 8C

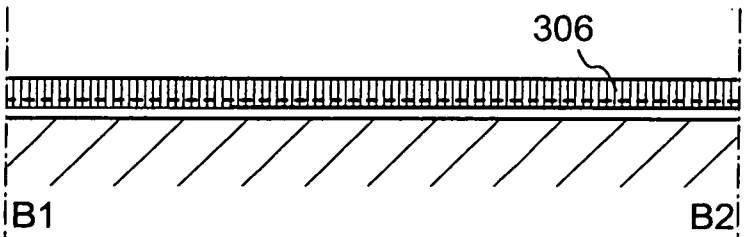


圖 8D

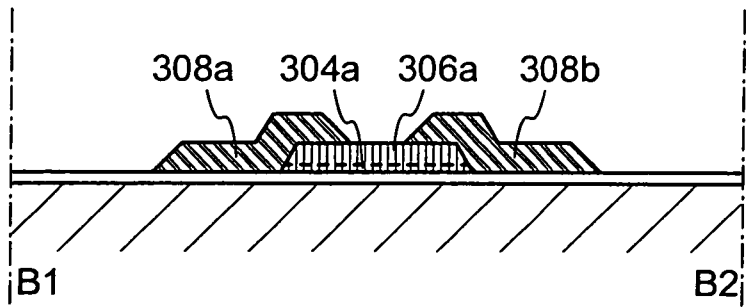
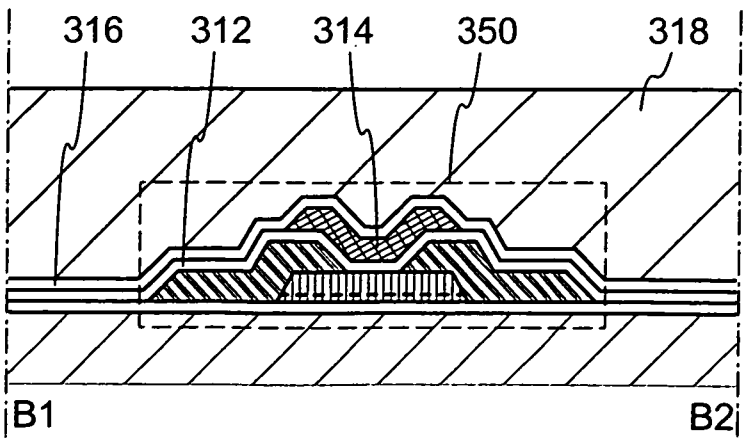


圖 8E



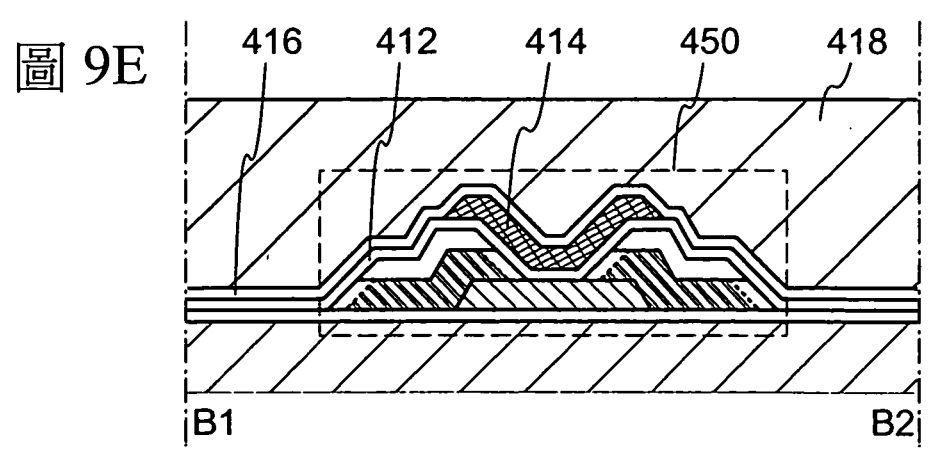
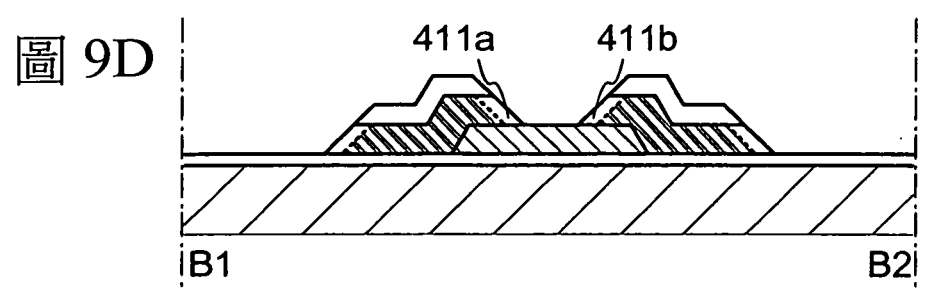
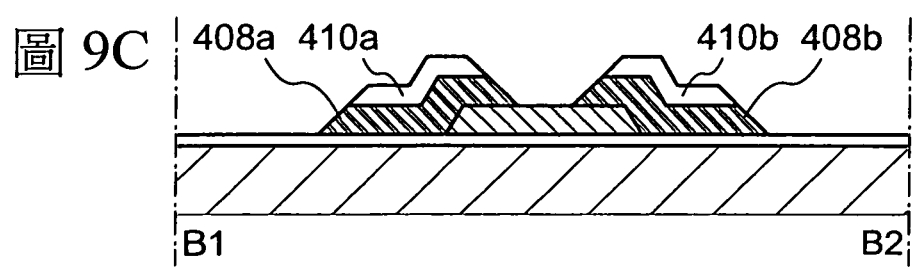
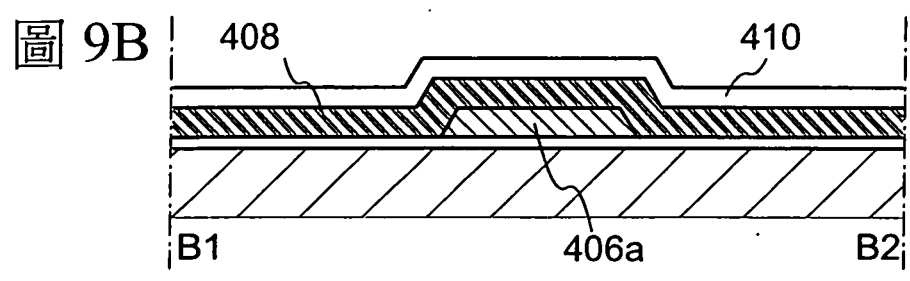
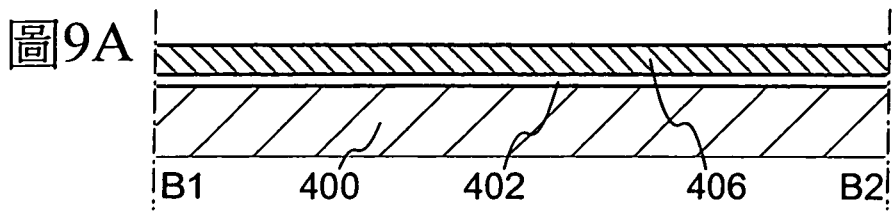


圖 10A

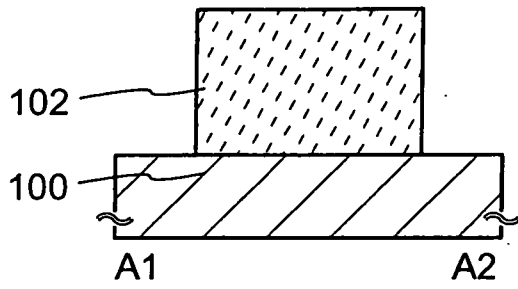


圖 10E

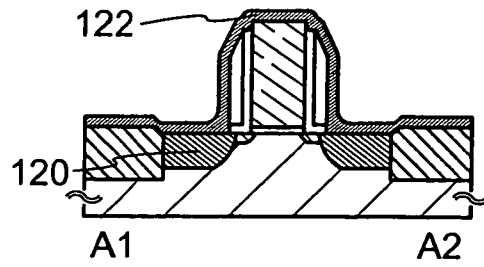


圖 10B

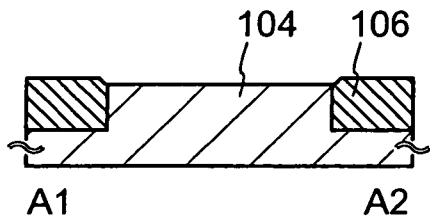


圖 10F

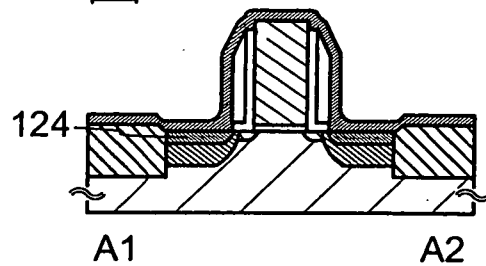


圖 10C

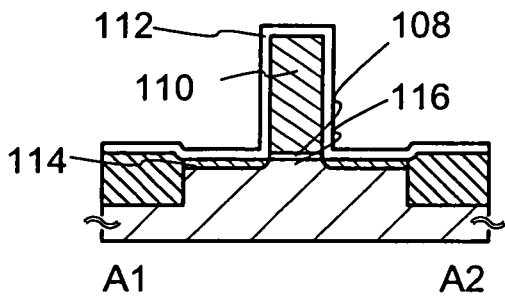


圖 10G

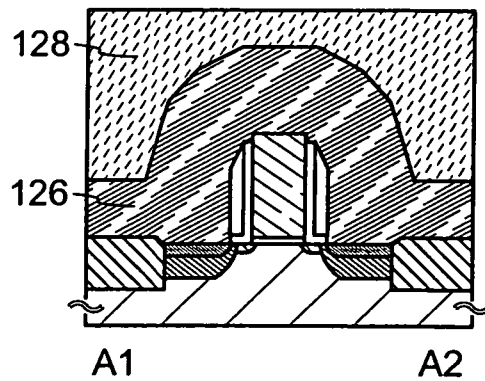


圖 10D

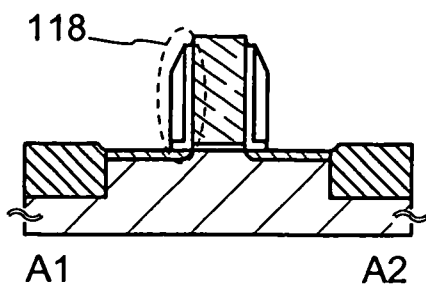


圖 10H

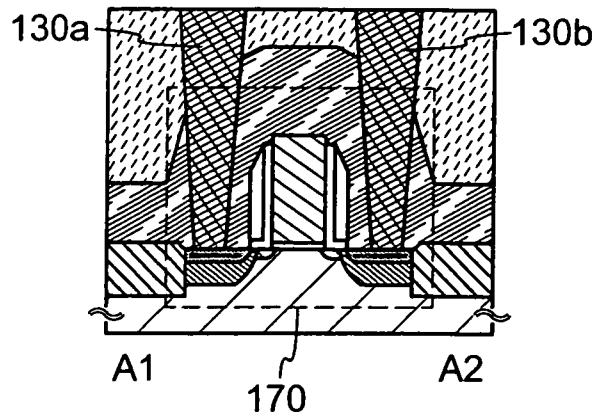


圖 11A

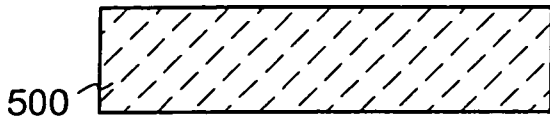


圖 11B

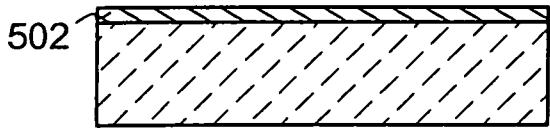


圖 11C

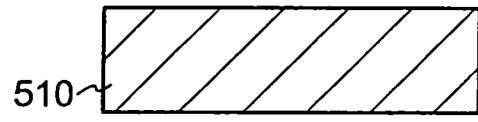


圖 11D

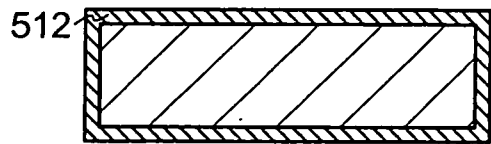


圖 11E

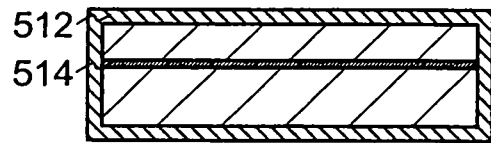


圖 11F

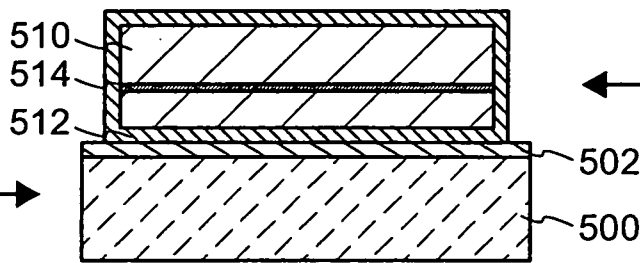


圖 11G

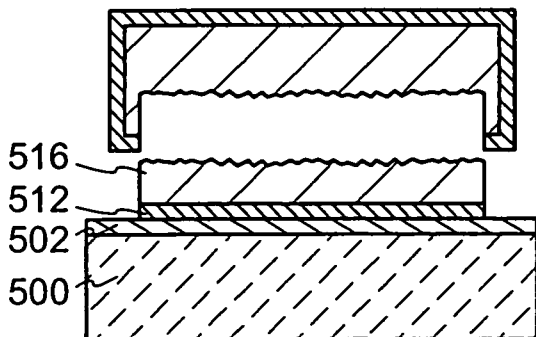


圖 11H

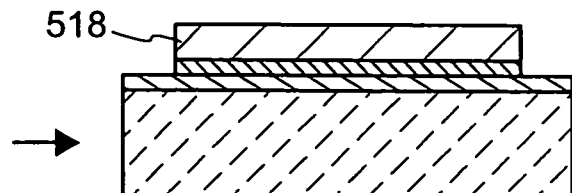


圖 12A

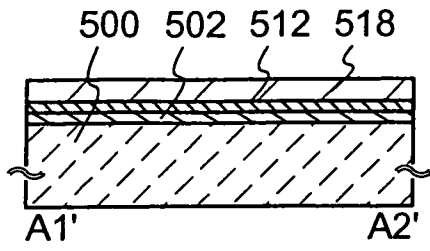


圖 12E

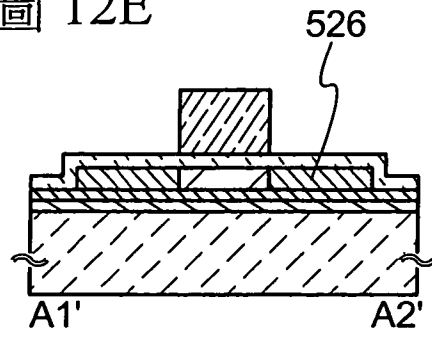


圖 12B

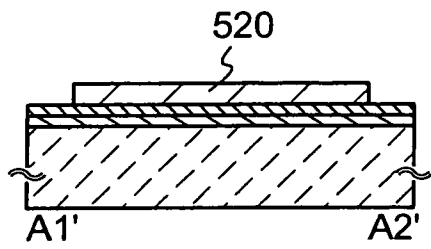


圖 12F

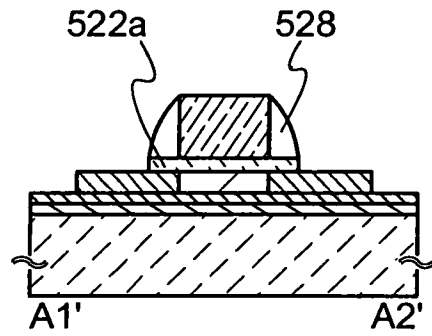


圖 12C

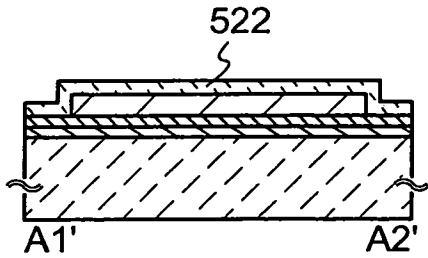


圖 12G

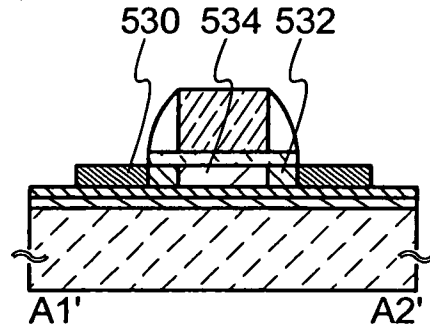


圖 12D

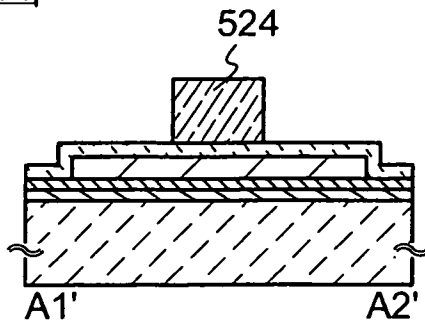


圖 12H

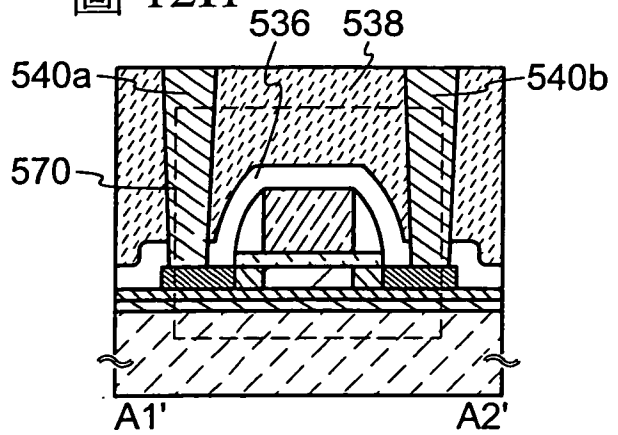


圖 13A

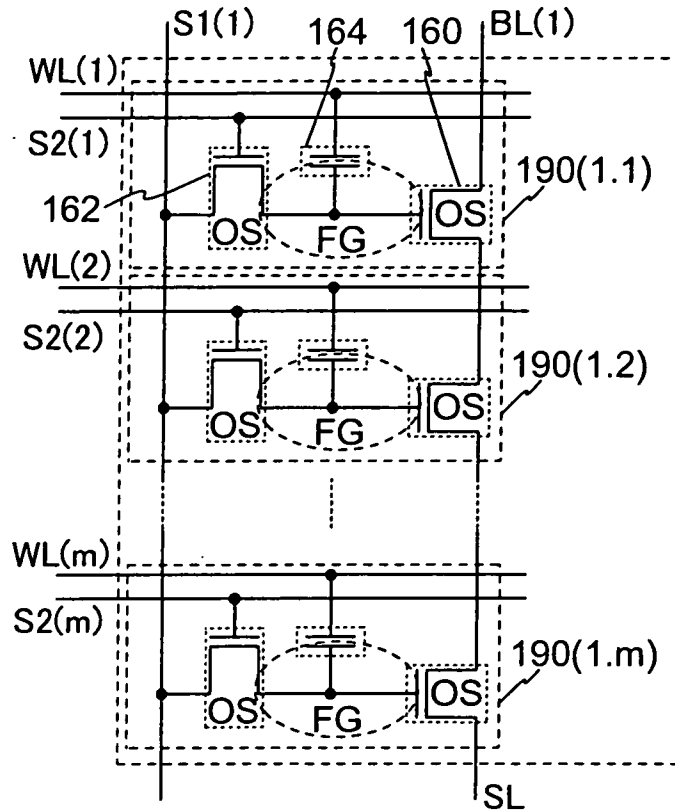


圖 13B

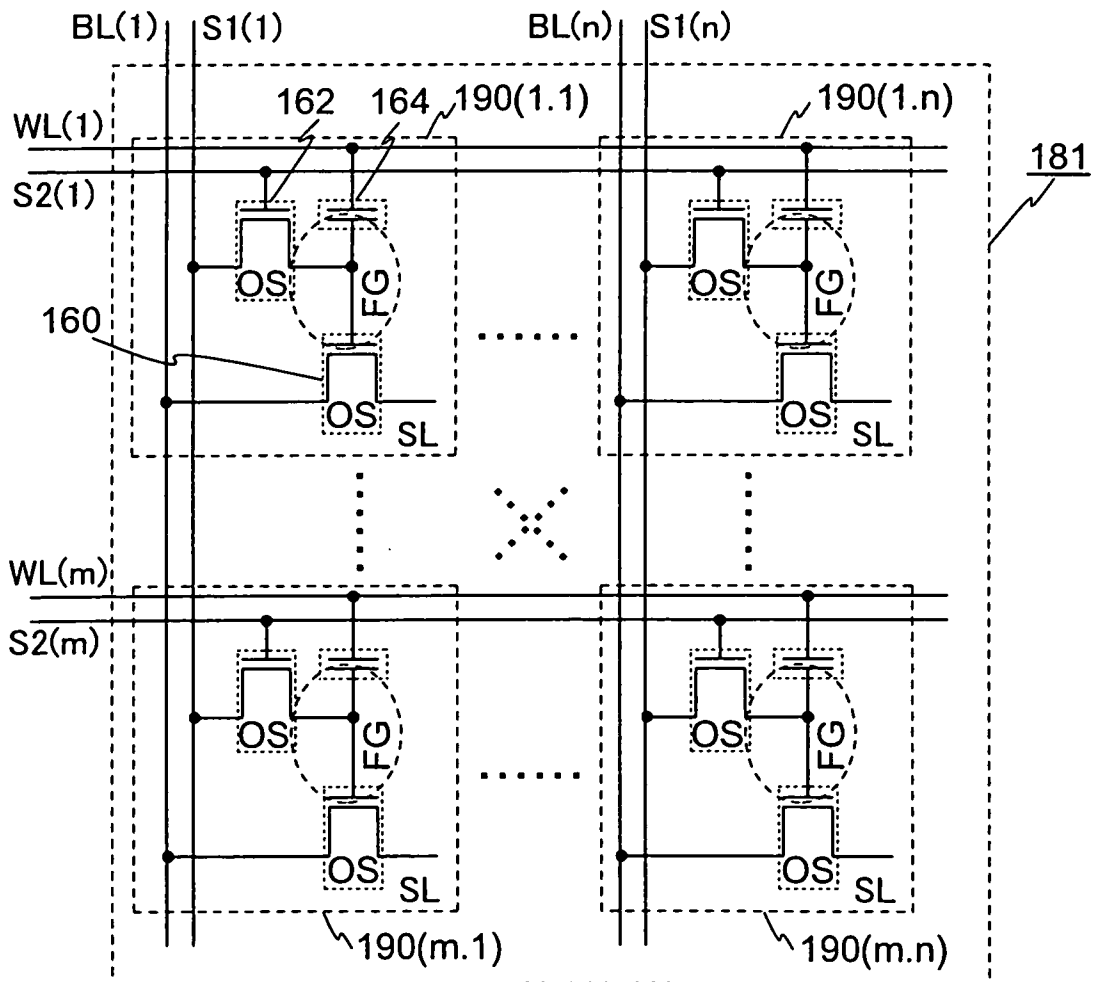


圖 14A

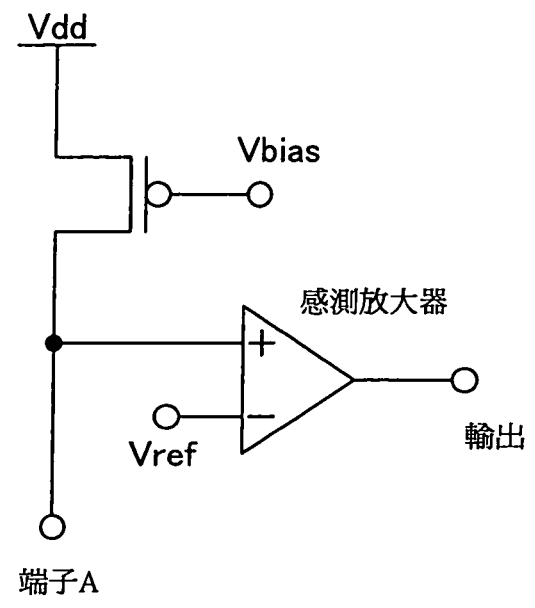


圖 14B

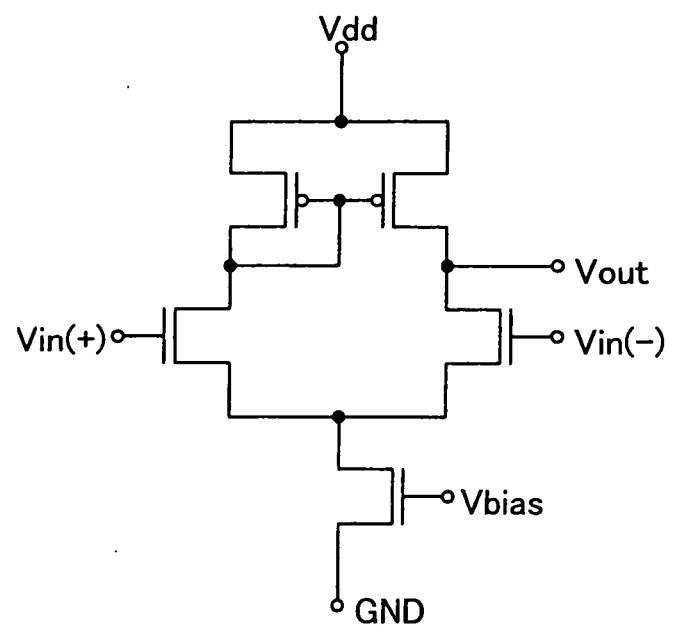


圖 14C

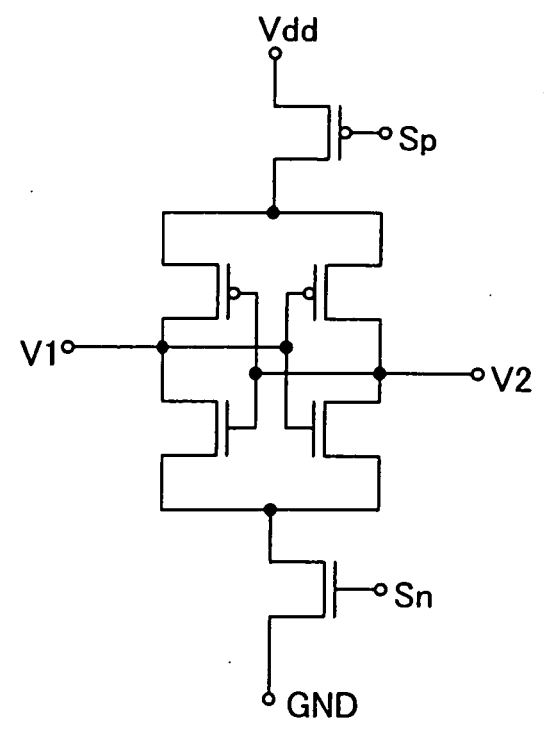


圖 15A

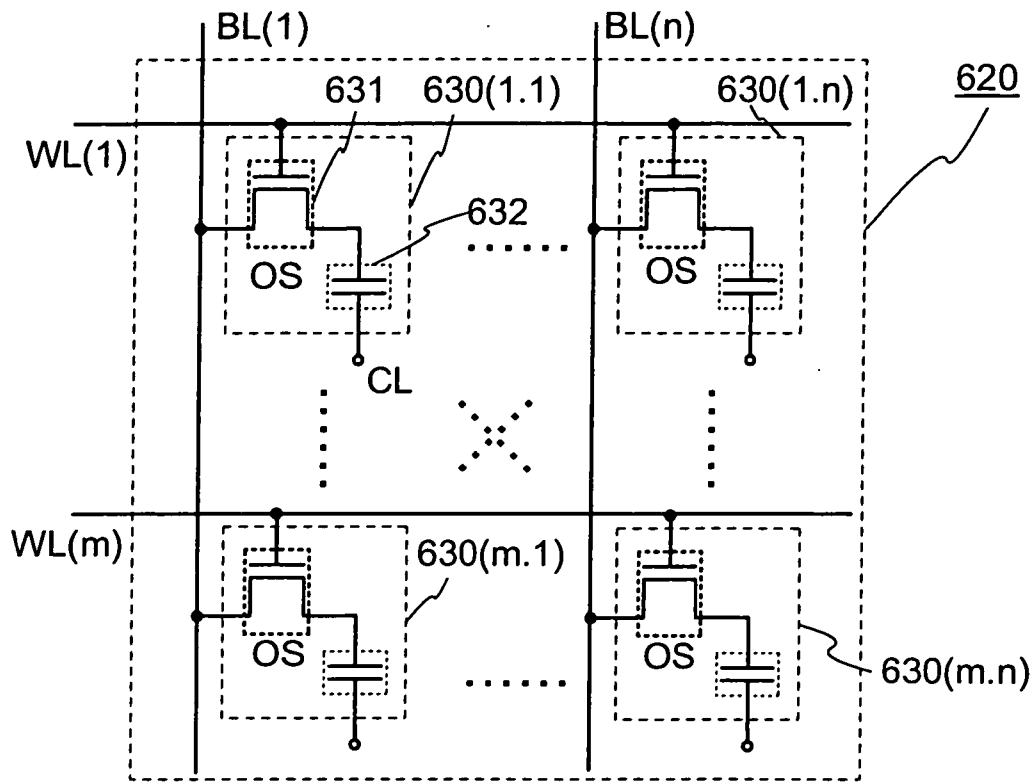


圖 15B

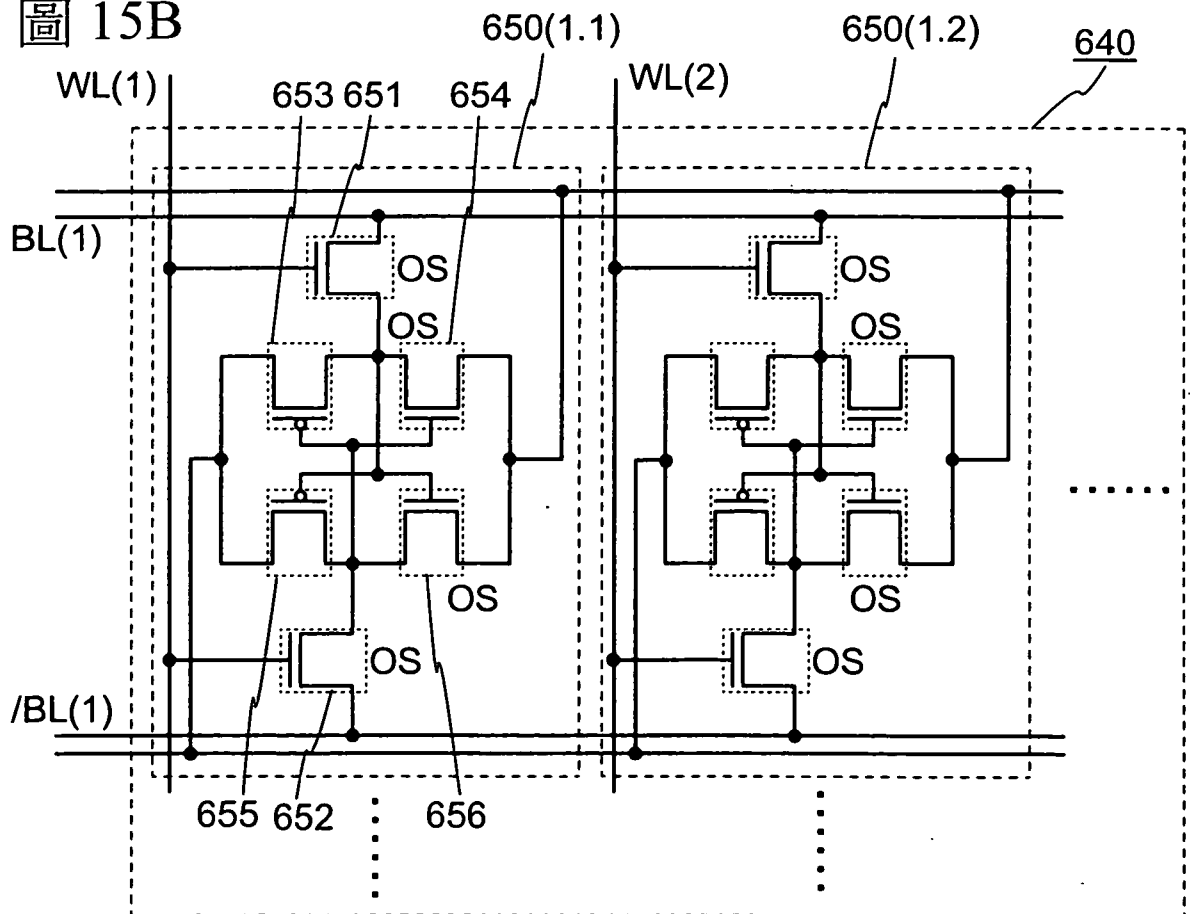


圖 16A

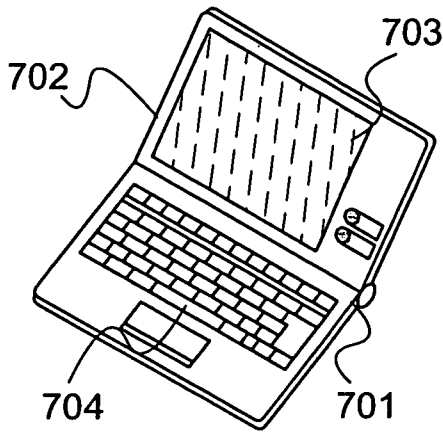


圖 16D

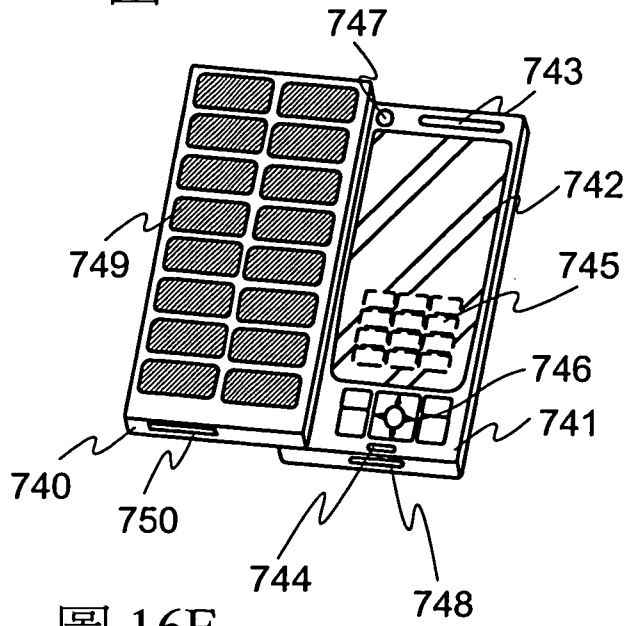


圖 16B

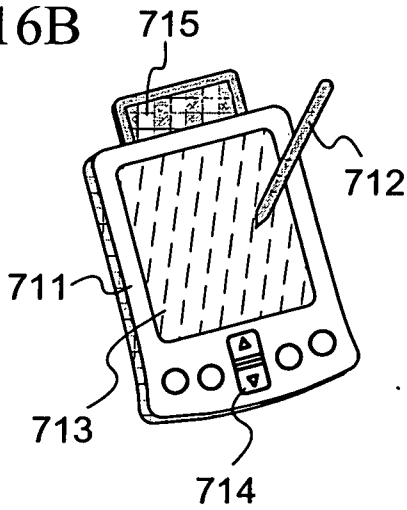


圖 16E

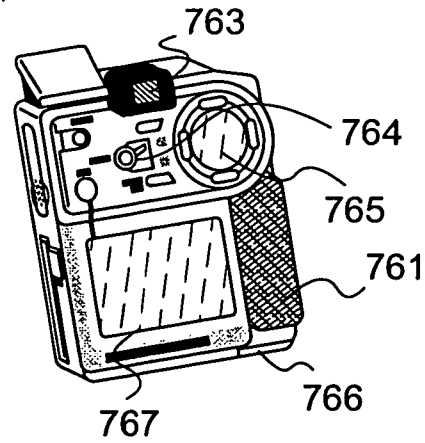


圖 16C

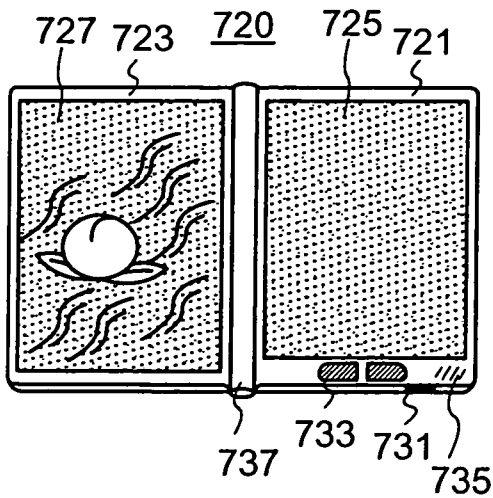


圖 16F

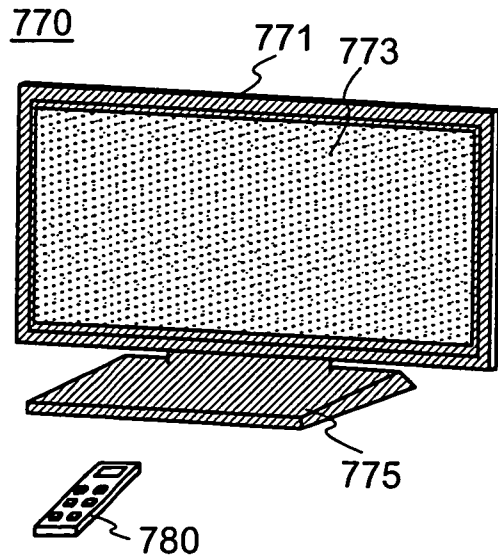


圖 17

