

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200910126015.1

H01L 23/488 (2006.01)

H01L 23/49 (2006.01)

H01L 21/60 (2006.01)

H01L 21/3213 (2006.01)

[43] 公开日 2009年9月2日

[11] 公开号 CN 101521187A

[22] 申请日 2009.2.27

[21] 申请号 200910126015.1

[30] 优先权

[32] 2008. 2. 28 [33] US [31] 12/039,335

[71] 申请人 爱特梅尔公司

地址 美国加利福尼亚州

[72] 发明人 肯·兰姆

[74] 专利代理机构 北京律盟知识产权代理有限公司

代理人 孟锐

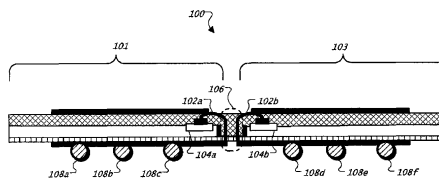
权利要求书 2 页 说明书 5 页 附图 6 页

[54] 发明名称

具有顶部及底部侧电连接的晶片级集成电路封装

[57] 摘要

本文揭示一种具有顶部及底部侧电连接两者的晶片级批量处理的裸片大小的集成电路(IC)封装。在一个方面中,若干接合线可附加到IC晶片的所述顶部侧(有源电路侧)上的接合垫。沟槽可在划线区处形成于所述晶片中且所述接合线可延伸穿过所述沟槽。所述沟槽可填充有涂覆材料。所述接合线可部分地暴露于所述晶片的所述顶部及/或底部侧上以将来自所述接合垫的电连接分布到所述晶片的所述顶部及/或底部侧。



- 1、一种集成电路晶片，其包括：
第一侧及第二侧；
涂覆材料，其形成于所述第一侧上；
沟槽，其在划线区处形成于所述晶片中，所述沟槽从所述第一侧延伸到所述第二侧且填充有所述涂覆材料；
若干接合垫，其形成于所述第一侧上且分布于所述沟槽的相对侧上；及
若干接合线，其连接到所述接合垫，所述接合线延伸穿过所述沟槽且至少部分地暴露于所述第一或第二侧上。
- 2、如权利要求1所述的晶片，其中所述涂覆材料是有机涂覆材料。
- 3、如权利要求1所述的晶片，其进一步包括：
形成于所述第二侧上的介电层。
- 4、如权利要求1所述的晶片，其进一步包括：
若干垫位点，其安置于所述第一或第二侧上以用于与已暴露的接合线连接。
- 5、如权利要求4所述的晶片，其中所述垫位点通过形成于所述第一或第二侧上的再分布层中的金属迹线连接到已暴露的接合线。
- 6、如权利要求4所述的晶片，其中所述垫位点连接到焊料球。
- 7、如权利要求1所述的晶片，其中所述接合线是经涂覆或绝缘的。
- 8、一种集成电路装置，其包括：
衬底，其具有第一侧和第二侧；
涂覆材料，其形成于所述衬底的所述第一侧及边缘上，所述涂覆材料沿所述边缘从所述第一侧延伸到所述第二侧；
若干接合垫，其形成于所述第一侧上；及
若干接合线，其连接到所述接合垫，所述接合线延伸穿过形成于所述边缘上的所述涂覆材料，所述接合线至少部分地暴露于所述第一及第二侧上；及
集成电路，其安置于所述第一侧上且电连接到所述接合垫。
- 9、如权利要求8所述的装置，其中所述涂覆材料是有机涂覆材料。
- 10、如权利要求8所述的装置，其进一步包括：
形成于所述第二侧上的介电层。
- 11、如权利要求8所述的装置，其进一步包括：
若干垫位点，其安置于所述第一或第二侧上以用于与已暴露的接合线连接。
- 12、如权利要求11所述的装置，其中所述垫位点通过形成于所述第一或第二侧上的再分布层中的金属迹线连接到所述已暴露的接合线。
- 13、如权利要求11所述的装置，其中所述垫位点连接到焊料球。

14、如权利要求 8 所述的装置，其中所述接合线是经涂覆或绝缘的。

15、一种制造晶片级集成电路封装的方法，其包括：

在集成电路晶片的划线区处形成沟槽区，所述晶片具有第一侧及第二侧，其中将若干线接合垫安置于所述第一侧上及所述划线区的相对侧上；

用光致抗蚀剂涂覆所述第一侧；

曝光并显影所述沟槽区中的所述光致抗蚀剂；

在所述第一侧上沉积金属层；

从所述晶片剥离包含所述光致抗蚀剂上的所述金属层的所述光致抗蚀剂，所述剥离留下所述沟槽区中的所述金属层；

将接合线从所述线接合垫连接到所述沟槽区的基底；

用有机材料涂覆所述第一侧；及

图案化所述有机涂层以至少部分地暴露所述第一侧上的所述接合线。

16、如权利要求 15 所述的方法，其进一步包括：

图案化所述晶片以至少部分地暴露所述第二侧上的所述接合线。

17、如权利要求 15 所述的方法，其中使用锯割或蚀刻形成所述沟槽区。

18、如权利要求 15 所述的方法，其中所述沟槽区的深度在安置于所述第一侧上的最低电路元件以下至少约 2 微米。

19、如权利要求 15 所述的方法，其中使用真空沉积技术沉积所述金属层。

20、如权利要求 15 所述的方法，其中所述有机涂层是选自由以下构成的有机涂层群组中的一者：环氧树脂、环氧树脂模制化合物、聚酰亚胺及苯并环丁烯（BCB）。

21、如权利要求 15 所述的方法，其中所述接合线由选自由以下构成的金属群组中的金属制成：铜、铝、钨、氮化钛、硅化物、硅化钛、硅化钴、硅化镍及金。

22、如权利要求 15 所述的方法，其中所述接合线是经涂覆或绝缘的。

23、如权利要求 15 所述的方法，其进一步包括：

暴露所述第一侧上的有源电路区域。

24、如权利要求 23 所述的方法，其进一步包括：

在所述划线区处锯割所述晶片以形成经单个化的封装。

具有顶部及底部侧电连接的晶片级集成电路封装

技术领域

此标的物通常涉及集成电路（IC）晶片处理。

背景技术

晶片级芯片尺寸级封装（WLCSP）技术经常用于便携式计算装置、移动手机、图像传感器等的高密度组件封装。WLCSP 技术可包含封装、测试、及在将晶片单个化为个别 IC 芯片之前执行老化操作。在单个化期间，切割机沿划线锯割晶片以分离出个别 IC 芯片。在单个化 IC 芯片之后，可将所述 IC 芯片安装在印刷电路板（PCB）上。

典型的 WLCSP IC 芯片使用金属（例如，焊料）而非电线或引脚来安装到 PCB 上。通常，沿 IC 芯片的顶部或电路侧上的边缘设计并制造线接合垫。在大多数情况下，所述线接合垫具有小的几何形状且对于 WLCSP 大小的焊料球形成来说彼此也太靠近。再分布层（RDL）包含金属迹线，其与线接合垫接触且将信号重定位到 IC 芯片内较大底材面提供用于形成较大附加垫的所需位置。所述较大附加垫可用于放置较大直径的焊料球。可将焊料球沉积到新的位置处以促进到 PCB 或其它 IC 装置上的组装。

因为焊料球仅形成于晶片的顶部或电路侧上，因此由于在晶片的电连接到顶部侧的底部侧上缺少连接垫所致 WLCSP 不能用于装置堆叠应用。顶部或有源电路侧上 I/O 垫的存在可由于 I/O 特征对传感器元件的物理阻挡而使得 WLCSP 对于某些传感器应用不可行。

当前，通过形成穿过核心硅或衬底的传导“通孔”来在 WLCSP 中实现顶部到底部侧的电连接来解决这些问题。例如，通过使用铝掩模，可使用大气下游等离子（ADP）工艺在 IC 晶片的核心硅中蚀刻空穴。将介电材料及金属导体沉积到所述“空穴”的“侧壁”上。然后，用聚合物填充所述空穴。硅晶片经“薄化”以暴露晶片另一侧上的导体金属。在另一实例中，贯穿晶片互连（TWI）工艺形成穿过硅核心材料的通孔、绝缘所述侧壁且然后用导体填充所述通孔以实现从 IC 晶片的一个侧到另一侧的电连接性。一些封装组装承包商也正在开发类似的贯通硅通孔技术以实现“顶部-底部”电连接性。

发明内容

本文揭示一种具有顶部及底部侧电连接两者的晶片级批量处理的裸片大小的 IC 封装。在一个方面中，若干接合线可附加到 IC 晶片的顶部侧（有源电路侧）上的接合垫。在划线区处沟槽可形成于所述晶片中且所述接合线可经布置以延伸穿过所述沟槽到达所述晶片的底部侧。所述沟槽可填充有涂覆材料。所述接合线可部分地暴露在晶片的顶部及/或底部侧上以电连接晶片的顶部及/或底部侧上的垫位点。

所揭示的 WLCSP 技术通过利用标准线接合技术来实现晶片级处 IC 裸片的顶部与底部侧之间的电连接性来提供对常规技术的优点。所揭示的实施方案不需要可包含复杂的通孔特征设计、工具、设备及工艺的复杂 TSV 处理。TSV 工艺昂贵且需要高级工艺开发工作。

所揭示的 WLCSP 所提供的另一优点是可使用允许将电路元件直接放置在线接合垫下面的标准 IC 设计规则。在常规 TSV 处理中，通孔不得不退出晶片的顶部及底部侧两者，且不能将电路放置在通孔处。因此，TSV 可导致对 IC 裸片的需要比所揭示的 WLCSP 技术来得更大。

附图说明

图 1A-1D 图解说明具有顶部及底部侧电连接的实例半导体晶片。

图 2A-2J 是图解说明用于制造具有顶部及底部侧电连接的 WLCSP 的实例工艺的剖视图。

图 3A-3B 是图解说明传感器应用中使用的具有底部侧电连接的实例晶片的剖视图。

具体实施方式

WLCSP 实例

图 1A-1D 图解说明具有顶部及底部侧电连接的实例半导体晶片 100。在某些实施方案中，晶片 100 可使用参照图 2 所述的制造工艺来制造。

图 1A 是包含由划线区 106 分离的两个 IC 裸片 101、103 的晶片 100 的剖视图。实际上，典型的晶片可持有多于两个的 IC 裸片。接合线 102 在一个端处连接到接合垫 104。接合线 102 穿过形成于划线区 106 中的沟槽从晶片 100 的顶部或有源电路侧布线到晶片 100 的底部侧。接合线 102 可由铜、金、铝或任何其它适合金属制成。接合线 102 允许到接合垫 104 提供的电连接的通路。接合线 102 可用于穿过顶部暴露区域（例如，晶片 100 顶部处的划线区 106）及底部暴露区域（例如，晶片 100 底部处的划线区 106）的电连接。焊料球 108 可附加到晶片 100 的底部以用于使经单个化的 IC 裸片 101、103 配合到 PCB 或其它 IC 装置。

图 1B 是晶片 100 的俯视（电路侧）平面图。在所示配置中，已暴露的接合线 102 使用再分布层（RDL）从划线区 106 的顶部暴露区域布线到晶片 100 内的电连接垫位

点 112。个别 RDL 金属迹线将电信号从划线区 106 的顶部暴露区域连接到连接垫位点 112。RDL 迹线可（例如）使用交替的有机或无机钝化层及敷金属层或采用电镀技术形成。可选地，有机层（例如，焊料掩模）可应用于 RDL 迹线以保护所暴露的金属。

图 1C 是晶片 100 的仰视图。在所示配置中，晶片 100 中的所暴露的接合线 102 已暴露在划线区 106 的底部暴露区域内。例如，晶片 100 的底部侧可涂覆有有机或无机介电层（例如，氧化硅、氮化硅、聚酰亚胺、苯并环丁烯（BCB）、环氧树脂、环氧树脂模制化合物）。然后，接合线 102 区内的介电层可经图案化以暴露接合线 102。

从划线区 106，所暴露的接合线 102 所提供的电连接可使用 RDL 迹线布线到电连接垫位点 122。可选地，焊料球 108 可应用于电连接垫位点 122。焊料球 108 可有助于将经单个化的 IC 裸片 101、103 连接到 PCB 或其它 IC 装置以用于堆叠式裸片封装解决方案。

如图 1D 中所示，在制造工艺完成之后，可沿划线区 106 将晶片 100 分离（锯割）成第一 IC 裸片 130 及第二 IC 裸片 132。

制造工艺实例

图 2A-2J 是图解说明用于制造 WLCSP 的实例工艺的剖视图。图 2A 图解说明包含安置于硅核心材料（衬底）上且分布于划线区 204 的相对侧上的接合垫 202 的半导体晶片 200。划线区 204 分离两个或两个以上邻近 IC 裸片。

图 2B 图解说明形成于划线区 204 内的沟槽 206。在某些实例中，沟槽 206 可使用锯割技术（例如，金刚石锯割）或蚀刻技术形成。在某些实施方案中，沟槽 206 可具有在安置于晶片 200 内的“最低”电路元件下面约两微米的深度。例如，如果将电路元件安置于晶片 200 内在晶片 200 的顶部侧下面约两微米处，那么沟槽 206 可经锯割或蚀刻达到在 IC 晶片 200 的顶部侧下面约四微米的深度。

如图 2C 中所示，在沟槽 206 已形成之后，可将一光致抗蚀剂层 208 应用于晶片 200 的顶部侧。在一个实例中，可使用毯覆式涂覆工艺将均匀的光致抗蚀剂材料层 208（例如，UV-敏感光致抗蚀剂、负性光致抗蚀剂、正性光致抗蚀剂）应用于晶片 200 的顶部侧及沟槽 206 的凹陷。沟槽 206 区内的光致抗蚀剂材料 208 可经曝光且显影出来，如图 2D 中所示。此步骤留下晶片 200 顶部侧上的光致抗蚀剂材料 208 的沉积。

图 2E 图解说明沉积在晶片 200 的顶部侧上（包含在沟槽 206 的凹陷内）的线可接合金属层 201（例如，铝、钛钨金合金或还可附加到硅材料的用于线接合的其它适合合金）。在某些实施方案中，可使用真空沉积技术来将线可接合金属层 210 沉积到晶片 200 的顶部侧上。如图 2F 中所示，在剥离掉光致抗蚀剂材料层 208 之后，仅残留内衬于沟槽 206 内的线可接合金属 210。

可将一对接合线 212 添加到晶片 200，如图 2G 中所示，从而将接合垫 202 连接到沟槽 206 内的线可接合金属层 210。例如，标准线接合技术可用来将接合线 212 从接合垫 202 附加到沟槽 206 的基底。在某些实例中，接合线 212 可由金、铜、铝或其

它适合金属制成。还可使用经涂覆或绝缘的接合线 212。

如图 2H 中所示, 可用有机材料 214 层涂覆晶片 200。有机材料 214 覆盖接合线 212。有机材料 214 可经薄化(如图 2I 中所示)以暴露接合线 212。例如, 使用碾磨机, 可将有机材料 214 碾碎以暴露接合线 212。类似地, 晶片 200 的底部侧可如图 2J 中所示经薄化以暴露沟槽 206 的基底处的接合线 212。

实施方案实例

图 3A 是图解说明具有底部侧电连接的实例半导体晶片 300 的剖视图。某些 WLCSP 应用需要晶片顶部侧上的暴露电路。例如, 用于图像或指纹传感器电路(例如, 用于相机的光电二极管、用于安全鉴定的生物测定芯片、CMOS 图像传感器)的 WLCSP 可使用图 2 的工艺来形成以提供晶片 300 的顶部及/或底部侧上的暴露有源电路区域。

晶片 300 具有两个暴露的电路区域 302。晶片 300 的顶部侧表面的剩余部分用有机涂层 304(例如, 环氧树脂、环氧树脂模制化合物、苯并环丁烯(BCB)、聚酰亚胺)覆盖。在某些实例中, 可使用包覆模制、自动分配或旋涂制造方法来施加有机涂层 304。有机涂层 304 覆盖接合线 306。接合线 306 附加到接合垫 308。接合线 306 穿过划线区 310 布线到晶片 300 的底部侧, 如先前参照图 2A-2J 所述。

来自接合线 306 的电连接可使用 RDL 312 沿晶片 300 的底部侧布线。焊料块 314 可附加到 RDL 312 以允许来自接合垫 308 的电连接配合到 PCB 或其它 IC 装置。

图 3B 图解说明第一经单个化 IC 裸片 320 及第二经单个化 IC 裸片 330。可通过沿划线区 310(虚线所指示)分离(例如, 锯割)晶片 300 来产生经单个化的 IC 裸片 320、330。在单个化之后, 例如, 可使用焊料块 314 将经单个化的 IC 裸片 320、330 安装到其它电路。

尽管此文档含有许多具体的实施方案细节, 但不应将其视为对可主张的范围的限制, 而应视为对特定实施例而言可能是具体的特征的描述。此发明可能的一个实施方案是堆叠式裸片封装。例如, 可将形成于第一 WLCSP 底部表面上的例如焊料球 108(如图 1A 中所示)的焊料球附加到形成于第二 WLCSP 的顶部(例如, 电路侧)表面上的例如连接垫 112(如图 1B 中所示)的连接垫。堆叠式裸片封装可通过以此方式将底部安装的焊料球附加到顶部形成的连接垫来形成。可重复此步骤以形成多个裸片的堆叠式裸片封装。在此说明书中在单独实施例的背景中描述的某些特征还可以组合形式实施于单个实施例中。相反地, 在单个实施例的背景中描述的各种特征也可分开地或以任何适合于组合形式实施于多个实施例中。而且, 尽管上文可将特征描述为以某些组合形式起作用且甚至最初主张如此, 但来自一所主张组合的一个或一个以上特征在一些情况下可从所述组合去除, 且所述所主张组合可针对一子组合或一子组合的变化形式。

类似地, 尽管在图式中以特定次序对操作进行描绘, 但不应将此理解为需要以所示特定次序或顺序次序执行此类操作, 或执行所有所图解说明的操作以实现期望结

果。在某些情况下，多任务及并行处理可是有利的。而且，不应将在上文所述的实施例中各种系统组件的分离理解为在所有实施例中均需要此分离，且应理解，通常可将所述的程序组件及系统集成在一起于单个软件产品中或封装成多个软件产品。

本文已描述若干实施方案。然而，应理解，可进行各种修改。例如，可组合、删除、修改一个或一个以上工艺的步骤，或对其进行补充以形成其它工艺。作为又一实例，图中所描绘的工艺步骤不需要所示的特定次序来实现期望结果。另外，可提供其它步骤，或可从所述工艺消除某些步骤，且可向所述工艺添加或从所述工艺去除其它材料。因此，其它实施方案也在所附权利要求书范围内。

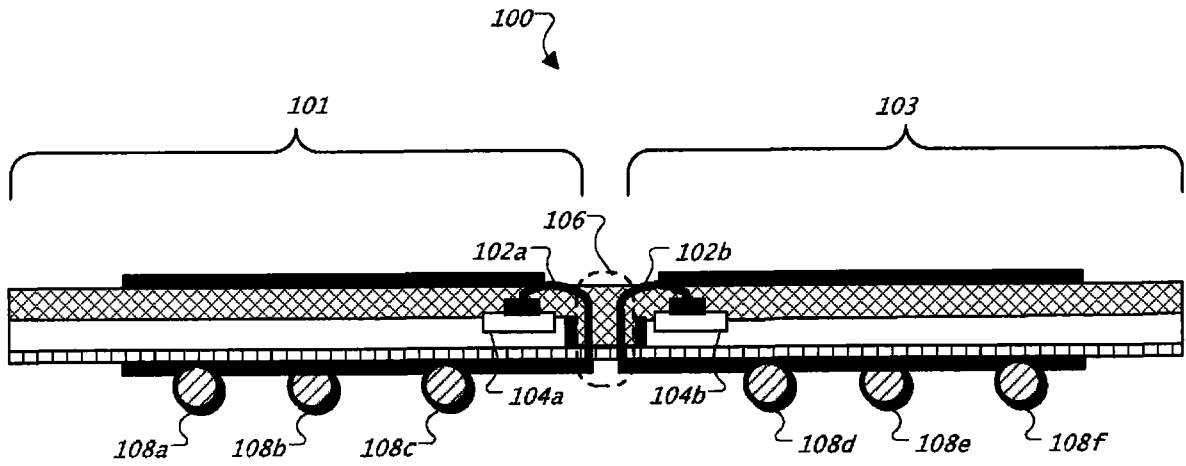


图 1A

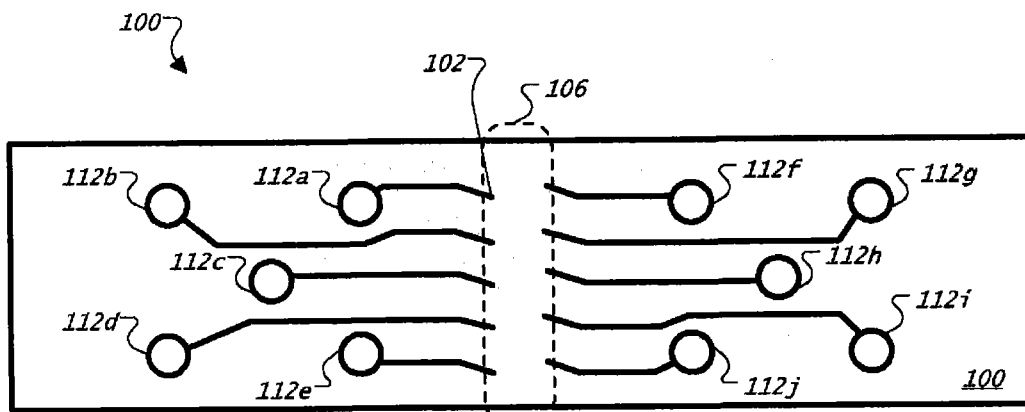


图 1B

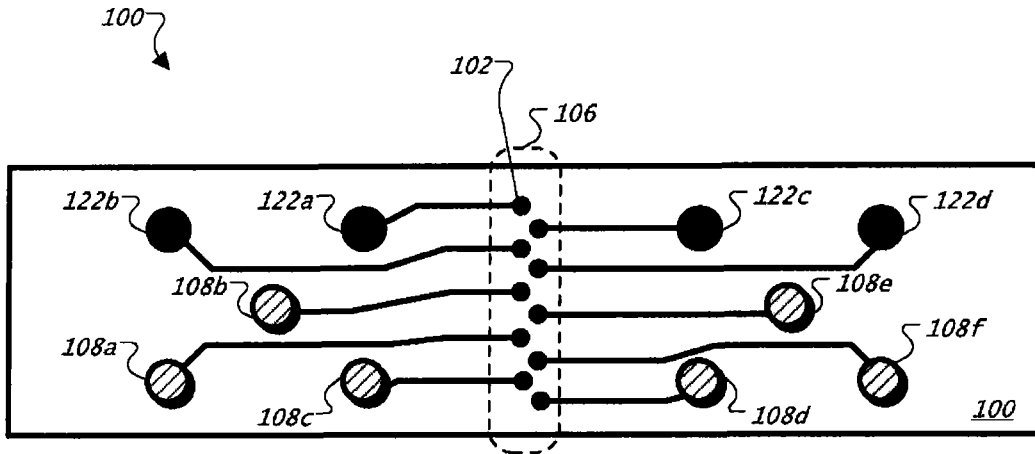


图 1C

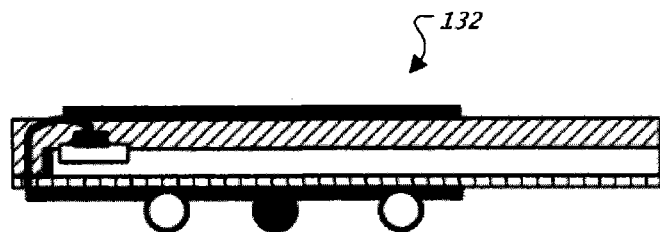
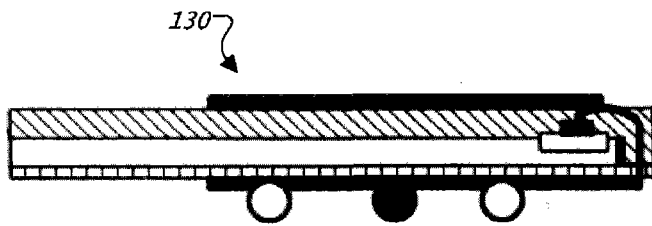


图 1D

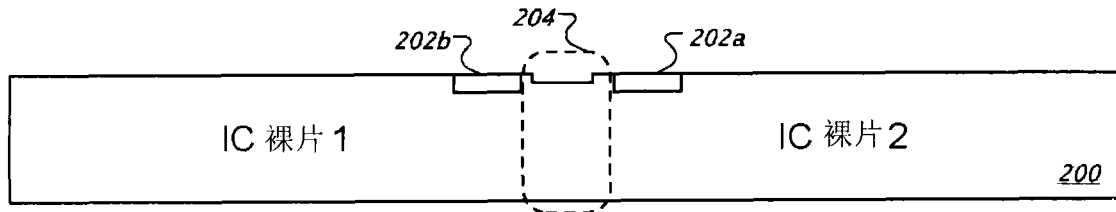


图 2A

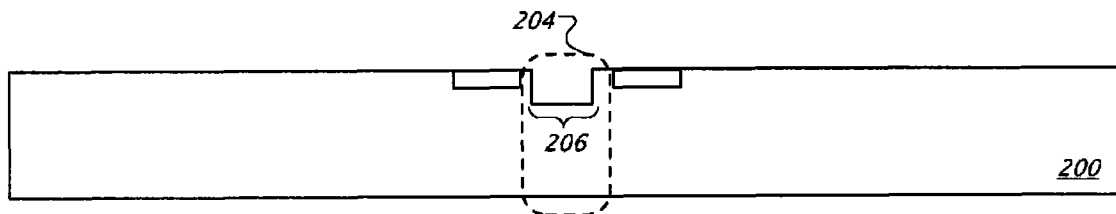


图 2B

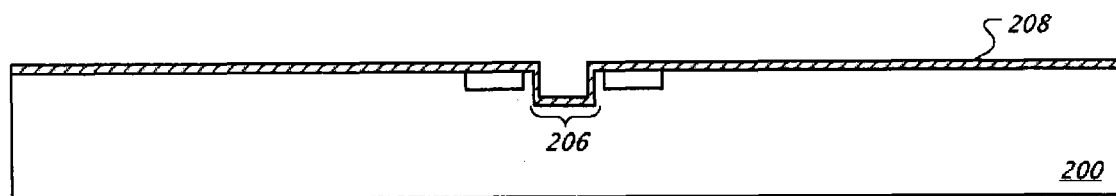


图 2C

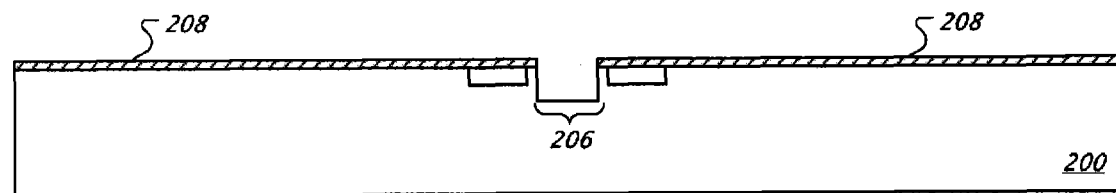


图 2D

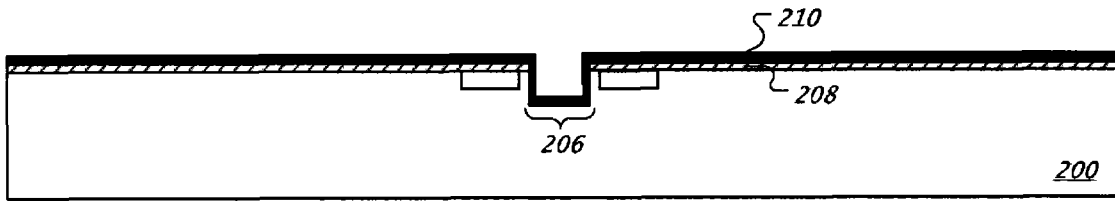


图 2E

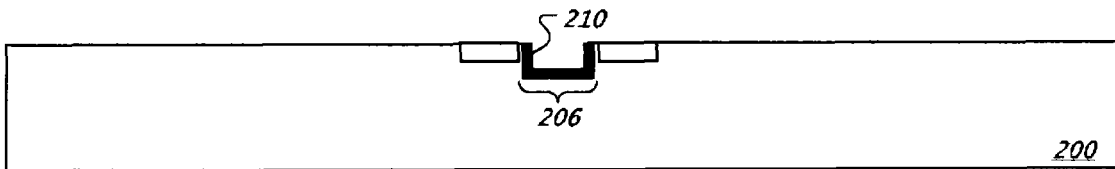


图 2F

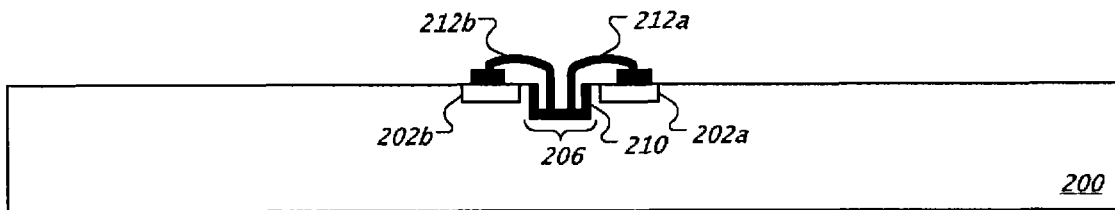


图 2G

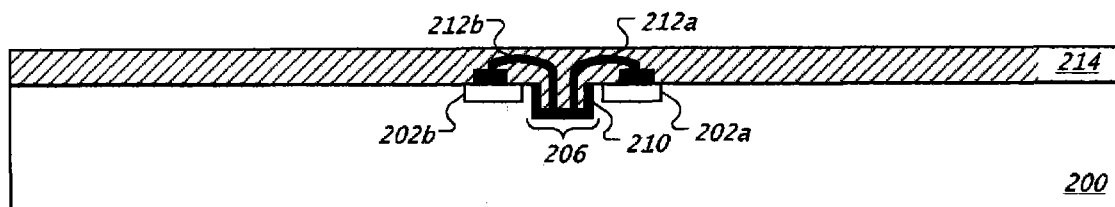


图 2H

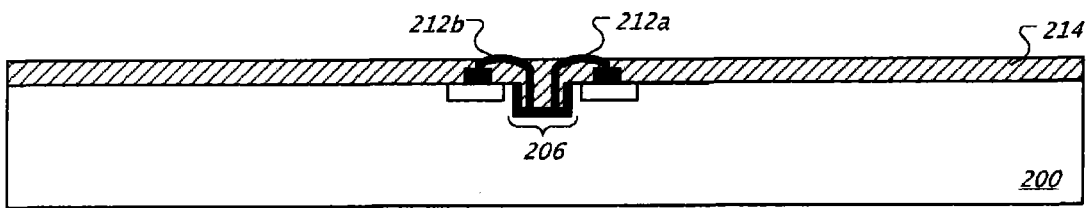


图 2I

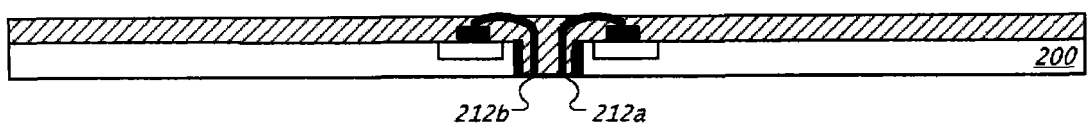


图 2J

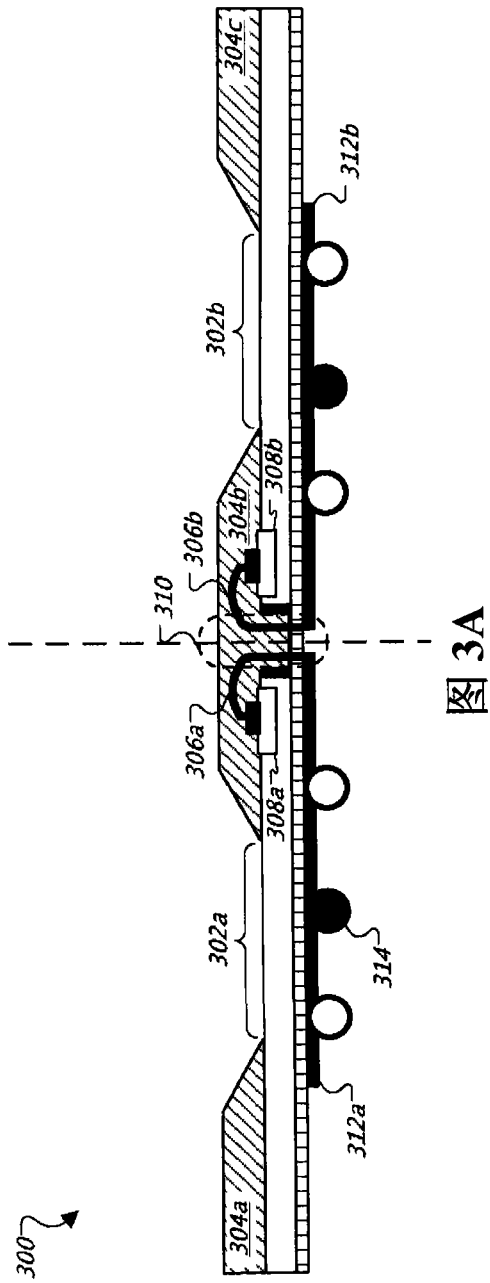


图 3A

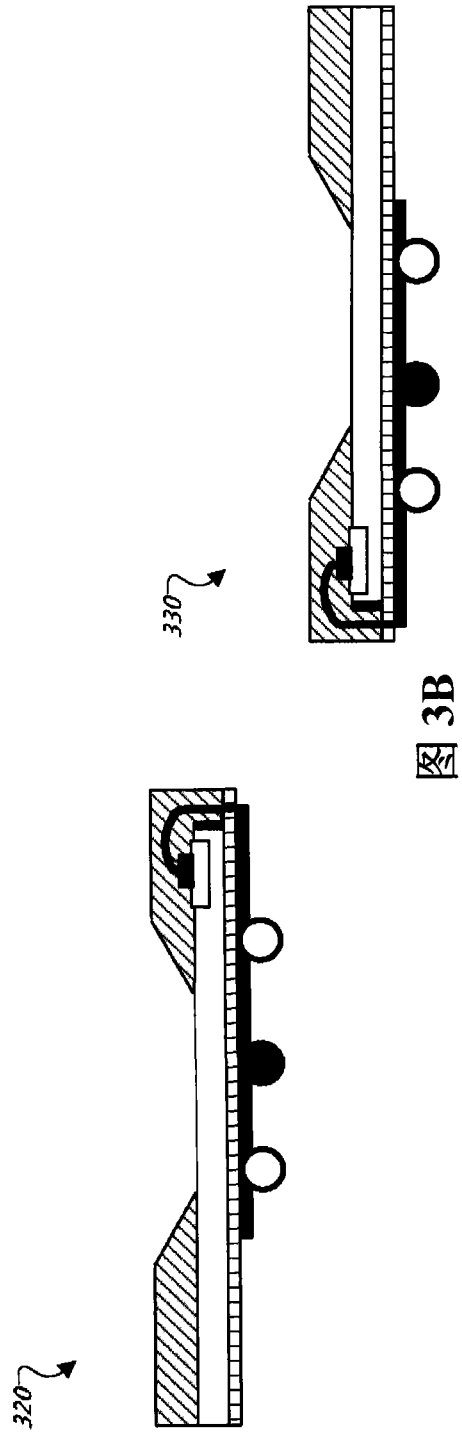


图 3B