





I642188

## 發明摘要

※ 申請案號：

※ 申請日：

※IPC 分類：

【發明名稱】 半導體元件及其製作方法

SEMICONDUCTOR DEVICE AND METHOD FOR  
FABRICATING THE SAME

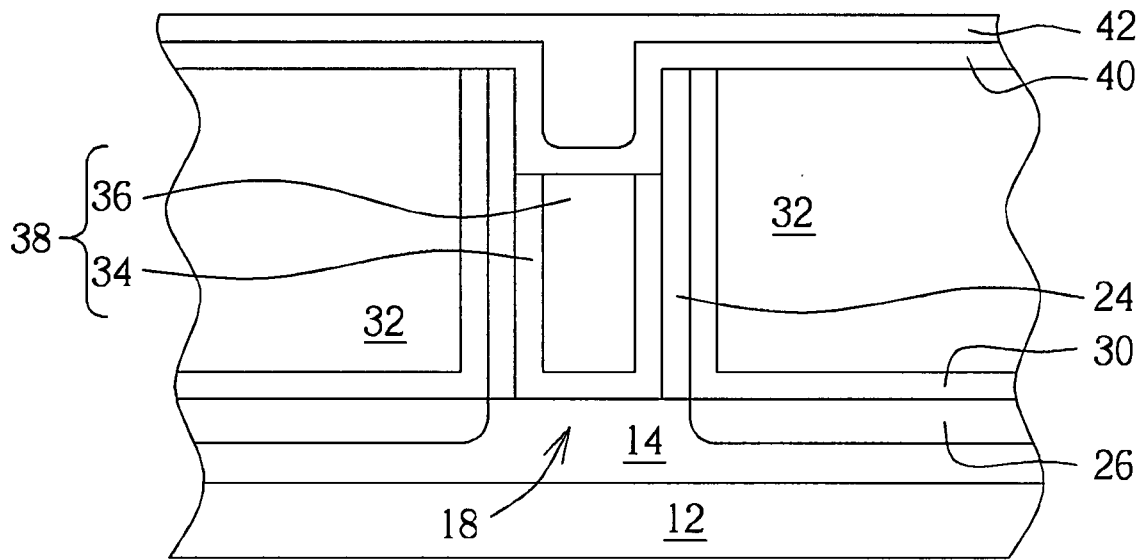
【中文】

本發明揭露一種半導體元件，其包含一基底，一閘極結構設於基底上，一第一層間介電層環繞閘極結構，一第一硬遮罩設於閘極結構上以及一第二硬遮罩設於閘極結構上，其中第一硬遮罩設於第二硬遮罩兩側且第一硬遮罩包含氮化矽。

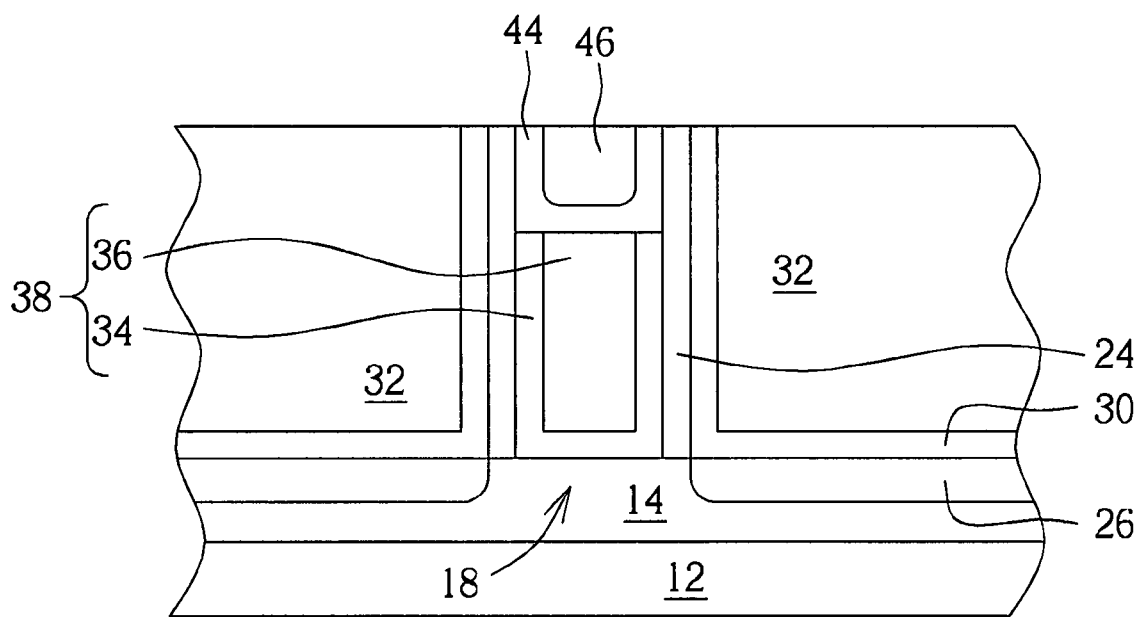
【英文】

A semiconductor device is disclosed. The semiconductor device includes: a substrate having a gate structure thereon and an interlayer dielectric (ILD) layer surrounding the gate structure, a first hard mask on the gate structure, and a second hard mask on the gate structure. Preferably, the first hard mask is adjacent to two sides of the second hard mask and the first hard mask comprises silicon nitride.

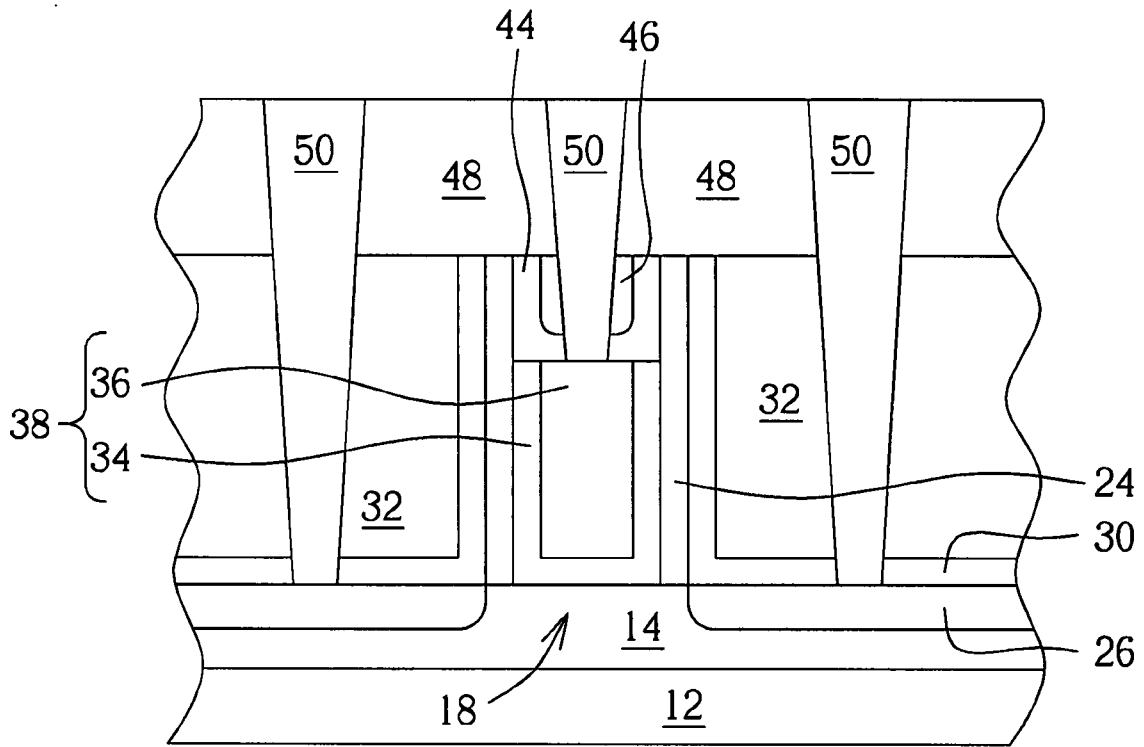
圖式



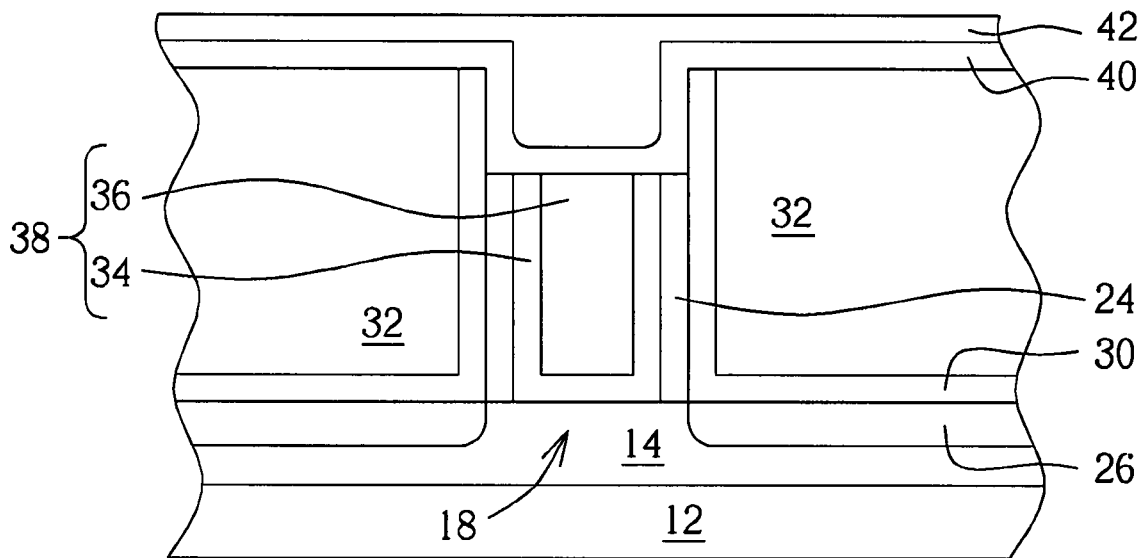
第1圖



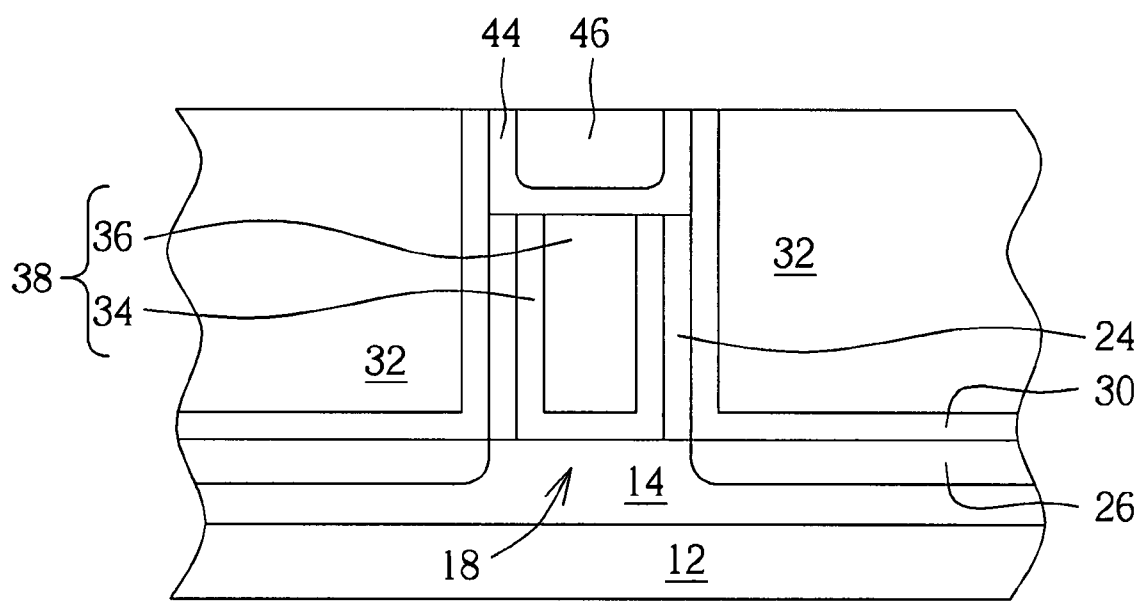
第2圖



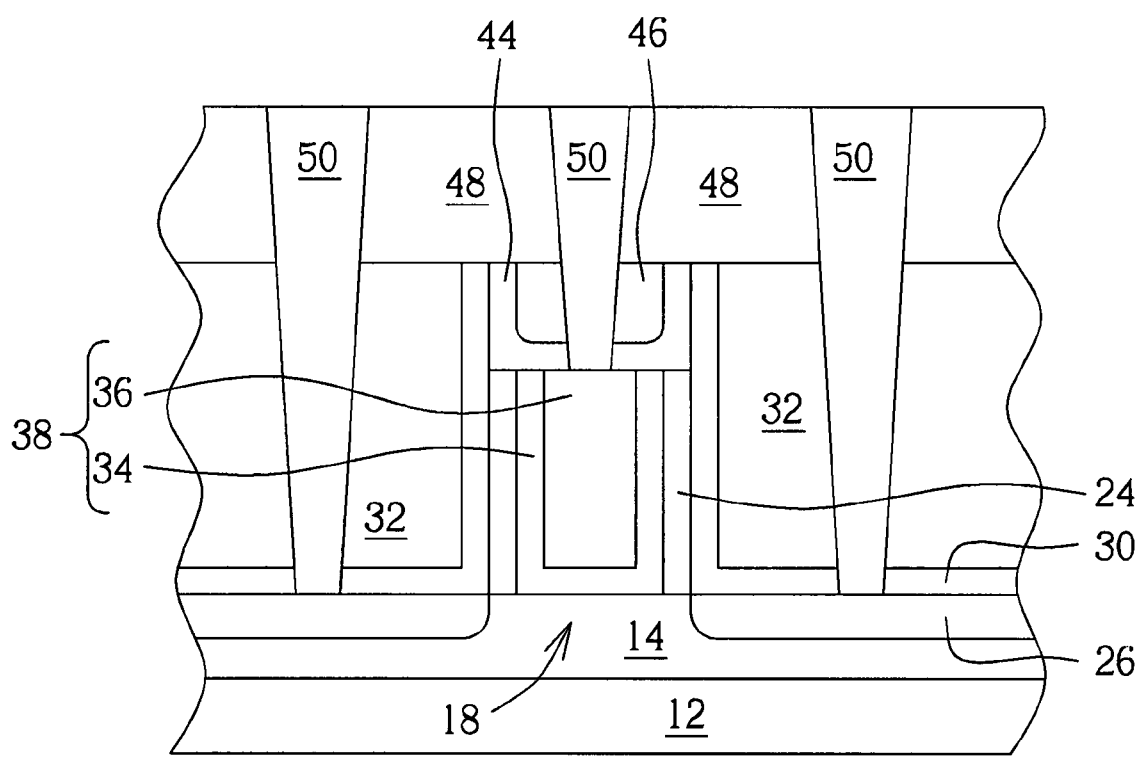
第3圖



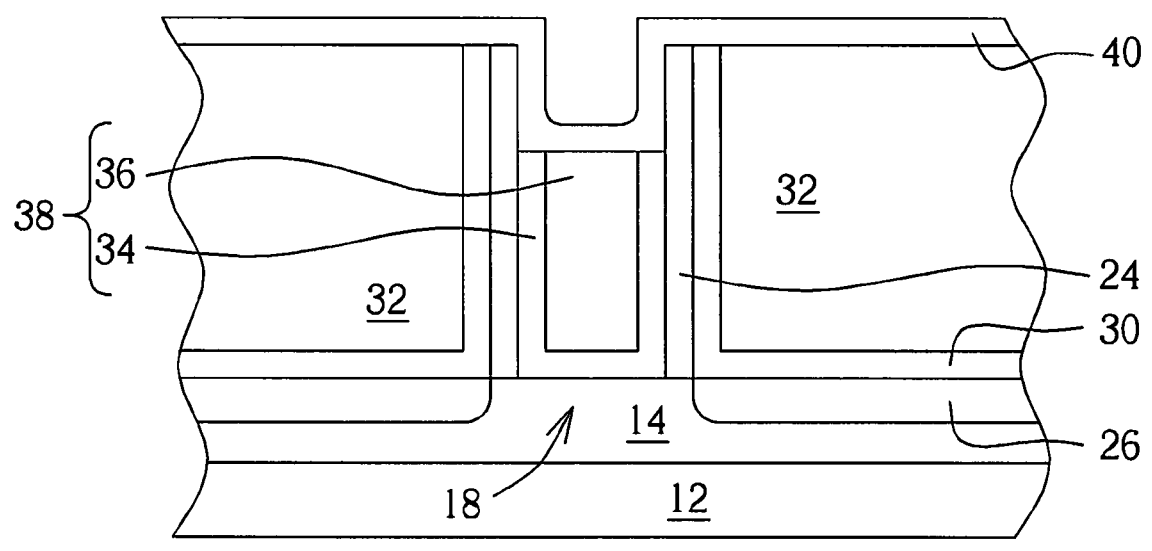
第4圖



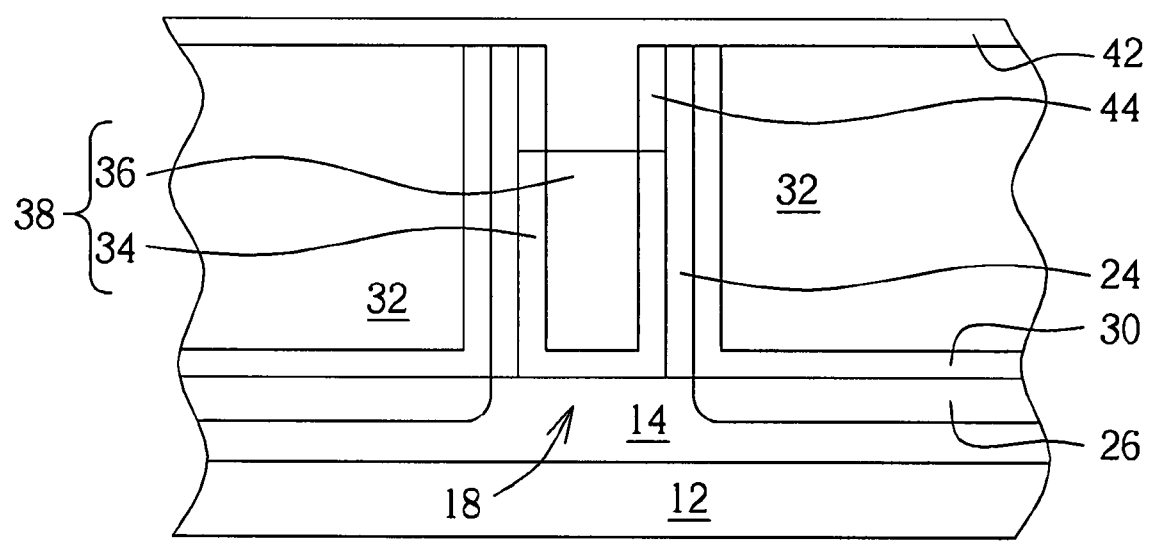
第5圖



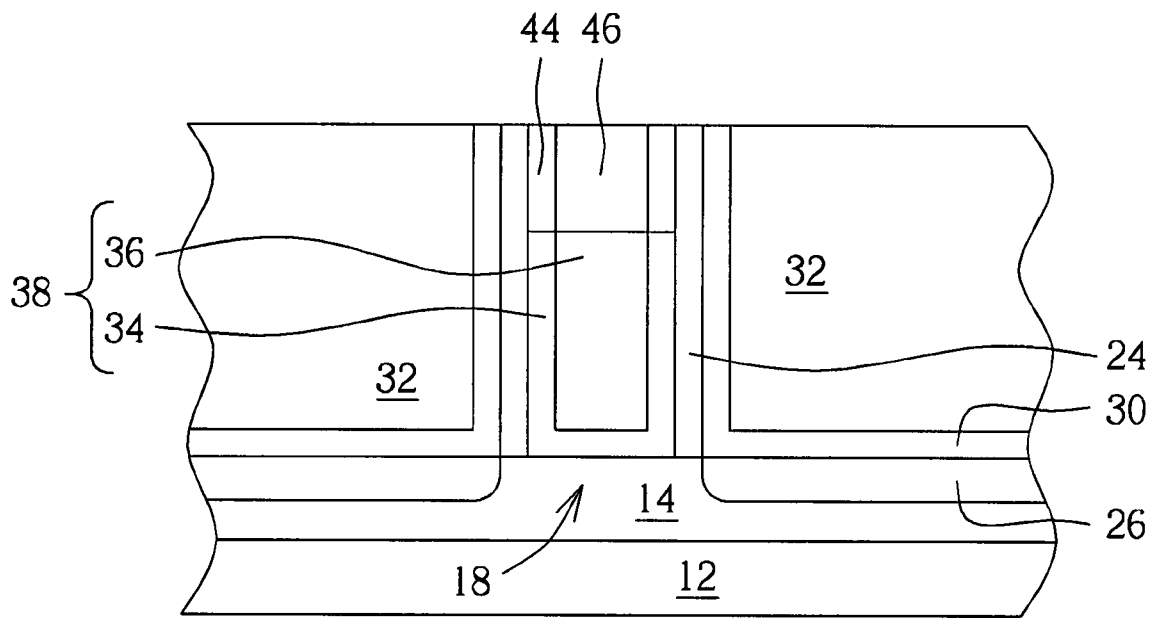
第6圖



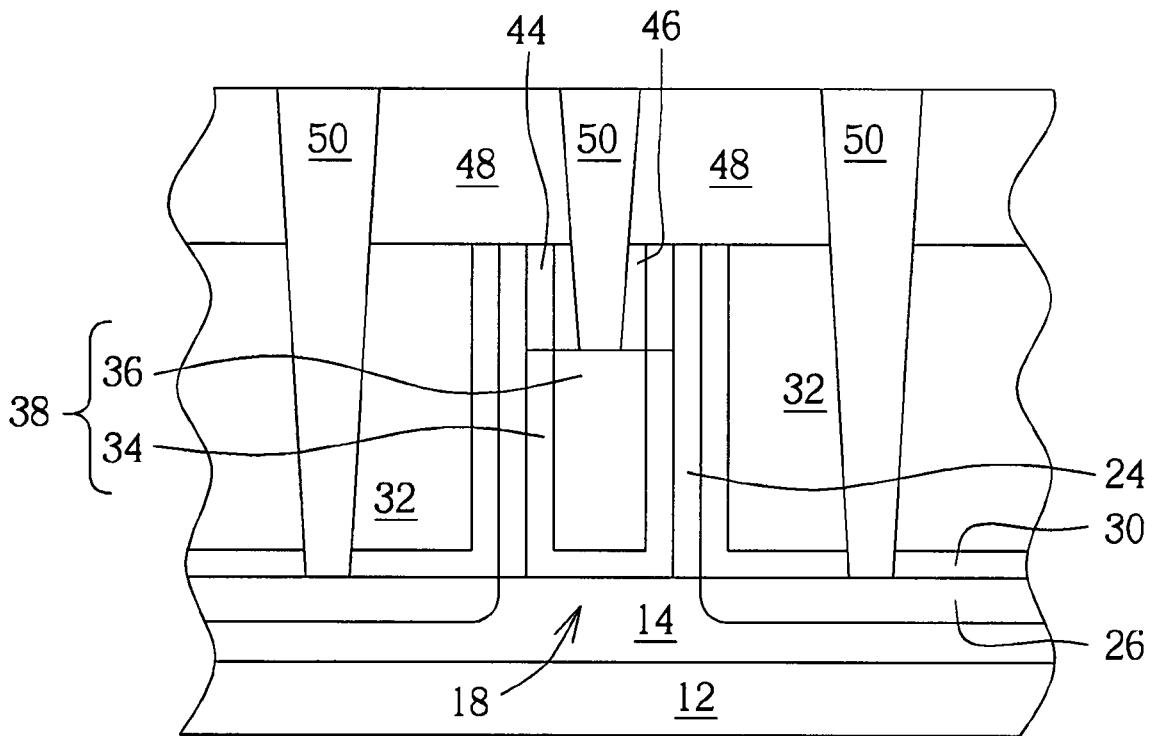
第7圖



第8圖

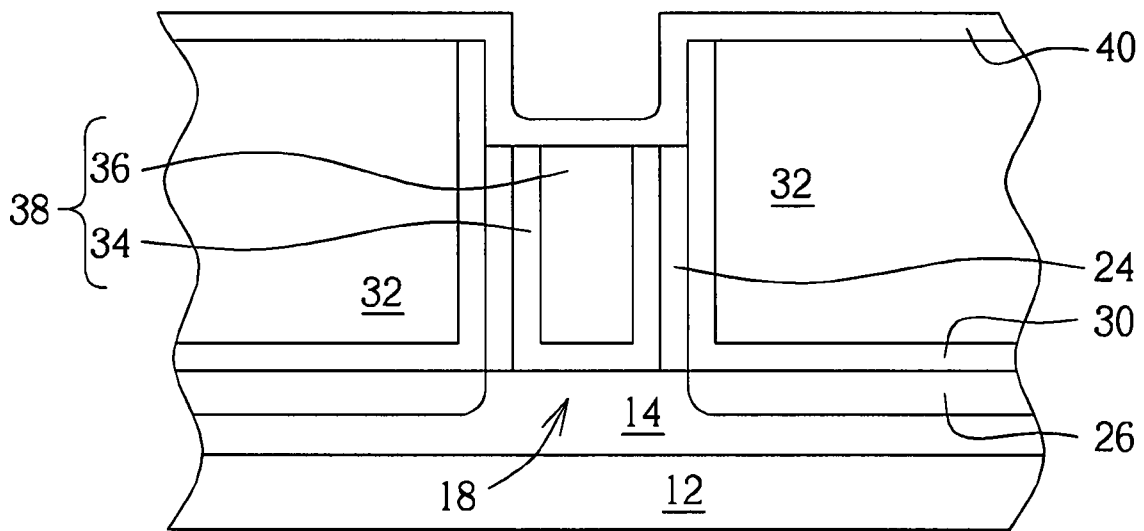


第9圖

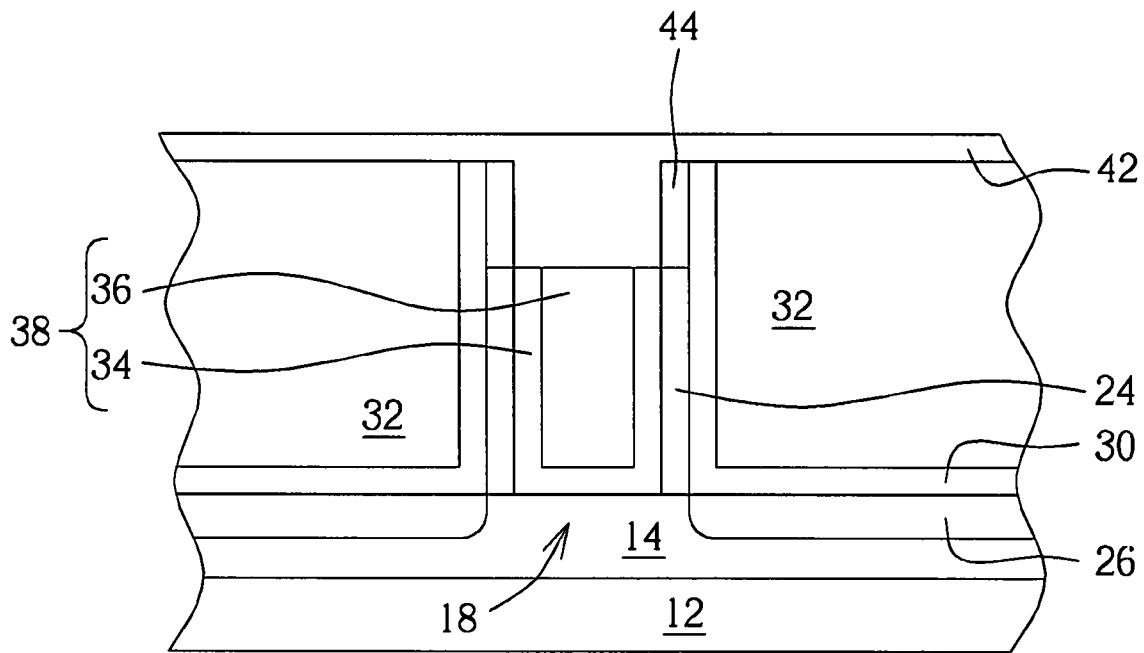


第10圖

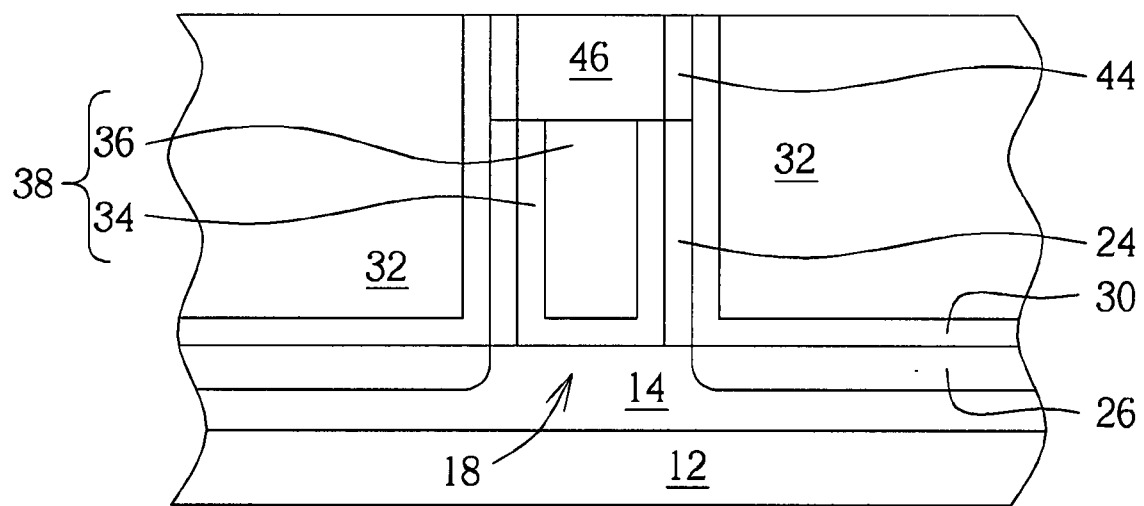




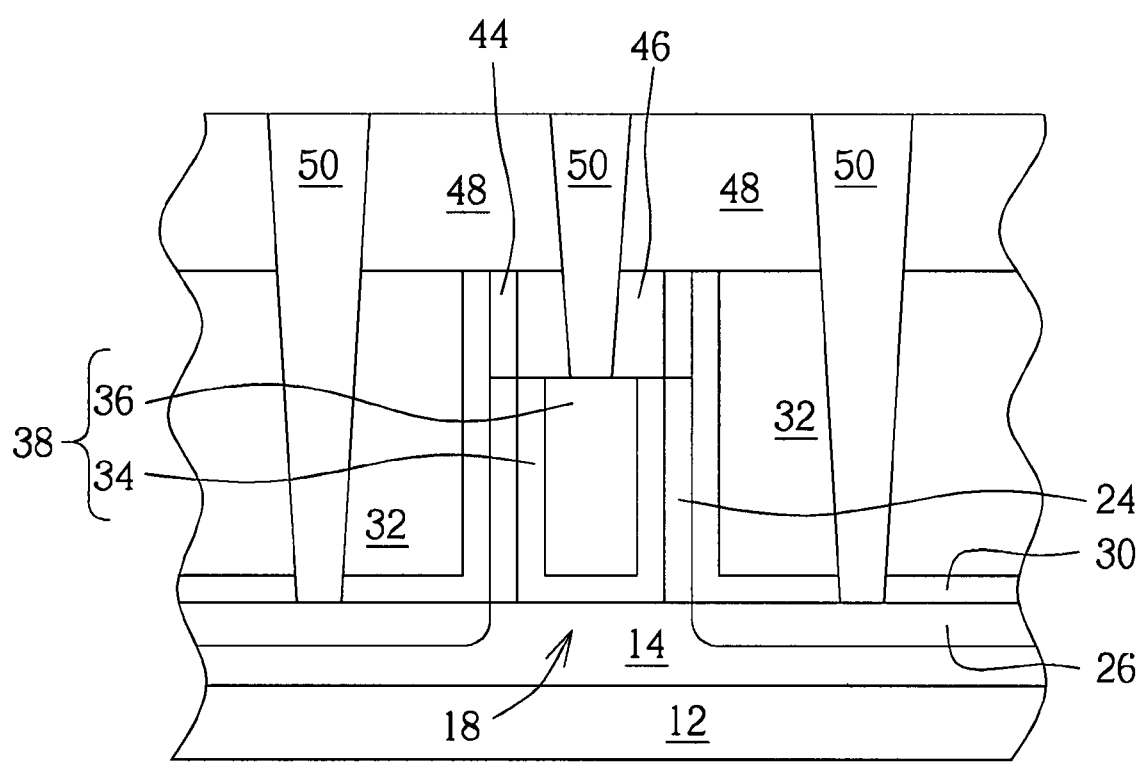
第11圖



第12圖



第13圖



第14圖

**【代表圖】**

**【本案指定代表圖】：**第（ 14 ）圖。

**【本代表圖之符號簡單說明】：**

12	基底	14	鰭狀結構
18	閘極結構	24	側壁子
26	源極/汲極區域	30	接觸洞蝕刻停止層
32	層間介電層	34	功函數金屬層
36	低阻抗金屬層	38	閘極電極
44	第一硬遮罩	46	第二硬遮罩
48	層間介電層	50	接觸插塞

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

無

# 發明專利說明書

【發明名稱】 半導體元件及其製作方法

SEMICONDUCTOR DEVICE AND METHOD FOR  
FABRICATING THE SAME

## 【技術領域】

【0001】 本發明是關於一種半導體元件及其製作方法，尤指一種在進行自行對準接觸插塞(self-aligned contacts, SAC)製程時於閘極結構上形成兩層硬遮罩的半導體元件及其製作方法。

## 【先前技術】

【0002】 在習知半導體產業中，多晶矽係廣泛地應用於半導體元件如金氧半導體(metal-oxide-semiconductor, MOS)電晶體中，作為標準的閘極填充材料選擇。然而，隨著 MOS 電晶體尺寸持續地微縮，傳統多晶矽閘極因硼穿透(boron penetration)效應導致元件效能降低，及其難以避免的空乏效應(depletion effect)等問題，使得等效的閘極介電層厚度增加、閘極電容值下降，進而導致元件驅動能力的衰退等困境。因此，半導體業界更嘗試以新的閘極填充材料，例如利用功函數(work function)金屬來取代傳統的多晶矽閘極，用以作為匹配高介電常數(High-K)閘極介電層的控制電極。

【0003】 在現今金屬閘極電晶體製作過程中，特別是在進行自行對準接觸插塞(self-aligned contacts, SAC)製程時通常會進行兩次微影

暨蝕刻分別形成連接閘極結構與源極/汲極區域的接觸插塞。由於閘極結構上的硬遮罩通常僅為單一材料所構成，一般在去除部分硬遮罩以形成接觸插塞過程中容易使後續連接閘極結構的接觸插塞接觸到連接源極/汲極區域的接觸插塞並造成短路。因此如何改良現行金屬閘極製程以解決此問題即為現今一重要課題。

## 【發明內容】

**【0004】** 本發明較佳實施例揭露一種製作半導體元件的方法。首先提供一基底，該基底上具有一閘極結構以及一第一層間介電層環繞閘極結構，然後去除部分閘極結構，形成一第一遮罩層於第一層間介電層及閘極結構上，去除第一層間介電層上之第一遮罩層及閘極結構上之部分第一遮罩層以形成一第一硬遮罩於閘極結構上，形成一第二遮罩層於第一層間介電層、第一硬遮罩及閘極結構上。之後再平坦化部分第二遮罩層以形成一第二硬遮罩於閘極結構上，其中第一硬遮罩、第二硬遮罩及第一層間介電層之上表面齊平。

**【0005】** 本發明又一實施例揭露一種半導體元件，其包含一基底，一閘極結構設於基底上，一第一層間介電層環繞閘極結構，一第一硬遮罩設於閘極結構上以及一第二硬遮罩設於閘極結構上，其中第一硬遮罩設於第二硬遮罩兩側且第一硬遮罩包含氮化矽。

**【0006】** 本發明另一實施例揭露一種半導體元件，包含一基底，一閘極結構設於基底上，一第一層間介電層環繞閘極結構，一第一硬遮罩設於閘極結構上以及一第二硬遮罩設於閘極結構上，其中第一硬遮罩設於第二硬遮罩兩側且第一硬遮罩及第二硬遮罩均直接接觸

閘極結構。

## 【圖式簡單說明】

### 【0007】

第 1 圖至第 3 圖為本發明第一實施例製作一半導體元件之方法示意圖。

第 4 圖至第 6 圖為本發明第二實施例製作一半導體元件之方法示意圖。

第 7 圖至第 10 圖為本發明第三實施例製作一半導體元件之方法示意圖。

第 11 圖至第 14 圖為本發明第四實施例製作一半導體元件之方法示意圖。

## 【實施方式】

**【0008】** 請參照第 1 圖至第 3 圖，第 1 圖至第 3 圖為本發明第一實施例製作一半導體元件之方法示意圖。如第 1 圖所示，首先提供一基底 12，例如一矽基底或矽覆絕緣(SOI)基板，其上定義有一電晶體區，例如一 PMOS 電晶體區或一 NMOS 電晶體區。基底 12 上具有至少一鰭狀結構 14 及一絕緣層(圖未示)，其中鰭狀結構 14 之底部係被絕緣層，例如氧化矽所包覆而形成淺溝隔離，且部分的鰭狀結構 14 上設有一閘極結構 18。

**【0009】** 上述鰭狀結構 14 之形成方式可以包含先形成一圖案化遮罩(圖未示)於基底 12 上，再經過一蝕刻製程，將圖案化遮罩之圖案轉移至基底 12 中。接著，對應三閘極電晶體元件及雙閘極鰭狀電晶

體元件結構特性的不同，而可選擇性去除或留下圖案化遮罩，並利用沈積、化學機械研磨(chemical mechanical polishing, CMP)及回蝕刻製程而形成一環繞鰭狀結構 14 底部之絕緣層。除此之外，鰭狀結構 14 之形成方式另也可以是先製作一圖案化硬遮罩層(圖未示)於基底 12 上，並利用磊晶製程於暴露出於圖案化硬遮罩層之基底 12 上成長出半導體層，此半導體層即可作為相對應的鰭狀結構 14。同樣的，另可以選擇性去除或留下圖案化硬遮罩層，並透過沈積、CMP 及回蝕刻製程形成一絕緣層以包覆住鰭狀結構 14 之底部。另外，當基底 12 為矽覆絕緣(SOI)基板時，則可利用圖案化遮罩來蝕刻基底上之一半導體層，並停止於此半導體層下方的一底氧化層以形成鰭狀結構，故可省略前述製作絕緣層的步驟。

**【0010】** 閘極結構 18 之製作方式可依據製程需求以先閘極(gate first)製程、後閘極(gate last)製程之先閘極介電層(high-k first)製程以及後閘極製程之後閘極介電層(high-k last)製程等方式製作完成。以本實施例之先閘極介電層製程為例，可先於鰭狀結構 14 與絕緣層上形成一較佳包含高介電常數介電層與多晶矽材料所構成的虛置閘極(圖未示)，然後於虛置閘極側壁形成側壁子 24。接著於側壁子 24 兩側的鰭狀結構 14 以及/或基底 12 中形成一源極/汲極區域 26 與磊晶層(圖未示)、形成一接觸洞蝕刻停止層 30 覆蓋虛置閘極，並形成一由四乙氧基矽烷(Tetraethyl orthosilicate, TEOS)所組成的層間介電層 32 於接觸洞蝕刻停止層 30 上。

**【0011】** 之後可進行一金屬閘極置換(replacement metal gate)製程，先平坦化部分之層間介電層 32 及接觸洞蝕刻停止層 30，並再將虛置閘極轉換為一金屬閘極。金屬閘極置換製程可包括先進行一

選擇性之乾蝕刻或濕蝕刻製程，例如利用氨水(ammonium hydroxide,  $\text{NH}_4\text{OH}$ )或氫氧化四甲銨(Tetramethylammonium Hydroxide, TMAH)等蝕刻溶液來去除虛置閘極中的多晶矽材料以於層間介電層 32 中形成一凹槽。之後形成一至少包含 U 型功函數金屬層 34 與低阻抗金屬層 36 的導電層於該凹槽內，並再搭配進行一平坦化製程使 U 型功函數金屬層 34 與低阻抗金屬層 36 的表面與層間介電層 32 表面齊平，以形成閘極結構 18 之閘極電極 38。

**【0012】** 在本實施例中，功函數金屬層 34 較佳用以調整形成金屬閘極之功函數，使其適用於 N 型電晶體(NMOS)或 P 型電晶體(PMOS)。若電晶體為 N 型電晶體，功函數金屬層 34 可選用功函數為 3.9 電子伏特(eV)~4.3 eV 的金屬材料，如鋁化鈦(TiAl)、鋁化銻(ZrAl)、鋁化鎢(WAl)、鋁化鉭(TaAl)、鋁化鈦(HfAl)或 TiAlC (碳化鈦鋁)等，但不以此為限；若電晶體為 P 型電晶體，功函數金屬層 34 可選用功函數為 4.8 eV~5.2 eV 的金屬材料，如氮化鈦(TiN)、氮化鉭(TaN)或碳化鉭(TaC)等，但不以此為限。功函數金屬層 34 與低阻抗金屬層 36 之間可包含另一阻障層(圖未示)，其中阻障層的材料可包含鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)等材料。低阻抗金屬層 44 則可選自銅(Cu)、鋁(Al)、鎢(W)、鈦鋁合金(TiAl)、鈷鎢磷化物(cobalt tungsten phosphide, CoWP)等低電阻材料或其組合。由於依據金屬閘極置換製程將虛置閘極轉換為金屬閘極乃此領域者所熟知技藝，在此不另加贅述。

**【0013】** 形成閘極結構 18 後可選擇性先去除部分閘極電極 38，例如部分功函數金屬層 34 與低阻抗金屬層 36 以於側壁子 24 間蝕刻出一凹槽，然後依序形成一第一遮罩層 40 與一第二遮罩層 42 於層間



介電層 32、接觸洞蝕刻停止層 30、側壁子 24 及閘極電極 38 上。

**【0014】** 如第 2 圖所示，接著以 CMP 製程平坦化部分第二遮罩層 42 及部分第一遮罩層 40，以形成一第一硬遮罩 44 與一第二硬遮罩 46 於閘極電極 38 上，其中第一硬遮罩 44、第二硬遮罩 46、側壁子 24、接觸洞蝕刻停止層 30 及層間介電層 32 之上表面為齊平。

**【0015】** 在本實施例中，第一硬遮罩 44 及第二硬遮罩 46 較佳包含不同材料，例如本實施例之第一硬遮罩 44 包含氮化矽而第二硬遮罩 46 包含氧化矽，但不侷限於此。另外以結構來看，本實施例之第一硬遮罩 44 較佳為 U 形且設於閘極電極 38 上並相接觸，而第二硬遮罩 46 則設於第一硬遮罩 44 上且不接觸閘極電極 38。

**【0016】** 接著如第 3 圖所示，形成另一層間介電層 48 於第一硬遮罩 44、第二硬遮罩 46、側壁子 24、接觸洞蝕刻停止層 30 以及層間介電層 32 上，然後進行一接觸插塞製程以形成複數個接觸插塞 50 分別電連接閘極電極 38 與源極/汲極區域 26。在本實施例中，接觸插塞 50 的製作可先利用一微影暨蝕刻製程去除部分閘極電極 38 正上方的部分層間介電層 48 與部分或全部的第二硬遮罩 46 以暴露出第一硬遮罩 44 表面，隨後再進行另一道蝕刻製程去除部分第一硬遮罩 44，使剩下的第一硬遮罩 44 如側壁子一般，僅覆蓋在凹槽側壁而暴露出閘極電極 38 頂表面，以形成一接觸洞。接著重複進行上述微影暨蝕刻步驟再分別形成兩個接觸洞暴露源極/汲極區域 26，然後同時填入金屬材料於各接觸洞中並再以 CMP 製程去除部分金屬材料甚至部分層間介電層 48 以形成電連接閘極電極 38 與源極/汲極區域 26 的接觸插塞 50。至此即完成本發明第一實施例之半導體元件

的製作。

**【0017】** 請參照第 4 圖至第 6 圖，第 4 圖至第 6 圖為本發明第二實施例製作一半導體元件之方法示意圖。如第 4 圖所示，依據前述第一實施例中形成由 U 型功函數金屬層 34 與低阻抗金屬層 36 所構成的閘極電極 38 後可先去除部分閘極電極 38 與部分側壁子 24 以於層間介電層 32 中形成一凹槽，然後依序形成一第一遮罩層 40 與一第二遮罩層 42 於層間介電層 32、接觸洞蝕刻停止層 30、側壁子 24 及閘極電極 38 上。

**【0018】** 如第 5 圖所示，接著以 CMP 製程平坦化部分第二遮罩層 42 及部分第一遮罩層 40 以形成一第一硬遮罩 44 與一第二硬遮罩 46 於側壁子 24 及閘極電極 38 上，其中第一硬遮罩 44、第二硬遮罩 46、接觸洞蝕刻停止層 30 及層間介電層 32 之上表面為齊平。

**【0019】** 在本實施例中，第一硬遮罩 44 及第二硬遮罩 46 較佳包含不同材料，例如本實施例之第一硬遮罩 44 包含氮化矽而第二硬遮罩 46 包含氧化矽，但不侷限於此。另外以結構來看，本實施例之第一硬遮罩 44 較佳為 U 形且同時跨坐在閘極電極 38 與側壁子 24 上，而第二硬遮罩 46 則設於第一硬遮罩 44 上且不接觸閘極電極 38。

**【0020】** 接著如第 6 圖所示，形成另一層間介電層 48 於第一硬遮罩 44、第二硬遮罩 46、側壁子 24、接觸洞蝕刻停止層 30 以及層間介電層 32 上，然後進行一接觸插塞製程以形成複數個接觸插塞 50 分別電連接閘極電極 38 與源極/汲極區域 26。在本實施例中，接觸插塞 50 的製作可先利用一微影暨蝕刻製程去除部分閘極電極 38 正

上方的部分層間介電層 48 與部分第二硬遮罩 46 以暴露出第一硬遮罩 44 表面，隨後再進行另一道蝕刻製程去除部分第一硬遮罩 44 暴露出閘極電極 38 表面以形成一接觸洞。接著重複進行上述微影暨蝕刻步驟再分別形成兩個接觸洞暴露源極/汲極區域 26，然後同時填入金屬材料於各接觸洞中並再以 CMP 製程去除部分金屬材料甚至部分層間介電層 48 以形成電連接閘極電極 38 與源極/汲極區域 26 的接觸插塞 50。至此即完成本發明第二實施例之半導體元件的製作。

**【0021】** 請參照第 7 圖至第 10 圖，第 7 圖至第 10 圖為本發明第三實施例製作一半導體元件之方法示意圖。如第 7 圖所示，依據前述第一實施例中形成由 U 型功函數金屬層 34 與低阻抗金屬層 36 所構成的閘極電極 38 後可先以蝕刻去除部分閘極電極 38 以於側壁子 24 間形成一凹槽，然後共形地形成一第一遮罩層 40 於層間介電層 32、接觸洞蝕刻停止層 30、側壁子 24 及閘極電極 38 上。

**【0022】** 接著如第 8 圖所示，去除層間介電層 32、接觸洞蝕刻停止層 30 及側壁子 24 上的第一遮罩層 40 以及閘極電極 38 上的部分第一遮罩層 40，使剩下的第一遮罩層 40 如側壁子一般僅覆蓋在凹槽側壁，以形成一第一硬遮罩 44 於閘極電極 38 上，並再形成一第二遮罩層 42 於層間介電層 32、接觸洞蝕刻停止層 30、側壁子 24、第一硬遮罩 44 及閘極電極 38 上。

**【0023】** 如第 9 圖所示，然後以 CMP 製程平坦化部分第二遮罩層 42 以形成一第二硬遮罩 46 於第一硬遮罩 44 之間的閘極電極 38 上，使第一硬遮罩 44、第二硬遮罩 46、側壁子 24、接觸洞蝕刻停止層 30 及層間介電層 32 上表面齊平。

**【0024】** 在本實施例中，第一硬遮罩 44 及第二硬遮罩 46 較佳包含不同材料，例如本實施例之第一硬遮罩 44 包含氮化矽而第二硬遮罩 46 包含氧化矽，但不侷限於此。另外以結構來看，本實施例的第一硬遮罩 44 與第二硬遮罩 46 均同時設置於閘極電極 38 上並直接接觸閘極電極 38，且第二硬遮罩 46 較佳設置於第一硬遮罩 44 之間。

**【0025】** 接著如第 10 圖所示，形成另一層間介電層 48 於第一硬遮罩 44、第二硬遮罩 46、側壁子 24、接觸洞蝕刻停止層 30 以及層間介電層 32 上，然後進行一接觸插塞製程以形成複數個接觸插塞 50 分別電連接閘極電極 38 與源極/汲極區域 26。在本實施例中，接觸插塞 50 的製作可先利用一微影暨蝕刻製程去除部分閘極電極 38 正上方的部分層間介電層 48 與部分或全部的第二硬遮罩 46 以暴露出閘極電極 38 表面以形成一接觸洞。相較於前述第一實施例與第二實施例中需採用兩段式蝕刻來分別去除部分由不同材料所構成的第二硬遮罩 46 與第一硬遮罩 44 以形成接觸洞，本實施例之第一硬遮罩 44 並非 U 型且未設於第二硬遮罩 46 下方，因此僅需以一道微影暨蝕刻製程便可形成接觸插塞 50 所需的接觸洞。接著重複進行上述微影暨蝕刻步驟再分別形成兩個接觸洞暴露源極/汲極區域 26，然後同時填入金屬材料於各接觸洞中並再以 CMP 製程去除部分金屬材料甚至部分層間介電層 48 以形成電連接閘極電極 38 與源極/汲極區域 26 的接觸插塞 50。至此即完成本發明第三實施例之半導體元件的製作。

**【0026】** 請參照第 11 圖至第 14 圖，第 11 圖至第 14 圖為本發明第四實施例製作一半導體元件之方法示意圖。如第 11 圖所示，依據前

述第一實施例中形成由 U 型功函數金屬層 34 與低阻抗金屬層 36 所構成的閘極電極 38 後可先去除部分閘極電極 38 與部分側壁子 24 以於層間介電層 32 中形成一凹槽，然後共形地形成一第一遮罩層 40 於層間介電層 32、接觸洞蝕刻停止層 30、側壁子 24 及閘極電極 38 上。

**【0027】** 接著如第 12 圖所示，去除層間介電層 32 與接觸洞蝕刻停止層 30 上的第一遮罩層 40 及閘極電極 38 上的部分第一遮罩層 40，使剩下的第一遮罩層 40 如側壁子一般僅覆蓋在凹槽側壁，以形成第一硬遮罩 44 於側壁子 24 上，並形成一第二遮罩層 42 於層間介電層 32、接觸洞蝕刻停止層 30、第一硬遮罩 44 及閘極電極 38 上。

**【0028】** 如第 13 圖所示，然後以 CMP 製程平坦化部分第二遮罩層 42 以形成一第二硬遮罩 46 於閘極電極 38 上，使第一硬遮罩 44、第二硬遮罩 46、接觸洞蝕刻停止層 30 及層間介電層 32 之上表面為齊平。

**【0029】** 在本實施例中，第一硬遮罩 44 及第二硬遮罩 46 較佳包含不同材料，例如本實施例之第一硬遮罩 44 包含氮化矽而第二硬遮罩 46 包含氧化矽，但不侷限於此。另外以結構來看，本實施例的第一硬遮罩 44 與第二硬遮罩 46 均同時設置於閘極電極 38 與側壁子 24 上並接觸閘極電極 38，或從更細部來看，第一硬遮罩 44 設置於側壁子 24 上而第二硬遮罩 46 則設於閘極電極 38 上，且第二硬遮罩 46 較佳設置於第一硬遮罩 44 之間。

**【0030】** 接著如第 14 圖所示，形成另一層間介電層 48 於第一硬遮

罩 44、第二硬遮罩 46、側壁子 24、接觸洞蝕刻停止層 30 以及層間介電層 32 上，然後進行一接觸插塞製程以形成複數個接觸插塞 50 分別電連接閘極電極 38 與源極/汲極區域 26。在本實施例中，接觸插塞 50 的製作可先利用一微影暨蝕刻製程去除部分閘極電極 38 正上方的部分層間介電層 48 與部分第二硬遮罩 46 以暴露出閘極電極 38 表面以形成一接觸洞。如同第三實施例，本實施例的第一硬遮罩 44 並非 U 形且未設於第二硬遮罩 46 下方，因此僅需以一道微影暨蝕刻製程便可形成接觸插塞 50 所需的接觸洞。接著重複進行上述微影暨蝕刻步驟再分別形成兩個接觸洞暴露源極/汲極區域 26，然後同時填入金屬材料於各接觸洞中並再以 CMP 製程去除部分金屬材料甚至部分層間介電層 48 以形成電連接閘極電極 38 與源極/汲極區域 26 的接觸插塞 50。至此即完成本發明第四實施例之半導體元件的製作。

**【0031】** 綜上所述，本發明主要於閘極電極上形成兩層硬遮罩，其中第一硬遮罩設於第二硬遮罩兩側且第一硬遮罩較佳由氮化矽所構成而第二硬遮罩則較佳由氧化矽所構成。依據前述實施例，本發明之第一硬遮罩與第二硬遮罩的組合共有四種態樣，其中第一硬遮罩可為 U 形或 I 形，或側壁子可經由蝕刻使第一硬遮罩直接跨坐於側壁子上。由於本發明是採用雙層硬遮罩的設計且較佳將由氮化矽所設於第一硬遮罩環繞由氧化矽所構成的第二硬遮罩，本發明可於後續製作接觸插塞時避免連接閘極結構的接觸插塞直接接觸到連接源極/汲極區域的接觸插塞並造成短路。

**【0032】** 以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

**【符號說明】****【0033】**

12	基底	14	鰭狀結構
18	閘極結構	24	側壁子
26	源極/汲極區域	30	接觸洞蝕刻停止層
32	層間介電層	34	功函數金屬層
36	低阻抗金屬層	38	閘極電極
40	第一遮罩層	42	第二遮罩層
44	第一硬遮罩	46	第二硬遮罩
48	層間介電層	50	接觸插塞

## 申請專利範圍

1. 一種製作半導體元件的方法，包含：

提供一基底，該基底上具有一閘極結構以及一第一層間介電層環繞該閘極結構；

去除部分該閘極結構；

形成一第一遮罩層於該第一層間介電層及該閘極結構上；

去除該第一層間介電層上之該第一遮罩層及該閘極結構上之部分該第一遮罩層以形成一第一硬遮罩於該閘極結構上；

形成一第二遮罩層於該第一層間介電層、該第一硬遮罩及該閘極結構上；以及

平坦化部分該第二遮罩層以形成一第二硬遮罩於該閘極結構上，其中該第一硬遮罩、該第二硬遮罩及該第一層間介電層之上表面齊平。

2. 如申請專利範圍第 1 項所述之方法，其中該閘極結構包含一閘極電極以及一側壁子鄰近該閘極電極，該方法另包含：

去除該閘極結構之部分該閘極電極；

形成該第一遮罩層於該第一層間介電層、該側壁子及該閘極電極上；

去除該第一層間介電層及該側壁上之該第一遮罩層及該閘極電極上之部分該第一遮罩層以形成該第一硬遮罩於該閘極電極上；

形成該第二遮罩層於該第一層間介電層、該第一硬遮罩及該閘極電極上；以及

平坦化部分該第二遮罩層以形成該第二硬遮罩於該閘極電極



上，其中該第一硬遮罩、該第二硬遮罩、該側壁子及該第一層間介電層之上表面為齊平。

3. 如申請專利範圍第 2 項所述之方法，另包含：

形成一第二層間介電層於該第一硬遮罩、該第二硬遮罩、該側壁子及該第一層間介電層上；

去除部分該第二層間介電層及該第一硬遮罩以暴露該閘極結構；以及

形成一接觸插塞電連接該閘極結構。

4. 如申請專利範圍第 1 項所述之方法，其中該閘極結構包含一閘極電極以及一側壁子鄰近該閘極電極，該方法另包含：

去除該閘極結構之部分該閘極電極及部分該側壁子；

形成該第一遮罩層於該第一層間介電層、該側壁子及該閘極電極上；

去除該第一層間介電層上之該第一遮罩層及該閘極電極上之部分該第一遮罩層以形成該第一硬遮罩於該側壁上；

形成該第二遮罩層於該第一層間介電層、該第一硬遮罩、及該閘極電極上；以及

平坦化部分該第二遮罩層以形成該第二硬遮罩於該閘極電極上，其中該第一硬遮罩、該第二硬遮罩及該第一層間介電層之上表面為齊平。

5. 如申請專利範圍第 4 項所述之方法，另包含：

形成一第二層間介電層於該第一硬遮罩、該第二硬遮罩及該第一層間介電層上；

去除部分該第二層間介電層及該第一硬遮罩以暴露該閘極結構；以及  
形成一接觸插塞電連接該閘極結構。

6. 如申請專利範圍第 1 項所述之方法，其中該第一硬遮罩及該第二硬遮罩包含不同材料。

7. 如申請專利範圍第 1 項所述之方法，其中該第一硬遮罩包含氮化矽且該第二硬遮罩包含氧化矽。

8. 一種半導體元件，包含：

一基底，該基底上設有一閘極結構以及一第一層間介電層環繞該閘極結構；

一第一硬遮罩設於該閘極結構上；以及

一第二硬遮罩設於該閘極結構上，其中該第一硬遮罩設於該第二硬遮罩兩側且該第一硬遮罩包含氮化矽。

9. 如申請專利範圍第 8 項所述之半導體元件，其中該閘極結構包含一閘極電極以及一側壁子鄰近該閘極電極，該半導體元件另包含：

該第一硬遮罩設於該閘極電極上；以及

該第二硬遮罩設於該第一硬遮罩上。

10. 如申請專利範圍第 9 項所述之半導體元件，其中該第一硬遮罩為 U 形。

11. 如申請專利範圍第 8 項所述之半導體元件，其中該閘極結構包含一閘極電極以及一側壁子鄰近該閘極電極，該半導體元件另包含：

該第一硬遮罩設於該閘極電極及該側壁子上；以及  
該第二硬遮罩設於該第一硬遮罩上。

12. 如申請專利範圍第 11 項所述之半導體元件，其中該第一硬遮罩為 U 形。

13. 如申請專利範圍第 8 項所述之半導體元件，其中該閘極結構包含一閘極電極以及一側壁子鄰近該閘極電極，該半導體元件另包含：  
該第一硬遮罩設於該閘極電極上；以及  
該第二硬遮罩設於該閘極電極上並直接接觸該閘極電極。

14. 如申請專利範圍第 8 項所述之半導體元件，其中該閘極結構包含一閘極電極以及一側壁子鄰近該閘極電極，該半導體元件另包含：  
該第一硬遮罩設於該側壁子上；以及  
該第二硬遮罩設於該閘極電極上並直接接觸該閘極電極。

15. 如申請專利範圍第 8 項所述之半導體元件，其中該第一硬遮罩包含氮化矽且該第二硬遮罩包含氧化矽。

16. 如申請專利範圍第 8 項所述之半導體元件，另包含：  
一第二層間介電層設於該第一層間介電層、該第一硬遮罩及該第二硬遮罩上；以及  
一接觸插塞貫穿該第二層間介電層及第二硬遮罩並直接接觸該閘極結構。

17. 如申請專利範圍第 8 項所述之半導體元件，另包含：  
一第二層間介電層設於該第一層間介電層、該第一硬遮罩及該第

二硬遮罩上；以及

一接觸插塞貫穿該第二層間介電層、該第一硬遮罩及該第二硬遮罩並直接接觸該閘極結構。

18. 一種半導體元件，包含：

一基底，該基底上設有一閘極結構以及一第一層間介電層環繞該閘極結構；

一第一硬遮罩設於該閘極結構上；以及

一第二硬遮罩設於該閘極結構上，其中該第一硬遮罩設於該第二硬遮罩兩側且該第一硬遮罩及該第二硬遮罩均直接接觸該閘極結構。

19. 如申請專利範圍第 18 項所述之半導體元件，其中該第一硬遮罩包含氮化矽且該第二硬遮罩包含氧化矽。

20. 如申請專利範圍第 18 項所述之半導體元件，另包含：

一第二層間介電層設於該第一層間介電層、該第一硬遮罩及該第二硬遮罩上；以及

一接觸插塞貫穿該第二層間介電層及該第二硬遮罩並直接接觸該閘極結構。