



(12) 发明专利

(10) 授权公告号 CN 109755312 B

(45) 授权公告日 2022.03.25

(21) 申请号 201711068026.X

(22) 申请日 2017.11.03

(65) 同一申请的已公布的文献号
申请公布号 CN 109755312 A

(43) 申请公布日 2019.05.14

(73) 专利权人 中芯国际集成电路制造(上海)有
限公司

地址 201203 上海市浦东新区张江路18号

专利权人 中芯国际集成电路制造(北京)有
限公司

(72) 发明人 唐柏人

(74) 专利代理机构 上海德禾翰通律师事务所
31319

代理人 侯莉

(51) Int.Cl.

H01L 29/78 (2006.01)

H01L 29/49 (2006.01)

H01L 29/06 (2006.01)

H01L 21/336 (2006.01)

审查员 卢振宇

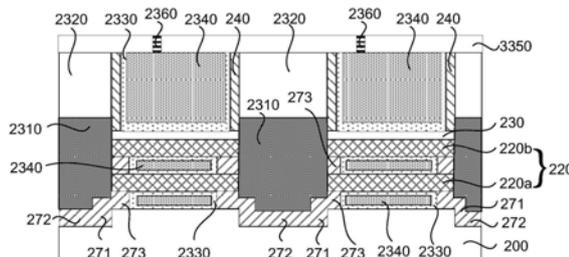
权利要求书3页 说明书12页 附图8页

(54) 发明名称

纳米线晶体管及其制备方法

(57) 摘要

本发明公开了一种纳米线晶体管及其制备方法,包括:在衬底形成相互堆叠的牺牲层和纳米线;形成伪栅,伪栅位于堆叠的牺牲层和纳米线上方;除去相邻伪栅之间的牺牲层与纳米线,以形成源/漏区域;形成隔离结构,隔离结构位于源/漏区域底部的衬底表面,以隔离源/漏区域和衬底;和在源/漏区域内形成源/漏极,源/漏极位于隔离结构上方,且与相邻的纳米线的侧面接触。隔离结构对源/漏极和衬底进行隔离,避免两者之间发生电流泄露的现象。同时,栅极结构与源/漏极之间存在内部侧墙,解决了源/漏极与栅极结构之间寄生电容过大的问题。



1. 一种纳米线晶体管,其特征在于,包括:
设置于衬底上的栅极结构;
源/漏极,所述源/漏极位于所述栅极结构的两侧;
纳米线,所述纳米线设置于所述栅极结构内部,所述纳米线的两侧面均与所述源/漏极接触;和
隔离结构,所述隔离结构形成于所述衬底与所述源/漏极之间,以隔离所述衬底和所述源/漏极;
其中,所述隔离结构覆盖所述源/漏极下方的所述衬底,以使所述源/漏极不与所述衬底接触,所述隔离结构包括:侧壁隔离结构和底部隔离结构,其中,所述侧壁隔离结构位于所述隔离结构的两侧,所述底部隔离结构位于所述侧壁隔离结构之间,且与所述侧壁隔离结构相接触,并且所述隔离结构的所述侧壁隔离结构的两侧面的最高点低于最底部所述纳米线的底部表面,且高于所述栅极结构的底部表面。
2. 根据权利要求1所述的纳米线晶体管,其特征在于,所述纳米线个数为1个或多个,当所述纳米线为多个时,所述多个纳米线纵向间隔分布在所述栅极结构内部。
3. 根据权利要求1所述的纳米线晶体管,其特征在于,所述隔离结构的两侧面分别为所述侧壁隔离结构的与所述底部隔离结构非接触的侧面。
4. 根据权利要求1所述的纳米线晶体管,其特征在于,所述侧壁隔离结构为侧壁侧墙,所述底部隔离结构为底部侧墙。
5. 根据权利要求4所述的纳米线晶体管,其特征在于,所述侧壁隔离结构和所述底部隔离结构的材料相同,为 SiO_2 、 SiN 、 SiON 、 SiOCN 中的一种或多种。
6. 根据权利要求1所述的纳米线晶体管,其特征在于,还包括:内部侧墙,所述内部侧墙位于所述源/漏极和与所述纳米线的底部表面相接触的所述栅极结构之间。
7. 根据权利要求1所述的纳米线晶体管,其特征在于,所述栅极结构包括:栅极和覆盖所述栅极表面的栅介质层。
8. 根据权利要求1所述的纳米线晶体管,其特征在于,还包括:保护结构,所述保护结构覆盖最顶部的所述纳米线的顶部表面。
9. 根据权利要求8所述的纳米线晶体管,其特征在于,还包括:
第一侧墙,所述第一侧墙覆盖所述保护结构上方的所述栅极结构的两侧壁;
第一介电层,所述第一介电层覆盖所述源/漏极;
第二介电层,所述第二介电层覆盖所述栅极结构、所述第一介电层和所述第一侧墙表面;和
金属线,所述金属线贯穿所述第二介电层、并与所述栅极结构接触。
10. 一种纳米线晶体管的制备方法,其特征在于,包括:
在衬底上形成相互堆叠的牺牲层和纳米线;
形成伪栅,所述伪栅位于所述堆叠的所述牺牲层和所述纳米线上方;
除去相邻所述伪栅之间的所述牺牲层与所述纳米线,以形成源/漏区域;
形成隔离结构,所述隔离结构位于所述源/漏区域底部的所述衬底表面,以隔离所述源/漏区域和所述衬底,所述隔离结构覆盖所述源/漏区域下方的所述衬底;和
在所述源/漏区域内形成源/漏极,所述源/漏极位于所述隔离结构上方,且与相邻的所

述纳米线的侧面接触；

其中，形成所述隔离结构包括：

形成侧壁隔离结构和底部隔离结构，所述侧壁隔离结构位于所述底部隔离结构的两侧，底部隔离结构位于所述侧壁隔离结构之间，且与所述侧壁隔离结构相接触；

其中，形成所述侧壁隔离结构和所述底部隔离结构的步骤包括：

形成第二侧墙，所述第二侧墙覆盖所述源/漏区域两侧的所述伪栅侧面、所述纳米线侧面、所述牺牲层侧面以及所述源/漏区域底部所述衬底表面；

形成覆盖所述源/漏区域底部所述第二侧墙表面的介质层，所述介质层的顶部表面低于最底部的所述纳米线的顶部表面，且高于与最底部的所述牺牲层的底部表面；和

除去所述源/漏区域两侧的部分所述第二侧墙，使所述源/漏区域两侧余下的所述第二侧墙的顶部表面与所述介质层的顶部表面平齐，以形成所述侧壁侧墙与所述底部侧墙，其中，所述源/漏区域两侧余下的所述第二侧墙为所述侧壁侧墙，且所述侧壁侧墙为所述侧壁隔离结构，位于所述介质层底部的所述第二侧墙为所述底部侧墙，且所述底部侧墙为所述底部隔离结构；并且

其中，所述隔离结构的所述侧壁隔离结构的两侧面的最高点低于最底部所述纳米线的底部表面。

11. 根据权利要求10所述的纳米线晶体管的制备方法，其特征在于，最底部的所述牺牲层与所述衬底的表面接触，最底部的纳米线不与所述衬底接触。

12. 根据权利要求10所述的纳米线晶体管的制备方法，其特征在于，堆叠的所述纳米线的个数为1个或多个。

13. 根据权利要求10所述的纳米线晶体管的制备方法，其特征在于，所述隔离结构的两侧面分别为所述侧壁隔离结构的与所述底部隔离结构非接触的侧面。

14. 根据权利要求10所述的纳米线晶体管的制备方法，其特征在于，所述侧壁隔离结构为侧壁侧墙，所述底部隔离结构为底部侧墙。

15. 根据权利要求14所述的纳米线晶体管的制备方法，其特征在于，所述侧壁隔离结构与所述底部隔离结构的材料相同，为 SiO_2 、 SiN 、 SiC 、 SiOCN 中的一种或多种。

16. 根据权利要求10所述的纳米线晶体管的制备方法，其特征在于，还包括：

在形成所述第二侧墙之前，除去部分所述牺牲层，以在每层所述牺牲层的两侧形成开口；和

形成所述第二侧墙时，填充每个所述开口以形成内部侧墙。

17. 根据权利要求16所述的纳米线晶体管的制备方法，其特征在于，所述开口的深度范围为 $2\text{nm} \sim 20\text{nm}$ 。

18. 根据权利要求10所述的纳米线晶体管的制备方法，其特征在于，在形成所述源/漏极之后，还包括：

形成覆盖所述源/漏极的第一介电层；

除去所述伪栅和所述牺牲层，以形成沟槽；和

在所述沟槽内形成栅极结构。

19. 根据权利要求18所述的纳米线晶体管的制备方法，其特征在于，在形成所述栅极结构之后，还包括：

形成覆盖所述栅极结构和所述第一介电层的第二介电层；和
形成贯穿所述第二介电层的金属线，所述金属线与所述栅极结构接触。

20. 根据权利要求10所述的纳米线晶体管的制备方法，其特征在于，形成所述伪栅之前，还包括：

形成保护结构，所述保护结构覆盖堆叠的所述牺牲层与所述纳米线的顶部表面。

21. 根据权利要求10所述的纳米线晶体管的制备方法，其特征在于，在形成所述伪栅之后，在形成所述隔离结构之前，还包括：形成覆盖所述伪栅两侧面的第一侧墙。

纳米线晶体管及其制备方法

技术领域

[0001] 本发明涉及半导体制造领域,特别涉及一种纳米线晶体管及其制备方法。

背景技术

[0002] 一直以来,缩小晶体管尺寸、提高集成电路的集成度是半导体行业永恒追求的主题。从FinFET(鳍式晶体管)到NWFET(纳米线电晶体),栅极的物理尺寸不断减小。在NWFET中,栅极厚度以及源/漏区宽度比较小,这有效地增强了栅极的调控功能。但是,自身尺寸的减小容易产生寄生电容,影响晶体管的性能。目前,为了解决这一问题,研究者提出了在栅极底部形成侧墙的技术方案,切断寄生晶体管电流的通路,改善了NWFET的直流特性。

[0003] 但是,目前在现有技术中,NWFET纳米线晶体管源/漏极与衬底直接接触,两者之间没有进行有效的隔离。当纳米线晶体管工作时,纳米线晶体管源/漏极与衬底接触的地方容易发生漏电现象。

[0004] 因此,现有技术亟需一种能实现衬底与纳米线晶体管源/漏极之间形成电学隔离,减少漏电的方法。

发明内容

[0005] 本发明提供一种纳米线晶体管及其制备方法,实现了源/漏极与衬底之间的电学隔离,又减小了纳米线晶体管底部栅极与源/漏极之间过大的电容。

[0006] 在本发明提供一种纳米线晶体管,包括:设置于衬底上的栅极结构;源/漏极,源/漏极位于栅极结构的两侧;纳米线,纳米线设置于栅极结构内部,纳米线的两侧面均与源/漏极接触;和隔离结构,隔离结构形成于衬底与源/漏极之间,以隔离衬底和源/漏极。

[0007] 根据本发明的一个方面,纳米线个数为1个或多个,当纳米线为多个时,多个纳米线纵向间隔分布在栅极结构内部。

[0008] 根据本发明的一个方面,隔离结构覆盖源/漏极下方的衬底,以使源/漏极不与衬底接触。

[0009] 根据本发明的一个方面,隔离结构两侧面的最高点低于最底部纳米线的顶部表面。

[0010] 根据本发明的一个方面,隔离结构两侧面的最高点不高于最底部纳米线的底部表面。

[0011] 根据本发明的一个方面,隔离结构包括:侧壁隔离结构和底部隔离结构,其中,侧壁隔离结构位于隔离结构的两侧,底部隔离结构位于侧壁隔离结构之间,且与侧壁隔离结构相接触。

[0012] 根据本发明的一个方面,隔离结构的两侧面分别为侧壁隔离结构的与底部隔离结构非接触的两个侧面。

[0013] 根据本发明的一个方面,侧壁隔离结构为侧壁侧墙,底部隔离结构为底部侧墙

[0014] 根据本发明的一个方面,侧壁隔离结构和底部隔离结构的材料相同,为SiO₂、SiN、

SiON、SiOCN中的一种或多种。

[0015] 根据本发明的一个方面,还包括:内部侧墙,内部侧墙位于源/漏极和与纳米线的底部表面相接触的栅极结构之间。

[0016] 根据本发明的一个方面,栅极结构包括:栅极和覆盖栅极表面的栅介质层。

[0017] 根据本发明的一个方面,还包括:保护结构,保护结构覆盖最顶部的纳米线的顶部表面。

[0018] 根据本发明的一个方面,还包括:第一侧墙,第一侧墙覆盖保护结构上方的栅极结构的两侧壁;第一介电层,第一介电层覆盖源/漏极;第二介电层,第二介电层覆盖栅极结构、第一介电层和第一侧墙表面;和金属线,金属线贯穿第二介电层、并与栅极结构接触。

[0019] 本发明还公开了一种纳米线晶体管的制备方法,包括:在衬底形成相互堆叠的牺牲层和纳米线;形成伪栅,伪栅位于堆叠的牺牲层和纳米线上方;除去相邻伪栅之间的牺牲层与纳米线,以形成源/漏区域;形成隔离结构,隔离结构位于源/漏区域底部的衬底表面,以隔离源/漏区域和衬底;和在源/漏区域内形成源/漏极,源/漏极位于隔离结构上方,且与相邻的纳米线的侧面接触。

[0020] 根据本发明的一个方面,最底部的牺牲层与衬底表面接触,最底部纳米线不与衬底接触。

[0021] 根据本发明的一个方面,堆叠的纳米线的个数为1个或多个。

[0022] 根据本发明的一个方面,隔离结构覆盖源/漏区域下方的衬底。

[0023] 根据本发明的一个方面,形成的隔离结构包括:形成侧壁隔离结构和底部隔离结构,侧壁隔离结构位于底部隔离结构的两侧,形成的底部隔离结构位于侧壁隔离结构之间,且与侧壁隔离结构相接触。

[0024] 根据本发明的一个方面,形成侧壁隔离结构和底部隔离结构的步骤包括:形成第二侧墙,第二侧墙覆盖源/漏区域两侧的伪栅侧面、纳米线侧面、牺牲层侧面以及源/漏区域底部衬底表面;形成覆盖源/漏区域底部第二侧墙表面的介质层,介质层的顶部表面低于最底部的纳米线的顶部表面,且高于最底部的牺牲层的底部表面;和除去源/漏区域两侧的部分第二侧墙,使源/漏区域两侧余下的第二侧墙的顶部表面与介质层的顶部表面平齐,以形成侧壁侧墙与底部侧墙,其中,源/漏区域两侧余下的第二侧墙为侧壁侧墙,且侧壁侧墙为侧壁隔离结构,位于介质层底部的第二侧墙为底部侧墙,且底部侧墙为底部隔离结构。

[0025] 根据本发明的一个方面,隔离结构两侧面的最高点低于最底部纳米线的顶部表面。

[0026] 根据本发明的一个方面,隔离结构两侧面的最高点不高于最底部纳米线的底部表面。

[0027] 根据本发明的一个方面,隔离结构的两侧面分别为侧壁隔离结构的与底部隔离结构非接触的侧面。

[0028] 根据本发明的一个方面,侧壁隔离结构为侧壁侧墙,底部隔离结构为底部侧墙。

[0029] 根据本发明的一个方面,侧壁隔离结构与底部隔离结构的材料相同,为SiO₂、SiN、SiC、SiOCN中的一种或多种。

[0030] 根据本发明的一个方面,还包括:在形成第二侧墙之前,除去部分牺牲层,以在每层牺牲层的两侧形成开口;和形成第二侧墙时,填充每个开口以形成内部侧墙。

[0031] 根据本发明的一个方面,开口的深度范围为2nm~20nm。

[0032] 根据本发明的一个方面,在形成源/漏极之后,还包括:形成覆盖源/漏极的第一介电层;除去伪栅和牺牲层,以形成沟槽;和在沟槽内形成栅极结构。

[0033] 根据本发明的一个方面,在形成栅极结构之后,还包括:形成覆盖栅极结构和第一介电层的第二介电层;和形成贯穿第二介电层的金属线,金属线与栅极结构接触。

[0034] 根据本发明的一个方面,形成伪栅之前,还包括:形成保护结构,保护结构覆盖堆叠的牺牲层与纳米线的顶部表面。

[0035] 根据本发明的一个方面,在形成伪栅之后,在形成隔离结构之前,还包括:形成覆盖伪栅两侧壁的第一侧墙。

[0036] 与现有技术相比,本发明实施例的技术方案具备的优点如下:

[0037] 由于本发明实施例的纳米线晶体管具有隔离结构,隔离结构位于衬底与源/漏极之间,以隔离衬底和源/漏极。隔离结构的目的在于对源/漏极和衬底进行隔离,消除源/漏极和衬底之间电流的泄漏。

[0038] 进一步的,隔离结构两侧面的最高点低于最底部纳米线的底部表面。这样的位置分布可有效防止底部阻挡层顶部表面过高而增大纳米线晶体管内部的寄生电阻,从而更好的提高纳米线晶体管的性能。

[0039] 进一步的,纳米线晶体管还包括内部侧墙,内部侧墙位于源/漏极和与纳米线的底部表面相接触的栅极结构之间。可起到隔离源/漏极与栅极结构的作用。

[0040] 本发明的实施例在形成纳米线晶体管时形成有隔离结构,隔离结构位于源/漏区域底部的衬底表面,以隔离源/漏区域和衬底。形成隔离结构的目的在于后续对源/漏极和衬底进行隔离,消除源/漏极和衬底之间电流的泄漏。

[0041] 进一步的,形成覆盖源/漏区域底部第二侧墙表面的介质层,介质层的顶部表面低于最底部的纳米线的顶部表面,且高于与衬底相接触的牺牲层的底部表面。形成介质层的目的是为后续刻蚀除去部分第二侧墙提供刻蚀终止位置,使侧壁侧墙的顶部表面也位于同样的位置。

[0042] 进一步的,侧壁隔离结构与底部隔离结构非接触侧面的最高点不高于与衬底接触的牺牲层的顶部表面。限制侧壁隔离结构顶部表面的高度是为了避免表面过高,促进源/漏极与沟道的导通,进而达到更好的效果。

[0043] 进一步的,在形成第二侧墙之前,除去部分牺牲层,以在每层牺牲层的两侧形成开口;形成第二侧墙时,填充所有开口形成内部侧墙。这样做的目的在于在后续形成的栅极结构和源/漏极之间形成内部侧墙,增大源/漏极与栅极结构之间的距离,有效地解决纳米线晶体管栅极与源/漏极之间电容过大的问题。

附图说明

[0044] 图1-图9是根据本发明一个实施例的纳米线晶体管形成过程的剖面结构示意图;

[0045] 图10-图17是根据本发明又一个实施例的纳米线晶体管形成过程的剖面结构示意图。

具体实施方式

[0046] 如前所述,现有的纳米线晶体管衬底与源/漏极之间存在电流泄漏的现象。

[0047] 经研究发现,造成上述问题的原因为:纳米线晶体管的衬底与源/漏极之间没有进行有效隔离。因此,提出在衬底与源/漏极之间形成隔离结构的方案,可解决上述问题。

[0048] 经过进一步研究还发现,纳米线晶体管栅极与源/漏极之间距离较近,没有有效的隔离结构,寄生电容过大。因此,提出在栅极底部与源/漏极之间形成内部侧墙,可以解决上述问题。

[0049] 为了解决该问题,本发明提供了一种纳米线晶体管及其制备方法,在衬底与源/漏极之间形成有效的隔离结构,避免衬底与源/漏极直接接触而导致源/漏极底部电流的泄漏。同时,在纳米线晶体管栅极与源/漏极之间形成内部侧墙,对栅极与源/漏极进行电学隔离,解决了纳米线晶体管栅极底部与源/漏极之间电容过大的问题。

[0050] 现在将参照附图来详细描述本发明的各种示例性实施例。应理解,除非另外具体说明,否则在这些实施例中阐述的部件和步骤的相对布置、数字表达式和数值不应被理解为对本发明范围的限制。

[0051] 此外,应当理解,为了便于描述,附图中所示出的各个部件的尺寸并不必然按照实际的比例关系绘制,例如某些层的厚度或宽度可以相对于其他层有所夸大。

[0052] 以下对示例性实施例的描述仅仅是说明性的,在任何意义上都不作为对本发明及其应用或使用的任何限制。

[0053] 对于相关领域普通技术人员已知的技术、方法和装置可能不作详细讨论,但在适用这些技术、方法和装置情况下,这些技术、方法和装置应当被视为本说明书的一部分。

[0054] 应注意,相似的标号和字母在下面的附图中表示类似项,因此,一旦某一项在一个附图中被定义或说明,则在随后的附图的说明中将不需要对其进行进一步讨论。

[0055] 第一实施例。

[0056] 请参考图1,衬底100,在衬底100上形成相互堆叠的牺牲层110和纳米线120,在牺牲层110和纳米线120上方形成伪栅150。

[0057] 衬底100为后续形成栅极、源/漏极以及其他工艺的基础。衬底100的材料包括Si、SiGe等,在这里并不做具体限制。

[0058] 牺牲层110为后续形成栅极的基础。牺牲层110的材料包括:Si、SiGe、SiC等,在这里并不做具体限制。

[0059] 纳米线120作为后续纳米线晶体管的沟道区。纳米线120的材料包括:Si、SiGe、SiC等,在这里并不做具体限制。由于纳米线120不与衬底100接触,所以纳米线120的材料与衬底100的材料可以相同也可以不相同,在这里不做具体限制。

[0060] 明显的,因为牺牲层110与纳米线120相互堆叠,所以应满足牺牲层110与纳米线120的材料是不相同的。优选的,在本发明实施例中,牺牲层110的材料为SiGe,纳米线120的材料为Si。

[0061] 牺牲层110与纳米线120的厚度均在4nm~30nm(在这里,厚度为大于等于4nm,小于等于30nm,即,范围包括端点数值,下文的范围表述与此处的意义相同)之间。牺牲层110与纳米线120的厚度可以相同也可以不相同,在这里不作具体限制。在本发明的一个实施例中,牺牲层110的厚度为4nm,纳米线120的厚度为30nm。在本发明的另一个实施例中,牺牲层

110的厚度为15nm,纳米线120的厚度为20nm。

[0062] 牺牲层110与纳米线120的层数不作具体限制,可以是一层也可以是多层。但应满足最底部的牺牲层110与衬底100的表面接触,最底部的纳米线120不与衬底100接触。

[0063] 具体的,在本发明实施例中,牺牲层110与纳米线120的层数分别为两层,即形成覆盖衬底100表面的第一牺牲层110a,再形成覆盖第一牺牲层110a表面的第一纳米线120a,再形成覆盖第一纳米线120a表面的第二牺牲层110b,再形成覆盖第二牺牲层110b表面的第二纳米线120b。第一纳米线120a、第二纳米线120b均属于纳米线120。同样的,第一牺牲层110a、第二牺牲层110b均属于牺牲层110。

[0064] 在本发明实施例中,最顶部的纳米线120b表面还形成有伪栅150。伪栅150是后续形成栅极的基础。具体的,在本发明实施例中,伪栅150的材料包括多晶硅(Poly-Si)等。

[0065] 在这里,之所以不直接形成栅极,而先用伪栅150代替的目的是避免后续工艺过程对栅极造成损伤,影响纳米线晶体管的性能。

[0066] 需要说明的是,在本发明的其他实施例中,伪栅150的材料还可以是其他材料,只要满足在后续工艺中伪栅150结构不被损伤的条件即可。

[0067] 在本发明实施例中,形成伪栅150之前,还包括:形成保护结构130。保护结构130覆盖最顶层纳米线120b的顶部表面、且覆盖堆叠的牺牲层110和纳米线120的侧壁。在这里,保护结构130的作用是为了避免后续工艺对堆叠的牺牲层110和纳米线120造成破坏。在本发明的其他实施例中,保护结构130可以作为部分MOS晶体管的栅介质层。

[0068] 保护结构130的材料包括氧化物、氮化物等。具体的,在本发明实施例中,保护结构130的材料为 SiO_2 。

[0069] 在本发明实施例中,形成伪栅150之后,在形成隔离结构之前,还包括:形成覆盖伪栅150两侧壁的第一侧墙140。第一侧墙140的作用在于保护伪栅150不被后续工艺破坏。第一侧墙140的材料为氧化物、氮化物等,在这里并不做具体限制。

[0070] 请参考图2,除去相邻伪栅150之间堆叠的牺牲层110和纳米线120,暴露衬底100,形成源/漏区域160。

[0071] 除去相邻伪栅150之间堆叠的牺牲层110和纳米线120是便于后续在源/漏区域160内形成隔离结构。除去相邻伪栅150之间堆叠的牺牲层110和纳米线120的工艺包括干法刻蚀工艺和/或湿法刻蚀工艺。具体的,在本发明实施例中,除去相邻伪栅150之间堆叠的牺牲层110和纳米线120的工艺为干法刻蚀工艺。且干法刻蚀为反应离子刻蚀(Reactive Ion Etch,RIE)工艺。

[0072] 源/漏区域160为后续形成隔离结构与源/漏极提供了空间。由于牺牲层110与纳米线120直接在衬底表面形成,所以在除去牺牲层110与纳米线120之后,衬底100就暴露出来。

[0073] 在这里,暴露出衬底100的方法包括:只除去牺牲层110与纳米线120,暴露出衬底100的表面,即不对衬底100进行刻蚀;或者在除去牺牲层110与纳米线120后,再继续对衬底100进行适当刻蚀,暴露出衬底100,即在衬底100上形成凹槽。在这里,对暴露衬底100的方法并不作具体限制。优选的,在本发明实施例中,暴露衬底100的方法为:在除去牺牲层110与纳米线120后,再继续对衬底100进行适当刻蚀,除去部分衬底100后,暴露出衬底100,即在衬底100上形成凹槽。这种方法使后续在源/漏160底部形成的隔离结构相对较厚,更有效地消除衬底100与源/漏极之间电流的泄漏。

[0074] 刻蚀部分衬底100的工艺与刻蚀形成源/漏区域160的工艺可以相同,也可以不同。在本发明实施例中,刻蚀部分衬底100的工艺与刻蚀牺牲层110与纳米线120的工艺相同。

[0075] 在本发明实施例中,还包括:刻蚀除去牺牲层110与纳米线120之前,刻蚀除去保护结构130。刻蚀除去保护结构130的工艺可以与刻蚀牺牲层110和纳米线120的工艺相同,也可以不相同。具体的,在本发明实施例中,刻蚀除去保护结构130的工艺与刻蚀牺牲层110和纳米线120的工艺相同。

[0076] 请参考图3,在源/漏区域160内形成第二侧墙170。

[0077] 在本发明实施例中,第二侧墙170覆盖源/漏区域160两侧的伪栅150侧壁、纳米线120侧壁、牺牲层110侧壁以及源/漏区域160底部衬底100表面。

[0078] 第二侧墙170是后续形成侧壁隔离结构和底部隔离结构的基础。第二侧墙170的材料为 SiO_2 、 SiN 、 SiON 、 SiOCN 中的一种或多种。第二侧墙170的厚度在2nm~20nm之间。

[0079] 形成第二侧墙170的工艺包括但不限于原子层沉积工艺(ALD工艺)、化学气相沉积工艺(CVD工艺)等。具体的,在本发明实施例中,形成第二侧墙170的工艺为ALD工艺。ALD工艺形成的第二侧墙170结构更加均匀。

[0080] 请参考图4,形成覆盖源/漏区域160底部第二侧墙170表面的介质层180。

[0081] 形成介质层180的目的在于为后续刻蚀除去部分第二侧墙170提供刻蚀终止位置,使源/漏区域160底部余下侧墙的顶部表面处于合适的位置。

[0082] 在本发明实施例中,介质层180的材料包括有机物、多晶硅等。若介质层180的材料为有机物,则形成介质层180的工艺包括旋涂工艺;若介质层180的材料为多晶硅,则采用直接生长多晶硅的方式形成介质层180。具体的,在本发明实施例中,介质层180的材料为有机物,介质层180形成工艺为旋涂工艺。与直接生长多晶Si相比,旋涂工艺形成的介质层180结构更加均匀。

[0083] 在这里,需要说明的是,在本发明的其他实施例中,介质层180的材料还可以是其他材料,在此不作具体限制,只要能够满足为刻蚀第二侧墙170提供终止位置的条件即可。

[0084] 介质层180的顶部表面低于最底部的纳米线120的顶部表面,且高于最底部的牺牲层110的底部表面。具体的,在本发明实施例中,介质层180的顶部表面不高于最底部纳米线120的底部表面,即不高于纳米线120a的底部表面;且高于最底部牺牲层110的底部表面,即高于牺牲层110a的底部表面。这里,限制介质层180顶部表面的位置是为了后续刻蚀第二侧墙170时,使刻蚀终止在这一位置。刻蚀停止在这一位置,也使位于源/漏区域160两侧底部余下的第二侧墙170的顶部表面高于源/漏区域160底部第二侧墙170的顶部表面,使两者在源/漏区域160底部的截面形状呈浅U型,这种浅U型结构的侧墙能更加有效地隔离后续的源/漏极与衬底100。

[0085] 需要说明的是,在实际工艺中,较难使得介质层180的顶部表面正好位于前述位置。因此还可以先形成较厚的介质层180,然后再对介质层180进行刻蚀,控制刻蚀终止位置,使得刻蚀后介质层180的顶部表面位于前述位置。具体的,在本发明实施例中,采用先形成较厚的介质层180,然后再回刻介质层180,使介质层180的顶部表面处于上述位置。

[0086] 请参考图5,除去源/漏区域160两侧的部分第二侧墙170,形成隔离结构。

[0087] 除去部分第二侧墙170的目的在于只保留源/漏区域160底部的第二侧墙170,以形成隔离结构。

[0088] 除去部分第二侧墙170的工艺包括干法刻蚀和/或湿法刻蚀。具体的,在本发明实施例中,刻蚀除去部分第二侧墙170的工艺为湿法刻蚀。湿法刻蚀所用的溶液包括: H_3PO_4 、 H_2O_2 、SC1、去离子水、HCl、HF、 NH_4F 中的一种或者多种混合。

[0089] 在本发明实施例中,在除去部分第二侧墙170时,要暴露所有纳米线120的侧面。即在本发明实施例中,暴露所有纳米线120a与纳米线120b的侧面。这样使纳米线120与后续形成的源/漏极相接触,达到导通的目的。

[0090] 如前所述,介质层180为刻蚀部分第二侧墙170提供了刻蚀停止位置。所以,具体的,在本发明实施例中,源/漏区域160两侧底部余下的第二侧墙为侧壁侧墙171,侧壁侧墙171的顶部表面与介质层180的顶部表面平齐。即侧壁侧墙171的顶部表面不高于最底部纳米线120a的底部表面、且高于最底部牺牲层110a的底部表面。

[0091] 需要说明的是,由于实际的刻蚀工艺很难保证侧壁侧墙171的顶部表面与介质层180的顶部表面严格平齐。所以,具体的,在实施本发明一个实施例的纳米线晶体管时,要保证隔离结构两侧面的最高点低于最底部纳米线120的顶部表面,即纳米线120a的顶部表面。具体的,在本发明实施例中,隔离结构两侧面的最高点不高于最底部纳米线120的底部表面,即纳米线120a的底部表面。且隔离结构的两侧面分别为侧壁隔离结构的与底部隔离结构非接触的侧面。

[0092] 至此,在本发明实施例中,第二侧墙170剩余的部分包括:侧壁侧墙171和底部侧墙172,且底部侧墙172位于侧壁侧墙171之间,且与侧壁侧墙171相连。明显的,第二侧墙170、侧壁侧墙171和底部侧墙172的材料是相同的,材料如前所述。

[0093] 至此,在源/漏区域160底部形成了隔离结构,隔离结构包括侧壁隔离结构和底部隔离结构。明显的,底部隔离结构覆盖侧壁隔离结构之间衬底100表面、且与侧壁隔离结构相连。在本发明实施例中,侧壁隔离结构为侧壁侧墙171,底部隔离结构为底部侧墙172。

[0094] 在本发明实施例中,侧壁侧墙171和底部侧墙172位于后续源/漏极与衬底100之间,实现了对衬底100和源/漏极的隔离,防止了源/漏极与衬底100之间的电流泄露,提高了纳米线晶体管的性能。

[0095] 请参考图6,在源/漏区域160内形成源/漏极1310。

[0096] 源/漏极1310用于与纳米线120(沟道区)接触。因此,在本发明实施例中,优选的,源/漏极1310的顶部表面要高于最顶部纳米线120b的顶部表面,即实现源/漏极1310对纳米线120两侧面的完全覆盖,且源/漏极1310同时覆盖了隔离结构的表面。

[0097] 形成源/漏极1310的工艺步骤包括:先形成覆盖隔离结构表面的源/漏材料层(未标出),再对源/漏材料层进行掺杂,形成源/漏极1310。在本发明实施例中,形成源/漏材料层的工艺包括外延生长工艺。外延生长工艺包括:化学气相沉积(CVD)外延工艺或分子束外延(MBE)工艺。具体的,在本发明实施例中,形成源/漏材料层的工艺为MBE工艺。

[0098] 源/漏材料层的材料可根据源/漏极1310的不同类型进行选择。当源/漏极1310为PMOS时,源/漏材料层的材料包括但不限于SiGe、Si等,掺杂的物质包括但不限于硼(B)、镓(Ga)等;当源/漏极1310为NMOS时,源/漏材料层的材料包括但不限于SiC、Si等,掺杂的物质包括但不限于磷(P)、砷(As)、铑(Rh)等。

[0099] 对源/漏材料层掺杂的工艺包括:原位掺杂、扩散、离子注入或其组合。具体的,在本发明实施例中,对源/漏材料层掺杂的工艺为原位外延掺杂。

[0100] 在本发明实施例中,源/漏极1310为高掺杂的源/漏极1310。高掺杂是指掺杂的离子浓度大于 1×10^{20} atoms/cm³。

[0101] 需要说明的是,由于先前形成了介质层180,在本发明实施例中,除去部分侧墙170之后,形成源/漏极1310之前,还包括:除去介质层180。

[0102] 除去介质层180是为了后续直接在隔离结构表面形成源/漏极1310。除去介质层180的工艺包括:干法刻蚀和/或湿法刻蚀。具体的,在本发明实施例中,除去介质层180的工艺为干法刻蚀。

[0103] 请参考图7,在源/漏极1310顶部形成第一介电层1320。

[0104] 在本发明实施例中,在形成源/漏极1310之后,还包括:形成覆盖源/漏极1310的第一介电层1320。

[0105] 第一介电层1320在纳米线晶体管中起到介电隔离的作用,同时也保护了源/漏极1310在后续工艺中不被破坏。

[0106] 在本发明实施例中,第一介电层1320的材料包括但不限于SiO_x、SiOCH、SiN等。

[0107] 在具体工艺实施中,由于第一介电层1320很难只形成在源/漏极1310的表面,因此,在伪栅150的顶部也会形成第一介电层1320。由于后续要将伪栅150去除,所以在形成第一介电层1320后要将伪栅150顶部暴露出来。具体的,在本发明实施例中,暴露伪栅150顶部的方法是先形成覆盖伪栅150和源/漏极1310的第一介电层1320,然后再除去部分第一介电层1320,暴露出伪栅150顶部。

[0108] 除去部分第一介电层1320的工艺包括:干法刻蚀和/或湿法刻蚀、化学机械平坦化(CMP)等。具体的,在本发明实施例中,采用CMP工艺将第一介电层1320平坦化,进而暴露出伪栅150顶部。

[0109] 请参考图8,去除伪栅150和牺牲层110以形成沟槽(未标出),在沟槽内形成栅极结构。

[0110] 除去伪栅150和牺牲层110的目的在于在沟槽内形成栅极结构。除去伪栅150和牺牲层110的工艺包括:干法刻蚀和/或湿法刻蚀。具体的,在本发明实施例中,除去伪栅150和牺牲层110的工艺包括干法刻蚀。

[0111] 在本发明实施例中,栅极结构包括:栅介质层1330和栅极1340。

[0112] 栅介质层1330的目的在于将源/漏极1310、纳米线120与栅极1340进行隔离,避免在源/漏极1310与栅极1340之间出现过大的寄生电容。

[0113] 在本发明实施例中,形成栅介质层1330和栅极1340的工艺步骤包括:先形成覆盖沟槽的内部介质层(未标出),再在内部介质层表面形成高介电材料层(未标出,介电常数k在15~50之间)。栅介质层1330和栅极1340充满沟槽。在本发明实施例中,栅极1340覆盖栅介质层1330,栅介质层1330覆盖纳米线120。

[0114] 明显的,在本发明实施例中,栅介质层1330包括:内部介质层和高介电材料层。

[0115] 内部介质层的材料包括但不限于:SiON、SiO_x等,在这里并不作具体限制。具体的,在本发明实施例中,内部介质层的材料为SiO₂。

[0116] 高介电材料层的材料包括但不限于:HfO₂、ZrO₂等。具体的,在本发明实施例中,高介电材料层的材料为HfO₂。

[0117] 栅极1340为金属栅极。栅极1340的材料包括但不限于TiN、TiAlC、TiAl、TaN、W、Ti、

Al等组成的一层或者多层叠层材料。具体的,在本发明实施例中,栅极1340的材料为TiN和TiAl组成的叠层材料。

[0118] 形成栅介质层1330和栅极1340的工艺包括:ALD工艺、CVD工艺、物理气相沉积工艺(PVD)、化学气相沉积(CVD)外延工艺、分子束外延(MBE)工艺等,在这里并不做具体限制。具体的,在本发明实施例中,栅极介质层1330和栅极1340的形成工艺为ALD工艺。

[0119] 在本发明实施例中,除去牺牲层110之前,还包括除去覆盖最顶层纳米线120b顶部表面、且覆盖堆叠的牺牲层110和纳米线120侧壁的保护结构130。

[0120] 请参考图9,在栅极1340顶部形成金属线1360,形成覆盖栅极结构和第一介电层1320的第二介电层1350。

[0121] 形成第二介电层1350的目的在于保护栅极1340和金属线1360。

[0122] 金属线1360与栅极结构接触,实现与栅极1340的连通。且金属线1360贯穿第二介电层1350。由于金属线1360要与上部的半导体器件接触,所以金属线1360的顶部表面要暴露出来。

[0123] 明显的,第一介质层1320与第二介电层1350均起到介电保护的作用。因此,第一介质层1320与第二介电层1350的材料可以相同,也可以不相同。具体的,在本发明实施例中,第一介质层1320与第二介电层1350的材料相同。

[0124] 综上所述,根据本发明的第一实施例,源/漏极1310底部与衬底100之间形成有侧壁隔离结构和底部隔离结构。与现有技术中没有侧壁隔离结构和底部隔离结构的纳米线晶体管相比,这种隔离结构有效地对衬底100和源/漏极1310进行隔离,消除了衬底100与源/漏极1310之间电流的泄漏,提高了纳米线晶体管的性能。

[0125] 相应的,请继续参考图9,本发明的实施例还提供了一种纳米线晶体管,包括:衬底100、纳米线120、隔离结构、源/漏极1310和栅极结构。

[0126] 衬底100是后续栅极结构和隔离结构的基础。衬底100的材料包括Si、SiGe等,在这里并不做具体限制。

[0127] 纳米线120作为半导体器件的沟道区。纳米线120的材料包括:Si、SiGe、SiC等,在这里并不做具体限制。纳米线120不与衬底100接触。纳米线120的个数为1个或多个,在这里并不做具体限制。当纳米线120为多个时,多个纳米线120纵向间隔分布在栅极结构内部,如图9中,箭头所指示的方向为纵向。具体的,在本发明实施例中,纳米线120的个数为两个,从下到上依次为120a、120b。

[0128] 隔离结构位于衬底100表面,用于隔离衬底100与源/漏极1310。隔离结构包括侧壁隔离结构与底部隔离结构,其中侧壁隔离结构位于底部隔离结构的两侧,底部隔离结构位于侧壁隔离结构之间,且与侧壁隔离结构相接触。具体的,在本发明实施例中,侧壁隔离结构为侧壁侧墙171,底部隔离结构为底部侧墙172。侧壁隔离结构与底部隔离结构的材料相同,为SiO₂、SiN、SiON、SiOCN中的一种或多种。

[0129] 隔离结构两侧面分别为侧壁隔离结构的与底部隔离结构非接触的两个侧面。隔离结构两侧面的最高点低于最底部纳米线120的顶部表面。具体的,在本发明实施例中,隔离结构两侧面的最高点低于最底部纳米线120的底部表面,即低于纳米线120a的底部表面。

[0130] 源/漏极1310位于栅极结构的两侧,且源/漏极1310与纳米线120的两侧面相接触。在本发明实施例中,源/漏极1310覆盖隔离结构。当源/漏极1310为PMOS时,源/漏极1310的

材料包括但不限于SiGe、Si等,掺杂的物质包括但不限于硼(B)、镓(Ga)等;当源/漏极1310为NMOS时,源/漏极的材料包括但不限于SiC、Si等,掺杂的物质包括但不限于磷(P)、砷(As)、铑(Rh)等。

[0131] 栅极结构位于衬底100上方,且栅极结构位于源/漏极1310之间。栅极结构包括栅介质层1330与栅极1340。

[0132] 栅介质层1330的目的在于将源/漏极1310、纳米线120与栅极1340进行隔离,避免在源/漏极1310与栅极1340之间出现过大的寄生电容。在本发明实施例中,栅介质层1330包括:内部介质层(未标出)和高介电材料层(未标出)。

[0133] 内部介质层的材料包括:SiON、SiO_x等,在这里并不作具体限制。具体的,在本发明实施例中,内部介质层的材料为SiO₂。

[0134] 高介电材料层的材料包括但不限于:HfO₂、ZrO₂等。具体的,在本发明实施例中,高介电材料层的材料为HfO₂。

[0135] 栅极1340为金属栅极。栅极1340的材料包括但不限于TiN、TiAlC、TiAl、TaN、W、Ti、Al等组成的一层或者多层叠层材料。具体的,在本发明实施例中,栅极1340的材料为TiN和TiAl组成的叠层材料。

[0136] 在本发明实施例中,纳米线晶体管还包括:第一介电层1320、第二介电层1350和金属线1360。

[0137] 第一介电层1320覆盖源/漏极1310的顶部。第一介电层1320在纳米线晶体管中起到介电隔离的作用,同时也保护了源/漏极1310在后续工艺中不被破坏。在本发明实施例中,第一介电层1320的材料包括但不限于SiO_x、SiOCH、SiN等。

[0138] 第二介电层1350覆盖栅极结构和第一介电层1320。第二介电层1350的目的在于保护栅极1340和金属线1360。

[0139] 明显的,第一介质层1320与第二介电层1350均起到介电保护的作用。因此,第一介质层1320与第二介电层1350的材料可以相同,也可以不相同。具体的,在本发明实施例中,第一介质层1320与第二介电层1350的材料相同。

[0140] 金属线1360与栅极结构接触,实现与栅极1340的连通。且金属线1360贯穿第二介电层1350。由于金属线1360要与上部的半导体器件接触,所以金属线1360的顶部表面要暴露出来。

[0141] 在本发明实施例中,纳米线晶体管还包括:保护结构130和第一侧墙140。

[0142] 保护结构130覆盖最顶层纳米线120b的顶部表面、且覆盖堆叠的牺牲层110和纳米线120的侧壁。在这里,保护结构130的作用是为了避免后续工艺对堆叠的牺牲层110和纳米线120造成破坏。在本发明的其他实施例中,保护结构130可以作为部分MOS晶体管的栅介质层。保护结构130的材料包括氧化物、氮化物等。具体的,在本发明实施例中,保护结构130的材料为SiO₂。

[0143] 第一侧墙140覆盖伪栅150两侧壁。第一侧墙140的作用在于保护伪栅150不被后续工艺破坏。第一侧墙140的材料为氧化物、氮化物等,在这里并不做具体限制。

[0144] 综上所述,在本发明第一实施例提供的纳米线晶体管中,源/漏极与衬底之间含有侧壁隔离结构与底部隔离结构,实现了对源/漏极与衬底的电学隔离,消除了两者之间电流的泄露,提高了纳米线晶体管的性能。

[0145] 第二实施例。

[0146] 与第一实施例相比,第二实施例的不同之处在于在堆叠的每层牺牲层两侧形成开口,并且在开口内填入第二侧墙,形成内部侧墙,实现对源/漏极与栅极的隔离。

[0147] 请参考图10,图10为在在形成源/漏区域260的基础上进一步执行刻蚀每层牺牲层以形成开口的工艺的剖面结构示意图(由于第二实施例前面的工艺步骤与第一实施例相同,具体可参考第一实施例的相关描述,在此不再一一赘述)。

[0148] 在本发明实施例中,在源/漏260内形成第二侧墙之前,还包括:除去部分牺牲层210,以在每层牺牲层的两侧形成开口261。

[0149] 形成开口261的作用在于后续在开口261内部填充入第二侧墙。在本发明实施例中,开口261的深度在2nm~20nm之间,这里不作具体限制。在本发明的一个实施例中,开口261的深度为2nm。在本发明的另一个实施例中,开口261的深度为20nm。

[0150] 形成开口261的工艺包括干法刻蚀和/或湿法刻蚀。具体的,在本发明实施例中,形成开口261的工艺包括湿法刻蚀,而且为横向湿法刻蚀工艺。此处的横向是指与堆叠结构中堆叠方向相垂直的方向,如图10中箭头所指的方向。

[0151] 横向湿法刻蚀的溶液包括: NH_4OH 、 NaOH 、 KOH 、 H_2O_2 、 CH_3COOH 、去离子水、 HCl 、 HF 、 NH_4F 中的一种或者多种混合。

[0152] 请参考图11,形成第二侧墙270,第二侧墙270填入开口261内部。

[0153] 在本发明实施例中,形成的第二侧墙270覆盖源/漏260两侧的伪栅250侧壁、纳米线层220侧壁、牺牲层210侧壁以及源/漏260底部衬底200表面,且同时保证第二侧墙270填充入所有开口261内部。

[0154] 第二侧墙270填充入所有开口261内部的目的在于在开口261内形成内部侧墙,以实现后续对源/漏极与栅极的隔离。

[0155] 在本发明实施例中,第二侧墙270的厚度在2nm~20nm之间,如第一实施例所述。第二侧墙270的厚度可以与开口261的深度相同,也可以与开口261的深度不同。但应满足开口261内部填充入第二侧墙270的条件。优选的,在本发明实施例中,第二侧墙270的厚度略大于开口261深度。

[0156] 在这里,形成第二侧墙270的作用、工艺方法、以及材料的选择均与第一实施例一致,在此不再赘述。

[0157] 请参考图12,形成覆盖源/漏260底部第二侧墙270表面的介质层280。

[0158] 形成介质层280的作用、工艺、材料选择均与第一实施例一致,在此不作赘述。

[0159] 请参考图13,除去部分第二侧墙270,形成隔离结构。

[0160] 隔离结构包括侧壁隔离结构和底部隔离结构,其相互之间的位置关系以及其顶部表面的高度,请参考第一实施例。除去部分第二侧墙270的作用、工艺、步骤均与第一实施例一致,在此不作赘述。

[0161] 在本发明实施例中,除去部分第二侧墙270时,要保留内部侧墙273。内部侧墙273的目的在于增大后续栅极与源/漏极之间的距离,减小栅极与源/漏极之间过大的寄生电容。

[0162] 明显的,在本发明实施例中,第二侧墙270与内部侧墙273的材料是相同的,如前所述。

[0163] 请参考图14,在源/漏260内形成源/漏极2210。

[0164] 形成源/漏极2210的作用、工艺方法、材料选择均与第一实施例一致,在此不作赘述。

[0165] 由于先前形成了介质层,在本发明实施例中,在除去部分第二侧墙之后,形成源/漏极2310之前,还包括:除去介质层。除去介质层的作用、工艺、步骤均与第一实施例一致,在此不作赘述。

[0166] 请参考图15,在源/漏极2310顶部形成第一介电层2320。

[0167] 形成第一介电层2320的作用、工艺、步骤以及材料的选择均与第一实施例一致,在此不作赘述。

[0168] 请参考图16,除去伪栅250和牺牲层210以形成沟槽,在沟槽内形成栅介质层2330和栅极2340。

[0169] 除去伪栅250和牺牲层210,并形成栅介质层2330和栅极2340的作用、工艺、步骤、材料选择以及结构之间的位置关系均与第一实施例相同,在此不作赘述。

[0170] 请参考图17,在栅极2340表面形成金属线2360,形成覆盖栅极结构和第一介电层2320的第二介电层2350。

[0171] 形成第二介电层2350以及金属线2360的作用、工艺、步骤以及材料的选择均与第一实施例相同,在此不作赘述。

[0172] 综上所述,根据本发明第二实施例,源/漏极2310与衬底200之间存在的隔离结构包括:源/漏260底部的侧壁隔离结构与底部隔离结构。两者的隔离作用,减小了源/漏极2310与衬底200之间电流的泄露。同时,在栅极2340与源/漏极2310之间存在内部侧墙273,增加了栅极2340与源/漏极2310之间的距离,解决了栅极2340与源/漏极2310之间寄生电容过大的问题,提高了纳米线晶体管的性能。

[0173] 相应的,请继续参考图17,本发明的实施例还提供了一种纳米线晶体管,本发明第二实施例提供的纳米线晶体管与第一实施例纳米线晶体管的不同之处在于:在栅极结构与源/漏极之间存在内部侧墙,增加了栅极结构与源/漏极之间的距离。

[0174] 在本发明实施例中,纳米线晶体管还包括:内部侧墙273。内部侧墙273位于源/漏极2310与堆叠结构中第一子栅极之间。内部侧墙273增加了第一子栅极与源/漏极2310之间的距离,减小了两者之间出现的过大的寄生电容,提高了纳米线晶体管的性能。

[0175] 本发明其他部分结构的位置关系与第一实施例一致,在此不作赘述。

[0176] 综上所述,侧壁隔离结构和底部隔离结构对衬底200与源/漏极2310进行有效隔离,较少漏电;内部侧墙273增加了源/漏极2310与第一子栅极之间了距离,减小了源/漏极2310与第一子栅极之间过大的寄生电容。

[0177] 至此,已经详细描述了本发明。为了避免遮蔽本发明的构思,没有描述本领域所公知的一些细节。本领域技术人员根据上面的描述,完全可以明白如何实施这里公开的技术方案。

[0178] 虽然已经通过示例对本发明的一些特定实施例进行了详细说明,但是本领域的技术人员应该理解,以上示例仅是为了进行说明,而不是为了限制本发明的范围。本领域的技术人员应该理解,可在不脱离本发明的范围和精神的情况下,对以上实施例进行修改。本发明的范围由所附权利要求来限定。

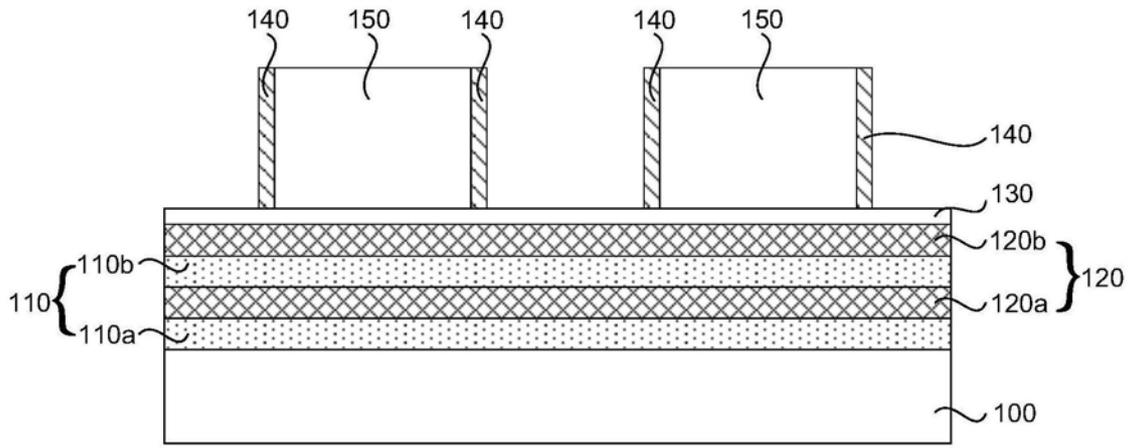


图1

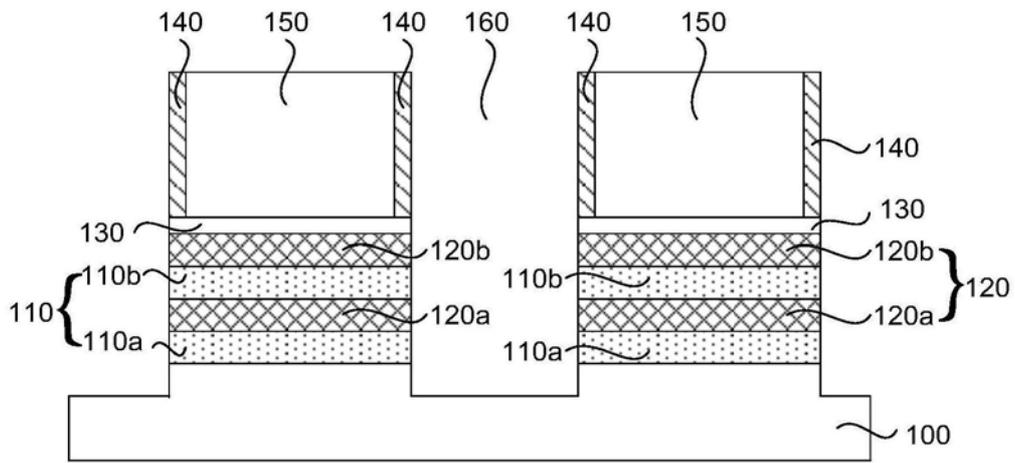


图2

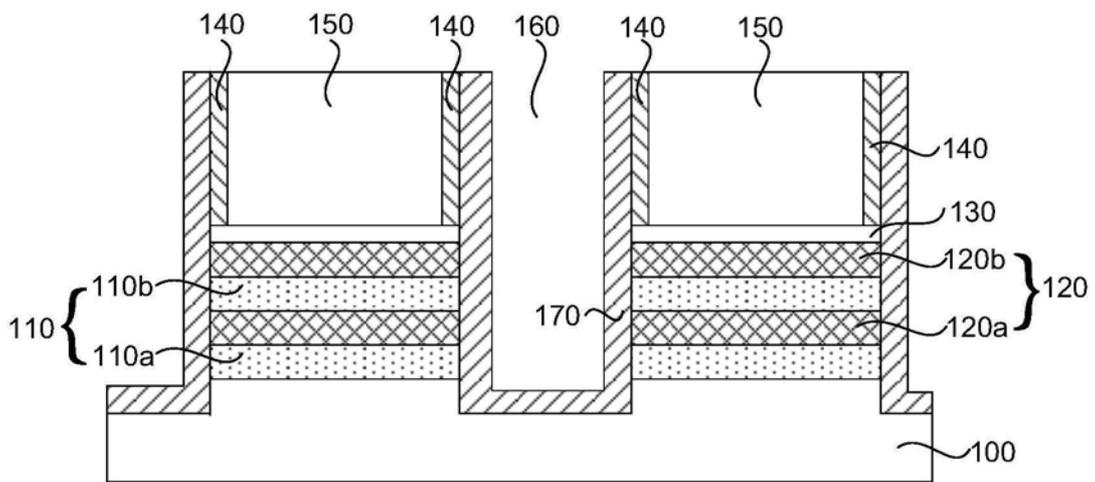


图3

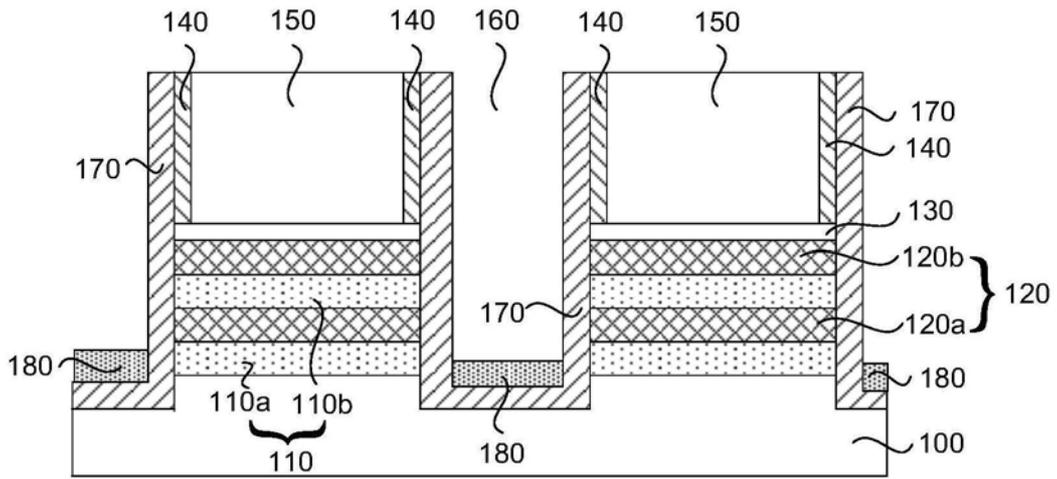


图4

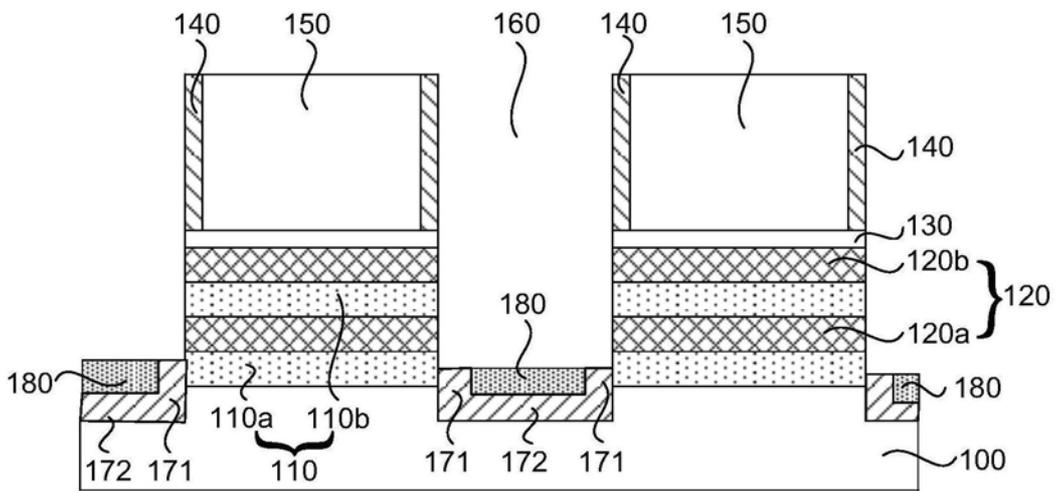


图5

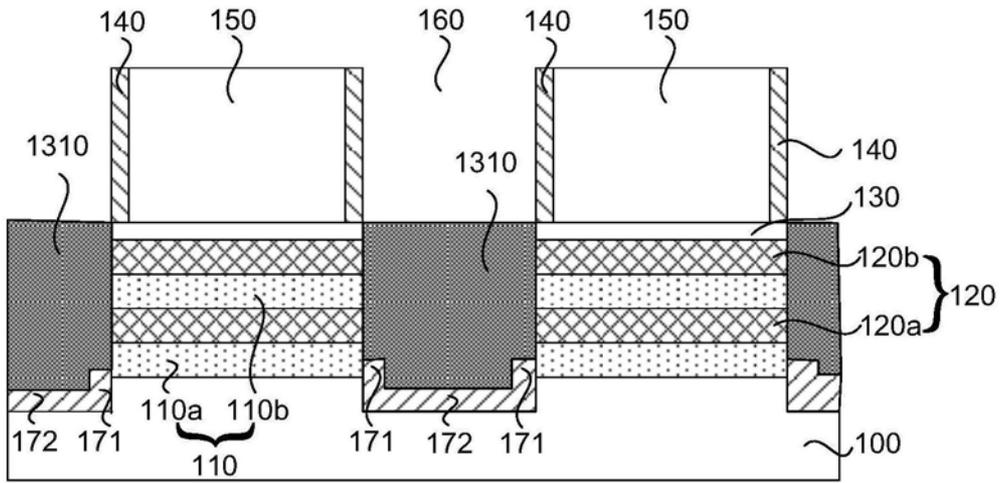


图6

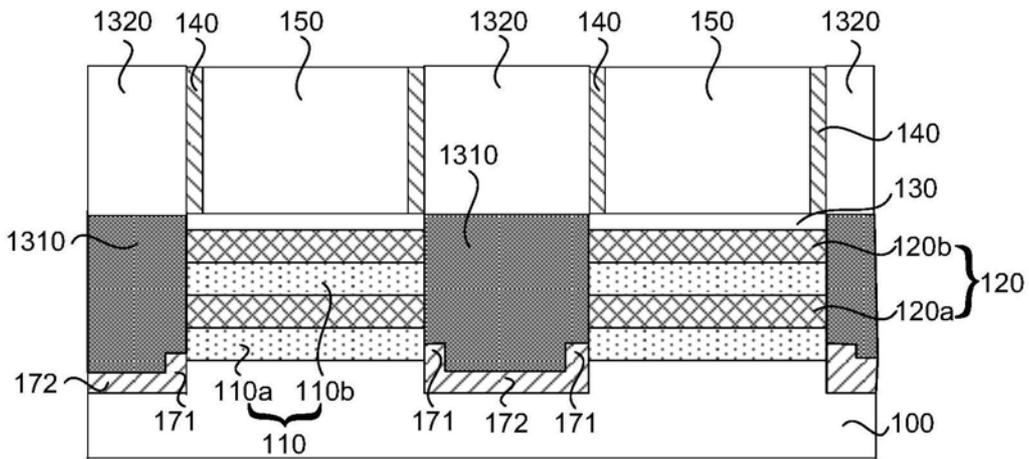


图7

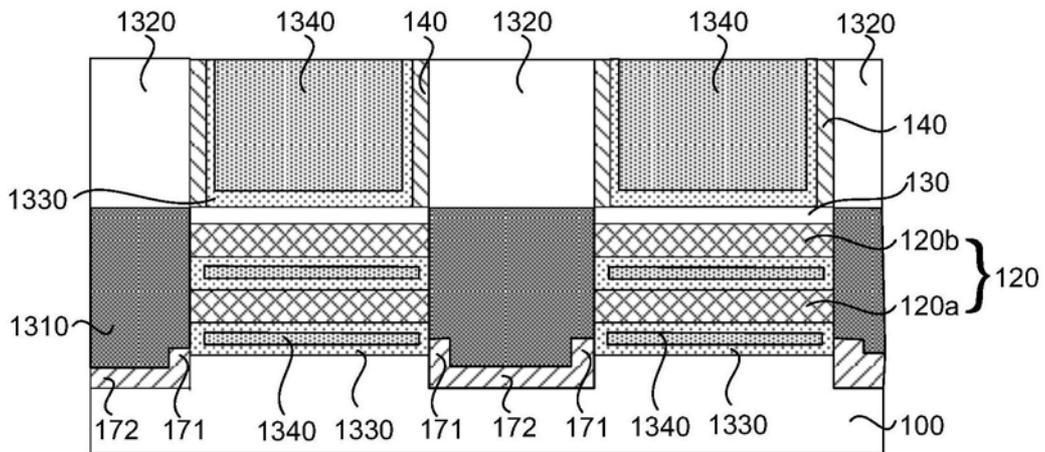


图8

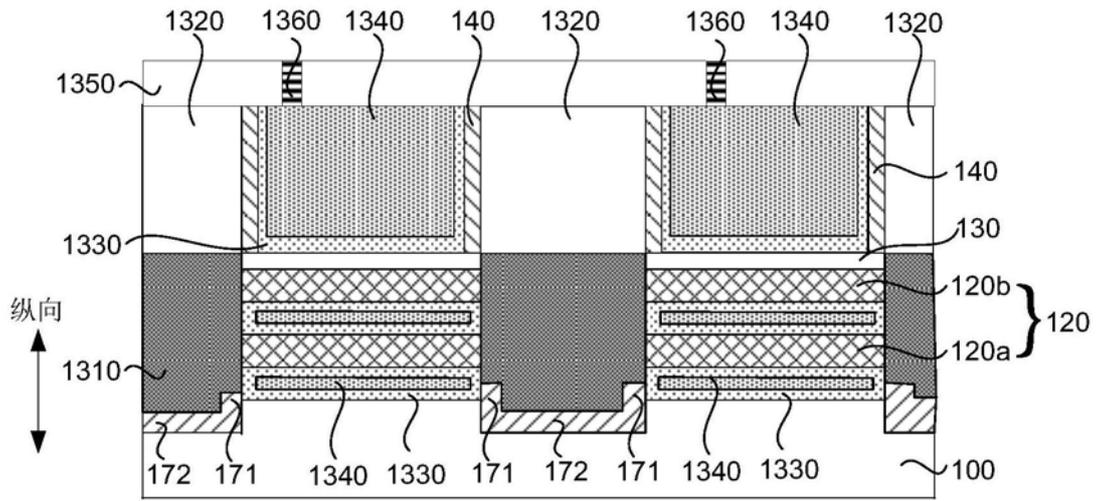


图9

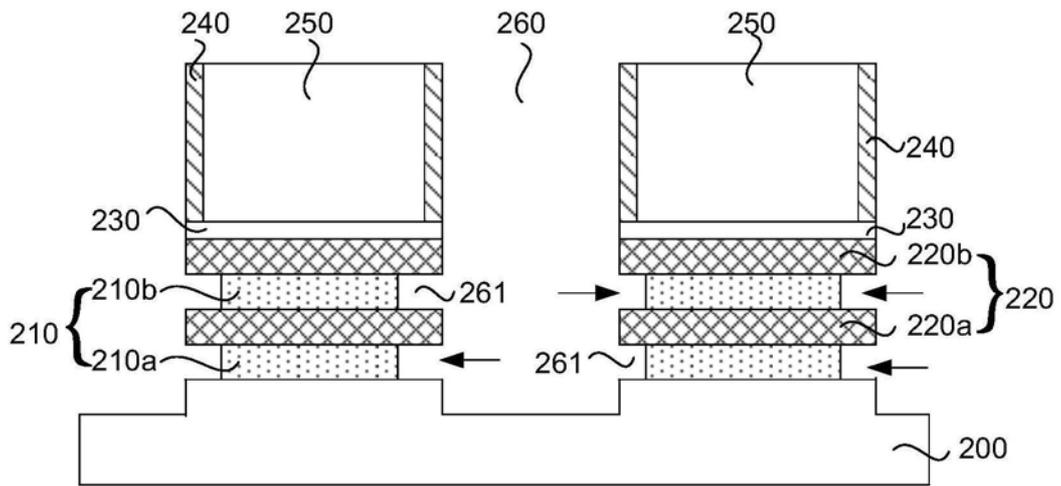


图10

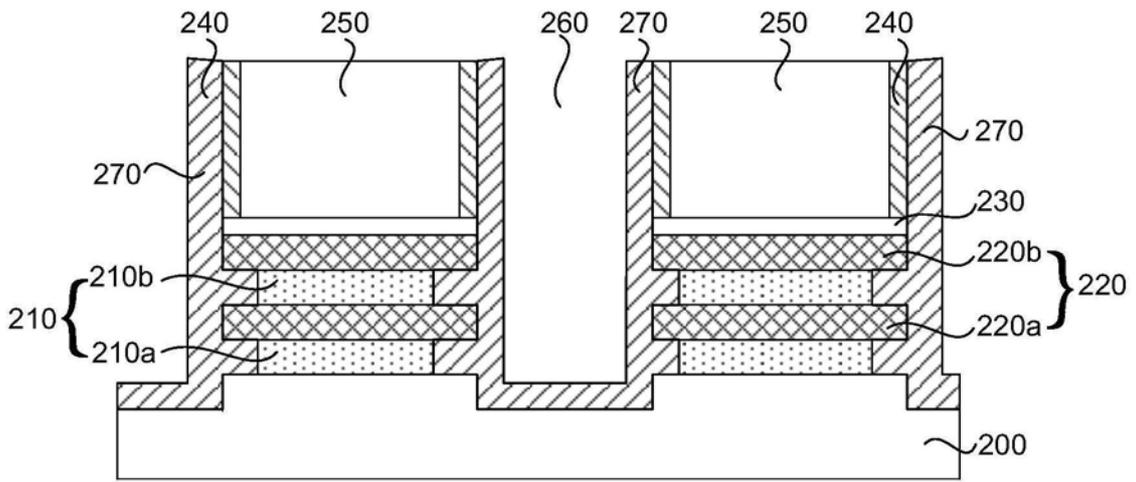


图11

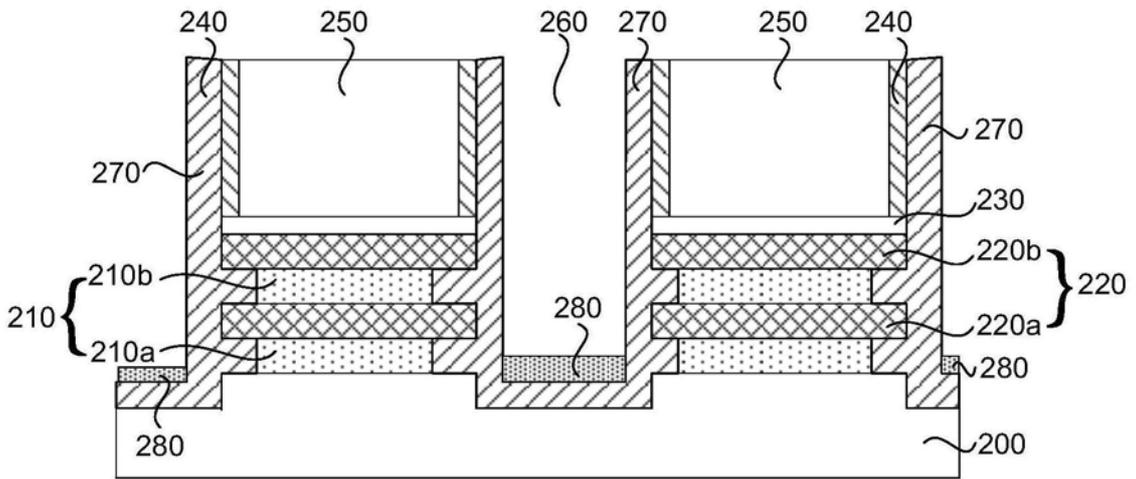


图12

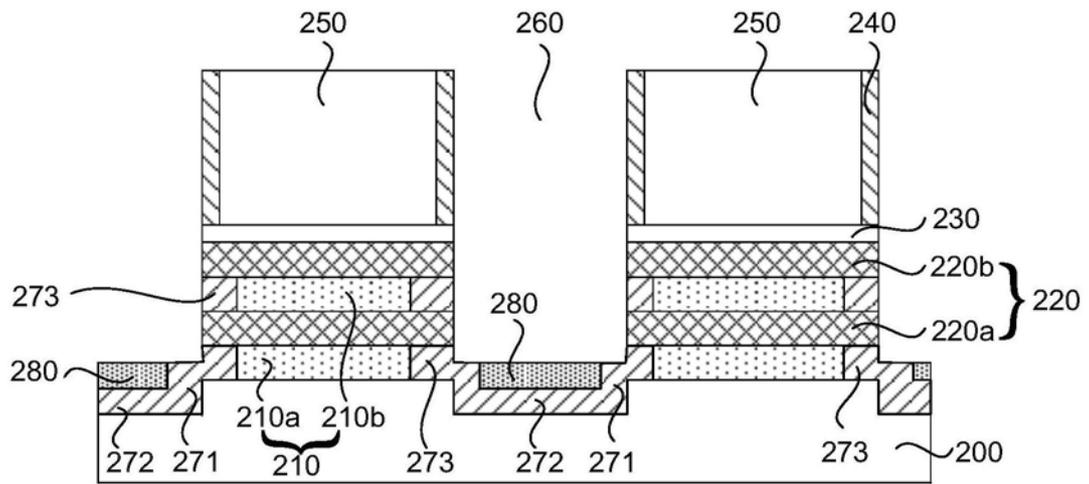


图13

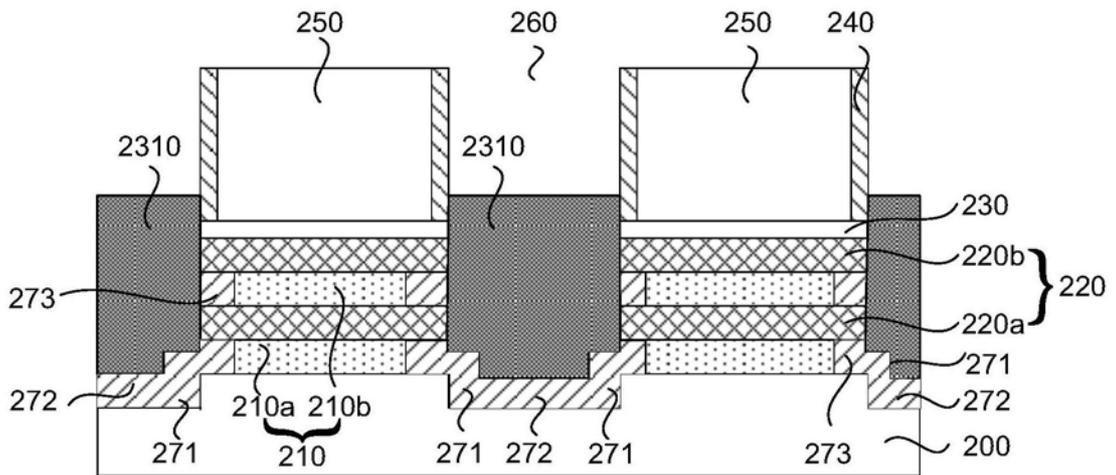


图14

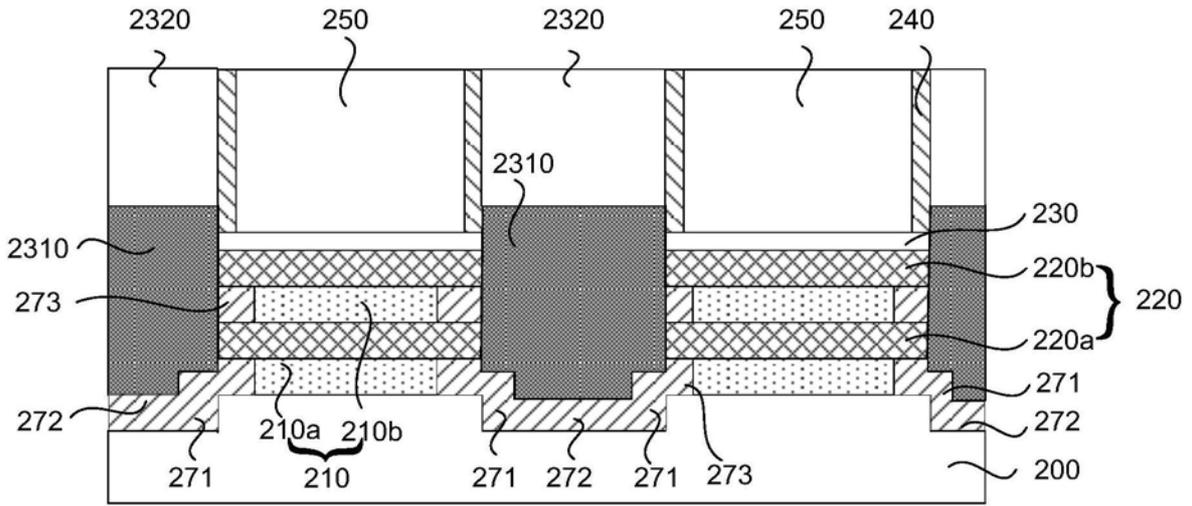


图15

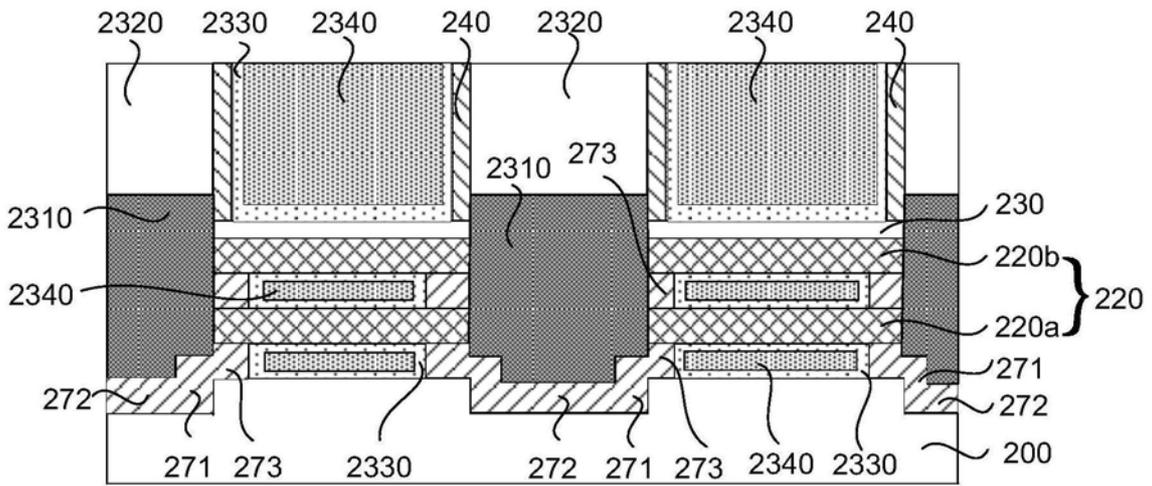


图16

