



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년10월24일
(11) 등록번호 10-2592733
(24) 등록일자 2023년10월18일

(51) 국제특허분류(Int. Cl.)
H01J 1/304 (2006.01) H01J 9/02 (2006.01)
(52) CPC특허분류
H01J 1/304 (2013.01)
H01J 9/025 (2013.01)
(21) 출원번호 10-2018-0119083
(22) 출원일자 2018년10월05일
심사청구일자 2021년09월03일
(65) 공개번호 10-2020-0039329
(43) 공개일자 2020년04월16일
(56) 선행기술조사문헌
KR1020180065861 A*
(뒷면에 계속)

(73) 특허권자
한국전기연구원
경상남도 창원시 성산구 전기의길 12(성주동)
(72) 발명자
최재구
경기도 안산시 단원구 광덕2로 121, 504동 702호
(고잔동, 안산고잔5차푸르지오)
(74) 대리인
특허법인충정

전체 청구항 수 : 총 7 항

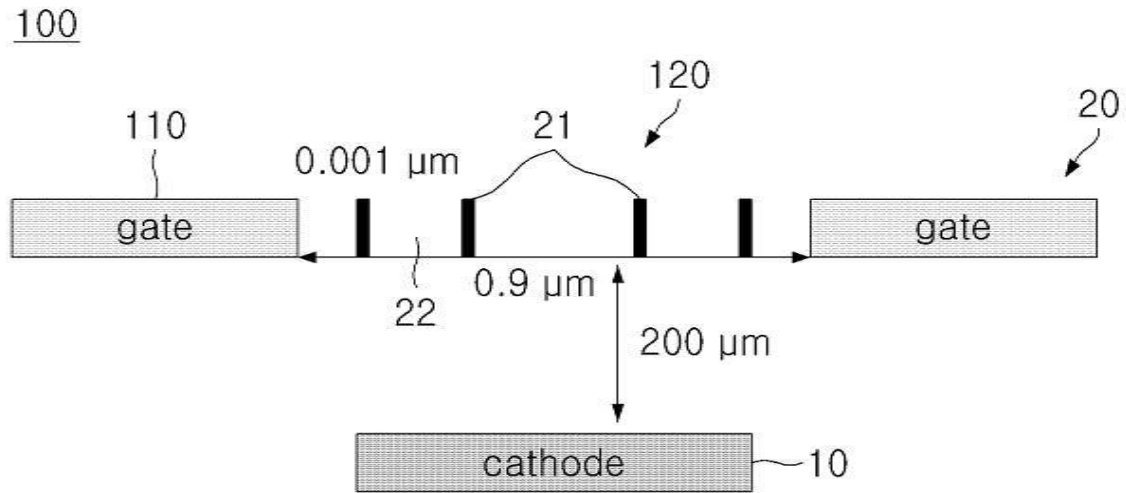
심사관 : 손희수

(54) 발명의 명칭 원형 관통홀에 의한 메시 게이트를 이용한 전계방출 장치

(57) 요약

본 발명은 메시 게이트를 이용한 전계방출 장치에 관한 것으로서, 본 발명의 전계방출 장치는 반도체 공정에 의해 MEMS(Micro Electro Mechanical System) 가공으로 제작이 용이하고, 발생전류를 높이고 전자의 투과율을 향상시켜 대용량 전계방출이 용이하고 전계방출 효율을 제고할 수 있는, 삼극관 구조의 전계방출 장치에 적용을 위한 게이트 전극에 메시를 도입한 전계방출 장치를 제공한다.

대표도 - 도1a



(52) CPC특허분류
H01J 2201/30469 (2013.01)

(56) 선행기술조사문헌
Secondary electron emission in a triode carbon
nanotube field emission display and its
influence on the image quality, Haiyan Hao
외4, CARBON 50 (2012.05.10. 공개)*

JP2002279886 A

KR1020020074022 A

KR1020160061247 A

*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호	18-12-N0101-88
부처명	과학기술정보통신부
과제관리(전문)기관명	국가과학기술연구회
연구사업명	원천기술 개발연구 및 성장동력 기획 사업
연구과제명	삼중점 지원형 전계방출 분석 연구
기 여 율	1/1
과제수행기관명	한국전기연구원
연구기간	2018.03.01 ~ 2018.12.31

명세서

청구범위

청구항 1

벌크 게이트 및 메시 게이트를 포함하는 게이트; 및

상기 게이트로부터 소정의 거리 이격되어 설치된 캐소드를 포함하고,

상기 메시 게이트는 금속 기관의 복수의 관통홀에 의해 형성된 하나 이상의 격벽을 포함하고, 상기 격벽은 상기 벌크 게이트와 전기적으로 연결되어 상기 벌크 게이트와 함께 전계를 형성하며,

상기 게이트와 상기 캐소드와의 사이에 형성된 전계에 의해, 상기 게이트를 사이에 두고 상기 캐소드의 반대편에 대하여 설치된 아노드로 향하는, 상기 캐소드 표면으로부터의 전자 방출이 상기 복수의 관통홀을 통과하도록 하기 위한 것으로서,

상기 벌크 게이트 및 상기 메시 게이트는, 실리콘 기관 상부에 증착된 금속층을 패터닝하여 일체형으로 제작된 것으로서, 상기 메시 게이트 부분에 대하여 상기 실리콘 기관의 하부의 실리콘을 제거하는 MEMS 가공 공정을 이용해 제작된 것이며,

상기 메시 게이트의 상기 복수의 관통홀은, 한점을 중심으로 좌우에 각각 대칭적으로 형성되며, 한점을 중심으로 좌우에 각각 직경이 서로 다른 관통홀들을 포함하는 전계방출 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 메시 게이트의 상기 복수의 관통홀에 의한 복수의 격벽들이 한점을 중심으로 좌우 대칭적으로 형성된 것을 포함하는 전계방출 장치.

청구항 5

제1항에 있어서,

상기 메시 게이트의 상기 복수의 관통홀 또는 상기 복수의 관통홀에 의한 복수의 격벽의 중심들은, 한점을 중심으로 좌우로 같은 거리에 형성된 하나 이상의 쌍을 포함하는 전계방출 장치.

청구항 6

제1항에 있어서,

상기 메시 게이트의 상기 복수의 관통홀 또는 상기 복수의 관통홀에 의한 복수의 격벽의 중심들은, 한점을 중심으로 좌우에 대칭적으로 인접 이격 거리가 동일한 2이상의 부분을 포함하는 전계방출 장치.

청구항 7

제1항에 있어서,

상기 메시 게이트의 상기 복수의 관통홀 또는 상기 복수의 관통홀에 의한 복수의 격벽의 중심들은, 한점을 중심으로 좌우에 대칭적으로 인접 이격 거리가 서로 다른 2이상의 부분을 포함하는 전계방출 장치.

청구항 8

제1항에 있어서,

상기 메시 게이트의 상기 복수의 관통홀 또는 상기 복수의 관통홀에 의한 복수의 격벽들은, 1차원 또는 2차원 배열로 형성된 것을 특징으로 하는 전계방출 장치.

청구항 9

MEMS 가공 공정을 기초로 전계방출 장치의 제작 방법에 있어서,

실리콘 기판 상부에 금속을 증착한 후 메시 게이트의 패턴을 형성하는 단계; 및

상기 메시 게이트의 패턴 및 그 주위로 벌크 게이트를 포함하는 금속 부분이 남아있도록 상기 실리콘 기판의 하부의 실리콘을 제거하는 단계를 포함하고,

상기 메시 게이트는 금속 기판의 복수의 관통홀에 의해 형성된 하나 이상의 격벽을 포함하고, 상기 격벽은 상기 벌크 게이트와 전기적으로 연결되어 상기 벌크 게이트와 함께 전계를 형성하기 위한 것이며,

상기 벌크 게이트 및 상기 메시 게이트가 일체형으로 제작된 게이트로부터 소정의 거리 이격되어 설치된 캐소드와의 사이에 형성된 전계에 의해, 상기 게이트를 사이에 두고 상기 캐소드의 반대편에 대하여 설치된 아노드로 향하는, 상기 캐소드 표면으로부터의 전자 방출이 상기 복수의 관통홀을 통과하도록 하기 위한 것으로서,

상기 메시 게이트의 상기 복수의 관통홀은, 한점을 중심으로 좌우에 각각 대칭적으로 형성되며, 한점을 중심으로 좌우에 각각 직경이 서로 다른 관통홀들을 포함하는 전계방출 장치의 제작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전계방출 장치에 관한 것으로서, 특히, 삼극관 구조의 전계방출 장치의 구조에서 게이트 전극에 원형 관통홀에 의한 메시를 도입한 전계방출 장치에 관한 것이다.

배경 기술

[0002] 소자의 전류방출을 제어하기 위한 전계방출 장치는 주로 아노드(anode), 캐소드(cathode), 게이트(gate)로 구성되는 삼극관 구조로 연구 및 개발되고 있다. 고전계에 의해 전자를 방출하는 캐소드의 종류에는 나노 금속 에미터, 나노 실리콘 에미터, CNT(Carbon Nano Tube) 에미터가 주류를 이루고 있다. 방출된 전자가 충돌하여 X-선을 발생하는 아노드 전극에는 텅스텐과 같은 원자번호가 높은 물질이 사용된다.

[0003] 전계방출 장치의 게이트는 캐소드와의 사이에 높은 전계를 형성하여 캐소드 표면으로부터 전자를 방출시키는 역할을 하며, 디지털 트리거링에 의해 전자방출을 용이하게 제어할 수 있다. 양질의 X-선 또는 전자선을 얻기 위해서는, 캐소드로부터 발생한 전자가 도중에 게이트에 포집되지 않고 목표지점인 아노드까지 도달해야 한다.

[0004] 이와 같은 전자 투과율을 향상시켜서 전계 방출의 효율을 증가시키기 위한 많은 연구가 진행되고 있다. 종래의 전계방출 장치로서 그래핀 메시 게이트가 시도되고 있으나 제작이 용이하지 않으며, 그래핀의 특성상 메시의 형상이 획일적이고 최적화된 메시 구조를 용이하게 적용하기 어려우므로 투과율을 최적화하기가 어렵다는 문제점이 있다.

[0005] 관련 문헌으로서, 미국공개특허 제2010/0189223호 (2010.07.29) 등이 참조될 수 있다.

발명의 내용

해결하려는 과제

[0006] 따라서, 본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은, 반도체 공정에 의해 MEMS(Micro Electro Mechanical System) 가공으로 제작이 용이하고, 발생전류를 높이고 전자의 투과율을 향상시켜 대용량 전계방출이 용이하고 전계방출 효율을 제고할 수 있는, 삼극관 구조의 전계방출 장치에 적용을 위

한 게이트 전극에 원형 관통홀에 의한 메시를 도입한 전계방출 장치를 제공하는 데 있다.

과제의 해결 수단

- [0007] 먼저, 본 발명의 특징을 요약하면, 상기의 목적을 달성하기 위한 본 발명의 일면에 따른 전계방출 장치는, 벌크 게이트 및 메시 게이트를 포함하는 게이트; 및 상기 게이트로부터 소정의 거리 이격되어 설치된 캐소드를 포함하고, 상기 메시 게이트는 금속 기판의 복수의 관통홀에 의해 형성된 하나 이상의 격벽을 포함하고, 상기 격벽은 상기 벌크 게이트와 전기적으로 연결되어 상기 벌크 게이트와 함께 전계를 형성하며, 상기 게이트와 상기 캐소드와의 사이에 형성된 전계에 의해, 상기 게이트를 사이에 두고 상기 캐소드의 반대편에 대하여 설치된 아노드로 향하는, 상기 캐소드 표면으로부터의 전자 방출이 상기 복수의 관통홀을 통과하도록 하기 위한 것을 특징으로 한다.
- [0008] 상기 게이트는, 실리콘 기판 상부에 금속을 증착한 후 상기 메시 게이트의 패턴을 형성한 후 상기 실리콘 기판의 하부의 실리콘을 제거하는 공정을 포함하는 MEMS 가공 공정에 의해, 상기 벌크 게이트 및 상기 메시 게이트가 일체형으로 제작될 수 있다.
- [0009] 상기 메시 게이트의 상기 복수의 관통홀은 한점을 중심으로 좌우 대칭적으로 형성된 것을 포함한다.
- [0010] 상기 메시 게이트의 상기 복수의 관통홀에 의한 복수의 격벽들이 한점을 중심으로 좌우 대칭적으로 형성된 것을 포함한다.
- [0011] 상기 메시 게이트의 상기 복수의 관통홀 또는 상기 복수의 관통홀에 의한 복수의 격벽의 중심들은, 한점을 중심으로 좌우로 같은 거리에 형성된 하나 이상의 쌍을 포함할 수 있다.
- [0012] 상기 메시 게이트의 상기 복수의 관통홀 또는 상기 복수의 관통홀에 의한 복수의 격벽의 중심들은, 한점을 중심으로 좌우에 대칭적으로 인접 이격 거리가 동일한 2이상의 부분을 포함할 수 있다.
- [0013] 상기 메시 게이트의 상기 복수의 관통홀 또는 상기 복수의 관통홀에 의한 복수의 격벽의 중심들은, 한점을 중심으로 좌우에 대칭적으로 인접 이격 거리가 서로 다른 2이상의 부분을 포함할 수 있다.
- [0014] 상기 메시 게이트의 상기 복수의 관통홀 또는 상기 복수의 관통홀에 의한 복수의 격벽들은, 1차원 또는 2차원 배열로 형성될 수 있다.
- [0015] 그리고, 본 발명의 다른 일면에 따른 MEMS 가공 공정을 기초로 전계방출 장치의 제작 방법은, 실리콘 기판 상부에 금속을 증착한 후 상기 메시 게이트의 패턴을 형성하는 단계; 및 상기 메시 게이트의 패턴 및 그 주위로 벌크 게이트를 포함하는 금속 부분이 남아있도록 상기 실리콘 기판의 하부의 실리콘을 제거하는 단계를 포함하고, 상기 메시 게이트는 금속 기판의 복수의 관통홀에 의해 형성된 하나 이상의 격벽을 포함하고, 상기 격벽은 상기 벌크 게이트와 전기적으로 연결되어 상기 벌크 게이트와 함께 전계를 형성하며, 상기 벌크 게이트 및 상기 메시 게이트를 포함하는 게이트로부터 소정의 거리 이격되어 설치된 캐소드와의 사이에 형성된 전계에 의해, 상기 게이트를 사이에 두고 상기 캐소드의 반대편에 대하여 설치된 아노드로 향하는, 상기 캐소드 표면으로부터의 전자 방출이 상기 복수의 관통홀을 통과하도록 하기 위한 것을 특징으로 한다.

발명의 효과

- [0016] 본 발명에 따르면, 반도체 공정에 의해 MEMS 가공 기술로 메시 구조의 게이트 전극을 용이하게 제작하여 대용량 전계방출이 요구되거나 양질의 X-선 또는 전자선을 획득하기 위한 다양한 전계방출 장치에 적용이 가능하다. 즉, 삼극관 구조의 전계방출 장치에서 요구된 게이트 메시 격벽의 간격이나 형상으로 조정하여 적용함으로써 전극간 전계분포 및 전자의 이동 경로를 최적화할 수 있으며, 발생전류를 높이고 전자의 투과율(아노드전류/캐소드전류)을 높여 고효율의 전계방출 장치를 구현할 수 있다.

도면의 간단한 설명

- [0017] 본 발명에 관한 이해를 돕기 위해 상세한 설명의 일부로 포함되는 첨부도면은, 본 발명에 대한 실시예를 제공하고 상세한 설명과 함께 본 발명의 기술적 사상을 설명한다.

도 1a는 본 발명의 일 실시예에 따른 전계방출 장치를 설명하기 위한 도면이다.

도 1b는 도 1a 구조에 대한 평면도의 일례이다.

도 1c는 도 1a 구조에 대한 평면도의 다른 예이다.

도 1d는 도 1a 구조에 대한 예시적인 I-V 그래프이다.

도 2는 메시 게이트가 적용되지 않은 일반적인 전계방출 장치의 구조와 그에 대한 예시적인 I-V 그래프이다.

도 3은 본 발명의 다른 실시예에 따른 전계방출 장치를 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시예에 따른 전계방출 장치의 MEMS 가공 공정에 의한 제작 과정을 설명하기 위한 흐름도이다.

도 5 내지 도 8은 메시 게이트의 격벽이 2개인 경우에 그 위치에 따른 다양한 구조에 대한 예시이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하에서는 첨부된 도면들을 참조하여 본 발명에 대해서 자세히 설명한다. 이때, 각각의 도면에서 동일한 구성 요소는 가능한 동일한 부호로 나타낸다. 또한, 이미 공지된 기능 및/또는 구성에 대한 상세한 설명은 생략한다. 이하에 개시된 내용은, 다양한 실시 예에 따른 동작을 이해하는데 필요한 부분을 중점적으로 설명하며, 그 설명의 요지를 흐릴 수 있는 요소들에 대한 설명은 생략한다. 또한 도면의 일부 구성요소는 과장되거나 생략되거나 또는 개략적으로 도시될 수 있다. 각 구성요소의 크기는 실제 크기를 전적으로 반영하는 것이 아니며, 따라서 각각의 도면에 그려진 구성요소들의 상대적인 크기나 간격에 의해 여기에 기재되는 내용들이 제한되는 것은 아니다.
- [0019] 본 발명의 실시예들을 설명함에 있어서, 본 발명과 관련된 공지기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 상세한 설명에서 사용되는 용어는 단지 본 발명의 실시 예들을 기술하기 위한 것이며, 결코 제한적이어서는 안 된다. 명확하게 달리 사용되지 않는 한, 단수 형태의 표현은 복수 형태의 의미를 포함한다. 본 설명에서, "포함" 또는 "구비"와 같은 표현은 어떤 특성들, 숫자들, 단계들, 동작들, 요소들, 이들의 일부 또는 조합을 가리키기 위한 것이며, 기술된 것 이외에 하나 또는 그 이상의 다른 특성, 숫자, 단계, 동작, 요소, 이들의 일부 또는 조합의 존재 또는 가능성을 배제하도록 해석되어서는 안 된다.
- [0020] 또한, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니며, 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0021] 도 1a는 본 발명의 일 실시예에 따른 전계방출 장치(100)를 설명하기 위한 도면이다. 도 1b는 도 1a 구조에 대한 평면도의 일례이다. 도 1c는 도 1a 구조에 대한 평면도의 다른 예이다. 도 1d는 도 1a 구조에 대한 예시적인 I-V 그래프이다.
- [0022] 도 1a를 참조하면, 본 발명의 일 실시예에 따른 전계방출 장치(100)는, 캐소드(전극)(10) 및 게이트(전극)(20)을 포함한다. 이외에 전계방출 장치(100)는, 게이트(20)를 사이에 두고 캐소드(10)의 반대편에 대향하여 설치된 아노드(도시되지 않음)를 구비할 수 있다.
- [0023] 본 발명의 전계방출 장치(100)는, 게이트(20)와 캐소드(10) 사이에 전원을 인가하여 형성된 전계에 의해, 캐소드(10) 표면으로부터의 전자 방출이 아노드(미도시)를 향하도록 하여, 해당 전자선이나 전자빔을 이용하는 장치로서, 아노드에서 X-선 발생을 위해 활용될 수도 있다. 소정의 제어장치에 의해 게이트(20), 캐소드(10), 또는 아노드(미도시)에 인가되는 전원을 적절히 디지털 제어하여 필요한 전자선이나 전자빔 또는 X-선을 획득할 수 있다.
- [0024] 게이트(20)는 벌크 게이트(110) 및 메시 게이트(120)를 포함한다. 캐소드(10)는 게이트(20), 특히, 메시 게이트(120) 중심으로부터로부터 소정의 거리 이격(예, 200 μm)되어 설치된다.
- [0025] 게이트(20)는, 금속 재질의 기판에 MEMS 가공 공정 등에 의해 복수의 관통홀(22)을 가공함으로써, 복수의 관통홀(22)이 1차원 또는 2차원 배열로 형성된 형태, 또는 복수의 관통홀에 의한 홀들 사이의 격벽들(21)이, 1차원 또는 2차원 배열로 형성된 형태를 갖는다. 도 1b 와 같이, 벌크 게이트(110)가 되는 금속 기판은 4각형일 수도 있고, 도 1c 와 같이, 벌크 게이트(110)가 되는 금속 기판은 원형일 수도 있으며, 기타 설계 목적에 따라 다양

한 모양으로 가공되어 사용될 수 있다. 관통홀(22)의 모양은 원형, 사각형 등 다양한 모양으로 형성될 수 있다.

- [0026] 예를 들어, 게이트(20)는, MEMS 가공 공정에 의해, 즉, 실리콘 기판 상부에 금속을 증착한 후 메시 게이트(120)의 패턴을 형성한 후 실리콘 기판의 하부의 실리콘을 제거하는 공정을 통하여, 벌크 게이트(110) 및 메시 게이트(120)가 일체형으로 제작된 형태일 수 있다.
- [0027] 도 1a, 도 1b 및 도 1c 와 같이, 벌크 게이트(110)가 될 금속 기판의 중앙 부근에 관통홀(22)을 가공하여, 메시 게이트(120) 주위에 전체적으로 홀 가공이 없는 벌크 게이트(110)가 위치하는 형태가 될 수 있다. 다만, 이에 한정되는 것은 아니며, 경우에 따라 설계 목적에 맞게 메시 게이트(120)는 벌크 게이트(110)가 될 금속 기판의 일측 단부쪽에 형성되는 등 다양한 모양으로 가공되어 사용될 수 있다.
- [0028] 이와 같이 메시 게이트(120)는 복수의 관통홀(22)에 의해 형성된 하나 이상의 격벽(21)을 포함하도록 제작된다. 격벽(21)은 벌크 게이트(110)와 전기적으로 연결된 형태가 되며, 벌크 게이트(110)의 어느 부분에 전원을 인가하여도 벌크 게이트(110)와 함께 격벽(21)에서도 전계를 형성할 수 있다.
- [0029] 본 발명에서는 게이트(20)와 캐소드(10)와의 사이에 전원을 인가하여 형성된 전계에 의해, 게이트(20)를 사이에 두고 캐소드(10)의 반대편에 대향하여 설치된 아노드(미도시)로 향하는, 캐소드(10) 표면으로부터의 전자 방출이 복수의 관통홀(22)을 통과하도록 한다.
- [0030] 이와 같이, 반도체 공정에 의해 MEMS 가공 기술 등으로 메시 구조의 게이트(20) 전극을 용이하게 제작가능한, 본 발명의 전계방출 장치(100)는 대용량 전계방출이 요구되거나 양질의 X-선 또는 전자선을 획득하기 위한 다양한 전계방출 장치에 적용이 가능하다. 즉, 삼극관 구조의 전계방출 장치(100)에서 요구된 게이트 메시 격벽(21)의 간격이나 형상으로 조정하여 적용함으로써 전극간 전계분포 및 전자의 이동 경로를 최적화할 수 있으며, 발생전류를 높이고 전자의 투과율(아노드전류/캐소드전류)을 높여 고효율의 전계방출 장치를 제공할 수 있다.
- [0031] 도 1d는 도 1a 구조에 대한 예시적인 I-V(전류-전압) 그래프이다. 도 1d와 같이, 본 발명의 일 실시예에 따른 전계방출 장치(100)는, 높은 게이트 전류(Igate)와 높은 아노드 전류(Ianode)를 나타낸다.
- [0032] 반면, 도 2와 같이 메시 게이트가 적용되지 않은 일반적인 전계방출 장치의 구조(도 2의 (a))와 그에 대한 예시적인 I-V 그래프(도 2의 (b))에서 볼 수 있듯이, 메시 게이트가 적용되지 않은 경우 낮은 전류값을 가진다.
- [0033] 도 3은 본 발명의 다른 실시예에 따른 전계방출 장치를 설명하기 위한 도면이다. 본 발명의 메시 게이트(120)는 투과율을 높일 수 있는 다양한 형상 및 배치가 가능하다.
- [0034] 도 3을 참조하면, 먼저, 메시 게이트(120)의 복수의 관통홀(22)은 한점(일직선 상의 한쪽 끝의 홀 시작점과 반대쪽 끝의 홀 종료점 사이(메시 게이트(120)의 폭에 해당)의 중심점, 이하 메시 게이트(120)의 중심점)(C)을 중심으로 좌우 대칭적으로 형성된다. 마찬가지로, 메시 게이트(120)의 복수의 관통홀(22)에 의한 복수의 격벽들(21)이 한점(중심점)(C)을 중심으로 좌우 대칭적으로 형성된다. 메시 게이트(120)의 중심점(C)은 해당 격벽(21)의 중심이 될 수도 있고, 해당 관통홀(22)의 중심이 될 수도 있다.
- [0035] 도 1a, 도 3 및 도 5 ~ 도 8과 같이, 메시 게이트(120)의 복수의 관통홀(22)의 중심들은, 한점(중심점)(C)을 중심으로 좌우로 같은 거리에 형성된 하나 이상의 쌍을 포함할 수 있다. 마찬가지로, 메시 게이트(120)의 복수의 관통홀(22)에 의한 복수의 격벽(21)의 중심들은, 한점(중심점)(C)을 중심으로 좌우로 같은 거리에 형성된 하나 이상의 쌍을 포함할 수 있다.
- [0036] 예를 들어, 한점(중심점)(C)에만 격벽의 중심이 있는 경우(미도시)를 포함하며, 이 경우 좌우로 각각의 관통홀(22)의 중심이 한점(중심점)(C)에서 같은 거리에 거리에 있다. 한점(중심점)(C)에 관통홀(22)의 중심이 있는 경우(도 1a, 도 3 및 도 5 ~ 도 8 참조), 한점(중심점)(C)을 중심으로 좌우로 같은 거리에 복수의 격벽(21)의 중심들이 존재할 수 있다.
- [0037] 이와 같은 메시 게이트(120)의 복수의 관통홀(22)의 중심들(복수의 관통홀(22)에 의한 복수의 격벽(21)의 중심들)은, 한점(중심점)(C)을 중심으로 좌우에 대칭적으로 인접 이격 거리가 동일한 2이상의 부분을 포함할 수 있다. 즉, 관통홀(22)의 중심들(또는 격벽(21)의 중심들)은, 그 좌측에 제1인접 이격 거리(인접 홀과의 이격거리)(L1)를 갖는 제1부분들과 대칭적으로 그 우측에도 제1인접 이격 거리(L1)를 갖는 부분들이 존재할 수 있다.
- [0038] 물론, 삼극관 구조의 요구된 게이트 메시 격벽(21)의 간격이나 형상으로 조정하여 적용함으로써 전극간 전계분포 및 전자의 이동 경로를 최적화하고 발생전류 및 전자의 투과율을 높여 고효율의 전계방출 장치(100)를 제공하기 위하여, 메시 게이트(120)의 복수의 관통홀(22)의 중심들(복수의 관통홀(22)에 의한 복수의 격벽(21)의 중

심들)은, 항상 같은 간격으로 배치될 필요는 없다.

- [0039] 예를 들어, 관통홀(22)의 중심들(또는 격벽(21)의 중심들)은, 그 좌측에 제1인접 이격 거리(인접 홀과의 이격거리)(L1)를 갖는 제1부분과 제2인접 이격 거리(제1인접 이격거리와 다른 이격거리)(L2)를 갖는 제2부분이 존재할 수 있고, 그 우측에 제1부분과 제2부분과 대칭적인 위치에 인접 이격 거리 L1, L2를 갖는 대칭 구조가 있을 수 있다. 즉, 본 발명은 메시 게이트(120)의 복수의 관통홀(22)의 중심들(복수의 관통홀(22)에 의한 복수의 격벽(21)의 중심들)은, 한점(중심점)(C)을 중심으로 좌우에 대칭적으로 인접 이격 거리가 서로 다른 2이상의 부분을 포함할 수 있다.
- [0040] 경우에 따라서는, 한점(중심점)(C)을 중심으로 좌우에 비대칭적인 위치에 관통홀(22)의 중심들(또는 격벽(21)의 중심들)이 배치될 수도 있다.
- [0041] 이하, 본 발명의 일 실시예에 따른 전계방출 장치(100)의 MEMS 가공 공정에 의한 제작 과정을 도 4를 참조하여 좀 더 자세히 설명하기로 한다.
- [0042] 도 4는 본 발명의 일 실시예에 따른 전계방출 장치(100)의 MEMS 가공 공정에 의한 제작 과정을 설명하기 위한 흐름도이다.
- [0043] 도 4를 참조하면, MEMS 가공 공정을 기초로 한 전계방출 장치(100)의 제작 공정은, 실리콘 기판 상부에 금속을 증착한 후 메시 게이트(120)의 패턴을 형성하는 단계(S110~S130), 및 메시 게이트(120)의 패턴 및 그 주위로 벌크 게이트(110)를 포함하는 금속 부분이 남아있도록 실리콘 기판의 하부의 실리콘을 제거하는 단계(S140~S150)를 포함한다.
- [0044] 먼저, 실리콘 기판(210) 상부에 금속층(220)을 증착한다(S110). 실리콘 기판(210)은 진성, 또는 N형/P형 불순물 도핑된 실리콘 등 반도체 웨이퍼일 수 있다. 금속(220)은 금, 은, 구리 등 전도성이 우수한 전도체 금속이다. 실리콘 기판(210)의 두께는 200~1000 μm 일 수 있고 금속층(220)은 50~500 μm 두께로 증착될 수 있다.
- [0045] 실리콘 기판(210) 상부에 금속층(220)을 증착한 후, 증착된 금속층(220) 상에 포토레지스트(230)를 도포하고 메시 게이트(120)를 위한 관통홀(22) 위치에 포토레지스트가 제거되도록 메시 패턴을 형성한다(S120).
- [0046] 금속층(220) 위에 포토레지스트(230)의 패턴이 형성된 실리콘 기판(210)은, 습식 식각 또는 건식 식각 처리되어 메시 게이트(120)를 위한 관통홀(22)과 그에 의한 격벽(21)이 형성될 수 있다(S130). 습식 식각 방법에서 불산(HF), 질산 등의 혼합 용액을 이용할 수 있으며, 건식 식각 방법으로서 RIE(reactive-ion etching) 또는 DRIE(deep reactive-ion etching) 등의 방법이 이용될 수 있다.
- [0047] 이와 같이 메시 게이트(120)를 위한 관통홀(22)과 그에 의한 격벽(21)이 형성된 후 남아있는 포토레지스트(230)를 제거한 후, 실리콘 기판(210)의 하부에 포토레지스트(240)를 도포하고 벌크 게이트(110)와 메시 게이트(120) 주위로 개구가 될 가공 위치에 포토레지스트가 제거되도록 패턴을 형성한다(S140).
- [0048] 하부에 포토레지스트(240)의 패턴이 실리콘 기판(210)은, 벌크 게이트(110)와 메시 게이트(120)의 금속층(220)이 나타날 때까지 습식 식각 또는 건식 식각 처리되어 실리콘 기판(210) 하부의 개구 패턴이 형성될 수 있다(S150). 습식 식각 방법에서 KOH, TMAH(Tetramethyl ammonium hydroxide) 등의 용액을 이용할 수 있으며, 건식 식각 방법으로서 RIE(reactive-ion etching) 또는 DRIE(deep reactive-ion etching) 등의 방법이 이용될 수 있다.
- [0049] 실리콘 기판(210) 하부의 개구 패턴은 실리콘 기판(210)의 복수의 위치에 1차원 또는 2차원 배열 형태로 형성될 수 있으며, 남아있는 포토레지스트(240)를 제거한 후, 도 4와 같이, 벌크 게이트(110)와 메시 게이트(120)의 금속층(220) 부분들을 하나씩 절단하는 싱귤레이션(singulation)을 통해 게이트(20)로서 부품으로 사용될 수 있다. 경우에 따라서는 벌크 게이트(110) 하부에 남아있는 실리콘(250)을 모두 제거할 필요는 없으며, 전계방출 장치(100) 제작을 위하여 벌크 게이트(110) 가장 자리를 따라 하부에 남아있는 실리콘(250)이 다른 장치와의 결합 거치대 등으로 사용될 수 있도록 남겨 놓을 수도 있다.
- [0050] 이와 같이 본 발명의 전계방출 장치(100)의 게이트(20)는, MEMS 가공 공정에 의해, 즉, 실리콘 기판 상부에 금속을 증착한 후 메시 게이트(120)의 패턴을 형성한 후 실리콘 기판의 하부의 실리콘을 제거하는 공정을 통하여, 벌크 게이트(110) 및 메시 게이트(120)가 일체형으로 제작된 형태일 수 있다.
- [0051] 도 5 내지 도 8은 메시 게이트(120)의 격벽(21)이 2개인 경우에 그 위치에 따른 다양한 구조에 대한 예시이다. 도 5는 메시 게이트(120)의 양쪽 끝에서 0.1 μm 위치(중심으로부터 0.35 μm)에 대칭적으로 폭 0.0001 μm 의 메시

게이트(120)의 격벽(21)을 형성한 경우의 예이다.

[0052] 도 6은 메시 게이트(120)의 양쪽 끝에서 0.2 μm 위치(중심으로부터 0.25 μm)에 대칭적으로 폭 0.0001 μm의 메시 게이트(120)의 격벽(21)을 형성한 경우의 예이다.

[0053] 도 7은 메시 게이트(120)의 양쪽 끝에서 0.3 μm 위치(중심으로부터 0.15 μm)에 대칭적으로 폭 0.0001 μm의 메시 게이트(120)의 격벽(21)을 형성한 경우의 예이다.

[0054] 도 8은 메시 게이트(120)의 양쪽 끝에서 0.4 μm 위치(중심으로부터 0.05 μm)에 대칭적으로 폭 0.0001 μm의 메시 게이트(120)의 격벽(21)을 형성한 경우의 예이다.

[0055] 상술한 바와 같이, 본 발명에 따른 전계방출 장치(100)는, 반도체 공정에 의해 MEMS 가공 기술로 메시 구조의 게이트 전극을 용이하게 제작하여 대용량 전계방출이 요구되거나 양질의 X-선 또는 전자선을 획득하기 위한 다양한 전계방출 장치에 적용이 가능하다. 즉, 삼극관 구조의 전계방출 장치에서 요구된 게이트 메시 격벽의 간격이나 형상으로 조정하여 적용함으로써 전극간 전계분포 및 전자의 이동 경로를 최적화할 수 있으며, 발생전류를 높이고 전자의 투과율(아노드전류/캐소드전류)을 높여 고효율의 전계방출 장치를 구현할 수 있다.

[0056] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0057] 전계방출 장치(100)

캐소드(10)

게이트(20)

벌크 게이트(110)

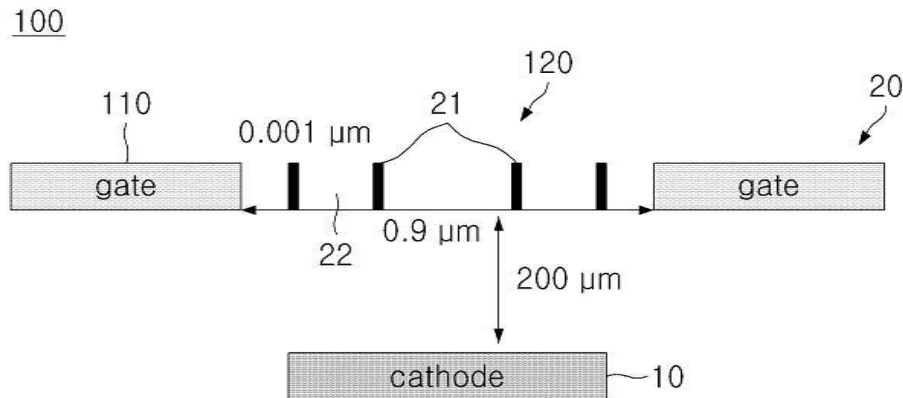
메시 게이트(120)

격벽(21)

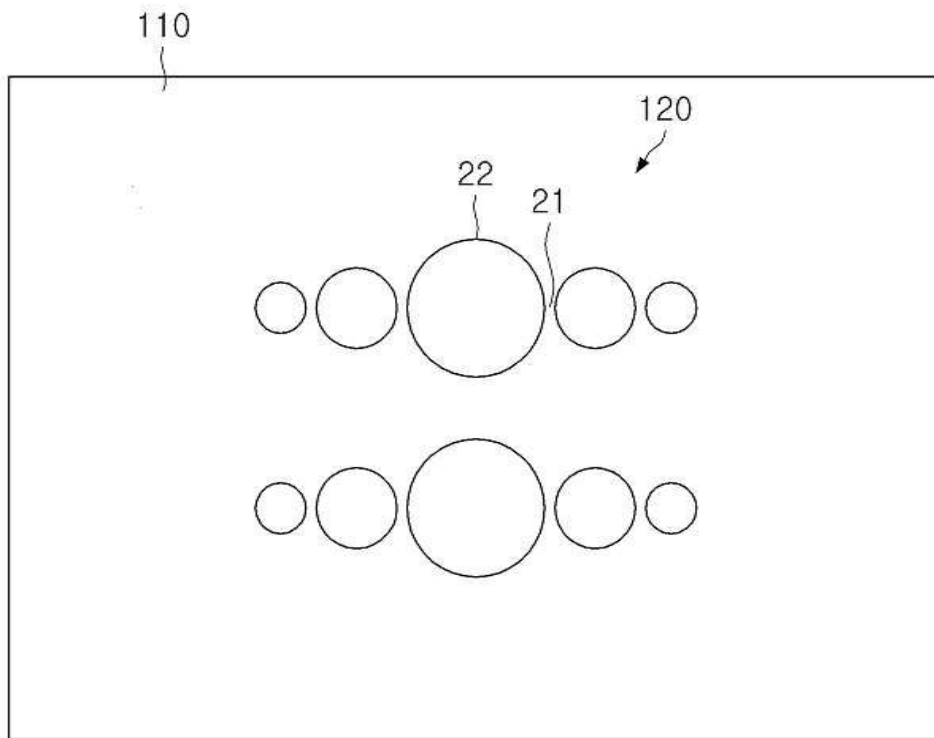
관통홀(22)

도면

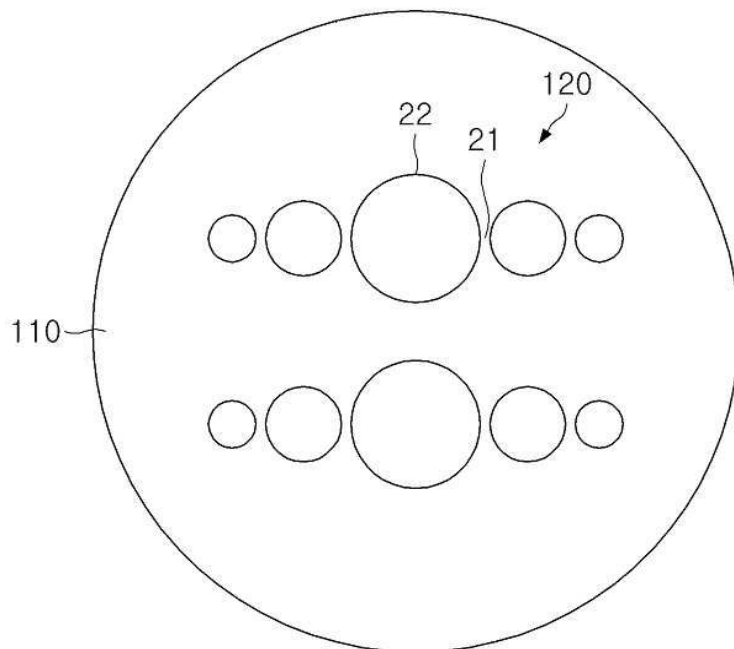
도면1a



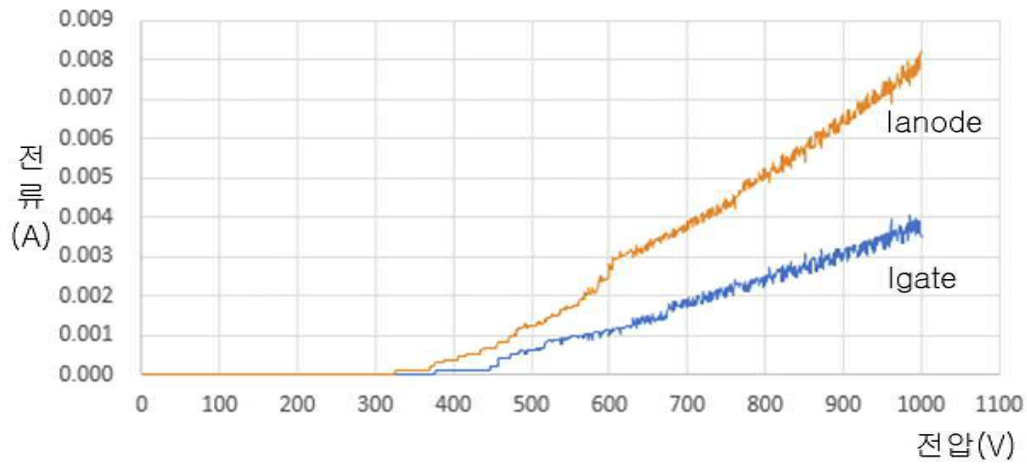
도면1b



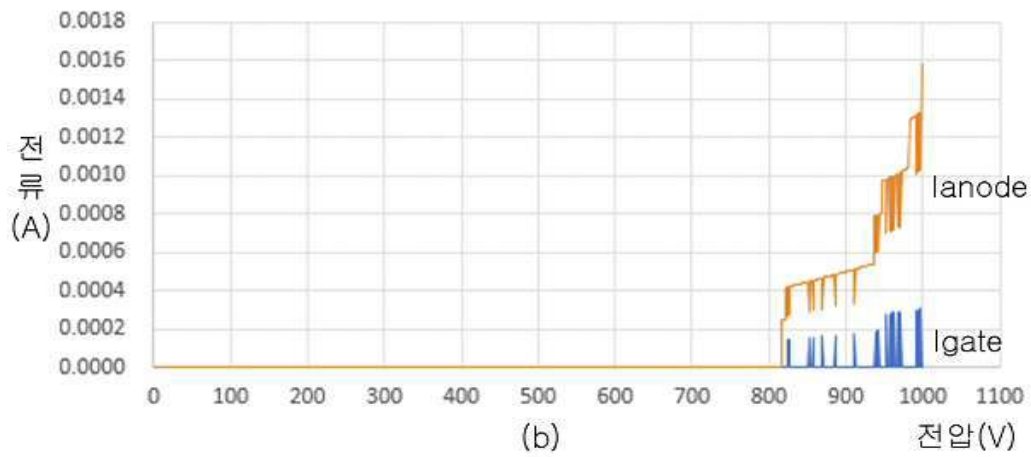
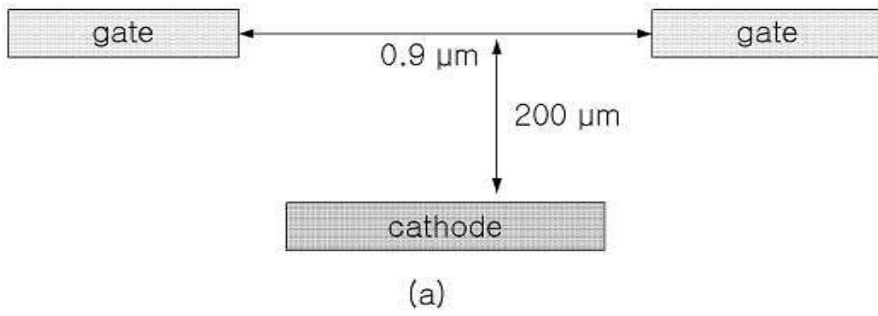
도면1c



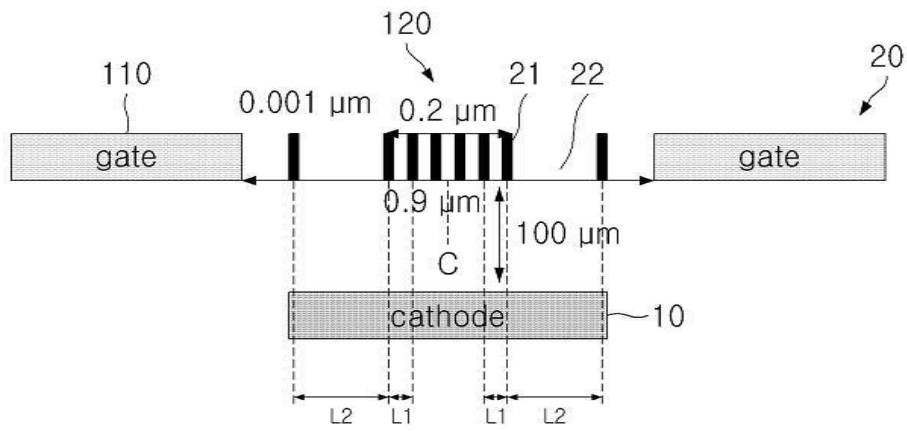
도면1d



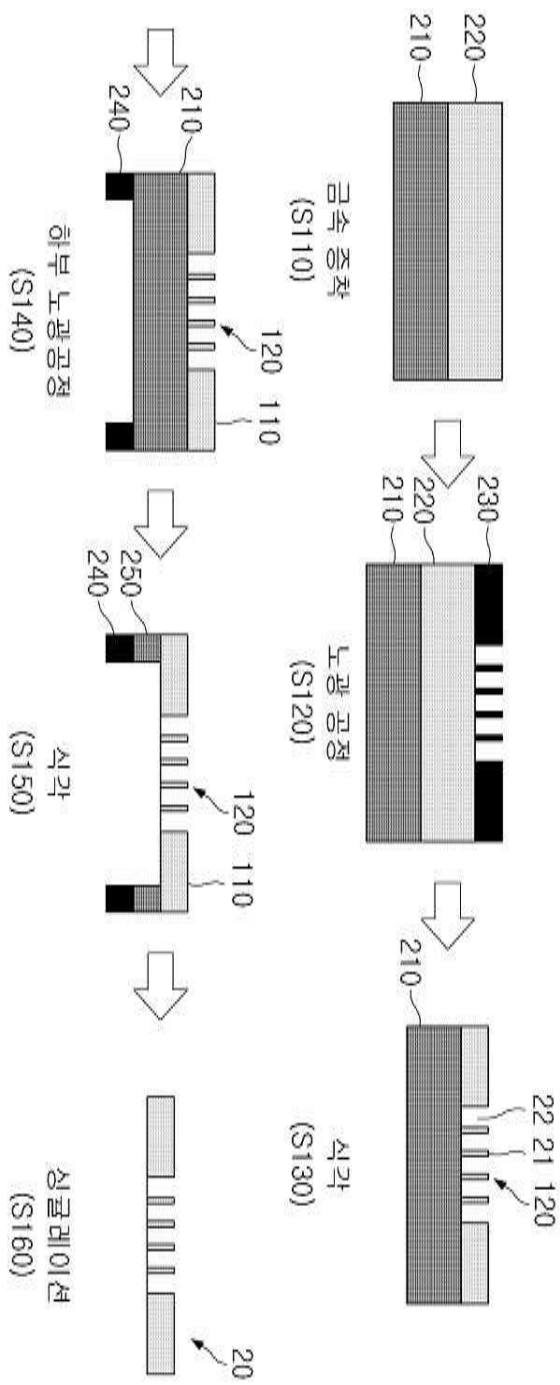
도면2



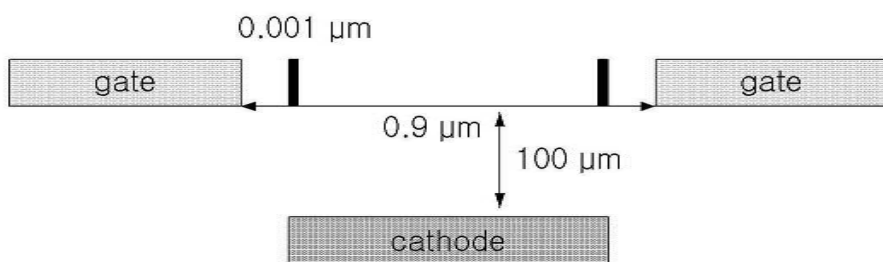
도면3



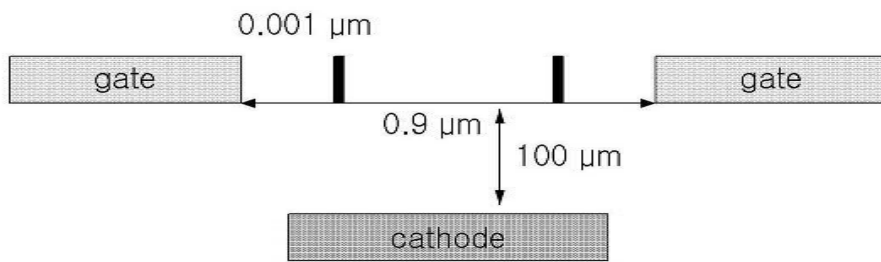
도면4



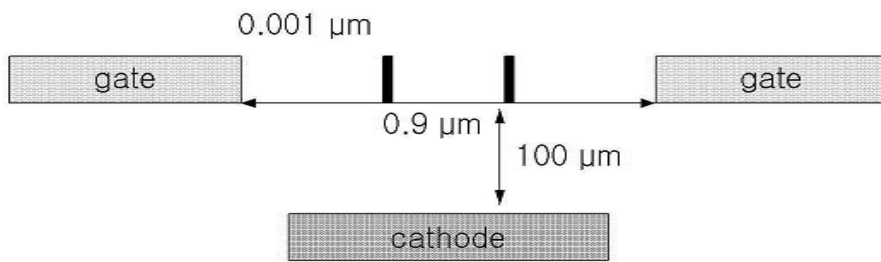
도면5



도면6



도면7



도면8

