

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2015-510277
(P2015-510277A)

(43) 公表日 平成27年4月2日(2015.4.2)

(51) Int.Cl. F I テーマコード (参考)
HO1S 5/022 (2006.01) HO1S 5/022 5F173

審査請求 未請求 予備審査請求 未請求 (全 16 頁)

<p>(21) 出願番号 特願2014-559986 (P2014-559986) (86) (22) 出願日 平成25年2月27日 (2013.2.27) (85) 翻訳文提出日 平成26年10月8日 (2014.10.8) (86) 国際出願番号 PCT/US2013/027987 (87) 国際公開番号 W02013/130580 (87) 国際公開日 平成25年9月6日 (2013.9.6) (31) 優先権主張番号 13/411,275 (32) 優先日 平成24年3月2日 (2012.3.2) (33) 優先権主張国 米国 (US)</p>	<p>(71) 出願人 512086149 エクセリタス カナダ, インコーポレイテッド カナダ国, ケベック州 ジェイ7ヴィ 8 ピー7, ヴォードルイユードリオン, ダン バリー ロード 22001 (74) 代理人 100079108 弁理士 稲葉 良幸 (74) 代理人 100109346 弁理士 大貫 敏史 (74) 代理人 100117189 弁理士 江口 昭彦 (74) 代理人 100134120 弁理士 内藤 和彦</p>
---	---

最終頁に続く

(54) 【発明の名称】 基板上で成形されたカプセル化くぼみを有する半導体レーザーチップパッケージ及びこれを形成するための方法

(57) 【要約】

【課題】

【解決手段】 積層リードレスキャリアパッケージは半導体チップを有し、このチップは、これを支持する基板におけるくぼみ領域の縁部に実装されている。基板は、複数の導電層及び誘電層と、光電子チップに結合されたワイヤボンドと、基板の上面上に位置付けられたワイヤボンドパッドと、を有する。カプセル化封止は、レーザーチップ、ワイヤボンド、及びくぼみ領域を含む基板の上面の少なくとも一部を覆う。カプセル化封止は光学的に透明な石英材料である。パッケージはサイドルッカー及び/又はトップルッカーとして実装されるように構成されている。

【選択図】 図1

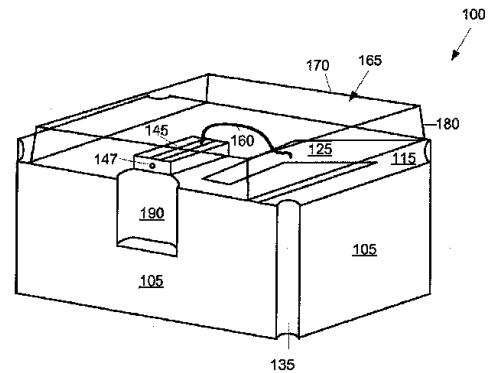


FIG. 2

【特許請求の範囲】

【請求項 1】

積層リードレスキャリアパッケージであって、
半導体レーザチップと、
前記半導体レーザチップを支持する基板であって、積層された複数の導電層及び誘電層と、前記基板の縁部にくぼんで配置された縁部くぼみ領域と、を備え、前記縁部くぼみ領域に隣接して前記半導体レーザチップが実装される、基板と、
前記基板の上面の上に位置付けられたワイヤボンダッドと、
前記半導体レーザチップ及び前記ワイヤボンダッドに結合されたワイヤボンダと、
前記半導体レーザチップ、前記縁部くぼみ領域、前記ワイヤボンダ、及び前記基板の前記上面の少なくとも一部を覆うカプセル化封止であって、成形材料であるカプセル化封止と、
を備える、積層リードレスキャリアパッケージ。

10

【請求項 2】

前記半導体レーザチップが端面発光レーザである、請求項 1 に記載の積層リードレスキャリアパッケージ。

【請求項 3】

前記積層リードレスキャリアパッケージが、プリント回路基板上にサイドルッカー構成で実装されるように構成され、前記半導体レーザチップのアクティブエリアが前記プリント回路基板に垂直である、請求項 2 に記載の積層リードレスキャリアパッケージ。

20

【請求項 4】

前記積層リードレスキャリアパッケージが、プリント回路基板上にトップルッカー構成で実装されるように構成され、前記半導体レーザチップのアクティブエリアが前記プリント回路基板に平行である、請求項 2 に記載の積層リードレスキャリアパッケージ。

【請求項 5】

前記複数の導電層及び誘電層が、下部導電層と、上部導電層と、前記上部及び下部導電層間の誘電層と、を備える、請求項 1 に記載の積層リードレスキャリアパッケージ。

【請求項 6】

前記上部導電層と前記下部導電層との間の電氣的接続及び熱導管を与える複数の導電パイアを更に備える、請求項 5 に記載の積層リードレスキャリアパッケージ。

30

【請求項 7】

前記成形材料が光学的に透明である、請求項 1 に記載の積層リードレスキャリアパッケージ。

【請求項 8】

積層リードレスキャリアパッケージであって、
半導体レーザチップと、
前記半導体レーザチップを支持する基板であって、積層された複数の導電層及び誘電層と、前記基板の縁部におけるくぼみ内に配置された縁部くぼみ領域と、を備え、前記縁部くぼみ領域に隣接して前記半導体レーザチップが実装される、基板と、
前記基板の上面の上に位置付けられたワイヤボンダッドと、
前記光電子チップ及び前記ワイヤボンダッドに結合されたワイヤボンダと、
前記光電子チップ、前記ワイヤボンダ、及び前記基板の前記上面の少なくとも一部を覆うカプセル化封止であって、成形材料であるカプセル化封止と、
を備え、前記積層リードレスキャリアパッケージが、前記光電子チップのアクティブエリアがプリント回路基板に垂直である前記プリント回路基板上のサイドルッカー構成、及び前記光電子チップの前記アクティブエリアがプリント回路基板に平行である前記プリント回路基板上のトップルッカー構成から成る群からの構成で実装されるように構成されている、積層リードレスキャリアパッケージ。

40

【請求項 9】

複数の積層リードレス半導体レーザキャリアパッケージを製造するための方法であって

50

基板を準備するステップであって、

前記基板に複数のくぼみ領域を形成することと、

上部導電層と、下部導電層と、前記上部及び下部導電層間の誘電層と、を積層することであって、前記上部導電層が、ダイ取り付けパッド、ワイヤボンダパッド、及び2つのスロットビアを備える、ことと、

を備える、ステップと、

前記ダイ取り付けパッドにエポキシ接着剤を塗布するステップと、

前記ダイ取り付けパッド上に半導体レーザチップを搭載するステップと、

ワイヤボンダを用いて前記ワイヤボンダパッドに前記半導体レーザチップをワイヤボンディングするステップと、

成形材料を成形して、前記複数のくぼみ領域を充填すると共に前記光電子チップ、前記ワイヤボンダ、及び前記基板の上面の少なくとも一部を覆うカプセル化封止を形成するステップと、

前記基板を個別の積層リードレスキャリアパッケージにダイシングするステップと、を備える、方法。

【請求項10】

前記基板を準備するステップが、前記上部導電層と前記下部導電層との間の電気的接続及び熱導管を与える複数の導電ビアを準備するステップを更に備える、請求項9に記載の方法。

【請求項11】

前記基板を準備するステップが、前記上部導電層をプリント回路基板上の実装パッドにはんだ付けするための前記上部導電層上の複数のスロットビアを設けることを更に備える、請求項9に記載の方法。

【請求項12】

前記成形材料を成形するステップが、前記ワイヤボンダ又は前記半導体レーザチップに高い応力を与えない、請求項9に記載の方法。

【請求項13】

前記成形材料を成形するステップが、前記カプセル化封止の上面を平坦な表面として成形することを更に備える、請求項9に記載の方法。

【請求項14】

前記成形材料を成形するステップが、サイドルッカーとして実装された場合に前記半導体レーザパッケージを安定化させるための基部を成形することを更に備える、請求項9に記載の方法。

【請求項15】

前記複数のくぼみ領域を充填する前記成形材料を研磨するステップを更に備える、請求項9に記載の方法。

【請求項16】

前記複数のくぼみ領域が少なくとも1つの行に配置され、前記ダイシングの完了前に前記複数のくぼみ領域が前記少なくとも1つの行に配置されている間に前記研磨が実行される、請求項15に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は回路コンポーネントに関し、更に特定すれば半導体レーザチップに関する。

【背景技術】

【0002】

表面実装技術(SMT:surface mount technology)は、電子回路を構築するために用いられるものであり、プリント回路基板(PCB)の表面上に直接コンポーネント(表面実装コンポーネント/SMC)が搭載される。そのように生成された電子デバイスは表面

10

20

30

40

50

実装部品（SMD：surface mount device）と呼ばれる。SMTは、回路基板のホール内にワイヤリードを挿入してコンポーネントを装着するスルーホール技術構築方法の大部分に取って代わっている。

【0003】

SMTコンポーネントは通常、スルーホール・コンポーネントに比べ、リードが小さいか又はリードを全く有しないので小型である。SMTは、コンポーネントのボディ上に、様々な形式の短いピン又はリード、平坦なコンタクト、はんだボール（BGA）の行列、又は終端を有する場合がある。

【0004】

端面発光レーザ（edge emitting laser）は、実装表面に対して直角な方向に極めて急速に広がるビームを有する。端面発光レーザは、メインドライバ基板に対して垂直にレーザを方向付けるリードを有するパッケージ内に搭載することができる。パッケージは、パッケージベースのリードフレーム又は基台の縁部に配置されたレーザを保護するためのウィンドウキャップ又はカプセル化封止（encapsulation）を有しなければならない。メインドライバ基板上に直接、又はPCB、セラミックもしくは他の基板とすることができメインドライバ基板上に搭載される二次基板上等、大きい平坦な表面上に実装された場合、ビームの少なくとも一部が表面と交差することがある。この制約を克服するため、端面発光レーザは、多くの場合ドライバ基板又は二次基板の縁部に搭載され、レーザの縁部がこれらの基板の縁部に隣接するか又はほぼ隣接するので、ビームが基板の外側の領域に広がるようになっている。かかる構成はいくつかの欠点を有する。例えば、レーザ面は典型的に、様々な感度の中でもとりわけ汚染及び湿度に対する感度が高く、基板の縁部に近接すると面の脆弱性が高くなる恐れがある。更に、基板の縁部にレーザを位置付ける必要性のために基板設計の柔軟性が制限され、例えば積層リードレスキャリア（LLC：laminated leadless carrier）等のチップキャリアのようないくつかのパッケージングの選択肢が実用不可能になることがある。積層リードレスキャリアは、プリント回路基板に接触する平坦な金属パッドを用いる。パッケージの外部に延出するピンは存在せず、プリント回路基板上に直接実装することができる。積層リードレスキャリアは、積層された多層の導電層及び誘電層を含む。

10

20

【0005】

SMTは、製造及び回路レイアウトにおいて利点を有するが、SMTレーザでは、半導体端面発光レーザチップの制約によって問題が生じる。表面実装パッケージの縁部に半導体レーザチップを位置付けることに関するロジスティックな問題の他に、放熱に関する検討事項が表面実装特性と相反することがある。特に、SMTでは一般に、半導体レーザチップによって発生した熱を、例えばヒートシンク又は対流法を用いて更に放散することができるパッケージの表面へと伝えることが難しい。

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

従って、上述の欠点のいくつか又は全てを克服することが業界において求められている。

40

【課題を解決するための手段】

【0007】

本発明の実施形態は、基板上に成形された半導体レーザ及びこれを製造するための方法を提供する。簡単に述べると、本発明は、積層リードレスキャリアパッケージを対象とする。パッケージは、半導体レーザチップ及びこの半導体レーザチップを支持する基板を含む。基板は、積層された複数の導電層及び誘電層と、基板の縁部にくぼんで配置された縁部くぼみ領域と、を有し、縁部くぼみ領域に隣接して半導体レーザチップが実装される。パッケージは更に、基板の上面の上に位置付けられたワイヤボンダパッドと、半導体レーザチップ及びワイヤボンダパッドに結合されたワイヤボンダと、半導体レーザチップ、縁部くぼみ領域、ワイヤボンダ、及び基板の上面の少なくとも一部を覆うカプセル化封止で

50

あって、成形材料であるカプセル化封止と、を含む。

【0008】

半導体レーザチップは端面発光レーザとすることができる。積層リードレスキャリアパッケージは、プリント回路基板上にサイドルッカー構成で実装されるように構成することができ、半導体レーザチップのアクティブエリアはプリント回路基板に垂直である。又は、積層リードレスキャリアパッケージは、プリント回路基板上にトッフルッカー構成で実装されるように構成することができ、半導体レーザチップのアクティブエリアはプリント回路基板に平行である。複数の導電層及び誘電層は、下部導電層と、上部導電層と、上部及び下部導電層間の誘電層と、を含むことができる。パッケージは更に、上部導電層と下部導電層との間の電氣的接続及び熱導管を与える複数の導電パイアを含むことができる。成形材料は光学的に透明である。

10

【0009】

アーキテクチャにおいて簡単に述べると、本発明の第2の態様は、半導体レーザチップ及びこの半導体レーザチップを支持する基板を含む積層リードレスキャリアパッケージを対象とする。基板は、積層された複数の導電層及び誘電層と、基板の縁部におけるくぼみ内に配置された縁部くぼみ領域と、を有し、縁部くぼみ領域に隣接して半導体レーザチップが実装される。パッケージは、基板の上面の上面の上に位置付けられたワイヤボンダッドと、光電子チップ及びワイヤボンダッドに結合されたワイヤボンダと、光電子チップ、ワイヤボンダ、及び基板の上面の少なくとも一部を覆うカプセル化封止と、を含む。カプセル化封止は成形材料である。積層リードレスキャリアパッケージは、光電子チップのアクティブエリアがプリント回路基板に垂直であるプリント回路基板上のサイドルッカー（a side-looker）構成、及び光電子チップのアクティブエリアがプリント回路基板に平行であるプリント回路基板上のトッフルッカー（a top-looker）構成から成る群からの構成で実装されるように構成されている。

20

【0010】

簡単に述べると、本発明の第3の態様は、複数の積層リードレス半導体レーザキャリアパッケージを製造するための方法を対象とする。この方法は、基板を準備するステップを含み、このステップは、基板に複数のくぼみ領域を形成することと、上部導電層と、下部導電層と、上部及び下部導電層間の誘電層と、を積層することであって、上部導電層が、ダイ取り付けパッド、ワイヤボンダッド、及び2つのスロットパイアを含むことと、を含む。他のステップは、ダイ取り付けパッドにエポキシ接着剤を塗布するステップと、ダイ取り付けパッド上に半導体レーザチップを搭載するステップと、ワイヤボンダを用いてワイヤボンダッドに半導体レーザチップをワイヤボンディングするステップと、成形材料を成形して、複数のくぼみ領域を充填すると共に光電子チップ、ワイヤボンダ、及び基板の上面の少なくとも一部を覆うカプセル化封止を形成するステップと、基板を個別の積層リードレスキャリアパッケージにダイシングするステップと、を含む。

30

【0011】

第3の態様は、上部導電層と下部導電層との間の電氣的接続及び熱導管を与える複数の導電パイアを準備することを更に含むことができる。また、第3の態様は、複数のくぼみ領域を充填する成形材料を研磨するステップを更に含むことができる。複数のくぼみ領域は少なくとも1つの行に配置することができ、ダイシングの完了前に複数のくぼみ領域が行に配置されている間に研磨を実行することができる。

40

【0012】

本発明の他のシステム、方法、及び特性は、以下の図面及び詳細な説明を考察することで当業者には明らかとなる。全てのそのようなシステム、方法、及び特性は、この説明に含まれ、本発明の範囲内であり、添付図面によって保護されることが意図される。

【0013】

添付図面は本発明をいっそう理解するために含まれ、本明細書に組み込まれてその一部を構成する。図面は記載と共に本発明の実施形態を例示して、本発明の原理を説明するように機能する。

50

【図面の簡単な説明】

【0014】

【図1】本発明に従った例示的な半導体レーザパッケージの概略図である。

【図2】例示的な半導体レーザパッケージの概略斜視図である。

【図3】レーザビームの経路を示す例示的な半導体レーザパッケージの概略斜視図である。

【図4】プリント回路基板上にサイドルッカー又はトップルッカーとして実装された例示的な半導体レーザパッケージを示す。

【図5】本出願に記載する半導体レーザパッケージを製造するための例示的なマトリックス組立プロセスのフローチャートである。

10

【図6A】例示的なマトリックス組立プロセスの異なる段階中の1枚の基板を示す。

【図6B】例示的なマトリックス組立プロセスの異なる段階中の1枚の基板を示す。

【図6C】例示的なマトリックス組立プロセスの異なる段階中の1枚の基板を示す。

【図6D】例示的なマトリックス組立プロセスの異なる段階中の1枚の基板を示す。

【図6E】例示的なマトリックス組立プロセスの異なる段階中の1枚の基板を示す。

【図6F】例示的なマトリックス組立プロセスの異なる段階中の1枚の基板を示す。

【図6G】図5の例示的なマトリックス組立プロセスの製品である個別の光電子パッケージを示す。

【発明を実施するための形態】

【0015】

20

これより本発明の実施形態について詳細に参照する。添付図面にその例が図示されている。可能な場合、図面及び記載において同一の参照番号を用いて同一又は同様の部分を示す。

【0016】

半導体レーザパッケージを製造するための装置及び方法の例示的な実施形態を提示する。レーザチップは、基板の縁部から引っ込んだくぼみ領域に隣接して実装される。レーザチップは、レーザチップ面がくぼみ領域を見下ろすような向きに配置される。複数の導電パイアが、基板の上部導電層と下部導電層との間の電気的接続及び/又は熱導管(thermal conduit)を与える。オーバーモールド光エポキシ材料が、基板の上面の少なくとも一部、レーザチップ、及びくぼみ領域をカプセル化する。半導体レーザパッケージはプリント回路基板上に実装されて、レーザビームがプリント回路基板に対して平行であるか又はレーザビームがプリント回路基板に対して垂直であるようになっている。

30

【0017】

図1は、本発明に従った半導体レーザパッケージ100の例示的な実施形態の断面図を示す。半導体レーザパッケージ100は、基板105、チップ145、及びカプセル化封止165を含む。

【0018】

チップ145は、端面発光レーザ等を含むいずれかのレーザデバイスとすることができる。例えばチップ145は、IV族(シリコン)半導体及びIII-V族半導体等のいずれかの適切な材料で形成されたレーザチップとすることができる。レーザチップ145は、エピタキシャルウェハ(EPI)又はリーチスルー(reach-through)構造等のいずれかの構造を有することができる。

40

【0019】

半導体レーザパッケージ100は、LLCとすることができる。リードレスキャリアは、プリント回路基板に接触する平坦な金属パッドを用いる。パッケージの外部に延出するピンは存在せず、プリント回路基板上に直接実装することができる。積層チップキャリアは、積層された多層の導電層及び誘電層を含む。一例において積層リードレスキャリアは、以下で詳述するように、誘電層を間に挟んだ上部導電層及び下部導電層を含む。設計の複雑さに応じて、積層チップキャリアは、多くの異なる導電層及び/又は誘電層を有する場合がある。

50

【0020】

半導体レーザパッケージ100は、チップ145を支持するための基板105を含む。基板105は、いずれかの薄膜セラミック基板、厚膜セラミック基板、及び異なる種類のプリント回路基板(PCB)とすることができるが、これに限られない。1つの好適な実施形態において、半導体レーザパッケージ100はリードフレームを含まない。基板105は、誘電層110と、誘電層110の上及び下にそれぞれ設けられた上部導電層115と下部導電層130と、上部及び下部導電層115及び130間の電氣的接続及び/又は熱導管を与える複数の導電パイア135と、を含むことができる。導電パイア135は、トップルッカー又はサイドルッカーデバイス方位のいずれかで用いることができる(これら2つの方位については以下で詳述する)。導電パイア135は、電気及び/又は熱伝達のための導管として機能することができる。かかる熱伝達は、レーザチップによって発生した熱を拡散させるために重要である。これがない場合はチップの性能及び信頼性が損なわれることがわかっている。

10

【0021】

上部導電層115は、基板105上にチップ145を取り付けるためのダイ取り付けパッド120を含む。具体的には、接着層140を用いてチップ145を基板105の上のダイ取り付けパッド120に取り付けることができる。また、上部導電層115は、ワイヤボンダ160を取り付けるためのワイヤボンダパッド125を含む。ワイヤボンダ160は、チップ145と上部導電層115との間の電氣的接続を与える。この実施形態では単一のワイヤボンダ160を用いるが、代替的な実施形態では適宜2つ以上のワイヤボンダを用いても差し支えない。各導電パイア135は、小さい丸い開口等、異なるスロット形状の小さい開口とすることができる。

20

【0022】

図2に示すように、基板105はくぼみ領域190を有し、ここでは基板材料が除去されて基板105の縁部に後退領域(pull-back area)を形成している。好ましくは、図2に示すように、チップ145のレーザ発光縁部がくぼみ領域190に隣接するか又はほぼ隣接するようにチップ145を実装する。くぼみ領域の縁部にチップ145を位置付けることによって、光ビーム310(図3)は、基板105と交差することなくチップ145から外側に向かって投射することができる。同様に、光ビームプロファイルを歪ませる可能性のある基板反射なしで全ての光ビームをレーザチップ145の面から出力できるように、くぼみ領域190が形成される。くぼみ領域190によって、光ビーム310(図3)を基板105と交差させることなく、パッケージ100の縁部から引っ込んだ位置にレーザチップ145を位置付けることができる。

30

【0023】

カプセル化封止165は、チップ145、ワイヤボンダ160、くぼみ領域190、及び基板105又は基板105の一部をカプセル化して保護するために設けられる。1つの例示的な実施形態では、カプセル化封止165を用いて端面発光レーザチップをカプセル化する。端面発光レーザチップは、典型的に高電圧で動作するので、カプセル化封止165はイオン含有量が少なく耐湿性が高い成形材料とすることができる。カプセル化封止は、例えば光エポキシ材料とすることができる。いくつかの例示的な実施形態では、カプセル化封止165は、ワイヤボンダ160に高い応力を与えることなく、チップ145及びワイヤボンダ160に保護を与える成形材料とすることができる。いくつかの例示的な実施形態では、成形材料は光学的に透明として、特定の波長の光をフィルタリング又は減衰しないようにすることができる。成形材料として例えばAPTEK 6100-1A/Bを使用可能である。APTEK 6100-1A/Bは、2成分、無充填、無色透明、剛体系であり、光電子パッケージにおけるLEDチップのカプセル化用に設計されている。これは環境的な保護を提供し、鑄造されるとデバイスのレンズ部として機能して、優れた透明度及び光透過率を示すことができる。

40

【0024】

図1に示すカプセル化封止165は、基板105の上面の一部のみを覆うが、カプセル

50

化封止 165 は、最終用途による必要に応じて基板 105 の上面全体を覆うことも可能である。カプセル化封止 165 の側面 180 は、垂直であるか、傾斜するか、又はカプセル化封止の異なる部分において異なる角度で傾斜することができる。カプセル化封止 165 の上面 170 (光界面) は、平坦面として、又は円筒形、球形、非球形、ドーム形、環状レンズ等として成形することができる。

【0025】

カプセル化封止 165 内にレーザチップ 145 の縁部を収容する利点は、例えば製造後の部品の組み立て又は処理中及び PCB 上での組み立ての前に、レーザチップ 145 のアクティブエリア又は面 147 を保護することである。くぼみ領域 190 が存在しない基板 105 の縁部にチップ 145 が実装された場合、レーザチップ 145 の面 147 はカプセル化封止 165 によって保護されない。

10

【0026】

図 3 は半導体レーザパッケージ 100 の簡略化した図であり、半導体レーザパッケージ 100 内のチップ 145 からのレーザビーム 310 の投射を示す。ビーム 310 は、投射された方向に発散角で急速に広がる。くぼみ 190 が存在しない場合、及びくぼみ 190 が位置する領域に基板材料が充填されている場合は、ビーム 310 は基板 105 と交差する。かかる交差はいくつかの理由で問題となる。第 1 に、この交差はビーム 310 の経路を遮って、送信されるはずであったエネルギーの一部を吸収する。第 2 に、基板 105 はビーム 310 から吸収されたエネルギーによって加熱される。第 3 に、この交差領域はビームの一部を反射して望ましくない結果を生じる恐れがある。

20

【0027】

くぼみ領域 190 のサイズは、チップ 145 がくぼみ領域 190 に隣接して又はほぼ隣接して位置付けられるようなものにすることができる。くぼみ領域 190 は、最終用途により必要に応じて様々な幅及び奥行きを有することができる。例えばビームが広く拡散する用途では、ビームがもっと狭く拡散する用途よりも奥行きが深くくぼみ領域 190 を有することができる。この実施形態におけるくぼみ領域 190 は矩形として図示するが、くぼみ領域 190 は、例えば半円形、扇形、又は他の形状のような他の形状であっても差し支えない。図 3 に示すように、くぼみ領域 190 は基板 105 の上面と交差し、基板 105 の底面と交差するまでは延出しない場合がある。しかしながら、くぼみ領域 190 が基板 105 の底面まで延出する半導体レーザパッケージ 100 の実施形態であっても差し支えない。

30

【0028】

図 4 に示すように、半導体レーザパッケージ 100 はサイドルッカー 410 又はトップルッカー 420 としてプリント回路基板上に実装することができる。一般に、この向きは、プリント回路基板表面に対するレーザチップのアクティブエリアからの光の方向又は放出に基づいて選択することができる。例えばレーザのアクティブエリアからの放出がプリント回路基板に垂直である場合、トップルッカーの向き 420 を用いることができる。この構成においては、レーザチップのアクティブエリアはプリント回路基板に対して垂直である。これに対して、光がプリント回路基板に平行である場合、サイドルッカー構成 410 を用いることができる。この構成では、光電子チップのアクティブエリアはプリント回路基板に平行である。

40

【0029】

図 2 に示す例示的な実施形態は単一のチップ 145 及び単一のくぼみ領域 190 を有するが、代替的な実施形態において 2 つ以上のチップ 145 を有することも差し支えない。2 つ以上のチップ 145 は、例えば平行ビームを投射するように位置合わせし、単一のくぼみ領域 190 を共有することができる。又は、基板 105 の単一の縁部に沿って多数のくぼみ領域 190 を形成することも可能である。同様に、半導体レーザパッケージ 100 は、基板 105 の 2 つ以上の縁部に沿ってくぼみ領域 190 を有して、異なる方向に向けられたビーム 310 を投射する多数のチップ 145 を収容することができる。いくつかの実施形態においては、2 つ以上のレーザチップ、ワイヤボンダ、又はタイボンダッドを

50

単一の半導体レーザパッケージに配置可能であることは認められよう。

【0030】

熱に関する検討事項

基板設計では、多種多様な熱伝導性材料が考えられる。更に、パイア135は、レーザチップ145が発生した熱を表面実装パッケージの縁部に伝達する熱導管を与え、熱はその縁部で、当業者に周知の方法によって半導体レーザパッケージから拡散させることができる。例えば銅から成るパイア135は、レーザチップから最終PCAまでの熱インピーダンスを低下させるような熱伝導特性を有することができる。

【0031】

実装基板は、例えば25のような閾値温度未満に確実に維持することが有利である場合がある。温度を閾値温度未満に維持することは、例えばチップ145を基板105に取り付ける導電性接着剤の熱特性によって支援することができる。導電性接着剤140は例えば導電性エポキシ又ははんだとすることができる。

10

【0032】

方法

図5は、本出願において記載する半導体レーザパッケージを製造するためのマトリックス組立プロセス500の例示的な実施形態のフローチャートである。フローチャートにおけるいかなるプロセス記述又はブロックも、プロセスにおける具体的な論理機能を実施するための1つ以上の命令を含むコードのモジュール、セグメント、一部、又はステップを表すものとして理解されることに留意すべきである。本発明の範囲内に含まれる代替的な実施では、関与する機能性に依りて、機能の実行は、実質的に同時又は逆の順序を含めて、図示又は記載する順序通りでなくても可能である。これは当業者には理解されよう。

20

【0033】

マトリックス組立プロセスは、低コスト、大量、小型、及びSMTコンパチブルの製品を求める市場の需要に応えるように設計される。ブロック510で示すように、基板内にくぼみ領域を形成することを含めて、当技術分野において既知の方法によって基板を準備する。例えばウェットエッチング又はドライエッチングで基板をエッチングすることによって、レーザアブレーションによって、又は当業者に周知の他の方法によって、くぼみ領域を形成することができる。基板は、限定ではないが、薄膜セラミック基板、厚膜セラミック基板、及びいずれかの種類のプリント回路基板とすることができる。基板材料は、例えば耐熱範囲が約10W/mから100W/mである適切な熱特性を有しなければならない。ブロック520で示すように、ダイ取り付けエポキシを塗布する。エポキシ接着剤を、分注、スタンピング、又は印刷手法によって塗布することができる。ダイ取り付けエポキシの代わりに、例えばはんだのような他の導電性及び熱伝導性媒体を使用可能であることに留意すべきである。

30

【0034】

ブロック530で示すように、手作業で又は半自動もしくは自動ダイ取り付けマシンを用いて、基板にレーザチップを実装する。ブロック540で示すように、手作業で又は半自動もしくは自動ダイ取り付けマシンを用いて、基板にワイヤボンドを加える。用途に応じて、ワイヤボンドは、アルミナ又は金等の異なる材料、直径が0.7ミル及び1ミル等の異なるサイズ、又はボール-ウェッジ及びウェッジ-ウェッジ等の異なる構成を用いる場合がある。ブロック550で示すように、成形によってカプセル化封止として基板に成形材料を加える。成形材料は液体として流した後に硬化させることができる。硬化の温度及び時間は成形材料に応じて異なり、その情報は典型的に材料データシートから得ることができる。ブロック560で示すように、基板を個別の半導体レーザパッケージにダイシングする。ダイシングは例えば、のこ刃又はレーザビームによって実行することができる。

40

【0035】

図6Aから図6Fは、上述の例示的なマトリックス組立プロセス500の異なる段階中の1枚の基板を示し、図6Gは例示的なマトリックス組立プロセスから得られた個別の半

50

導体レーザパッケージを示す。図 6 A は、くぼみ領域の形成を含む準備を行った後の 1 枚の基板を示す。しかしながら、基板の残りを準備する前又は後にくぼみ領域を形成しても差し支えない。図 6 B は、ダイ取り付けエポキシを塗布した後の組立品を示す。図 6 C は、基板上にレーザチップを実装した後の組立品を示す。図 6 D は、基板にワイヤボンドを加えた後の組立品を示す。図 6 E は、基板に成形材料をカプセル化封止として加えた後の組立品を示す。図 6 F は、個別の半導体レーザパッケージにダイシングした後の組立品を示す。1つの組立品は、2つ以上の材料が一体化されたものであり、1つのパッケージ又は複数のパッケージのレイとすることができる。

【 0 0 3 6 】

プロセス 5 0 0 の前に、組立プロセスの一部として実行されるいずれかの数のプロセスがあり得ることは認められよう。例えば 1 つの前プロセスにおいて、基板に、チップを載せる空洞及び / 又は浮き出しを加工することができる。また、組立プロセスの一部としてプロセス 5 0 0 の後にいずれかの数のプロセスを実行することも可能である。例えば 1 つの後プロセスにおいて、ダイシングしたデバイスをマトリックス形態で又は個別に試験することができる。

10

【 0 0 3 7 】

プロセス 5 0 0 が追加のステップ及び / 又はサブステップを含み得ることは認められよう。例えば、図 6 F に示すようにダイシングを開始した後であるがダイシングを完了する前に、L L C から光が発するカプセル化封止材の前面の研磨を行うことができる。例えば、多数のくぼみ領域の前面が複数の行又は帯に配置されている場合に研磨を実行可能であるので、1つの帯の多数のくぼみ領域を覆っているカプセル化封止材を最終ダイシング前に同時に研磨することができる。これは、最終ダイシング後に各くぼみ領域上のカプセル化封止材を個別に研磨するよりも効率的であり得る。

20

【 0 0 3 8 】

まとめると、半導体レーザパッケージを製造するための装置及び方法のための例示的な実施形態を提示した。L L C S M D 半導体レーザは、光コンポーネントの実装面積が小さく、機械的位置合わせが良好で、コンポーネントレイ組立プロセスを通してコストが低く、レーザ光軸の向きにおいて柔軟性が高い。本発明の範囲又は精神から逸脱することなく、本発明の構造に様々な変更及び変形を実施可能であることは当業者には明らかであろう。前述のことに鑑み、本発明は、本発明の変更及び変形が以下の特許請求の範囲及びそれらの均等物の範囲内に該当するならば、それらを包含することが意図される。

30

【 図 1 】

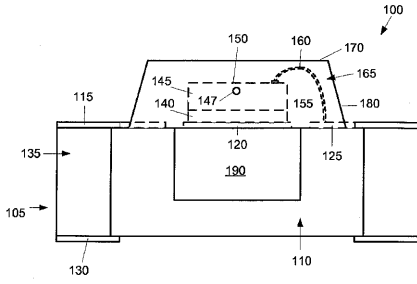


FIG. 1

【 図 2 】

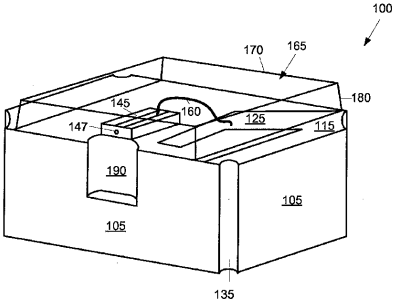


FIG. 2

【 図 3 】

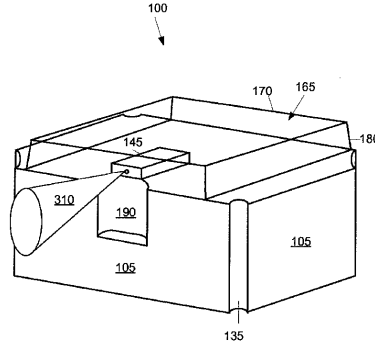


FIG. 3

【 図 4 】

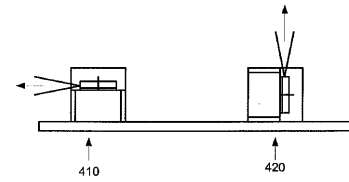
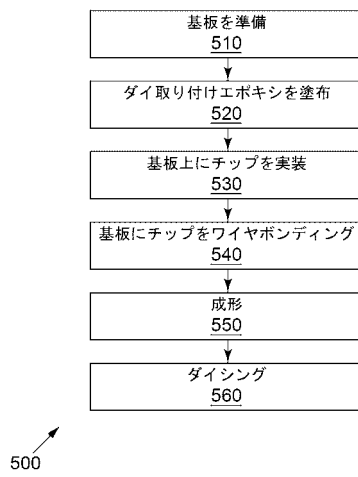


FIG. 4

【 図 5 】



500

【 図 6 B 】

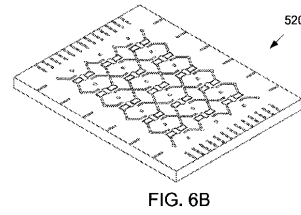


FIG. 6B

【 図 6 C 】

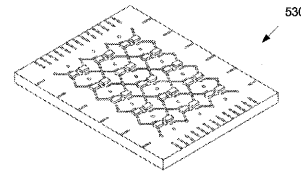


FIG. 6C

【 図 6 A 】

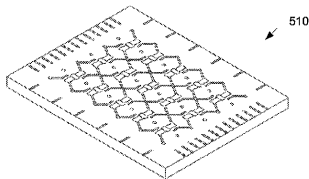


FIG. 6A

【 図 6 D 】

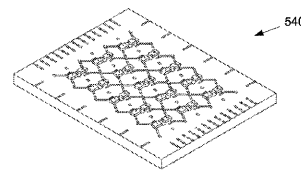


FIG. 6D

【 図 6 E 】

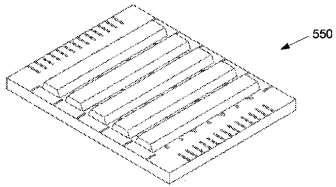


FIG. 6E

【 図 6 G 】

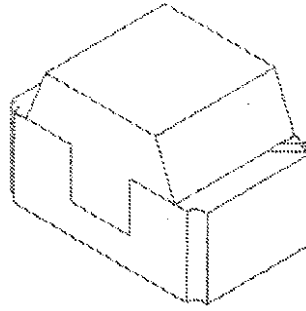


FIG. 6G

【 図 6 F 】

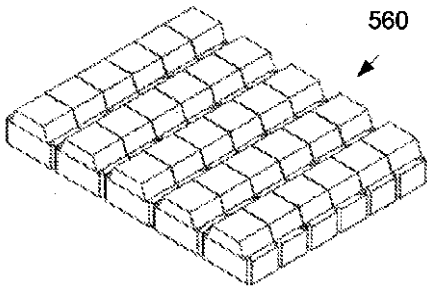


FIG. 6F

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2013/027987
A. CLASSIFICATION OF SUBJECT MATTER INV. H01S5/02 H01S5/022 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01S H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP S61 272987 A (HITACHI LTD) 3 December 1986 (1986-12-03) abstract; figures 1-3	1-16
X	----- US 5 627 851 A (TAKAHASHI TAKASHI [JP]) 6 May 1997 (1997-05-06) abstract; figures 3,6 the whole document	1-16
X	----- US 2004/233950 A1 (FURUKAWA YOSHIHIKO [JP] ET AL) 25 November 2004 (2004-11-25) abstract; figure 1A	1-16
X	----- JP S59 193083 A (HITACHI LTD) 1 November 1984 (1984-11-01) abstract; figure 2	1-16
	----- -/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		
<input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the International search		Date of mailing of the International search report
13 August 2013		23/09/2013
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3018		Authorized officer Lendroit, Stéphane

INTERNATIONAL SEARCH REPORT

International application No PCT/US2013/027987

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 96/00918 A1 (BRITISH TELECOMM [GB]; COLLINS JOHN VINCENT [GB]; PAYNE ROGER ALYN [GB] 11 January 1996 (1996-01-11) abstract; figure 7 -----	1-16
X,P	US 2012/213239 A1 (JU JIN HAN [CA] ET AL) 23 August 2012 (2012-08-23) the whole document -----	1-16
A	US 2011/079801 A1 (ZHANG XIANZHU [CA] ET AL) 7 April 2011 (2011-04-07) the whole document -----	1-16

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2013/027987

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP S61272987	A	03-12-1986	NONE

US 5627851	A	06-05-1997	NONE

US 2004233950	A1	25-11-2004	CN 1509508 A 30-06-2004
			JP 3945479 B2 18-07-2007
			US 2004233950 A1 25-11-2004
			WO 02103865 A1 27-12-2002
			WO 02103866 A1 27-12-2002

JP S59193083	A	01-11-1984	NONE

WO 9600918	A1	11-01-1996	CA 2193095 A1 11-01-1996
			DE 69514358 D1 10-02-2000
			DE 69514358 T2 24-08-2000
			JP H10505433 A 26-05-1998
			US 5852696 A 22-12-1998
			WO 9600918 A1 11-01-1996

US 2012213239	A1	23-08-2012	NONE

US 2011079801	A1	07-04-2011	CN 102630351 A 08-08-2012
			EP 2483939 A1 08-08-2012
			JP 2013506985 A 28-02-2013
			KR 20120101374 A 13-09-2012
			TW 201216523 A 16-04-2012
			US 2011079801 A1 07-04-2011
			WO 2011039509 A1 07-04-2011

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(72)発明者 ジュ, ジン, ハン

カナダ国, ケベック州 エイチ9ジェイ 3ワイ6, カークランド, リュ オーデュボン 6

(72)発明者 ブルマン, ロバート

カナダ国, ケベック州 ジェイ7ブイ 8ピー8, ヴォードルイユ - ドリオン, カルティエ 61
ナンバー2

(72)発明者 デレオン, ジェリー

フィリピン国, ラグナ, 4027, カランバ シティ, カンリューバン, アヴィダ ヴィレッジ
ニューヴァリ, ロト4, ブロック 40, フェーズ 1

Fターム(参考) 5F173 MB02 MC12 MD04 MD16 MD23 MD27 MD83 ME06 ME22 ME32
ME42