



(12)发明专利申请

(10)申请公布号 CN 111106119 A

(43)申请公布日 2020.05.05

(21)申请号 201911017568.3

(22)申请日 2019.10.24

(30)优先权数据

10-2018-0128403 2018.10.25 KR

(71)申请人 三星电子株式会社

地址 韩国京畿道

(72)发明人 黄盛珉 任峻成 康范圭 安在昊

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 翟然

(51)Int.Cl.

H01L 27/11524(2017.01)

H01L 27/11556(2017.01)

H01L 27/1157(2017.01)

H01L 27/11582(2017.01)

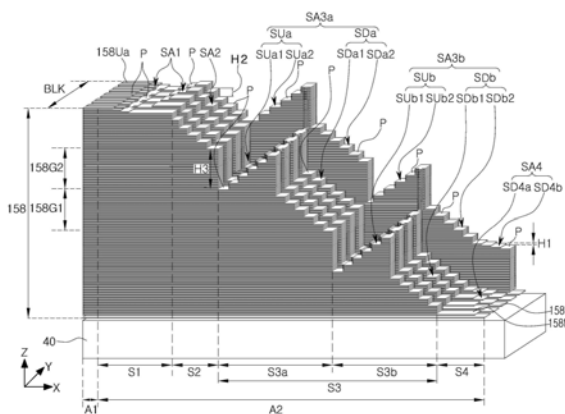
权利要求书4页 说明书19页 附图51页

(54)发明名称

三维半导体器件

(57)摘要

一种三维半导体器件包括在下结构上的第一栅极组和在第一栅极组上的第二栅极组。第一栅极组包括第一焊盘区域,该第一焊盘区域为:(1)在平行于下结构的上表面的第一方向上降低并且(2)在平行于下结构的上表面且垂直于第一方向的第二方向上升高。第二栅极组包括在第一方向上顺序地升高且在第二方向上升高的第二焊盘区域。



1. 一种三维半导体器件,包括:

下结构;

堆叠结构,设置在所述下结构上的第一区域和第二区域中,所述堆叠结构包括在垂直于所述下结构的上表面的垂直方向上堆叠的栅极图案,所述栅极图案包括在所述第二区域中设置成台阶结构的焊盘区域;以及

垂直沟道结构,设置在所述下结构上且具有面对所述栅极图案的侧表面,其中:

所述堆叠结构包括在第一方向上顺序地布置在所述第二区域中的第一堆叠区域、第二堆叠区域和第三堆叠区域,

所述第一堆叠区域包括具有以第一高度为单位变化的台阶结构的第一台阶区域,

所述第二堆叠区域包括具有在所述第一方向上以大于所述第一高度的第二高度为单位降低的台阶结构的第二台阶区域,

所述第三堆叠区域包括向上成台阶的区域和向下成台阶的区域,

所述第三堆叠区域的所述向上成台阶的区域具有在所述第一方向上以所述第二高度为单位升高的台阶结构,以及

所述第三堆叠区域的所述向下成台阶的区域具有在所述第一方向上以所述第二高度为单位降低的台阶结构。

2. 根据权利要求1所述的三维半导体器件,其中所述第三堆叠区域的所述向上成台阶的区域和所述第三堆叠区域的所述向下成台阶的区域在所述第一方向上顺序地布置。

3. 根据权利要求2所述的三维半导体器件,其中:

所述第三堆叠区域的所述向上成台阶的区域包括位于不同高度水平且在第二方向上顺序地布置的第一向上成台阶的区域和第二向上成台阶的区域,

所述第三堆叠区域的所述向下成台阶的区域包括位于不同高度水平且在第二方向上顺序地布置的第一向下成台阶的区域和第二向下成台阶的区域,以及

所述第二方向平行于所述下结构的所述上表面并且垂直于所述第一方向。

4. 根据权利要求3所述的三维半导体器件,其中:

所述第三堆叠区域的所述第一向上成台阶的区域和所述第三堆叠区域的所述第一向下成台阶的区域在所述第一方向上顺序地布置,

所述第三堆叠区域的所述第二向上成台阶的区域和所述第三堆叠区域的所述第二向下成台阶的区域在所述第一方向上顺序地布置,

所述第三堆叠区域的所述第一向下成台阶的区域的焊盘区域位于比所述第三堆叠区域的所述第一向上成台阶的区域的焊盘区域低的水平,以及

所述第三堆叠区域的所述第二向下成台阶的区域的焊盘区域位于比所述第三堆叠区域的所述第二向上成台阶的区域的焊盘区域低的水平。

5. 根据权利要求4所述的三维半导体器件,其中:

所述第三堆叠区域的所述第一向上成台阶的区域的所述焊盘区域设置成其中所述焊盘区域在所述第二方向上以所述第一高度为单位升高且在所述第一方向上以所述第二高度为单位升高的台阶结构,以及

所述第三堆叠区域的所述第二向上成台阶的区域的所述焊盘区域设置成其中所述焊盘区域在所述第一方向上以所述第二高度为单位升高的台阶结构。

6. 根据权利要求5所述的三维半导体器件,其中:

所述第三堆叠区域的所述第一向下成台阶的区域的所述焊盘区域设置成其中所述焊盘区域在所述第二方向上以所述第一高度为单位升高且在所述第一方向上以所述第二高度为单位降低的台阶结构,以及

所述第三堆叠区域的所述第二向下成台阶的区域的所述焊盘区域设置成其中所述焊盘区域在所述第一方向上以所述第二高度为单位降低的台阶结构。

7. 根据权利要求4所述的三维半导体器件,其中:

所述第二堆叠区域包括第一向下成台阶的区域和第二向下成台阶的区域,其中在所述第一方向上以所述第二高度为单位降低且在所述第二方向上以所述第一高度为单位升高的焊盘区域位于所述第一向下成台阶的区域中,其中在所述第一方向上以所述第二高度为单位降低的焊盘区域位于所述第二向下成台阶的区域中,以及

所述第二堆叠区域的所述第二向下成台阶的区域的所述焊盘区域位于所述第二堆叠区域的所述第一向下成台阶的区域的所述焊盘区域当中的,与所述第二堆叠区域的所述第二向下成台阶的区域相邻的所述焊盘区域相同的高度水平。

8. 根据权利要求7所述的三维半导体器件,其中:

所述第三堆叠区域的所述第一向上成台阶的区域的所述焊盘区域从所述第二堆叠区域的所述第一向下成台阶的区域以第三高度为单位降低,然后在所述第一方向上以所述第二高度为单位升高,

所述第三堆叠区域的所述第一向下成台阶的区域的所述焊盘区域从所述第三堆叠区域的所述第一向上成台阶的区域以所述第三高度为单位降低,然后在所述第一方向上以所述第二高度为单位降低,

所述第三堆叠区域的所述第二向下成台阶的区域的所述焊盘区域从所述第三堆叠区域的所述第二向上成台阶的区域以所述第三高度为单位降低,然后在所述第一方向上以所述第二高度为单位降低,以及

所述第三高度高于所述第二高度。

9. 根据权利要求1所述的三维半导体器件,其中:

所述第三堆叠区域包括多个堆叠部分,以及

每个所述堆叠部分包括在所述第一方向上顺序地布置的所述第三堆叠区域的向上成台阶的区域和所述第三堆叠区域的向下成台阶的区域。

10. 根据权利要求9所述的三维半导体器件,其中:

所述多个堆叠部分包括与所述第二堆叠区域相邻的第一堆叠部分以及位于在所述第一方向上从所述第一堆叠部分起的第 n 个位置处的第 n 个堆叠部分,

所述第一堆叠部分包括其中所述焊盘区域从所述第二堆叠区域起以第三高度为单位降低、然后以第二高度为单位升高的向上成台阶的区域,

所述第 n 个堆叠部分包括其中所述焊盘区域从所述第 $(n-1)$ 个堆叠部分起以第三高度为单位降低、然后以第二高度为单位升高的向上成台阶的区域,以及

其中‘ n ’是大于2的正整数。

11. 根据权利要求10所述的三维半导体器件,其中在所述第一堆叠部分和所述第二堆叠区域之间以所述第三高度为单位降低的区域的斜率不同于在所述第 $(n-1)$ 个堆叠部分和

所述第n个堆叠部分之间以所述第三高度为单位降低的区域的斜率。

12. 一种三维半导体器件,包括:

下结构;

堆叠结构,设置在所述下结构上,并且包括在垂直于所述下结构的上表面的垂直方向上堆叠的栅极图案;以及

垂直沟道结构,设置在所述下结构上且具有面对所述栅极图案的侧表面,其中:

所述堆叠结构包括在第一方向上升高的焊盘区域位于其中的向上成台阶的区域以及在所述第一方向上降低的焊盘区域位于其中的向下成台阶的区域,

所述向上成台阶的区域和所述向下成台阶的区域在所述第一方向上顺序地布置,

所述向上成台阶的区域包括位于不同高度水平且在第二方向上顺序地布置的第一向上成台阶的区域和第二向上成台阶的区域,

所述向下成台阶的区域包括位于不同高度水平且在所述第二方向上顺序地布置的第一向下成台阶的区域和第二向下成台阶的区域,以及

所述第二方向平行于所述下结构的上表面并且垂直于所述第一方向。

13. 根据权利要求12所述的三维半导体器件,其中:

所述第一向上成台阶的区域是在所述第二方向上以第一高度为单位升高且在所述第一方向上以比所述第一高度高的第二高度为单位升高的焊盘区域位于其中的区域,以及

所述第二向上成台阶的区域是位于比所述第一向上成台阶的区域高的水平且在所述第一方向上以所述第二高度为单位升高的焊盘区域位于其中的区域。

14. 根据权利要求13所述的三维半导体器件,其中:

所述第一向下成台阶的区域是在所述第二方向上以所述第一高度为单位升高且在所述第一方向上以所述第二高度为单位降低的焊盘区域位于其中的区域,以及

所述第二向下成台阶的区域是位于比所述第一向下成台阶的区域高的水平且在所述第一方向上以所述第二高度为单位降低的焊盘区域位于其中的区域。

15. 根据权利要求14所述的三维半导体器件,其中:

所述第一向上成台阶的区域和所述第一向下成台阶的区域在所述第一方向上顺序地布置,以及

所述第二向上成台阶的区域和所述第二向下成台阶的区域在所述第一方向上顺序地布置。

16. 根据权利要求15所述的三维半导体器件,其中所述第一向上成台阶的区域与所述第一向下成台阶的区域之间的台阶差以及所述第二向上成台阶的区域与所述第二向下成台阶的区域之间的台阶差大于所述第二高度。

17. 根据权利要求15所述的三维半导体器件,其中所述第一向上成台阶的区域与所述第二向上成台阶的区域之间的台阶差以及所述第一向下成台阶的区域与所述第二向下成台阶的区域之间的台阶差大于所述第二高度。

18. 一种三维半导体器件,包括:

在下结构上的第一栅极组;以及

在所述第一栅极组上的第二栅极组,其中:

所述第一栅极组包括在平行于所述下结构的上表面的第一方向上降低且在平行于所

述下结构的上表面且垂直于所述第一方向的第二方向上升高的第一焊盘区域,以及
所述第二栅极组包括在所述第一方向上顺序地升高且在所述第二方向上升高的第二焊盘区域。

19. 根据权利要求18所述的三维半导体器件,其中:
所述第一栅极组和所述第二栅极组中的每个包括:
在垂直方向上堆叠且间隔开的第一栅极部分;
在所述垂直方向上堆叠且间隔开的第二栅极部分;以及
连接所述第一栅极部分和所述第二栅极部分的连接图案,以及
所述第一栅极部分、所述第二栅极部分和所述连接图案当中的位于相同平面上的所述第一栅极部分、所述第二栅极部分和所述连接图案形成彼此电连接的一个导体。

20. 根据权利要求19所述的三维半导体器件,其中:
每个所述第一栅极部分包括彼此相邻的第一线图案,
每个所述第二栅极部分包括彼此相邻的第二线图案,以及
位于相同平面上的所述第一线图案和所述第二线图案通过所述连接图案电连接。

21. 根据权利要求19所述的三维半导体器件,其中:
每个所述第一栅极部分包括彼此间隔开的第一线图案,
每个所述第二栅极部分包括彼此间隔开的第二线图案,
所述第二线图案设置在所述第一线图案之间,以及
位于相同平面上的所述第一线图案和所述第二线图案通过所述连接图案电连接。

22. 根据权利要求18所述的三维半导体器件,其中:
所述第一焊盘区域设置成在所述第二方向上以第一高度为单位升高且在所述第一方向上以大于所述第一高度的第二高度为单位降低的台阶结构,以及
所述第二焊盘区域设置成在所述第二方向上以所述第一高度为单位升高且在所述第一方向上以所述第二高度为单位升高的台阶结构。

23. 根据权利要求22所述的三维半导体器件,还包括:
穿过所述第一栅极组和所述第二栅极组的外围接触结构,其中:
所述下结构包括第一基板、在所述第一基板上包含外围焊盘的外围电路结构、以及在所述外围电路结构上的第二基板,以及
所述外围接触结构接触所述外围焊盘。

24. 根据权利要求23所述的三维半导体器件,还包括:
穿过所述第一栅极组和所述第二栅极组的绝缘区域,其中所述外围接触结构穿过所述绝缘区域。

25. 根据权利要求24所述的三维半导体器件,其中:
所述第一焊盘区域包括在所述第一方向上设置的所述第一焊盘区域当中的位于最低水平的第一下焊盘区域和位于最高水平的第一上焊盘区域,和
所述绝缘区域包括穿过所述第一下焊盘区域的至少一部分的第一绝缘区域和穿过所述第一上焊盘区域的至少一部分的第二绝缘区域中的一个或包括所述第一绝缘区域和所述第二绝缘区域两者。

三维半导体器件

技术领域

[0001] 本公开涉及半导体器件,更具体而言,涉及包括具有台阶结构的堆叠结构的三维半导体器件。

背景技术

[0002] 为了提高产品的价格竞争力,对改善三维半导体器件的集成度的需求不断增加。为了改善三维半导体器件的集成度,已经开发了具有其中栅极在垂直方向上堆叠在基板上的三维结构的半导体器件。

发明内容

[0003] 本公开的一方面提供一种能够改善其集成度的三维半导体器件。

[0004] 提供一种根据本公开的一方面的三维半导体器件。该三维半导体器件包括:下结构;堆叠结构,设置在下结构上的第一区域和第二区域中,堆叠结构包括在垂直于下结构的上表面的垂直方向上堆叠的栅极图案,该栅极图案包括在第二区域中设置成台阶结构的焊盘区域;以及垂直沟道结构,在垂直方向上设置在下结构上且具有面对栅极图案的侧表面。堆叠结构包括在第一方向上顺序地布置在第二区域中的第一堆叠区域、第二堆叠区域和第三堆叠区域,第一堆叠区域包括具有以第一高度为单位变化的台阶结构的第一台阶区域,第二堆叠区域包括具有在第一方向上以大于第一高度的第二高度为单位降低的台阶结构的第二台阶区域,第三堆叠区域包括向上成台阶的区域和向下成台阶的区域,第三堆叠区域的向上成台阶的区域具有在第一方向上以第二高度为单位升高的台阶结构,第三堆叠区域的向下成台阶的区域具有在第一方向上以第二高度为单位降低的台阶结构。

[0005] 提供一种根据本公开的一方面的三维半导体器件。该三维半导体器件包括:下结构;堆叠结构,设置在下结构上,并且包括在垂直于下结构的上表面的垂直方向上堆叠的栅极图案;以及垂直沟道结构,设置在下结构上且具有面对栅极图案的侧表面。堆叠结构包括在第一方向上升高的焊盘区域位于其中的向上成台阶的区域以及在第一方向上降低的焊盘区域位于其中的向下成台阶的区域,向上成台阶的区域和向下成台阶的区域在第一方向上顺序地布置,向上成台阶的区域包括位于不同高度水平且在第二方向上顺序地布置的第一向上成台阶的区域和第二向上成台阶的区域,向下成台阶的区域包括位于不同高度水平且在第二方向上顺序地布置的第一向下成台阶的区域和第二向下成台阶的区域,并且第二方向平行于下结构的上表面且垂直于第一方向。

[0006] 提供一种根据本公开的一方面的三维半导体器件。该三维半导体器件包括:在下结构上的第一栅极组;以及第一栅极组上的第二栅极组。第一栅极组包括在平行于下结构的上表面的第一方向上降低并且在平行于下结构的上表面且垂直于第一方向的第二方向上升高的第一焊盘区域,第二栅极组包括在第一方向上顺序地升高且在第二方向上升高的第二焊盘区域。

附图说明

[0007] 本公开的上述和其它方面、特征和优点将自结合附图的以下详细描述而被更清晰地理解,在图中:

[0008] 图1A是根据一示例实施方式的三维半导体器件的示意性框图;

[0009] 图1B是概念地示出根据一示例实施方式的三维半导体器件的存储阵列区域的电路图;

[0010] 图2至图5B和图6A至图9是示出根据一示例实施方式的三维半导体器件的一示例性实施方式的视图;

[0011] 图5C是示出根据一示例性实施方式的三维半导体器件的修改实施方式的视图;

[0012] 图5D是示出根据一示例实施方式的三维半导体器件的修改实施方式的视图;

[0013] 图10至图13是示出根据一示例实施方式的三维半导体器件的修改实施方式的视图;

[0014] 图14是示出根据一示例实施方式的三维半导体器件的修改实施方式的视图;

[0015] 图15A至图16B是示出根据一示例实施方式的三维半导体器件的修改实施方式的视图;

[0016] 图17A至图18B是示出根据一示例实施方式的三维半导体器件的修改实施方式的视图;

[0017] 图19和图20是示出根据一实施方式的三维半导体器件的修改实施方式的视图;

[0018] 图21和图22是示出根据一示例实施方式的三维半导体器件的修改实施方式的视图;

[0019] 图23至图26B是示出根据一示例实施方式的三维半导体器件的修改实施方式的视图;以及

[0020] 图27A至图27E是示出根据一示例实施方式的形成三维半导体器件的方法的一示例性实施方式的透视图。

具体实施方式

[0021] 在下文,将参考附图描述本公开的示例实施方式。

[0022] 将参考图1A描述根据本公开的一实施方式的三维半导体器件的一示例性实施方式。图1A是根据本公开的一实施方式的三维半导体器件的示意性框图。

[0023] 参考图1A,根据本公开的一实施方式的三维半导体器件1可以包括存储阵列区域MA、行解码器3、页缓冲器4、列解码器5和控制电路6。存储阵列区域MA可以包括存储块BLK。

[0024] 存储阵列区域MA可以包括布置成多个行和多个列的存储单元。在存储阵列区域MA中包括的存储单元可以包括字线WL、至少一条公共源极线CSL、串选择线SSL、至少一条地选择线GSL等等,并且可以通过位线BL电连接到页缓冲器4和列解码器5。

[0025] 在一个实施方式中,在存储单元当中,布置在同一行的存储单元可以连接到相同的字线WL,布置在同一列的存储单元可以连接到相同的位线BL。

[0026] 行解码器3可以共同连接到存储块BLK,并且可以提供驱动信号到根据块选择信号选择的存储块BLK的字线WL。例如,行解码器3可以从外部源接收地址信息ADDR并解码所接收的地址信息ADDR,以确定供给到电连接到存储块BLK的字线WL、公共源极线CSL、串选

择线SSL和地选择线GSL中的至少一部分的电压。

[0027] 页缓冲器4可以通过位线BL电连接到存储阵列区域MA。页缓冲器4可以连接到根据从列解码器5解码的地址选择的位线BL。根据操作模式，页缓冲器4可以暂时地存储将被存储在存储单元中的数据，或可以读出在存储单元中存储的数据。例如，页缓冲器4可以在编程操作模式中作为写驱动器电路操作，并且可以在读操作模式中作为读出放大器电路操作。页缓冲器4可以从控制逻辑接收电力（例如，电压或电流），并且可以将其提供到所选择的位线BL。

[0028] 列解码器5可以在页缓冲器4和外部装置（例如，存储控制器）之间提供数据传输路径。列解码器5可以解码从外部输入的地址以选择位线BL中的任一条。

[0029] 列解码器5可以共同连接到存储块BLK，并且可以提供数据信息到根据块选择信号选择的存储块BLK的位线BL。

[0030] 控制电路6可以控制三维半导体器件1的整体操作。控制电路6可以接收控制信号和外部电压，并且可以根据所接收的控制信号操作。控制电路6可以包括使用外部电压产生内部操作所需的电压（例如，编程电压、读取电压、擦除电压等）的电压产生器。控制电路6可以响应控制信号控制读、写和/或擦除操作。

[0031] 将参考图1B描述在图1A中描述的三维半导体器件1的存储阵列区域（图1A中的MA）布置的电路的一示例性实施方式。图1B是概念地示出根据本公开的一实施方式的三维半导体器件的存储阵列区域（图1A中的MA）的电路图。

[0032] 参考图1A和图1B，根据本公开的一实施方式的三维半导体器件可以包括公共源极线CSL、位线BL、以及布置在公共源极线CSL与位线BL之间的多个单元串CSTR。公共源极线CSL、位线BL和所述多个单元串CSTR可以布置在存储阵列区域MA中。

[0033] 所述多个单元串CSTR可以并联连接到每条位线BL。所述多个单元串CSTR可以共同连接到公共源极线CSL。所述多个单元串CSTR中的每个可以包括可串联连接的下选择晶体管GST、存储单元MCT和上选择晶体管SST。

[0034] 存储单元MCT可以串联连接在下选择晶体管GST和上选择晶体管SST之间。每个存储单元MCT可以包括可储存信息的数据存储区域。

[0035] 上选择晶体管SST可以电连接到位线BL，下选择晶体管GST可以电连接到公共源极线CSL。

[0036] 上选择晶体管SST可以布置为复数个，并且可以由串选择线SSL控制。存储单元MCT可以由多条字线WL控制。

[0037] 下选择晶体管GST可以由地选择线GSL控制。公共源极线CSL可以共同连接到下选择晶体管GST的源极。

[0038] 在一示例性实施方式中，上选择晶体管SST可以是串选择晶体管，下选择晶体管GST可以是地选择晶体管。

[0039] 接着，将参考图2、图3A、图3B和图4A至图4D描述根据本公开的一实施方式的三维半导体器件的一示例性实施方式。在图2至图4D中，图2是示出根据本公开的一实施方式的三维半导体器件的概念平面图，图3A和图3B是示出图2的一部分的平面图，图4A是示出图2中的一区域的沿线I-I'截取的剖视图，图4B是示出图2中的一区域的沿线II-II'截取的剖视图，图4C是示出图2中的一区域的沿线III-III'截取的剖视图，图4D是示出图2中的一

区域的沿线IV-IV'截取的剖视图。

[0040] 参考图2至图4D,包括栅极图案158的堆叠结构160可以设置在下结构40上。下结构40可以包括半导体基板。堆叠结构160可以在下结构40上设置在第一区域A1和邻近第一区域A1的第二区域A2中。栅极图案158可以堆叠为在垂直于下结构40的上表面40s的垂直方向Z上彼此间隔开。

[0041] 堆叠结构160还可以包括与栅极图案158一起交替且重复地堆叠的层间绝缘层114。层间绝缘层114可以由硅氧化物形成。

[0042] 在栅极图案158中,其一部分可以构成上述地选择线(图1A和图1B中的GSL),其一部分可以构成上述字线(图1A和图1B中的WL),其一部分可以构成上述串选择线(图1A和图1B中的SSL),其一部分可以是虚设栅极图案和浮置栅极图案。

[0043] 栅极图案158可以包括布置在第一区域A1中并延伸到第二区域A2中的下栅极图案158L、中间栅极图案158M、上栅极图案158Ua和158Ub以及与第一区域A1间隔开并设置在第二区域A2中的浮置栅极图案158F。

[0044] 中间栅极图案158M可以设置在下栅极图案158L上,上栅极图案158Ua和158Ub可以设置在中间栅极图案158M上。第二区域A2中的浮置栅极图案158F可以设置在中间栅极图案158M上,可以与其它栅极图案158L、158M、158Ua和158Ub间隔开,并且可以电绝缘。

[0045] 浮置栅极图案158F可以包括:上浮置栅极图案158Fu,具有以第一高度H1为单位升高的台阶形状;第一浮置栅极图案158Fa,位于比上浮置栅极图案158Fu低的高度水平并且具有以大于第一高度H1的第二高度H2为单位升高的台阶结构;以及第二浮置栅极图案158Fb,位于比第一浮置栅极图案158Fa低的高度水平并且具有以第二高度H2为单位升高的台阶结构。

[0046] 在示例性实施方式中,下栅极图案158L可以构成上述地选择线(图1A和图1B中的GSL),中间栅极图案158M的一部分可以构成字线(图1A和图1B中的WL),上栅极图案158Ua和158Ub可以构成串选择线(图1A和图1B中的SSL)。

[0047] 在中间栅极图案158M当中,邻近下栅极图案158L的中间栅极图案可以是虚设栅极,邻近上栅极图案158Ua和158Ub的中间栅极图案可以是虚设栅极,剩余的中间栅极图案可以是字线(图1A和图1B中的WL)。上栅极图案158Ua和158Ub可以包括第一上栅极图案158Ua和在比第一上栅极图案158Ua的位置低的位置的第二上栅极图案158Ub。

[0048] 栅极图案158可以具有在第二区域A2中设置成台阶结构的焊盘区域P。在第二区域A2中,焊盘区域P可以是栅极图案158的不交叠位于相对上部分处的其它栅极图案的区域,或者可以是栅极图案158的在其上部分处没有其它栅极图案的区域。在栅极图案158的焊盘区域P当中,栅极图案(其可以是上述地选择线(图1A和图1B中的GSL)、字线(图1A和图1B中的WL)和串选择线(图1A和图1B中的SSL))的焊盘区域可以是电信号可施加到其上的焊盘区域,上述虚设栅极图案和浮置栅极图案158F的焊盘区域可以是没有电信号施加到其上的焊盘区域。

[0049] 第一区域A1可以是在其中布置存储单元(图1B中的MCT)和所述多个单元串(图1B中的CSTR)的存储阵列区域(图1A中的MA)。栅极图案158,其可以是地选择线(图1A和图1B中的GSL)、字线(图1A和图1B中的WL)和串选择线(图1A和图1B中的SSL),可以设置在第一区域A1中并且可以延伸到第二区域A2中。

[0050] 在整个说明书和权利要求中,第一区域A1可以用‘存储阵列区域’替换,第二区域A2可以用‘延伸区域’或‘台阶区域’等替换。

[0051] 第一盖绝缘层116和第二盖绝缘层133可以设置在具有堆叠结构160的基板上。第一盖绝缘层116和第二盖绝缘层133可以具有位于基本相同水平的上表面。第一盖绝缘层116可以交叠上栅极图案158Ua和158Ub当中位于最上面的位置处的第一上栅极图案158Ua,第二盖绝缘层133可以覆盖堆叠结构160的位于第一上栅极图案158Ua外部的部分。

[0052] 穿过堆叠结构160的垂直沟道结构146可以设置在下结构40上。垂直沟道结构146可以穿过堆叠结构160并且沿向上方向延伸以穿过第一盖绝缘层116。垂直沟道结构146可以具有面对栅极图案158的侧表面。

[0053] 可以设置顺序堆叠在第一盖绝缘层116和第二盖绝缘层133上的第三盖绝缘层149、第四盖绝缘层172和第五盖绝缘层174。第一至第五盖绝缘层116、133、149、172和174可以由绝缘材料诸如硅氧化物等等形成。

[0054] 穿过堆叠结构160的分隔结构169可以设置在下结构40上。分隔结构169可以穿过第三盖绝缘层149并且沿向下方向延伸以穿过堆叠结构160。

[0055] 分隔结构169可以具有沿第一方向X延伸的线形形状。第一方向X可以平行于下结构40的上表面40s并且可以是第一区域A1到第二区域A2的方向。

[0056] 分隔结构169可以包括块分隔结构169a和虚设分隔结构169b。分隔结构169可以设置在穿过堆叠结构160并暴露下结构40的分隔沟槽152中。例如,块分隔结构169a可以设置在块分隔沟槽152a中,虚设分隔结构169b可以设置在虚设分隔沟槽152b中。

[0057] 在整个说明书和权利要求中,块分隔结构169a的术语‘块’和虚设分隔结构169b的术语‘虚设’可以用于使组件彼此区分开。本公开不受诸如‘块’和‘虚设’的表述限制。例如,在整个说明书和权利要求中,块分隔结构169a和虚设分隔结构169b可以分别用表述‘第一分隔结构169a’和‘第二分隔结构169b’替换,并且可以分别被称为表述‘第一分隔结构169a’和‘第二分隔结构169b’。

[0058] 块分隔结构169a可以跨越第一区域A1和第二区域A2。因此,块分隔结构169a可以彼此间隔开,或者使上述存储块BLK彼此分隔开。块分隔结构169a可以包括第一块分隔结构169a1和第二块分隔结构169a2。第一块分隔结构169a1可以设置在第二块分隔结构169a2之间。

[0059] 堆叠结构169可以通过块分隔结构169a在第二方向Y上分隔开。例如,堆叠结构160可以包括位于第一块分隔结构169a1的两个侧表面上的第一堆叠结构160a和第二堆叠结构160b。第一堆叠结构160a和第二堆叠结构160b可以关于第一块分隔结构169a1镜像对称。

[0060] 每个虚设分隔结构169b可以设置在存储块BLK中,并且可以具有比每个块分隔结构169a短的长度。块分隔结构169a和虚设分隔结构169b可以由相同的材料形成,并且可以具有相同高度的上表面。

[0061] 在一对相邻的块分隔结构169a之间,例如,在第一块分隔结构169a1和第二块分隔结构169a2之间,虚设分隔结构169b可以具有相对的端部分,并且可以包括可彼此间隔开的多个分隔部分169b1、169b2、169b3和169b4。

[0062] 堆叠结构160的栅极图案158的在相邻的第一块分隔结构169a1和第二块分隔结

构169a2之间的部分可以在第二方向Y上由虚设分隔结构169b分隔。以这种方式分隔的部分栅极图案158可以在虚设分隔结构169b的相对端部分之间彼此连接。在相邻的第一块分隔结构169a1和第二块分隔结构169a2之间,栅极图案158当中的每个中间栅极图案158M,其可以是字线(图1A和图1B中的WL),可以包括通过虚设分隔结构169b在第二方向Y上分隔的线部分以及位于虚设分隔结构169b之间并且连接该线部分的连接部分。

[0063] 第二方向Y可以平行于下结构40的上表面40s,并且可以垂直于第一方向X。

[0064] 虚设结构169b可以包括可越过第一区域A1并可延伸到一部分第二区域A2中的第一分隔部分169b1、以及可设置在第二区域A2中的第二分隔部分169b2、第三分隔部分169b3和第四分隔部分169b4。第一分隔部分169b1和第二分隔部分169b2可以具有相对的端部分并且可以彼此间隔开。第二分隔部分169b2和第三分隔部分169b3可以具有相对的端部分并且可以彼此间隔开。第三分隔部分169b3和第四分隔部分169b4可以具有相对的端部分并且可以彼此间隔开。

[0065] 块分隔结构169a和虚设分隔结构169b可以由相同的材料形成,并且可以具有相同的结构。例如,块分隔结构169a和虚设分隔结构169b的每个可以包括分隔图案(图4C中的168)和在分隔图案168的侧表面上的分隔间隔物(图4C中的167)。分隔图案168可以由掺杂硅、金属氮化物(例如, TiN)和金属(例如,W)当中的一种或多种形成。分隔间隔物167可以由硅氧化物和硅氮化物中的任一种或者其组合形成。

[0066] 在一示例性实施方式中,绝缘图案134可以设置在中间栅极图案158M上并且可以穿过上栅极图案158Ua和158Ub。绝缘图案134可以设置在分隔结构169之间。

[0067] 位线190可以设置在第五盖绝缘层174上。电连接位线190和垂直沟道结构146的位线接触插塞180可以设置在位线190和垂直沟道结构146之间。

[0068] 将参考图5A描述上述垂直结构146的示例性实施方式。图5A是示出垂直沟道结构146当中的一垂直沟道结构146以及栅极图案158当中的第一上栅极图案158Ua、一个中间栅极图案158M和下栅极图案158L的概念剖视图。

[0069] 参考图5A,垂直沟道结构146可以包括垂直沟道半导体层140、以及设置在垂直沟道半导体层140与栅极图案158之间的栅极电介质结构138。

[0070] 垂直沟道结构146还可以包括半导体图案136、在半导体图案136上的垂直芯图案142以及在垂直芯图案142上的焊盘图案144。

[0071] 垂直沟道半导体层140可以设置为接触半导体图案136并且围绕垂直芯图案142的外表面。栅极电介质结构138可以设置为围绕垂直沟道半导体层140的外表面。半导体图案136可以是可通过选择性外延生长(SEG)工艺形成的外延材料层。垂直芯图案142可以由绝缘材料(例如,硅氧化物等等)形成。焊盘图案144可以由具有N型导电性的多晶硅形成。焊盘图案144可以设置在比上栅极图案158U高的水平。垂直沟道结构146的焊盘图案144可以与上述位线接触插塞180接触并与之电连接。

[0072] 在一示例性实施方式中,垂直沟道半导体层140可以具有面对中间栅极图案158M和上栅极图案158U的侧表面。垂直沟道结构146可以穿过栅极图案158L、158M和158U。

[0073] 当垂直沟道结构146包括半导体图案136时,半导体图案136可以穿过下栅极图案158L,垂直沟道半导体层140可以穿过中间栅极图案158M和上栅极图案158U。垂直沟道半导体层140可以由多晶硅层形成。

[0074] 在一示例性实施方式中,半导体图案136可以被称为沟道半导体层。例如,半导体图案136可以被称为位于相对下部分中的下沟道半导体层,垂直沟道半导体层140可以被称为位于相对上部分中的上沟道半导体层。因此,半导体图案136和垂直沟道半导体层140一起可以被称为‘垂直沟道半导体层’。

[0075] 在一示例性实施方式中,额外的电介质层154可以设置在半导体图案136与下栅极图案158L之间。额外的电介质层154可以包括硅氧化物。

[0076] 在一示例性实施方式中,栅极电介质结构138可以包括隧道电介质层138a、数据存储层138b和阻挡电介质层138c。

[0077] 数据存储层138b可以设置在隧道电介质层138a与阻挡电介质层138c之间。阻挡电介质层138c可以设置在数据存储层138b与栅极图案158之间。隧道电介质层138a可以设置在数据存储层138b与垂直沟道半导体层140之间。

[0078] 隧道电介质层138a可以包括硅氧化物和/或杂质掺杂的硅氧化物。阻挡电介质层138c可以包括硅氧化物和/或高k电介质。数据存储层138b可以由能够储存数据的材料例如硅氮化物形成。

[0079] 数据存储层138b可以包括在垂直沟道半导体层140与中间栅极图案158M之间能够储存数据的区域,该中间栅极图案158M可以是字线(图1A和图1B中的WL)。例如,根据非易失性存储器件诸如快闪存储器件的操作条件,经过隧道电介质层138a从垂直沟道半导体层140注入的电子可以被捕获并保持,或在数据存储层138b中捕获的电子可以被擦除。

[0080] 如上所述,数据存储层138b(见图5A)的位于中间栅极图案158M(其可以是字线(图1A和图1B中的WL))与垂直沟道半导体层140之间的区域,可以被定义为数据存储区域,并且数据存储区域可以构成如图1B中描述的存储单元(图1B中的MCT)。

[0081] 焊盘图案144可以接触位线接触插塞180,位线接触插塞180可以接触位线190。因此,垂直沟道结构146的焊盘图案144可以通过位线接触插塞180电连接到位线190。

[0082] 每个栅极图案158可以包括彼此不同的第一材料层156和第二材料层157。

[0083] 在一示例性实施方式中,第一材料层156可以由电介质诸如铝氧化物形成,第二材料层157可以由包括掺杂硅、金属氮化物(例如,TiN)和金属(例如,W)中的一种、或两种或更多种的导电材料形成。第一材料层156可以覆盖第二材料层157的上表面和下表面,并且可以延伸到第二材料层157的一部分侧表面。第二材料层157的面对分隔结构169的侧表面可以不如图4C中那样的被第一材料层156覆盖。

[0084] 接着,将参考图5B描述将栅极图案158电连接到图1A中描述的外围电路例如行解码器(图1A中的3)的方案。图5B是示出如图5A中所示的栅极图案158当中的第一上栅极图案158Ua、一个中间栅极图案158M和下栅极图案158L的连接结构的概念剖视图。

[0085] 参考图5B,栅极图案158可以具有焊盘区域P,其可以布置成台阶形状,如上所述。例如,第一上栅极图案158Ua可以具有上焊盘区域PU,中间栅极图案158M可以具有中间焊盘区域PM,下栅极图案158L可以具有下焊盘区域PL。

[0086] 栅极接触插塞176可以设置在焊盘区域P上。例如,上栅极接触插塞176U可以设置在上焊盘区域PU上,中间栅极接触插塞176M可以设置在中间焊盘区域PM上,下栅极接触插塞176L可以设置在下焊盘区域PL上。

[0087] 可以设置可电连接到栅极接触插塞176的栅极连接布线194。例如,上栅极连接布

线194U可以设置在上栅极接触插塞176U上,中间栅极连接布线194M可以设置在中间栅极接触插塞176M上,下栅极连接布线194L可以设置在下栅极接触插塞176L上。

[0088] 可以设置电连接上栅极接触插塞176U和上栅极连接布线194U、电连接中间栅极接触插塞176M和中间栅极连接布线194M以及电连接下栅极接触插塞176L和下栅极连接布线194L的连接插塞184。

[0089] 栅极连接布线194可以用于将栅极图案158当中的可以是串选择线(图1A和图1B中的SSL)、字线(图1A和图1B中的WL)和地选择线(图1A和图1B中的GSL)的栅极图案电连接到外围电路。

[0090] 在一示例性实施方式中,焊盘区域P可以具有与栅极图案158的其它部分相同的厚度,但是其示例性实施方式不限于此。例如,焊盘区域P的一部分或者全部可以修改为具有与栅极图案158的其它部分不同的厚度。将分别参考图5C和图5D描述这样的焊盘区域的修改实施方式。

[0091] 在一修改实施方式中,参考图5C,栅极图案158当中的位于最上面的位置的第一上栅极图案158Ua的上焊盘区域PU和位于最下面的位置的下栅极图案158L的下焊盘区域PL可以具有与第一上栅极图案158Ua和下栅极图案158L的其它部分相同的厚度。栅极图案158当中的位于第一上栅极图案158Ua和下栅极图案158L之间的栅极图案,例如中间栅极图案158M的中间焊盘区域PM,可以具有增大厚度的部分158P。因此,中间焊盘区域PM可以具有比中间栅极图案158M的剩余部分的厚度大的厚度。

[0092] 在另一修改实施方式中,参考图5D,栅极图案158的每个焊盘区域P可以具有增大厚度的部分158P。因此,每个栅极图案158可以具有焊盘区域P,该焊盘区域P可以具有比栅极图案的剩余部分的厚度大的厚度。

[0093] 再次参考图2至图4D,在图3A和图3B的平面图中,附图标记‘G0’至‘G120’可以表示栅极图案158在下结构40上定位的高度信息。在第二区域A2中,由附图标记‘G0’至‘G120’表示的区域可以是栅极图案158的在其上没有其它栅极图案的区域,这样的区域可以被称为焊盘区域P。因此,在图3A和图3B的平面图中,焊盘区域P可以被看作由附图标记‘G0’至‘G120’表示的区域。

[0094] 位于焊盘区域P中的不同高度水平的焊盘区域可以被看作台阶的楼梯踏板。因此,因为位于不同高度水平的焊盘区域P可以与台阶的楼梯踏板相同,所以可以看到焊盘区域P布置成台阶结构。因此,以下将被描述的堆叠结构160的‘台阶结构’可以意指通过位于不同高度水平的焊盘区域P之间的高度差形成的台阶形状。

[0095] 如上所述,堆叠结构160可以包括第一堆叠结构160a和第二堆叠结构160b,其可以是关于第一块分隔结构169a1的镜像对称结构。因此,堆叠结构160的台阶结构可以关于第一块分隔结构169a1镜像对称。将参考图6A和图6B描述堆叠结构160的栅极图案158。图6A是示意性地示出位于第二块分隔结构169a2之间的堆叠结构160的台阶结构的透视图,以说明堆叠结构160的台阶结构。图6B是示意性地示出位于第一块分隔结构169a1和第二块分隔结构169a2之间的堆叠结构160的栅极图案158以及栅极图案158的焊盘区域P的透视图,以示出堆叠结构160的台阶结构。

[0096] 在下文,在堆叠结构160的描述中,将主要参考示出位于第一块分隔结构169a1和第二块分隔结构169a2之间的第一堆叠结构160a的台阶结构的图6A,将辅助地参考示意性

地示出关于第一块分隔结构169a1具有镜像对称结构的第一堆叠结构160a和第二堆叠结构160b的台阶结构的图6B。

[0097] 参考图6A和图6B以及图2至图4D,第一堆叠结构160a可以包括在第二区域A2中具有各种各样的台阶结构的堆叠区域。例如,堆叠区域可以包括在第一方向X上顺序地布置的第一堆叠区域S1、第二堆叠区域S2、第三堆叠区域S3和第四堆叠区域S4。第一至第四堆叠区域S1至S4可以具有不同的台阶结构。

[0098] 在一示例性实施方式中,第一堆叠结构160a的第一堆叠区域S1可以包括具有以第一高度H1为单位变化的台阶结构的第一台阶区域SA1。第一台阶区域SA1可以具有从第一区域A1开始并且在第一方向X上以第一高度H1为单位逐渐下降、然后在第一方向X和第二方向Y上以第一高度H1为单位逐渐升高的台阶结构。

[0099] 在一示例性实施方式中,第二堆叠区域S2可以包括具有在第一方向X上以大于第一高度H1的第二高度H2为单位降低的台阶结构的第二台阶区域SA2。例如,第二堆叠区域S2可以包括第二台阶区域SA2,该第二台阶区域SA2具有从第一堆叠区域S1开始并在第一方向X上以第二高度H2为单位逐渐下降、然后在第二方向Y上以第一高度H1为单位逐渐升高的台阶结构。

[0100] 在一示例性实施方式中,第三堆叠区域S3可以包括一个或多个堆叠部分。例如,第三堆叠区域S3可以包括第一堆叠部分S3a和第二堆叠部分S3b。第一堆叠部分S3a和第二堆叠部分S3b可以包括第三台阶区域SA3a和SA3b。第三台阶区域SA3a和SA3b可以包括具有在第一方向X上以第二高度H2为单位升高的台阶结构的向上成台阶的区域SUa和SUB以及具有在第一方向X上以第二高度H2为单位降低的台阶结构的向下成台阶的区域SDa和SDb。

[0101] 第三台阶区域SA3a和SA3b可以包括第三上台阶区域SA3a和第三下台阶区域SA3b。例如,第一堆叠部分S3a可以包括第三上台阶区域SA3a。第三上台阶区域SA3a可以具有向上成台阶的区域SUa和向下成台阶的区域SDa,该向上成台阶的区域SUa具有在第一方向X上以第二高度H2为单位升高的台阶结构,该向下成台阶的区域SDa具有在第一方向X上以第二高度H2为单位降低的台阶结构。第二堆叠部分S3b可以包括第三下台阶区域SA3b。第三下台阶区域SA3b可以具有向上成台阶的区域SUB和向下成台阶的区域SDb,该向上成台阶的区域SUB具有在第一方向X上以第二高度H2为单位升高的台阶结构,该向下成台阶的区域SDb具有在第一方向X上以第二高度H2为单位降低的台阶结构。

[0102] 第一堆叠部分S3a的向上成台阶的区域SUa和第一堆叠部分S3a的向下成台阶的区域SDa可以在第一方向X上顺序地布置。第二堆叠部分S3b的向上成台阶的区域SUB和第二堆叠部分S3b的向下成台阶的区域SDb可以在第一方向X上顺序地布置。

[0103] 第一堆叠部分S3a的向上成台阶的区域SUa可以包括位于不同高度水平的第一向上成台阶的区域SUa1和第二向上成台阶的区域SUa2,第一堆叠部分S3a的向下成台阶的区域SDa可以包括位于不同高度水平的第一向下成台阶的区域SDa1和第二向下成台阶的区域SDa2。

[0104] 第一堆叠部分S3a的第一向上成台阶的区域SUa1可以位于比第一堆叠部分S3a的第二向上成台阶的区域SUa2低的高度水平。

[0105] 第一堆叠部分S3a的第一向上成台阶的区域SUa1可以具有从第二堆叠区域S2的

一部分开始并且以第三高度H3为单位降低、在第一方向X上以第二高度H2为单位逐渐升高、以及在从第二块分隔结构169a2引向第一块分隔结构169a1的第二方向Y上以第一高度H1为单位逐渐升高的台阶结构。第三高度H3可以大于第二高度H2。

[0106] 第一堆叠部分S3a的第二向上成台阶的区域SUa2可以具有从第二堆叠区域S2的一部分开始并且在第一方向X上没有台阶差的情况下延伸、且在第一方向X上以第二高度H2为单位逐渐升高的台阶结构。在第一堆叠部分S3a的第一向上成台阶的区域SUa1与第一堆叠部分S3a的第二向上成台阶的区域SUa2之间在第二方向Y上的台阶差可以是第三高度H3。

[0107] 第一堆叠部分S3a的第一向下成台阶的区域SDa1可以具有从第一堆叠部分S3a的第一向上成台阶的区域SUa1开始并且以第三高度H3为单位降低、在第一方向X上以第二高度H2为单位逐渐降低并且在第二方向Y上以第一高度H1为单位逐渐升高的台阶结构。第一堆叠部分S3a的第二向下成台阶的区域SDa2可以具有从第一堆叠部分S3a的第二向上成台阶的区域SUa2开始并且以第三高度H3为单位降低、且在第一方向X上以第二高度H2为单位逐渐降低的台阶结构。在第一堆叠部分S3a的第一向下成台阶的区域SDa1与第一堆叠部分S3a的第二向下成台阶的区域SDa2之间在第二方向Y上的台阶差可以是第三高度H3。

[0108] 第二堆叠部分S3b可以具有有与第一堆叠部分S3a相同或类似的台阶结构的台阶区域。例如,第二堆叠部分S3b可以包括分别对应于第一堆叠部分S3a的第一向上成台阶的区域SUa1和第二向上成台阶的区域SUa2的第一向上成台阶的区域Sub1和第二向上成台阶的区域Sub2。第二堆叠部分S3b可以包括分别对应于第一堆叠部分S3a的第一向下成台阶的区域SDa1和第二向下成台阶的区域SDa2的第一向下成台阶的区域Sdb1和第二向下成台阶的区域Sdb2。

[0109] 第二堆叠部分S3b的第一向上成台阶的区域Sub1可以具有从第一堆叠部分S3a的第一向下成台阶的区域SDa1开始并且以第三高度H3为单位降低、在第一方向X上以第二高度H2为单位逐渐升高并且在第二方向Y上以第一高度H1为单位逐渐升高的台阶结构。第二堆叠部分S3b的第二向上成台阶的区域Sub2可以具有从第一堆叠部分S3a的第二向下成台阶的区域SDa2开始并且以第三高度H3为单位降低、且在第一方向X上以第一高度H2为单位逐渐升高的台阶结构。在第二堆叠部分S3b的第一向上成台阶的区域Sub1与第二堆叠部分S3b的第二向上成台阶的区域Sub2之间在第二方向Y上的台阶差可以是第三高度H3。

[0110] 第二堆叠部分S3b的第二向下成台阶的区域Sdb2可以具有从第二堆叠部分S3a的第二向上成台阶的区域Sub2开始并且以第三高度H3为单位降低、且以第二高度H2为单位逐渐降低的台阶结构。

[0111] 第二堆叠部分S3b的第一向下成台阶的区域Sdb1可以具有从第二堆叠部分S3b的第一向上成台阶的区域Sub1开始并且以第三高度H3为单位降低、在第一方向X上以第二高度H2为单位逐渐降低并且在第二方向Y上以第一高度H1为单位逐渐升高的台阶结构。在第二堆叠部分S3b的第一向下成台阶的区域Sdb1与第二堆叠部分S3b的第二向下成台阶的区域Sdb2之间在第二方向Y上的台阶差可以是第三高度H3。

[0112] 在实施方式中,第三堆叠区域S3被示出为包括第一堆叠部分S3a和第二堆叠部分S3b,但是其示例性实施方式不限于此。例如,第三堆叠区域S3可以包括具有彼此相同的趋势的台阶结构的第一堆叠部分S3a和第二堆叠部分S3b中仅一个堆叠部分,或者还可以包

括设置在第一堆叠部分S3a和第二堆叠部分S3b之间的具有与第一堆叠部分S3a相同的趋势的台阶结构的一个或更多个堆叠部分。

[0113] 第三堆叠区域S3的所述多个堆叠部分可以包括邻近第二堆叠区域S2的第一堆叠部分S3a以及位于在第一方向上从第一堆叠部分S3a起的第n个位置处的第n个堆叠部分,第一堆叠部分S3a可以包括向上成台阶的区域,在该向上成台阶的区域中定位从第二堆叠区域S2开始并且以第三高度H3为单位降低、然后以第二高度H2为单位升高的焊盘区域P,第n个堆叠部分可以包括向上成台阶的区域,在该向上成台阶的区域中定位从第(n-1)个堆叠部分的向下成台阶的区域开始并且以第三高度H3为单位降低、然后以第二高度H2为单位升高的焊盘区域,且'n'可以是大于2的正整数。

[0114] 在一示例性实施方式中,在第一堆叠部分S3a和第二堆叠区域S2之间以第三高度H3为单位降低的区域的斜率可以不同于在第(n-1)个堆叠部分和第n个堆叠部分之间以第三高度H3为单位降低的区域的斜率。

[0115] 第四堆叠区域S4可以包括第四台阶区域SA4。第四台阶区域SA4可以包括具有以第一高度H1为单位变化的台阶结构的第一向下成台阶的区域SD4a和第二向下成台阶的区域SD4b。第四堆叠区域S4的第四台阶区域SA4的第一向下成台阶的区域SD4a可以是在第一方向X上以第一高度H1为单位降低并且同时在第二方向Y上以第一高度H1为单位升高的台阶结构。第四堆叠区域S4的第四台阶区域SA4的第二向下成台阶的区域SD4b可以设置在比第四堆叠区域S4的第一向下成台阶的区域SD4a高的水平,并且可以是在第一方向X上以第一高度H1为单位降低的台阶结构。

[0116] 堆叠结构160的栅极图案158可以包括:在第三堆叠区域S3中的第一堆叠部分S3a的第一向上成台阶的区域SUa1,具有在其中设置和形成在第一方向X上以第二高度H2为单位升高的焊盘区域P的台阶结构;和在第三堆叠区域S3中的第一堆叠部分S3a的第一向下成台阶的区域SDa1,具有在其中设置和形成在第一方向X上以第二高度H2为单位降低的焊盘区域P的台阶结构。

[0117] 在下文,将参考图7A和图7B描述中间栅极图案158M。包括形成在第三堆叠区域S3中的第一堆叠部分S3a的第一向下成台阶的区域SDa1的焊盘区域P的中间栅极图案可以被定义为第一栅极组158G1,包括形成在第三堆叠区域S3中的第一堆叠部分S3a的第一向上成台阶的区域SUa1的焊盘区域P的中间栅极图案可以被定义为第二栅极组158G2。因此,第二栅极组158G2可以设置在第一栅极组158G1上。将参考图6A和图6B、图7A和图7B描述中间栅极图案158M,其可以包括第一栅极组158G1和第二栅极组158G2。图7A是示意性地示出位于第一块分隔结构169a1和第二块分隔结构169a2之间而没有区分焊盘区域P的中间栅极图案158M。图7B是示出第一栅极组158G1和第二栅极组158G2的分解透视图。图8A是示出位于第二栅极组158G2的上部分中的四个栅极图案158G2U的分解透视图。图8B是示出位于第二栅极组158G2的中间部分中的四个栅极图案158G2M的分解透视图。图8C是示出位于第二栅极组158G2的下部分中的四个栅极图案158G2L的分解透视图。

[0118] 参考图7A、图7B、图8A、图8B和图8C,位于第一块分隔结构169a1和第二块分隔结构169a2之间的中间栅极图案158M可以包括第一栅极部分GP1、第二栅极部分GP2以及电连接存在于相同平面的第一栅极部分GP1和第二栅极部分GP2的连接图案158i。在一示例性实施方式中,连接图案158i可以包括第一连接图案158ia、第二连接图案158ib和第三连接

图案 158ic。

[0119] 中间栅极图案158M的第二栅极部分GP2可以包括在第二方向Y上彼此间隔开的多个线图案LP。例如,第二栅极部分GP2可以由彼此平行的四个线图案LP组成。连接图案158i可以电连接位于相同平面且彼此相邻的所述多个线图案LP。

[0120] 在第一栅极部分GP1、第二栅极部分GP2和连接图案158i当中,位于彼此相同的平面上的第一栅极部分、第二栅极部分和连接图案中的每个可以是被电连接到例如字线(图1A和图1B中的WL)的中间栅极图案。

[0121] 第一栅极组158G1和第二栅极组158G2中的每个可以包括第一栅极部分GP1、第二栅极部分GP2和连接图案158i。

[0122] 在第一栅极组158G1中,在第三堆叠区域S3中形成第一堆叠部分S3a的第一向下成台阶的区域SDa1的焊盘区域P可以被定义为第一焊盘区域P1,在第三堆叠区域S3中形成第一堆叠部分S3a的第一向上成台阶的区域SUa1的焊盘区域P可以被定义为第二焊盘区域P2。

[0123] 第一栅极组158G1的第一栅极部分GP1可以在第一方向X上比第一栅极组158G1的第二栅极部分GP2延伸得更远。第一栅极组158G1的第二栅极部分GP2可以包括在第二方向Y上彼此间隔开的多个线图案LPa。

[0124] 第一栅极组158G1的第二栅极部分GP2可以包括第一焊盘区域P1。第一焊盘区域P1可以设置为形成在第一方向X上以第二高度H2为单位降低并且在第二方向Y上以第一高度H1为单位升高的台阶结构,如上所述。

[0125] 第二栅极组158G2的第一栅极部分GP1可以在第一方向X上比第二栅极组158G2的第二栅极部分GP2延伸得更远。第二栅极组158G2的第二栅极部分GP2可以包括第二焊盘区域P2。第二焊盘区域P2可以设置为形成在第一方向X上以第二高度H2为单位升高的台阶结构,如上所述。

[0126] 第二栅极组158G2的第二栅极部分GP2可以包括在第二方向Y上彼此间隔开的线图案LP。第二栅极组158G2的第二栅极部分GP2的线图案LP包括线部分LPb1和面对线部分LPb1的连接部分LPb2。

[0127] 第二栅极组158G2的连接图案158i可以包括使第二栅极组158G2的线部分LPb1和第一栅极部分GP1彼此电连接的第一连接图案158ia、以及电连接第二栅极组158G2的连接部分LPb2和第二栅极组158G2的第一栅极部分GP1的第二连接图案158ib。第二栅极组158G2的连接部分LPb2可以具有第二焊盘区域P2。

[0128] 在第一方向X上设置的第二焊盘区域P2当中,位于相对低水平的第二焊盘区域P2与第二连接图案158ib之间的距离可以比位于相对高水平的第二焊盘区域P2与第二连接图案158ib之间的距离长。

[0129] 接着,将参考图9描述具有位于第二堆叠区域S2中的焊盘区域P的中间栅极图案158M的一示例性实施方式。图9是示出具有位于第二堆叠区域S2中的焊盘区域P的中间栅极图案158M当中的位于相对低水平的中间栅极图案158M的透视图。

[0130] 参考图6A、图6B、图7A、图7B和图9,具有位于第二堆叠区域S2中的焊盘区域P的中间栅极图案158M可以包括如上所述的第一栅极部分GP1、在垂直方向Z上堆叠且彼此间隔开的第二栅极部分GP2、以及电连接存在于相同平面的第一栅极部分GP1和第二栅极部分

GP2的连接图案158i。位于第二堆叠区域S2中的具有焊盘区域P的中间栅极图案158M的第二栅极部分GP2可以包括在第二方向Y上彼此间隔开的线图案LPc。

[0131] 在位于第二堆叠区域S2中的具有焊盘区域P的中间栅极图案158M中，第一栅极部分GP1和第二栅极部分GP2可以通过连接图案158i当中的第一连接图案158ia彼此电连接。

[0132] 在位于第二堆叠区域S2中的具有焊盘区域P的中间栅极图案158M当中，线图案LPc可以具有在第二方向Y上以第一高度H1为单位逐渐升高的焊盘区域P3a、P3b、P3c和P3d，第一栅极部分GP1可以具有位于与线图案LPc当中的邻近第一栅极部分GP1的线图案LPc的焊盘区域P3d相同高度水平的焊盘区域P3e。

[0133] 再次参考图6A和图6B以及图2至图4D，如上所述，可以包括在第一方向X上从第一区域A1到第二区域A2以第三高度H3为单位降低的部分。例如，第一堆叠部分S3a的第一向上成台阶的区域SUa1可以从第二堆叠区域S2的一部分开始，以第三高度H3为单位降低，且在第一方向X上以第二高度H2为单位逐渐升高，第一堆叠部分S3a的第一向下成台阶的区域SDa1可以从第一堆叠部分S3a的第一向上成台阶的区域SUa1开始，以第三高度H3为单位降低，且在第一方向X上以第二高度H2为单位逐渐降低。此外，第二堆叠部分S3b的第一向上成台阶的区域Sub1可以从第一堆叠部分S3a的第一向下成台阶的区域SDa1开始，以第三高度H3为单位降低，且在第一方向X上以第二高度H2为单位逐渐升高，第二堆叠部分S3b的第二向下成台阶的区域Sdb2可以从第二堆叠部分S3a的台阶区域Sub2开始，以第三高度H3为单位降低，且以第二高度H2为单位逐渐降低。

[0134] 因此，具有第三高度H3的第一侧壁SW1可以形成在一部分第二堆叠区域S2与第一堆叠部分S3a的第一向上成台阶的区域SUa1之间，具有第三高度H3的第二侧壁SW2可以形成在第一堆叠部分S3a的第一向上成台阶的区域SUa1与第一堆叠部分S3a的第一向下成台阶的区域SDa1之间，具有第三高度H3的第三侧壁SW3可以形成在第一堆叠部分S3a的第一向下成台阶的区域SDa1与第二堆叠部分S3b的第一向上成台阶的区域Sub1之间，具有第三高度H3的第四侧壁SW4可以形成在第二堆叠部分S3b的第一向上成台阶的区域Sub1与第二堆叠部分S3b的第一向下成台阶的区域Sdb1之间。

[0135] 第一堆叠部分S3a的向上成台阶的区域SUa可以具有在其中设置在第一方向X上以第二高度H2为单位升高的焊盘区域P的台阶结构，第二堆叠部分S3b的向上成台阶的区域Sub可以具有在其中设置在第一方向X上以第二高度H2为单位升高的焊盘区域P的台阶结构。

[0136] 在描述根据本公开的一实施方式的三维半导体器件的修改示例或其它示例中，可以省略与上述内容重叠的描述或者可以省略能够从上述描述已知的描述，并且遍及所有实施方式将主要描述修改部分。

[0137] 在一示例性实施方式中，构成第一堆叠部分S3a的向上成台阶的区域SUa的焊盘区域P可以具有在第一方向X上彼此相同的宽度，构成第二堆叠部分S3b的向上成台阶的区域Sub的焊盘区域P可以具有在第一方向X上彼此相同的宽度，但是其示例性实施方式不限于此。参考图10和图11，将描述构成第一堆叠部分S3a的向上成台阶的区域SUa的焊盘区域P的修改实施方式以及构成第二堆叠部分S3b的向上成台阶的区域Sub的焊盘区域P的修改实施方式。

[0138] 图10是示出构成第一堆叠部分S3a的向上成台阶的区域SUa的焊盘区域P的一修

改实施方式和构成第二堆叠部分S3b的向上成台阶的区域SUB的焊盘区域P的一修改实施方式的平面图,图11是示出一区域的沿图10中的线Ia-Ia'截取的剖视图。参考图10和图11,在描述构成第一堆叠部分S3a的向上成台阶的区域SUa的焊盘区域P的一修改实施方式和构成第二堆叠部分S3b的向上成台阶的区域SUB的焊盘区域P的一修改实施方式中,将在没有另外说明的情况下通过引用它们直接说明以上描述的组件。

[0139] 参考图10和图11,第一堆叠部分S3a的向上成台阶的区域SUa可以包括在第一方向X上以第二高度H2为单位升高的焊盘区域P,第二堆叠部分S3b的向上成台阶的区域SUB可以包括在第一方向X上以第二高度H2为单位升高的焊盘区域P。

[0140] 在第一堆叠部分S3a的在第一方向X上以第二高度H2为单位升高的向上成台阶的区域SUa的焊盘区域P当中,位于最低高度水平的最下面的焊盘区域P2L和位于最高高度水平的最上面的焊盘区域P2U可以在第一方向X上具有比剩余的焊盘区域P2M宽的宽度。

[0141] 以与以上类似的方式,在第二堆叠部分S3b的在第一方向X上以第二高度H2为单位升高的向上成台阶的区域SUB的焊盘区域P当中,位于最低高度水平的最下面的焊盘区域P2L'和位于最高高度水平的最上面的焊盘区域P2U'可以在第一方向X上具有比剩余的焊盘区域P2M'宽的宽度。

[0142] 如上所述,可以布置形成在一部分第二堆叠区域S2与第一堆叠部分S3a的第一向上成台阶的区域SUa1之间的具有第三高度H3的第一侧壁SW1、形成在第一堆叠部分S3a的第一向上成台阶的区域SUa1与第一堆叠部分S3a的第一向下成台阶的区域SDa1之间的具有第三高度H3的第二侧壁SW2、形成在第一堆叠部分S3a的第一向下成台阶的区域SDa1与第二堆叠部分S3b的第一向上成台阶的区域SUB1之间的具有第三高度H3的第三侧壁SW3、和形成在第二堆叠部分S3b的第一向上成台阶的区域SUB1与第二堆叠部分S3b的第一向下成台阶的区域Sdb1之间的具有第三高度H3的第四侧壁SW4。

[0143] 在一示例性实施方式中,第一至第四侧壁SW1、SW2、SW3和SW4可以具有相同的侧壁斜率或可以在第一方向X上具有相同的宽度。

[0144] 在一修改实施方式中,第一至第四侧壁SW1、SW2、SW3和SW4中的至少两个侧壁可以具有不同的侧壁斜率或可以具有第一方向X的不同宽度。在下文,将分别参考图12和图13描述具有不同的侧壁斜率或在第一方向X上具有不同宽度的修改侧壁的一示例性实施方式。图12和图13是示意性地示出第一侧壁SW1的修改第一侧壁和第三侧壁SW3的修改第三侧壁的局部放大剖视图。

[0145] 首先,参考图12,修改的第一侧壁SW1'的底部分在第一方向X上的宽度W1'可以比修改的第三侧壁SW3'的底部分在第一方向X上的宽度W2'宽。修改的第三侧壁SW3'可以具有比修改的第一侧壁SW1'陡的斜率。

[0146] 在一修改实施方式中,在图6A的第一堆叠部分S3a与图6A的第二堆叠区域S2之间以第三高度H3为单位降低的区域的斜率可以是图12的修改的第一侧壁SW1'的斜率,在图6A的第一堆叠部分S3a与图6A的第二堆叠部分S3b之间以第三高度H3为单位降低的区域的斜率可以是图12的修改的第三侧壁SW3'的斜率。

[0147] 接着,参考图13,修改的第一侧壁SW1"的底部分在第一方向X上的宽度W1"可以比修改的第三侧壁SW3"的底部分在第一方向X上的宽度W2"窄。修改的第一侧壁SW1"可以具有比修改的第三侧壁SW3"陡的斜率。

[0148] 在一修改实施方式中,在图6A的第一堆叠部分S3a与图6A的第二堆叠区域S2之间以第三高度H3为单位降低的区域的斜率可以是图13的修改的第一侧壁SW1”的斜率,在图6A的第一堆叠部分S3a与图6A的第二堆叠部分S3b之间以第三高度H3为单位降低的区域的斜率可以是图13的修改的第三侧壁SW3”的斜率。

[0149] 参考图6A和图6B以及图2至图4D,第三堆叠区域S3被示出为包括两(2)个堆叠部分S3a和S3b,但是其示例性实施方式不限于此。例如,第三堆叠区域S3可以包括两(2)个以上的多个堆叠部分。将参考图14描述包括多个堆叠部分的第三堆叠区域S3的修改实施方式。图14是示出包括包含多个堆叠部分的可修改的第三堆叠区域S3’的三维半导体器件的示意性透视图。

[0150] 参考图14,第三堆叠区域S3’可以包括第一堆叠部分S3a1、第二堆叠部分S3b1、第三堆叠部分S3a2、第四堆叠部分S3b2、第五堆叠部分S3a3、第六堆叠部分S3b3、第七堆叠部分S3a4和第八堆叠部分S3b4。第一、第三、第五和第七堆叠部分S3a1、S3a2、S3a3和S3a4可以包括具有在第一方向X上以第二高度H2为单位升高的台阶结构的向上成台阶的区域,第二、第四、第六和第八堆叠部分S3b1、S3b2、S3b3和S3b4可以包括具有在第一方向X上以第二高度H2为单位降低的台阶结构的向下成台阶的区域。第三堆叠区域S3’的向上成台阶的区域和向下成台阶的区域能够从以上描述的第三堆叠区域S3的向上成台阶的区域和向下成台阶的区域理解。因此,将省略第三堆叠区域S3’的向上成台阶的区域和向下成台阶的区域的详细描述。

[0151] 再次参考图2至图9,第一栅极部分GP1可以从第一区域A1延伸到第二区域A2中的单线形式,但是其示例性实施方式不限于此。例如,第一栅极部分GP1可以被修改为由彼此间隔开的多个第一线图案组成的第一栅极部分。如上所述,将参考图15A至图16B描述包括可以由多个第一线图案组成的第一栅极部分的半导体器件的示例性实施方式。在图15A至图16B中,图15A是示出根据本公开的一实施方式的三维半导体器件的概念平面图,图15B示出根据本公开的一实施方式的三维半导体器件的概念平面图,图16A是示出一区域的沿图15A中的线V-V’截取的剖视图,图16B是示出一区域的沿图15A中的线VI-VI’截取的剖视图。

[0152] 参考图15A至图16B,参考图2至图9描述的中间栅极图案158M的第一栅极部分GP1可以从第一区域A1延伸到第二区域A2中的单线形式。以上描述的中间栅极图案158M可以被修改为包括包含多个第一线图案LP1a和LP1b的第一栅极部分GP1a的中间栅极图案258M,如图15A至图16B所示。例如,中间栅极图案258M可以包括彼此平行的一对第一线图案LP1a和LP1b。

[0153] 中间栅极图案258M可以包括平行于第一栅极部分GP1a的第二栅极部分GP2a。第二栅极部分GP2a可以包括多个第二线图案LP2。中间栅极图案258M的第一和第二线图案LP1a、LP1b和LP2可以通过连接图案258i彼此连接。

[0154] 可以设置包括中间栅极图案258M的每个堆叠结构260。每个堆叠结构260可以包括栅极图案258,该栅极图案258包括中间栅极图案258M、在比中间栅极图案258M的位置低的位置的下栅极图案258L、以及在比中间栅极图案258M的位置高的位置的上栅极图案258Ua和258Ub。每个堆叠结构260可以包括与栅极图案258交替地重复堆叠的层间绝缘层114。

[0155] 可以设置分隔结构269,其可以对应于以上描述的分隔结构169。分隔结构269可以包括对应于以上描述的块分隔结构169a的块分隔结构269a以及对应于以上描述的虚设分隔结构169b的虚设分隔结构269b。块分隔结构269a可以包括第一块分隔结构269a1以及在第一块分隔结构269a1的两个侧表面的第二块分隔结构269a2。

[0156] 位于所述一对相邻的第一块分隔结构269a1和第二块分隔结构269a2之间的中间栅极图案258M可以包括包含第一线图案LP1a和LP1b的第一栅极部分GP1a、包含第二线图案LP2的第二栅极部分GP2a、以及电连接位于相同平面的第一栅极部分GP1a和第二栅极部分GP2a的连接图案258i。以与以上描述的连接图案158i类似的方式,连接图案258i可以设置在虚设分隔结构269b的彼此面对的端部分之间。

[0157] 中间栅极图案258M的位于一对相邻的第一块分隔结构269a1和第二块分隔结构269a2之间的第一栅极部分GP1a可以连接到第一线图案LP1a和LP1b,并且可以如图17A至图18B所示地修改,但是其示例性实施方式不限于此。图17A是示出根据本公开的一实施方式的三维半导体器件的概念平面图,图17B是示意性地示出位于第一和第二块分隔结构之间而不区分焊盘区域的中间栅极图案的平面图,图18A是示出一区域的沿图17A中的线Va-Va'截取的剖视图,图18B是示出一区域的沿图17A中的线VIa-VIa'截取的剖视图。

[0158] 参考图17A至图18B,包括如参考图15A至图16B描述的彼此邻近的第一线图案LP1a和LP1b的第一栅极部分GP1a可以修改为包括彼此间隔开的第一线图案LP1a'和LP1b'的第一栅极部分GP1a',如图17A至图18B中那样。如参考图15A至图16B所述的第二栅极部分GP2a的第二线图案LP2可以设置在第一栅极部分GP1a'的彼此间隔开的第一线图案LP1a'和LP2a'之间。在如上所述的相邻的第一块分隔结构269a1和第二块分隔结构269a2之间的位于相同平面的第一和第二线图案LP1a'、LP1b'和LP2可以通过如上所述的连接图案258i彼此电连接。

[0159] 以上参考图3A至图18B描述的下结构40可以修改为包括第一基板、在第一基板上的外围电路结构和在外围电路结构上的第二基板。将参考图19至图26B描述包括下结构40'的半导体器件的修改实施方式,其可以如上所述地修改。

[0160] 参考图19至图26B,下结构40'可以包括第一基板10、在第一基板10上的外围电路结构20和在外围电路结构20上的第二基板30。外围电路结构20可以包括包含外围焊盘22P的外围布线22和覆盖外围布线22的外围绝缘层24。第一基板10可以是半导体基板。第二基板30是可以由多晶硅形成的半导体基板。可以设置穿过第二基板30的间隙填充绝缘层32。间隙填充绝缘层32可以包括硅氧化物。

[0161] 将参考图19至图26B当中的图19和图20描述根据本公开的一实施方式的三维半导体器件的一修改实施方式。图19是示出根据本公开的一实施方式的三维半导体器件的概念平面图,图20是示出一区域的沿图19中的线VII-VII'截取的剖视图。

[0162] 参考图19和图20,绝缘区域310可以设置在第二基板30上。绝缘区域310可以交叠间隙填充绝缘层32并且可以向上延伸以穿过堆叠结构160。绝缘区域310可以由绝缘材料诸如硅形成。例如,绝缘区域310可以是由诸如硅氧化物的材料形成的绝缘柱的形式。

[0163] 在一示例性实施方式中,虚设分隔结构169b的一部分可以围绕绝缘区域310的侧表面。

[0164] 在一示例性实施方式中,当在垂直方向上看时,绝缘区域310可以设置在中间栅

极图案158M当中的中间栅极图案的焊盘区域与上栅极图案158Ua 和158Ub (其可以是以上描述的字线)的焊盘区域之间。

[0165] 可以设置接触外围焊盘22P并且向上延伸以穿过绝缘区域310的外围接触结构320。外围接触插塞330可以设置在外围接触结构320上。外围连接布线340可以设置在外围接触插塞330上。在一示例性实施方式中,外围连接布线340可以是栅极连接布线。

[0166] 接着,将参考图21和图22描述根据本公开的一实施方式的三维半导体器件的一修改实施方式。图21是示出根据本公开的一实施方式的三维半导体器件的概念平面图,图22是示出一区域的沿图21中的线VIII-VIII'截取的剖视图。

[0167] 参考图21和图22,如上所述,可以设置第一块分隔结构169a1和在第一块分隔结构169a1的两侧的第二块分隔结构169a2。在第二区域A2中,如上所述,虚设分隔结构169b可以设置在任一个第二块分隔结构169a2与第一块分隔结构169a1之间,以及在任一个第二块分隔结构169a2与第一块分隔结构169a1之间,可以省略如上所述的虚设分隔结构169b,但是可以设置绝缘区域310'。

[0168] 绝缘区域310'可以包括位于与栅极图案158相同高度处的虚设栅极图案105。虚设栅极图案105可以由绝缘材料诸如硅氮化物形成。因此,在绝缘区域310'中,层间绝缘层114和虚设栅极图案105可以交替且重复地堆叠。

[0169] 在绝缘区域310'中,层间绝缘层114可以被称为第一绝缘层,虚设栅极图案105可以被称为第二绝缘层。

[0170] 可以设置接触外围焊盘22P并且向上延伸以穿过绝缘区域310的外围接触结构320。外围接触插塞330可以设置在外围接触结构320上。连接布线340可以设置在外围接触插塞330上。在一示例性实施方式中,外围连接布线340可以是栅极连接布线。

[0171] 栅极接触结构315可以设置在以上描述的栅极图案158的焊盘区域P上。栅极接触插塞335可以设置在栅极接触结构315上。连接布线340可以设置在栅极接触插塞335上。连接布线340可以电连接栅极图案158和外围布线22。

[0172] 接着,将参考图23、图24A、图24B、图25A、图25B、图25C、图26A 和图26B描述根据本公开的一实施方式的三维半导体器件的一修改实施方式。图23是示出根据本公开的一实施方式的三维半导体器件的概念平面图,图24A是图23中的部分'B1'的放大图,图24B是图23中的部分'B2'的放大图,图25A是示出一区域的沿图24A中的线IX-IX'截取的剖视图,图25B是示出一区域的沿图24A中的线X-X'截取的剖视图,图25C是示出一区域的沿图24A中的线XI-XI'截取的剖视图,图26A是示出一区域的沿图24B中的线XII-XII'截取的剖视图,图26B是示出一区域的沿图24B中的线XIII-XIII'截取的剖视图。

[0173] 参考图23至图26B,在每个上述堆叠结构160的第一向上成台阶的区域(图6A中的SUa1和Sub1)中,沿第一方向X的最下面的焊盘区域P可以通过修改其在第一方向X上的长度以使其增大而被修改为下焊盘区域PB。在每个上述第一向上成台阶的区域(图6A中的SUa1和Sub1)中,沿第一方向X的最上面的焊盘区域P可以通过修改其在第一方向X上的长度以使其增大而被修改为上焊盘区域PT。

[0174] 可以设置穿过下焊盘区域PB和栅极图案158的第一绝缘区域310a,该栅极图案158在比下焊盘区域PB的位置低的位置。第一绝缘区域310a可以交叠穿过第二基板30的间隙填充绝缘层32。

[0175] 可以设置穿过上焊盘区域PT和栅极图案158的第二绝缘区域310b,该栅极图案158在比上焊盘区域PT的位置低的位置。第二绝缘区域310b可以交叠穿过第二基板30的间隙填充绝缘层32。

[0176] 在一示例性实施方式中,第一绝缘区域310a和第二绝缘区域310b可以形成为诸如硅氧化物的绝缘材料的柱的形式,但是其示例性实施方式不限于此。例如,当第一绝缘区域310a和第二绝缘区域310b由绝缘材料形成时,第一绝缘区域310a和第二绝缘区域310b可以被考虑为在本公开的技术范围内。例如,第一绝缘区域310a和第二绝缘区域310b中的每个可以包括交替且重复地堆叠的绝缘层。

[0177] 外围接触结构320的一部分可以接触外围焊盘22P并且可以向上延伸以穿过间隙填充绝缘层32和第一绝缘区域310a,并且外围接触结构320的一部分可以接触外围焊盘22P并且可以向上延伸以穿过间隙填充绝缘层32和第二绝缘区域310b。

[0178] 如上所述,栅极接触结构315可以设置在栅极图案158的焊盘区域P上。栅极接触结构315的一部分可以设置在下焊盘区域PB上,其一部分可以设置在上焊盘区域PT上。

[0179] 在一示例性实施方式中,虚设分隔结构169b可以包括在第二方向Y上延伸以围绕第一绝缘区域310a的侧表面和第二绝缘区域310b的侧表面的部分169b'。

[0180] 在一示例性实施方式中,围绕第二绝缘区域310b的侧表面的虚设分隔结构169b和169b'可以与上焊盘区域PT中的其它虚设分隔结构169b间隔开。因此,在上焊盘区域PT中,可以设置连接图案158i。在上焊盘区域PT中,在第一方向X上布置的连接图案158i可以彼此相对,其中第二绝缘区域310b插置在其间。

[0181] 接着,将参考图27A至图27E描述形成如图14中描述的堆叠结构160的堆叠区域S1、S2、S3'和S4的台阶结构的方法。图27A至图27E是示出在上述堆叠结构160中形成中间栅极图案158M和上栅极图案158Ua和158Ub的焊盘区域P的台阶结构的方法的概念透视图。

[0182] 参考图27A,可以形成模制结构460。可以在以上描述的下结构40上形成模制结构460。在以上描述的堆叠结构160包括下栅极图案158L的情况下,可以形成具有与下栅极图案158L相同形状的模式,然后可以形成模制结构460。模制结构460可以包括交替且重复地堆叠的层间绝缘层410和栅极层420。

[0183] 层间绝缘层410可以由硅氧化物形成。

[0184] 在一示例性实施方式中,栅极层420可以由导电材料诸如N或P型掺杂硅、金属氮化物(例如,TiN等等)、金属硅化物(例如,TiSi、WSi等等)和金属(例如,W等等)或其组合中的其中一种形成。

[0185] 在另一示例中,除层间绝缘层410以外,栅极层420可以由绝缘材料例如硅氮化物形成。

[0186] 参考图27B,在以上描述的第二区域A2中,可以图案化模制结构460以形成以第一高度H1为单位降低的台阶结构。可以形成在从以上描述的第一区域A1到第二区域A2所涉及的区域中以第一高度H1为单位降低的台阶结构,以及在第二区域A2的中心区域中具有方形环形状、与上述台阶结构间隔开且以第一高度H1为单位降低的台阶结构。

[0187] 第一高度H1可以指的是在一个栅极层420的上表面和在垂直方向Z上与其相邻的另一栅极层420的上表面之间的高度。

[0188] 参考图27C,通过图案化具有方形环形状并且以第一高度H1为单位降低的上述台

阶结构,可以形成向下成台阶的区域460D和向上成台阶的区域 460U,其可以在第一方向X上交替且重复地布置。向下成台阶的区域460D 和向上成台阶的区域460U,其可以交替且重复地布置,可以从向下成台阶 的区域460D开始且结束于另一向下成台阶的区域460D。

[0189] 在一示例性实施方式中,可以在第一方向X上交替且重复地布置的向下 成台阶的区域460D和向上成台阶的区域460U的数目越大,栅极图案158 的堆叠层的数目可以越大。

[0190] 向下成台阶的区域460D可以在第一方向X上以大于第一高度H1的第 二高度H2为 单位逐渐降低,向上成台阶的区域460U可以以第二高度H2为 单位逐渐升高。

[0191] 参考图27D,在可以在第一方向X上交替且重复地布置的向下成台阶的 区域460D和向上成台阶的区域460U中,可以图案化模制结构460,使得向 下成台阶的区域460D与向 上成台阶的区域460U之间的台阶差可以在第一 方向X上以大于第二高度H2的第三高度H3 为单位形成。

[0192] 参考图27E,在可以在第一方向X上交替且重复地布置的向下成台阶的 区域460D和向上成台阶的区域460U当中的从第一向上成台阶的区域460U 到模制结构460的端部所 涉及的区域中,可以以第三高度H3为单位蚀刻在 从第一向上成台阶的区域460U到模制结 构460的端部所涉及的区域的中 心部分的两侧。因此,可以形成与如图14中所描述的堆叠 结构160的堆叠区 域S1、S2、S3'和S4的台阶结构相同的台阶结构。

[0193] 根据本公开的实施方式,通过提供以新的台阶结构布置的焊盘区域,可 以增大在 垂直方向上堆叠的栅极数目。因此,可以提供能够改善集成度的三 维半导体器件。

[0194] 虽然以上已经显示和描述了示例实施方式,但是对本领域的技术人员而 言,明显 的是,可以在不脱离如权利要求限定的本公开的范围的情况下进行 修改和变化。

[0195] 本申请要求享有2018年10月25日在韩国知识产权局提交的韩国专利 申请第10-2018-0128403号的优先权权益,其公开通过引用被整体合并于此。

1

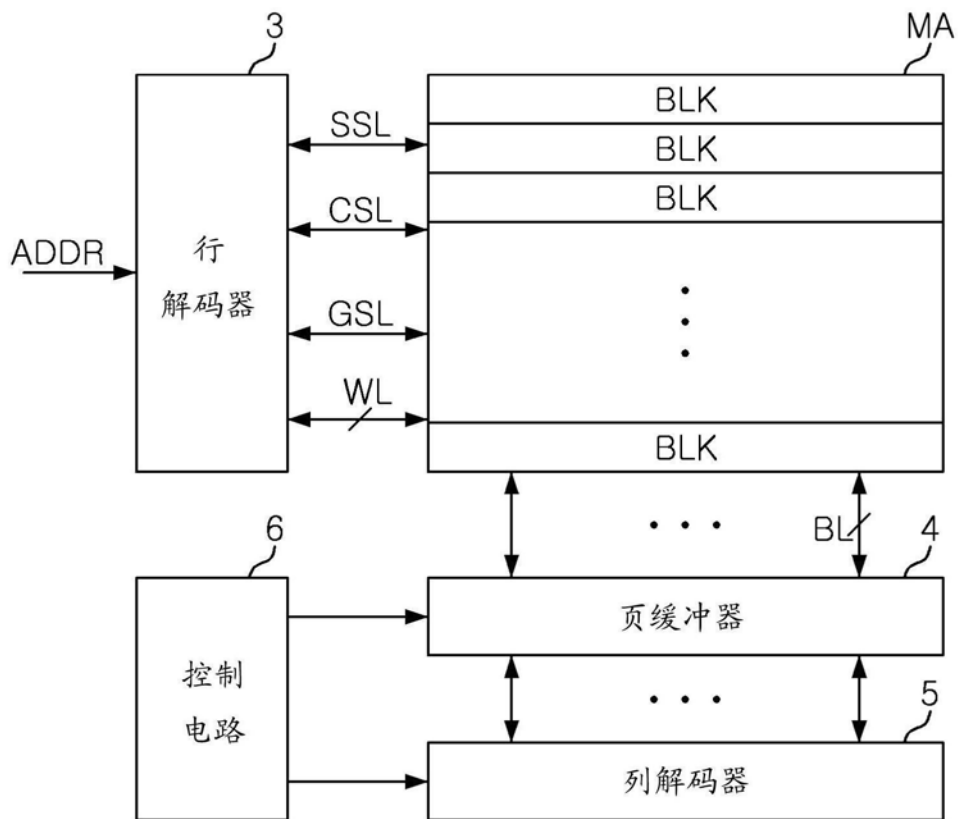


图1A

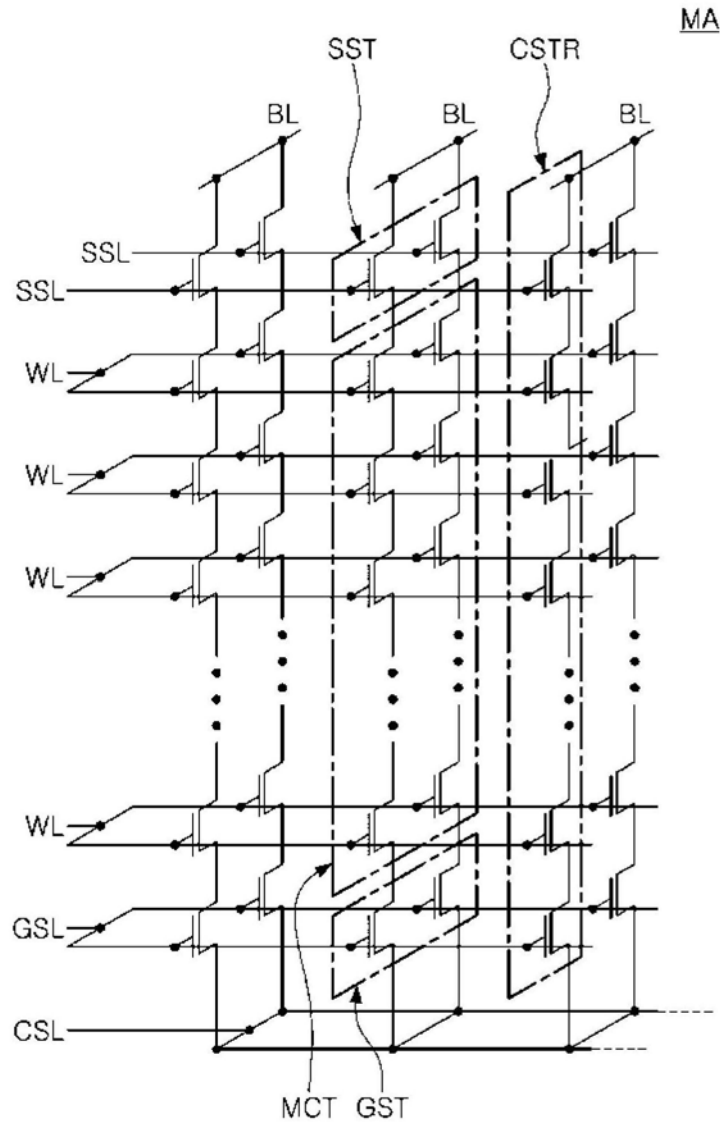


图1B

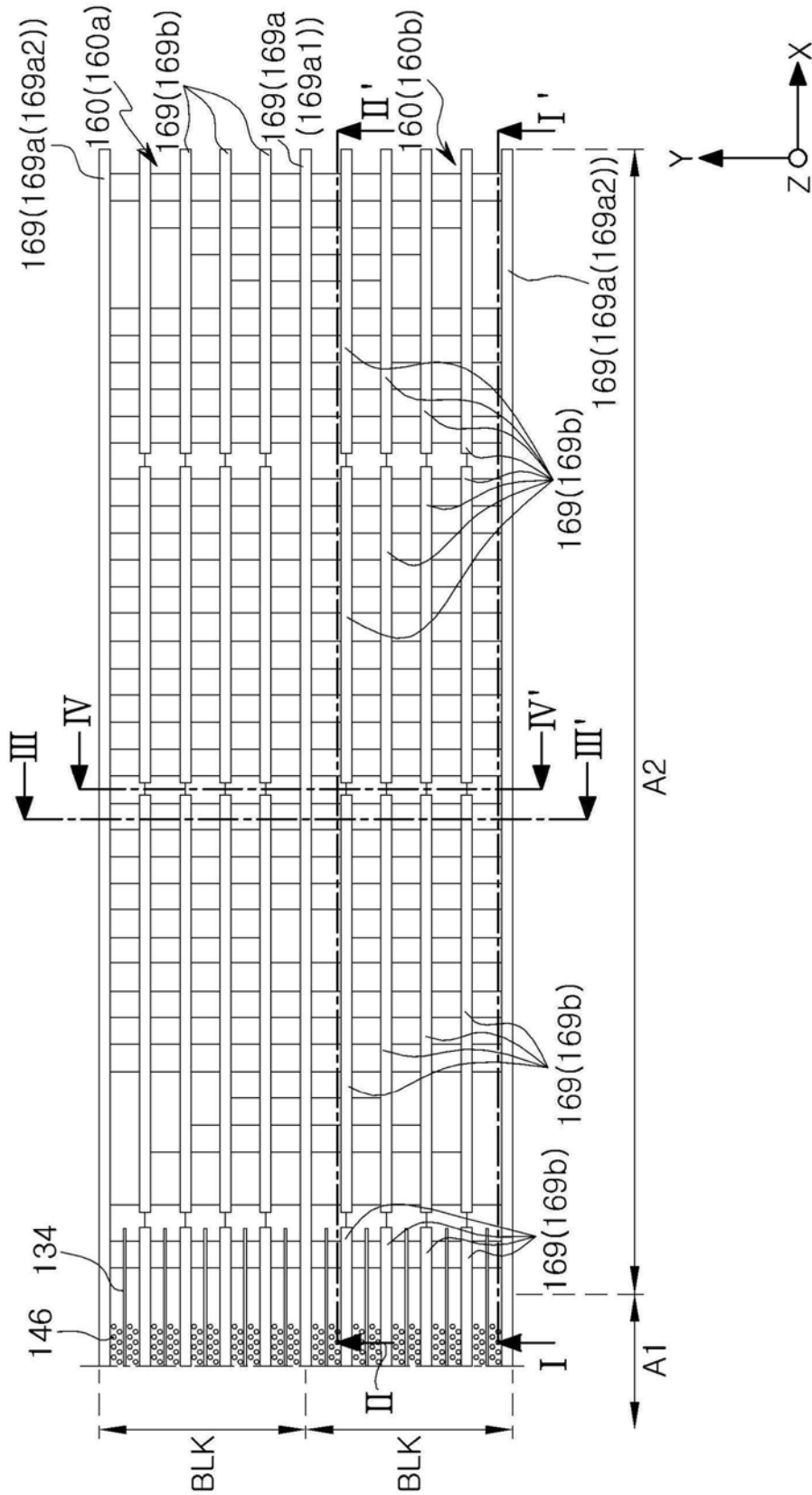


图2

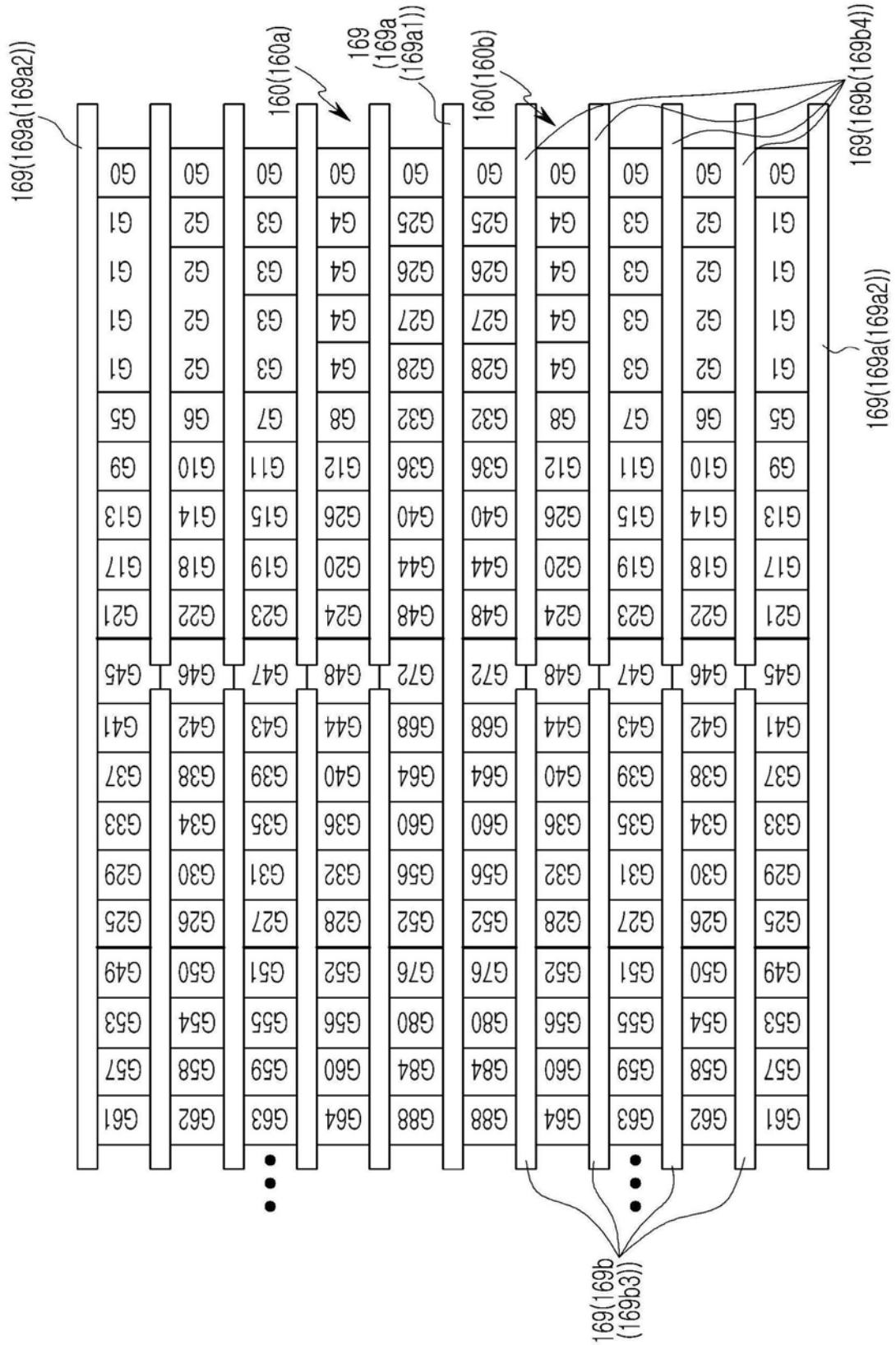


图3B

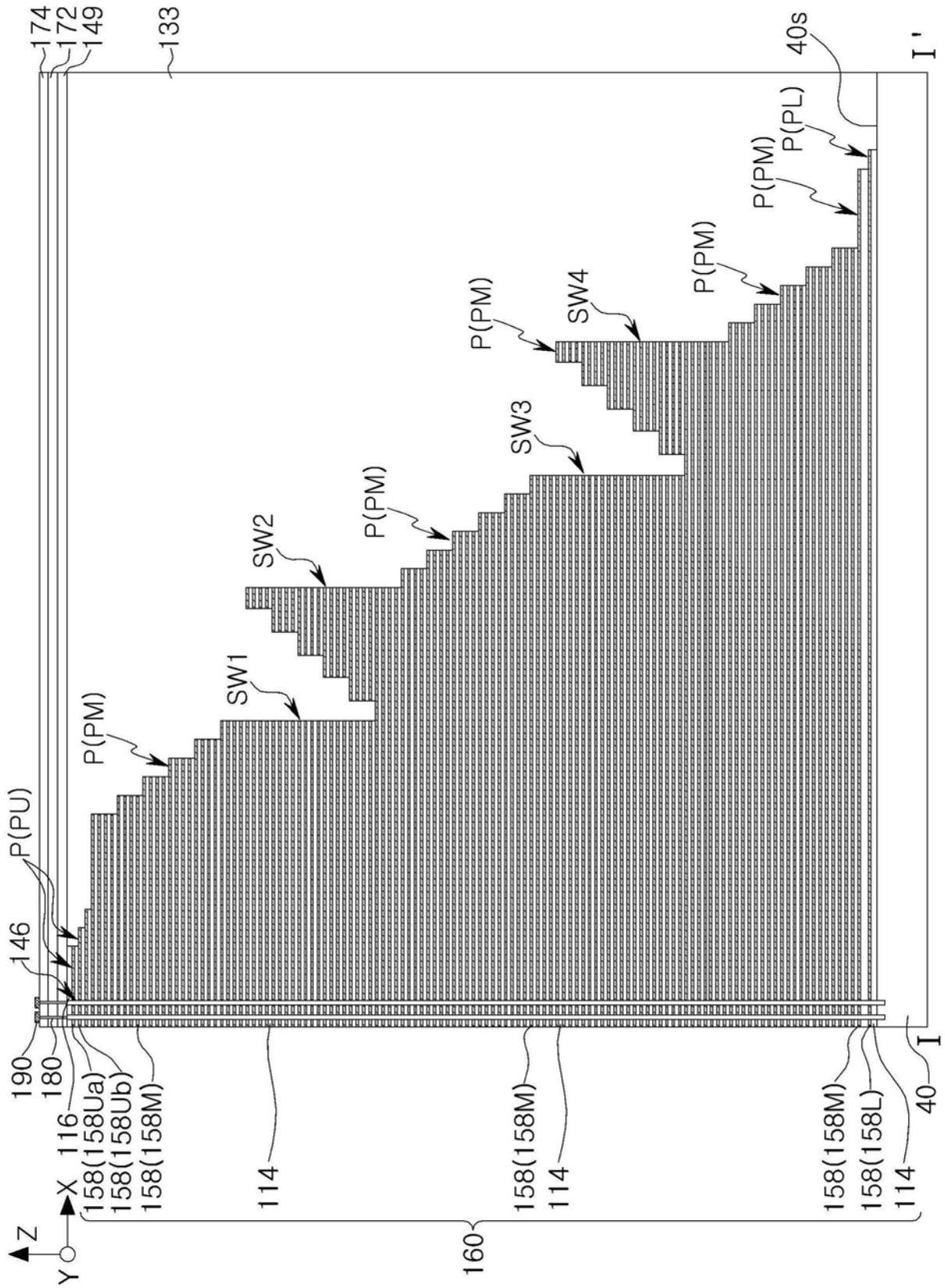


图4A

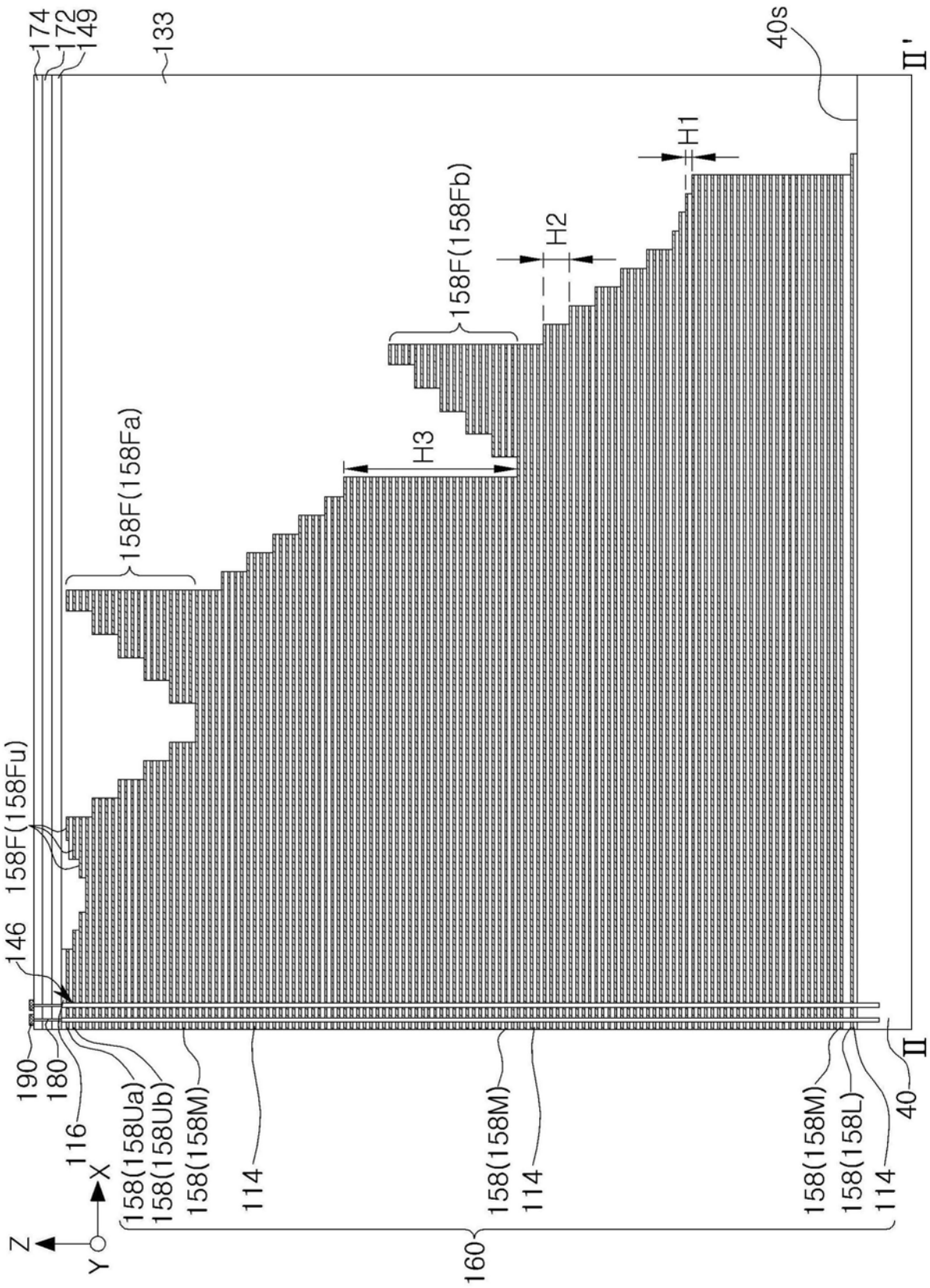


图4B

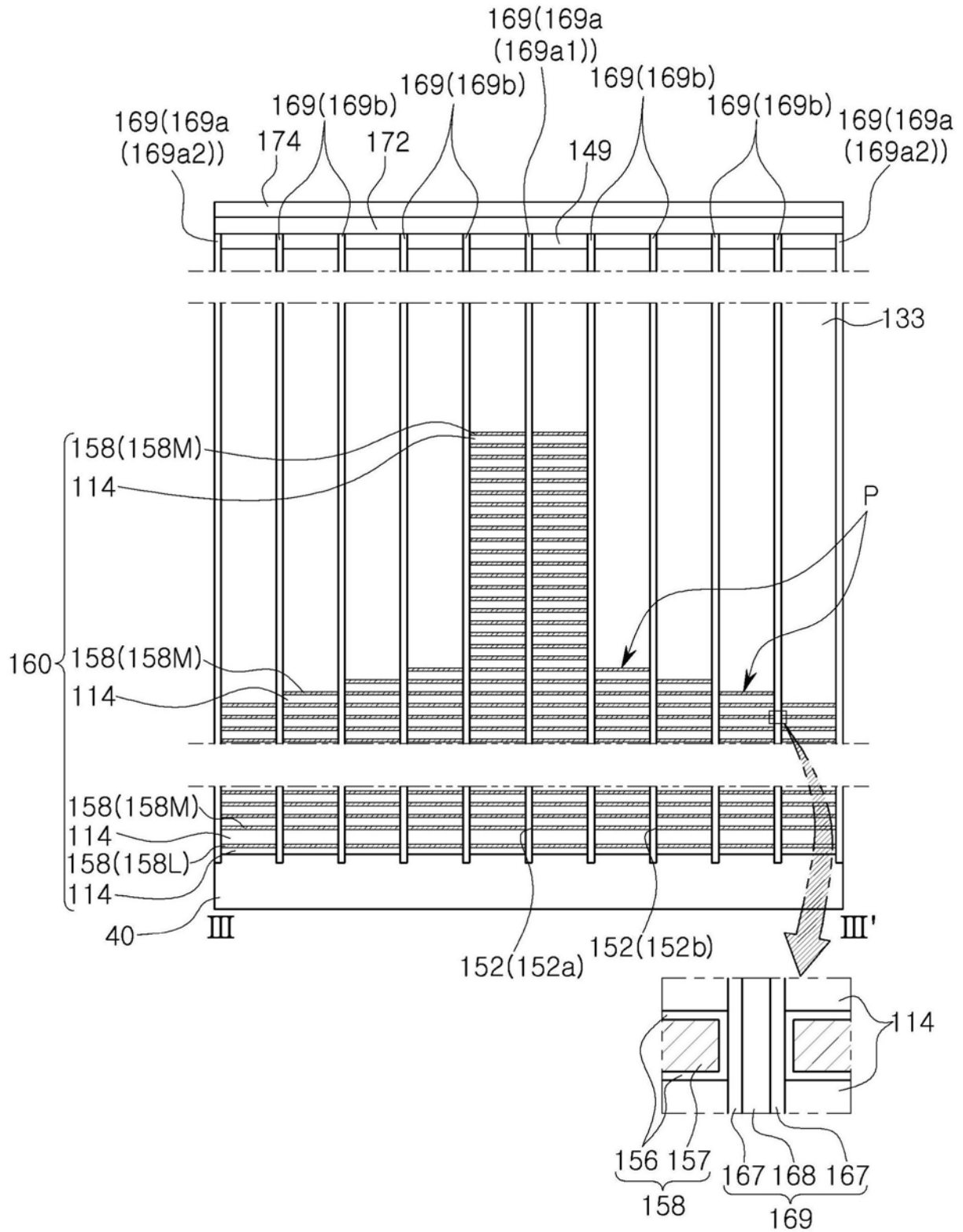


图4C

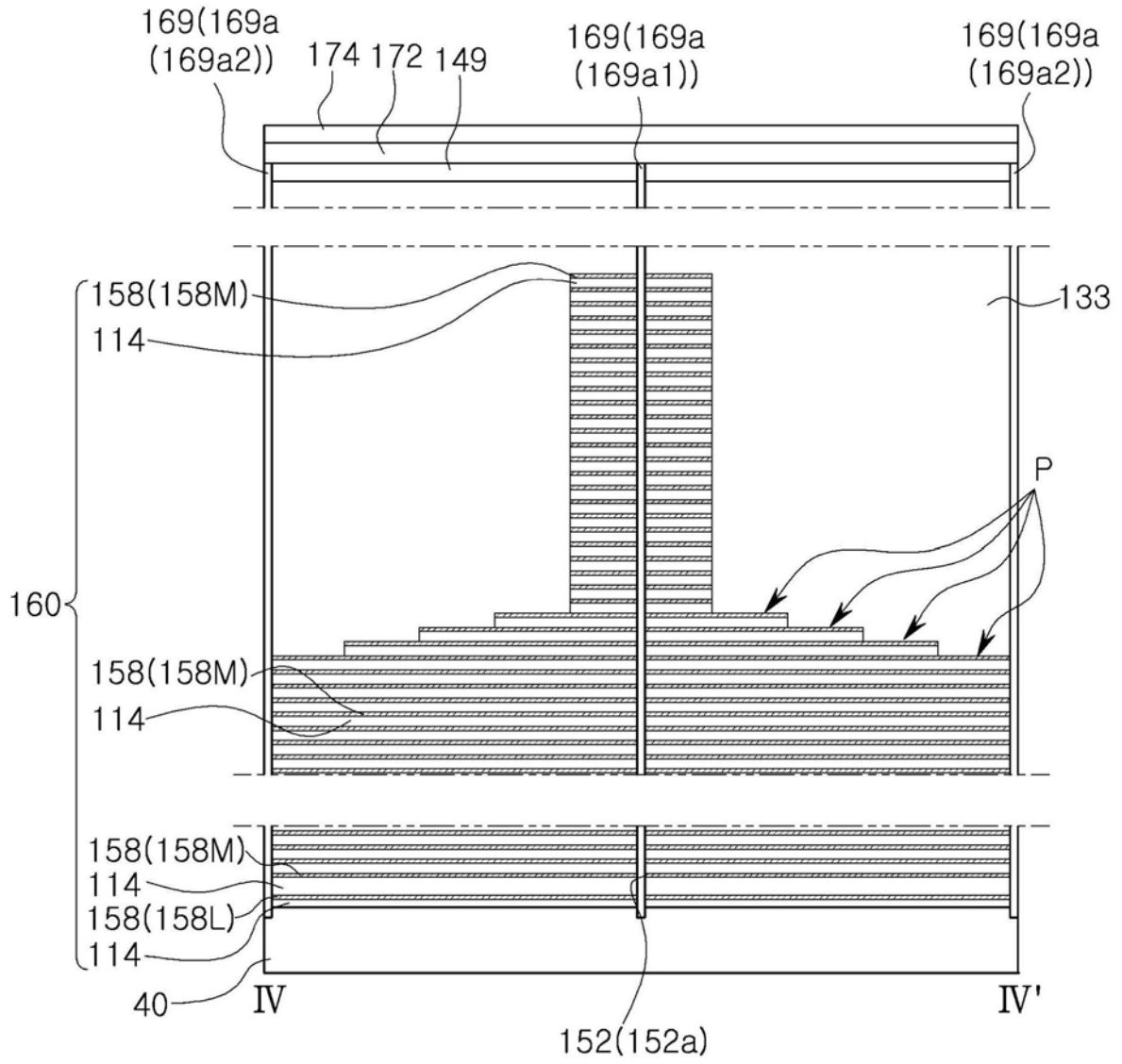


图4D

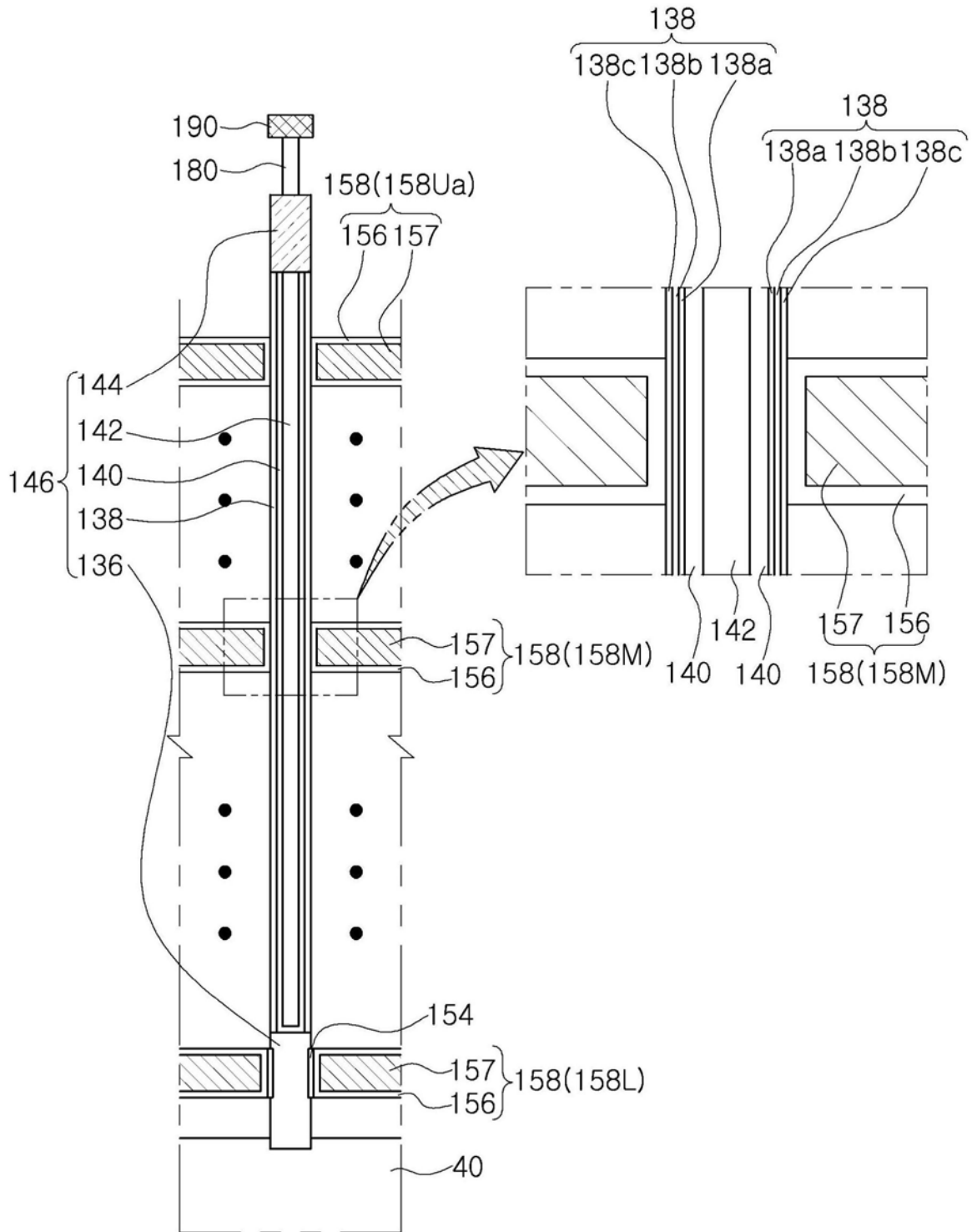


图5A

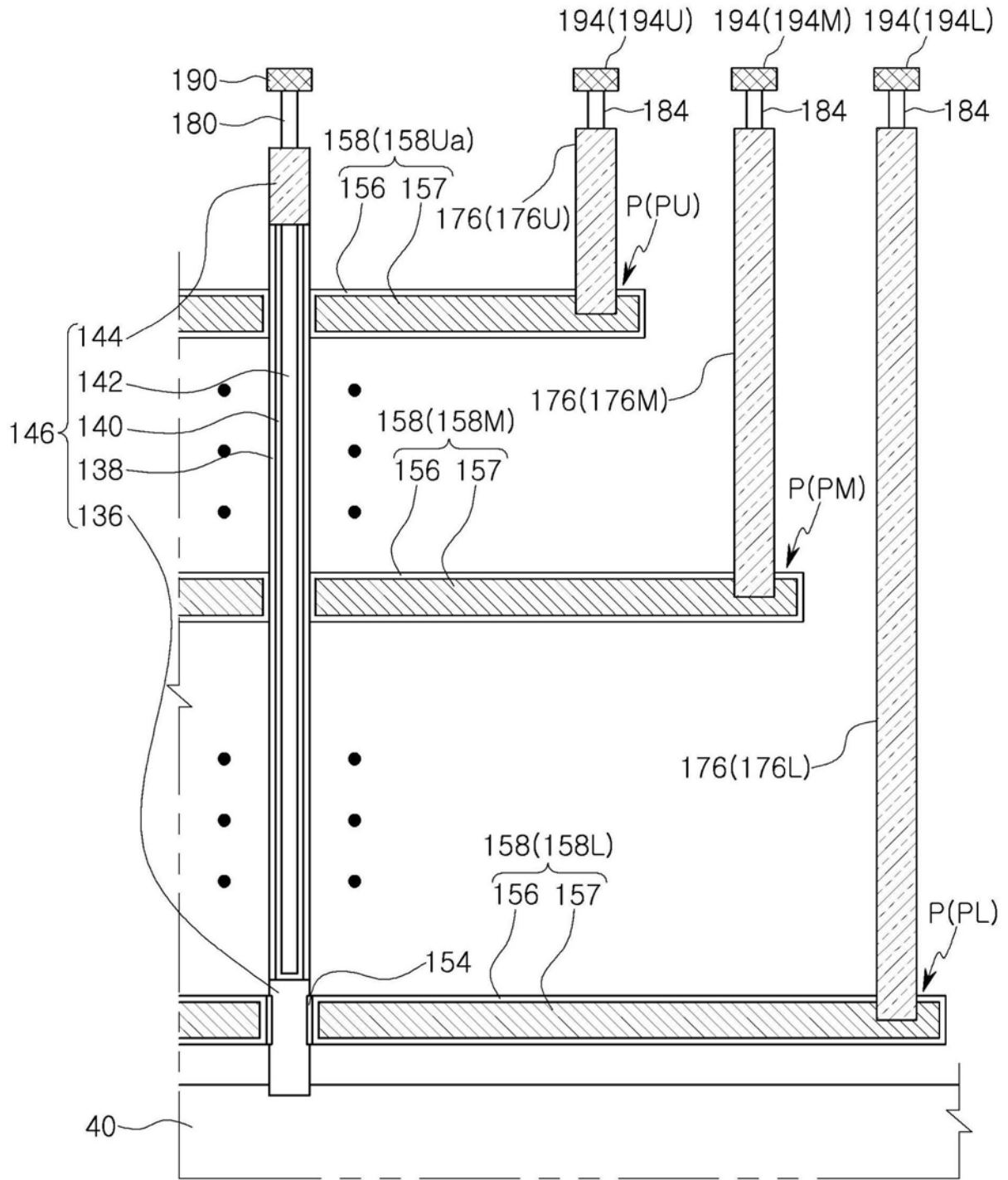


图5B

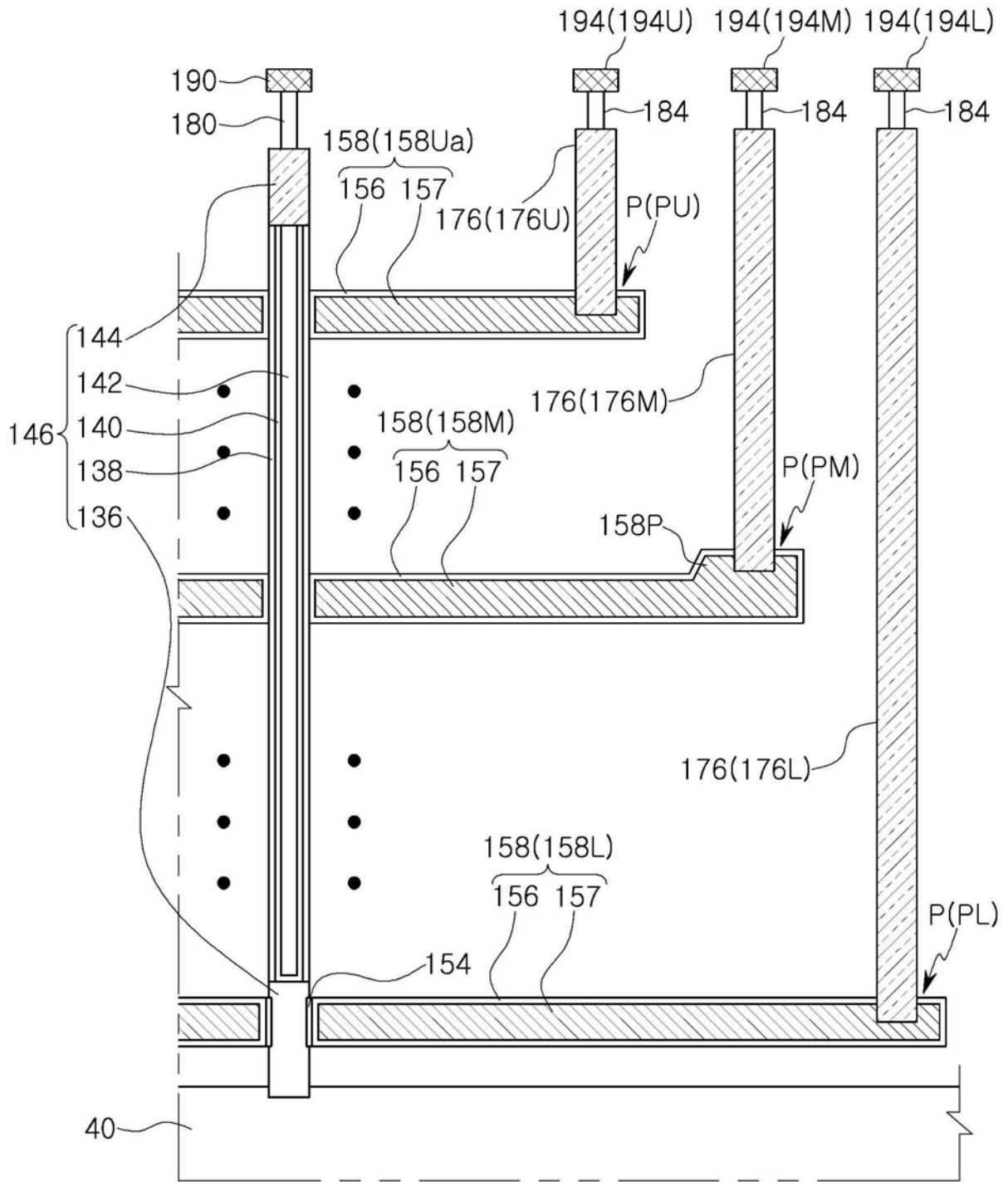


图5C

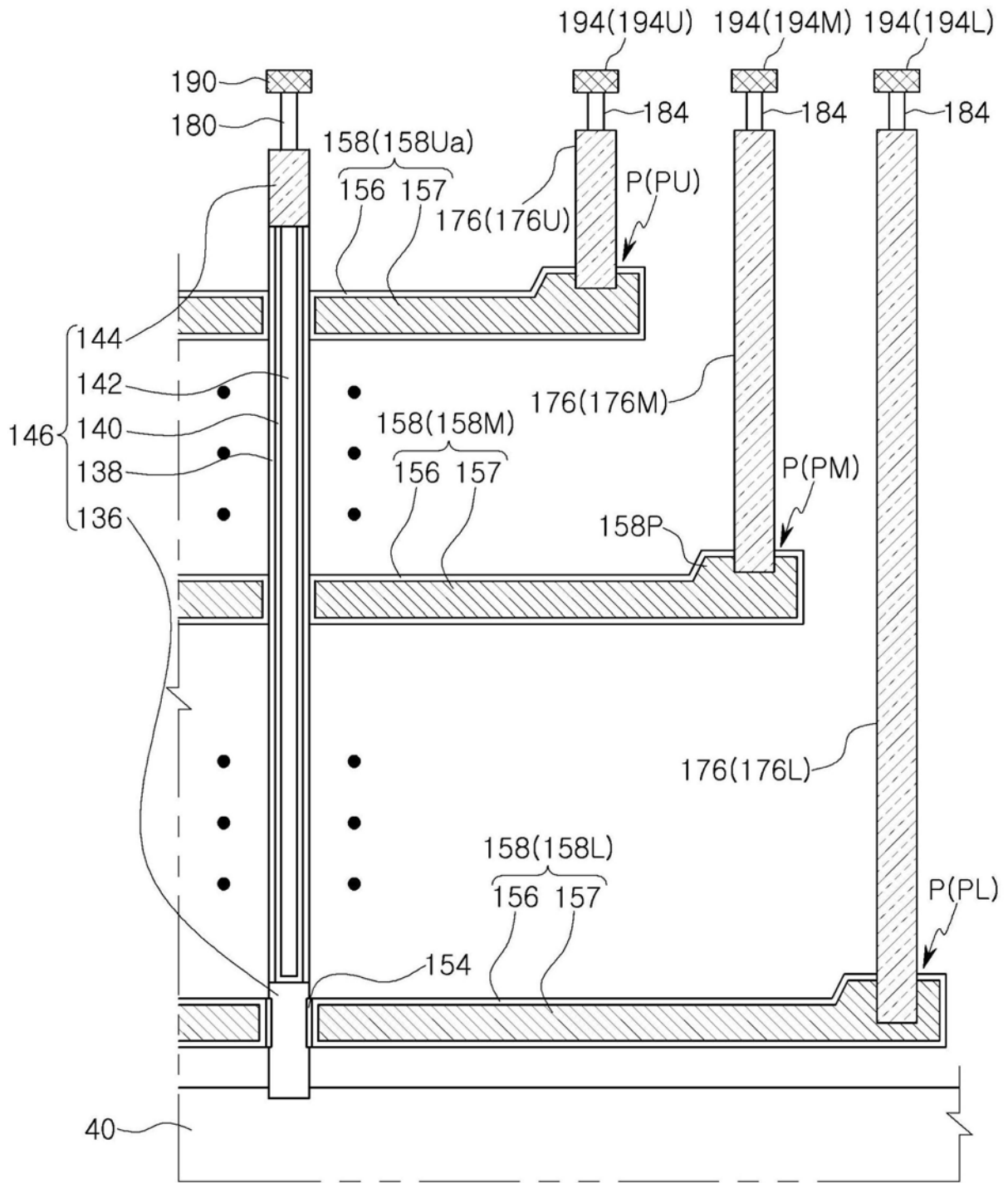


图5D

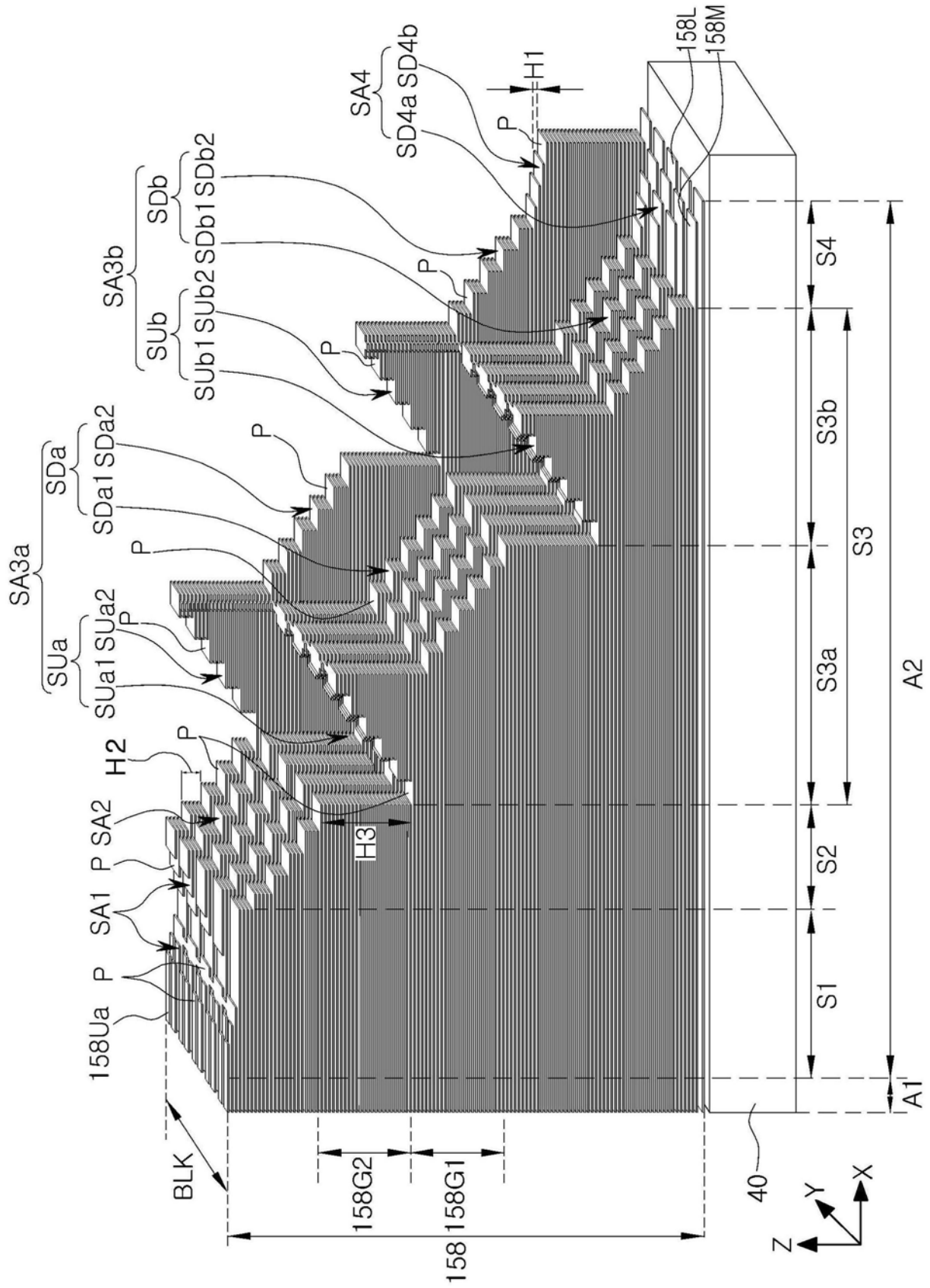


图6A

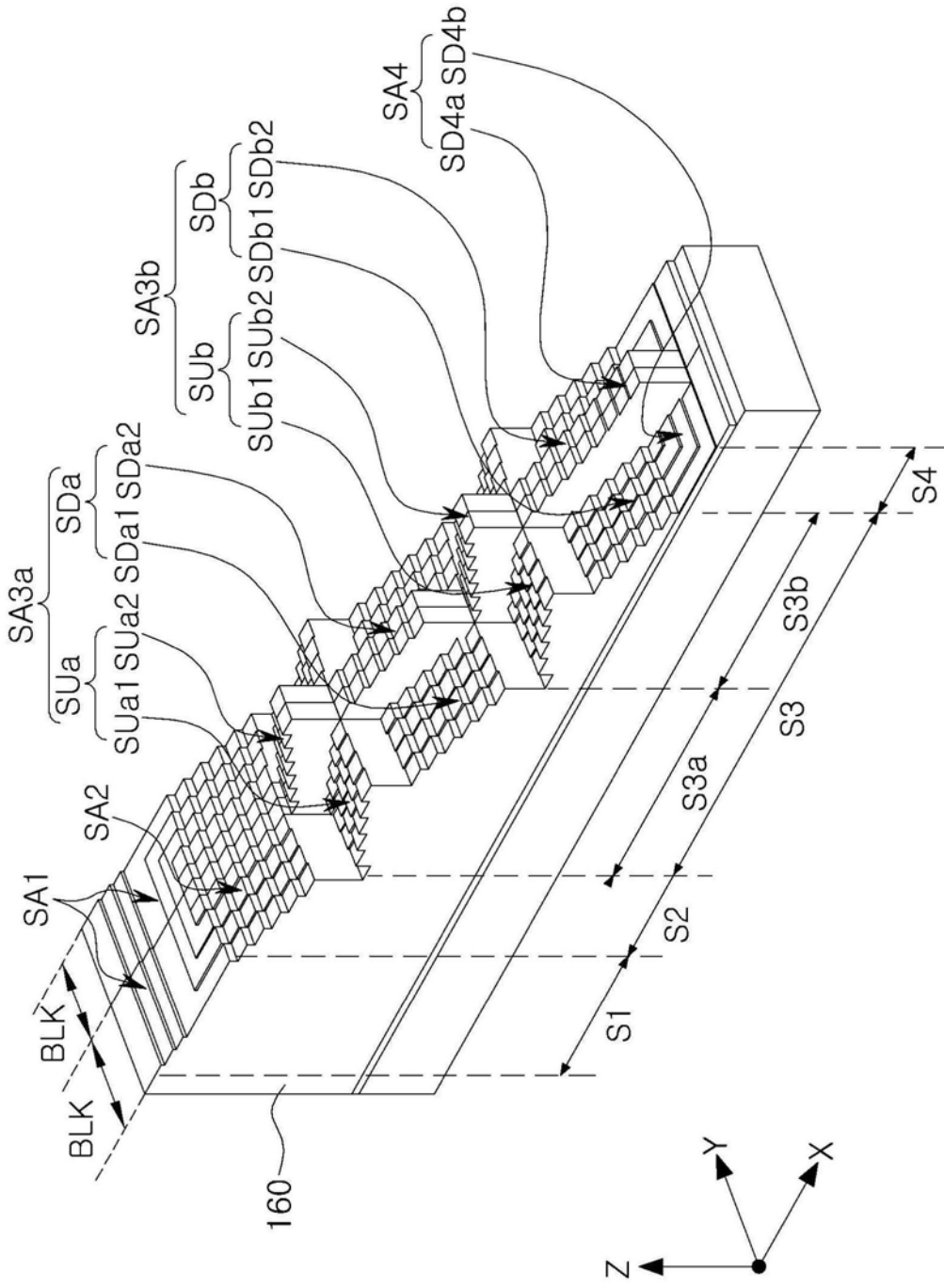


图6B

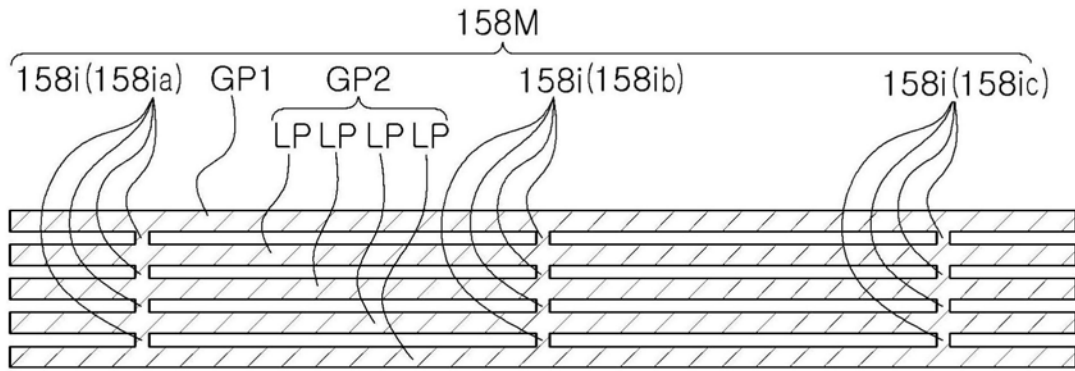


图7A

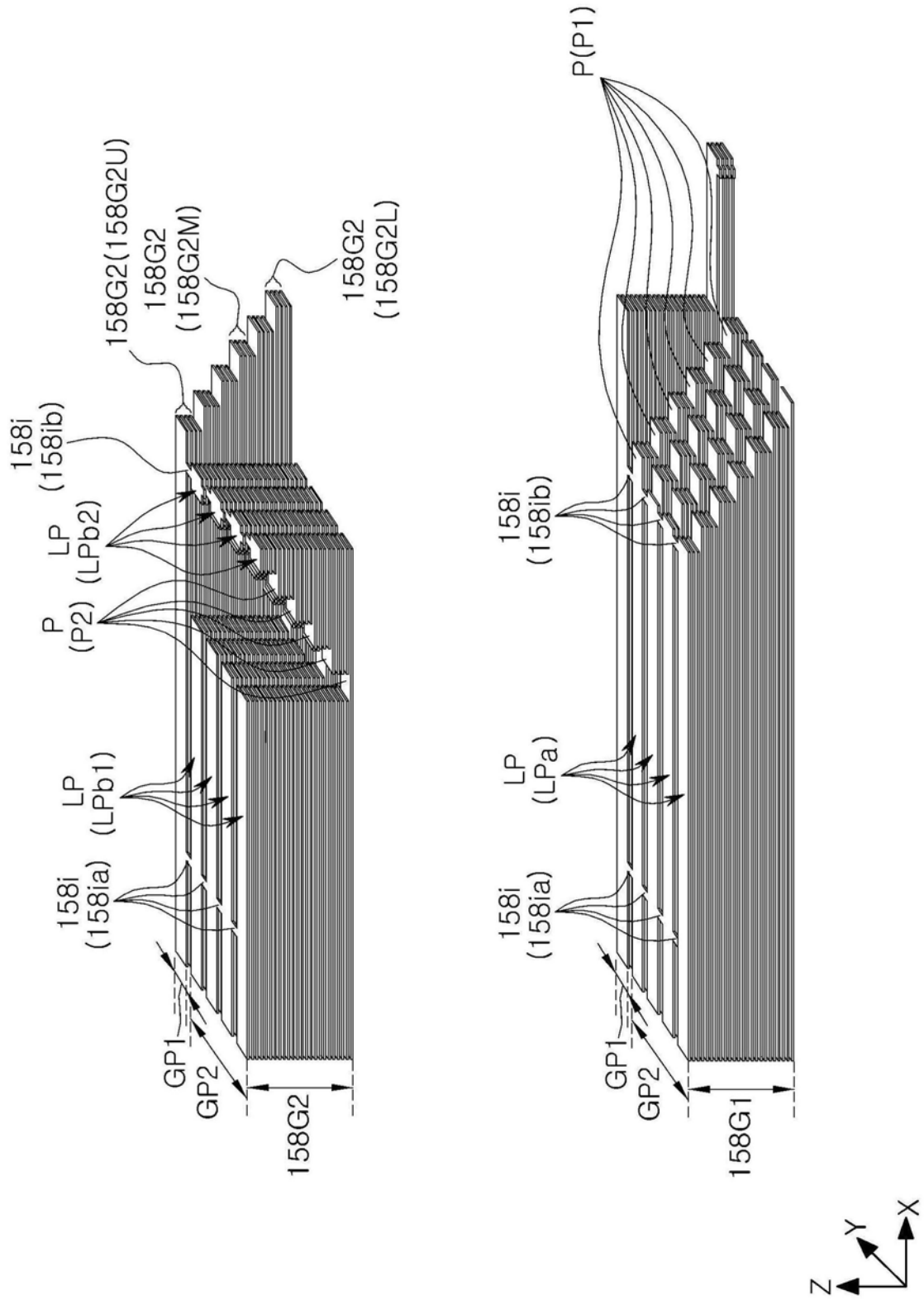


图7B

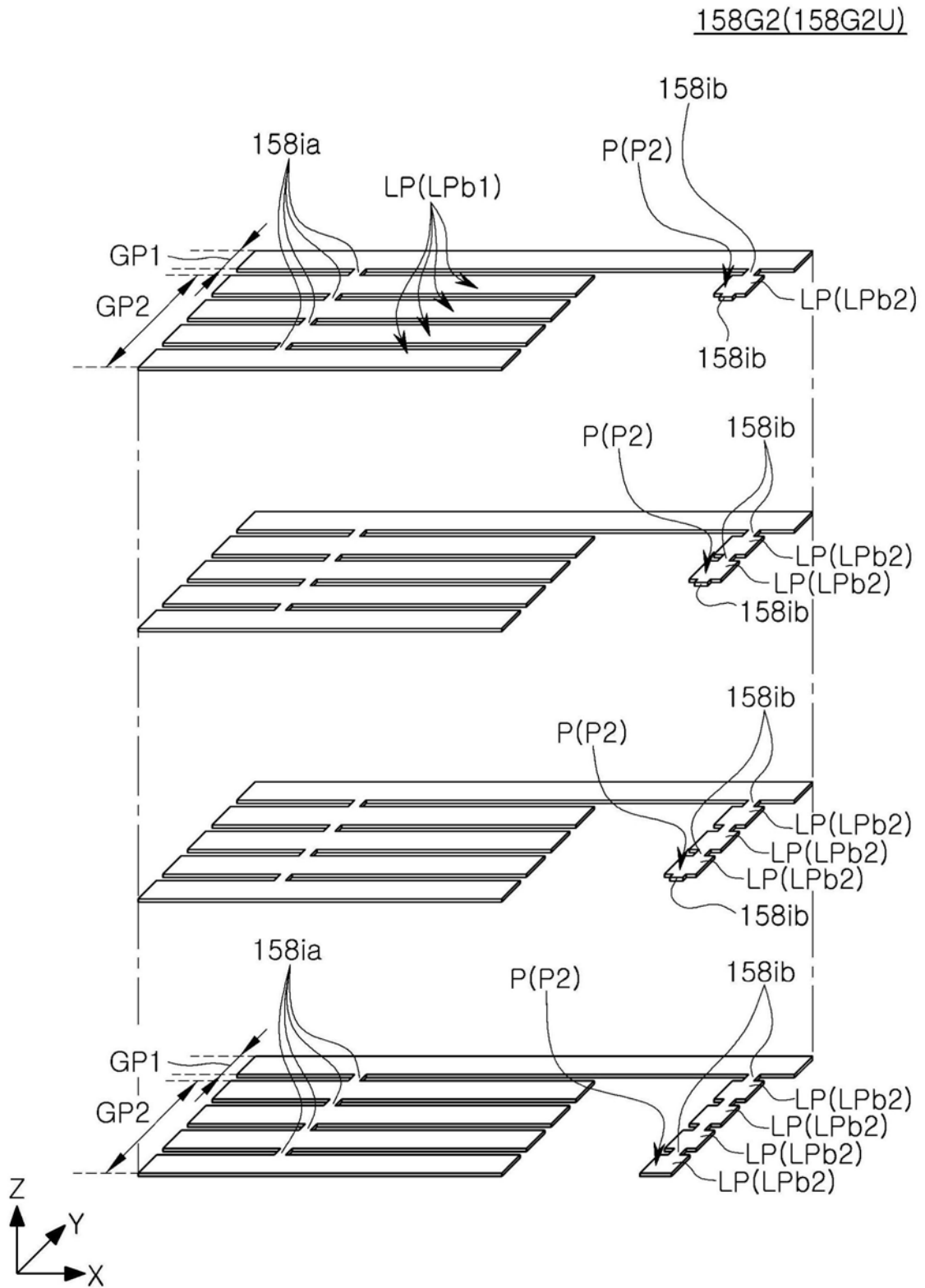


图8A

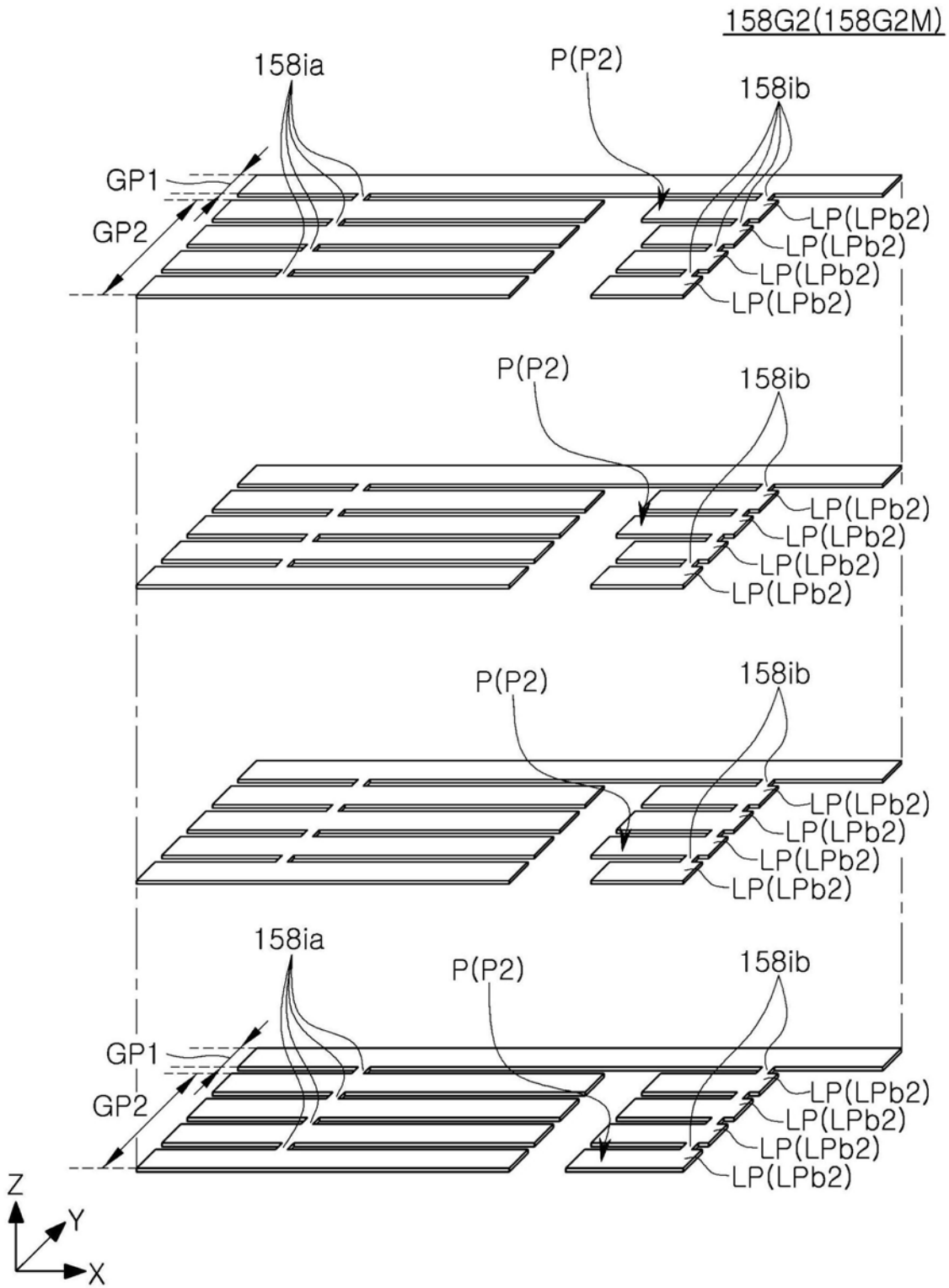


图8B

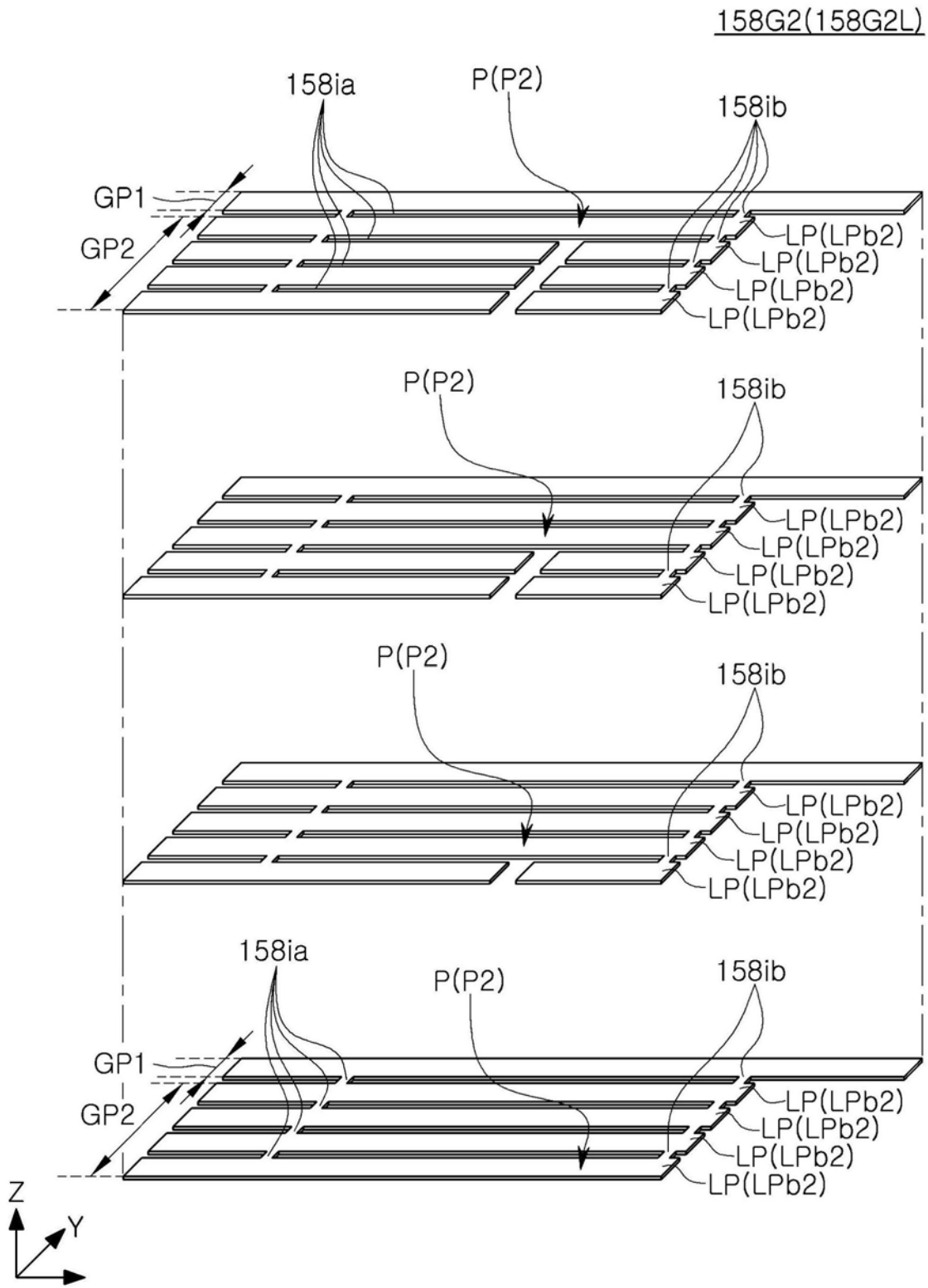


图8C

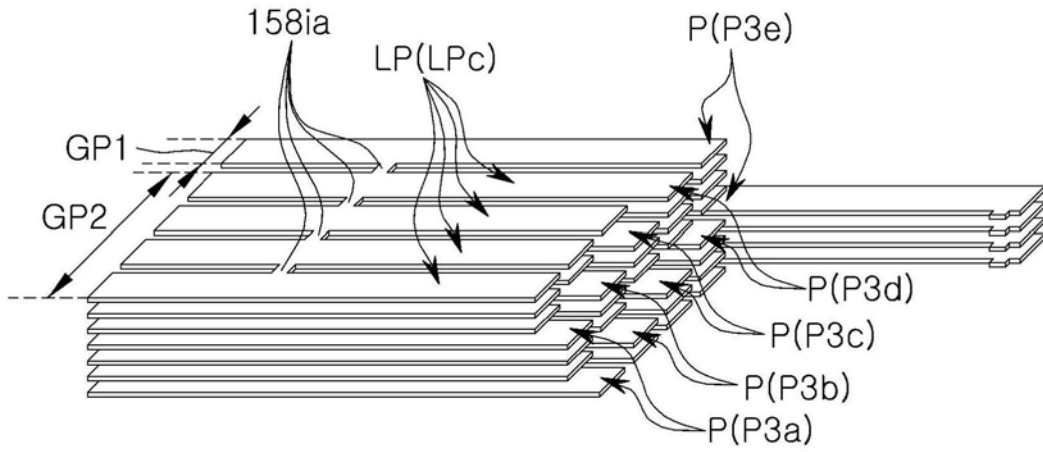


图9

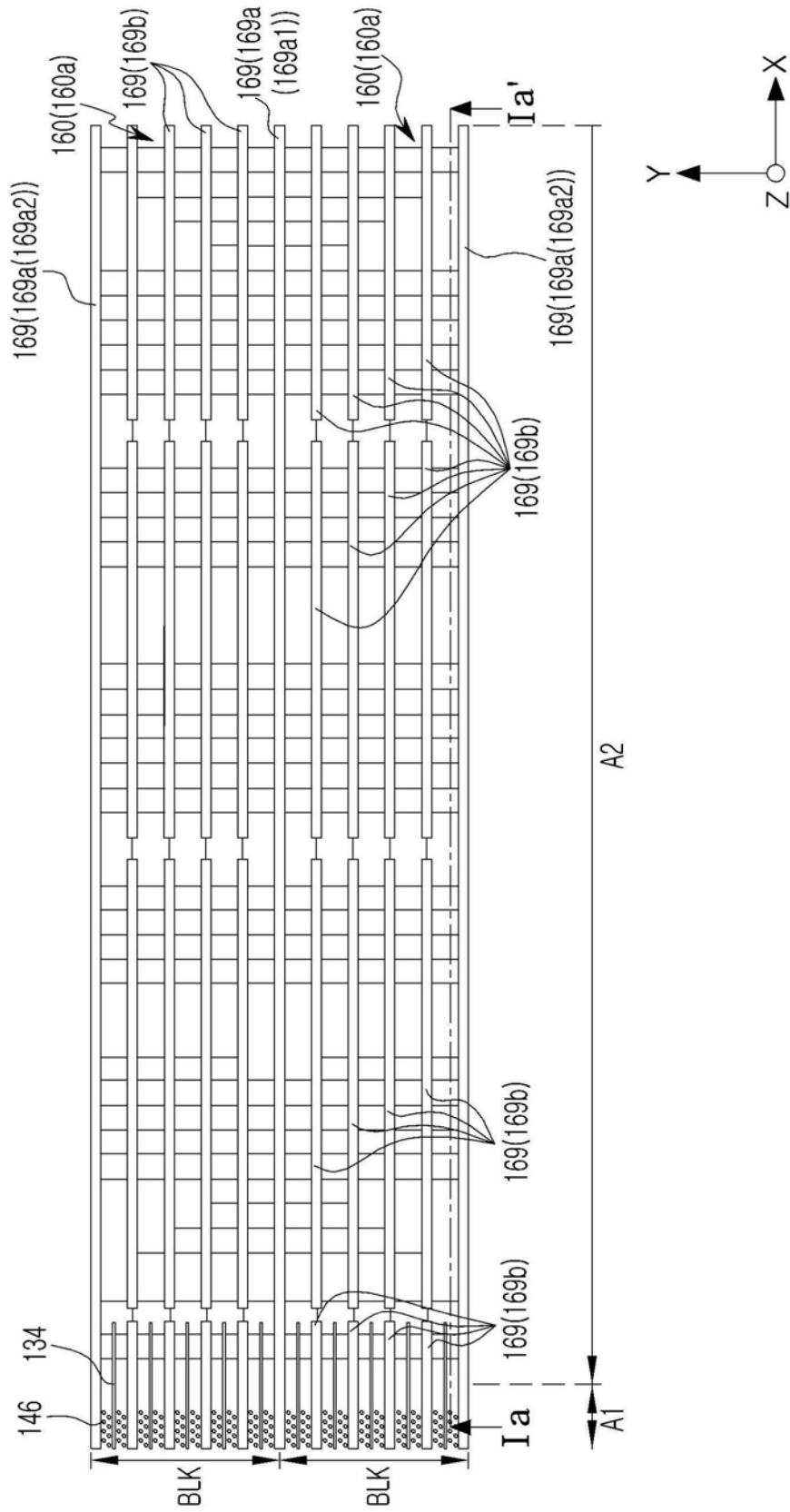


图10

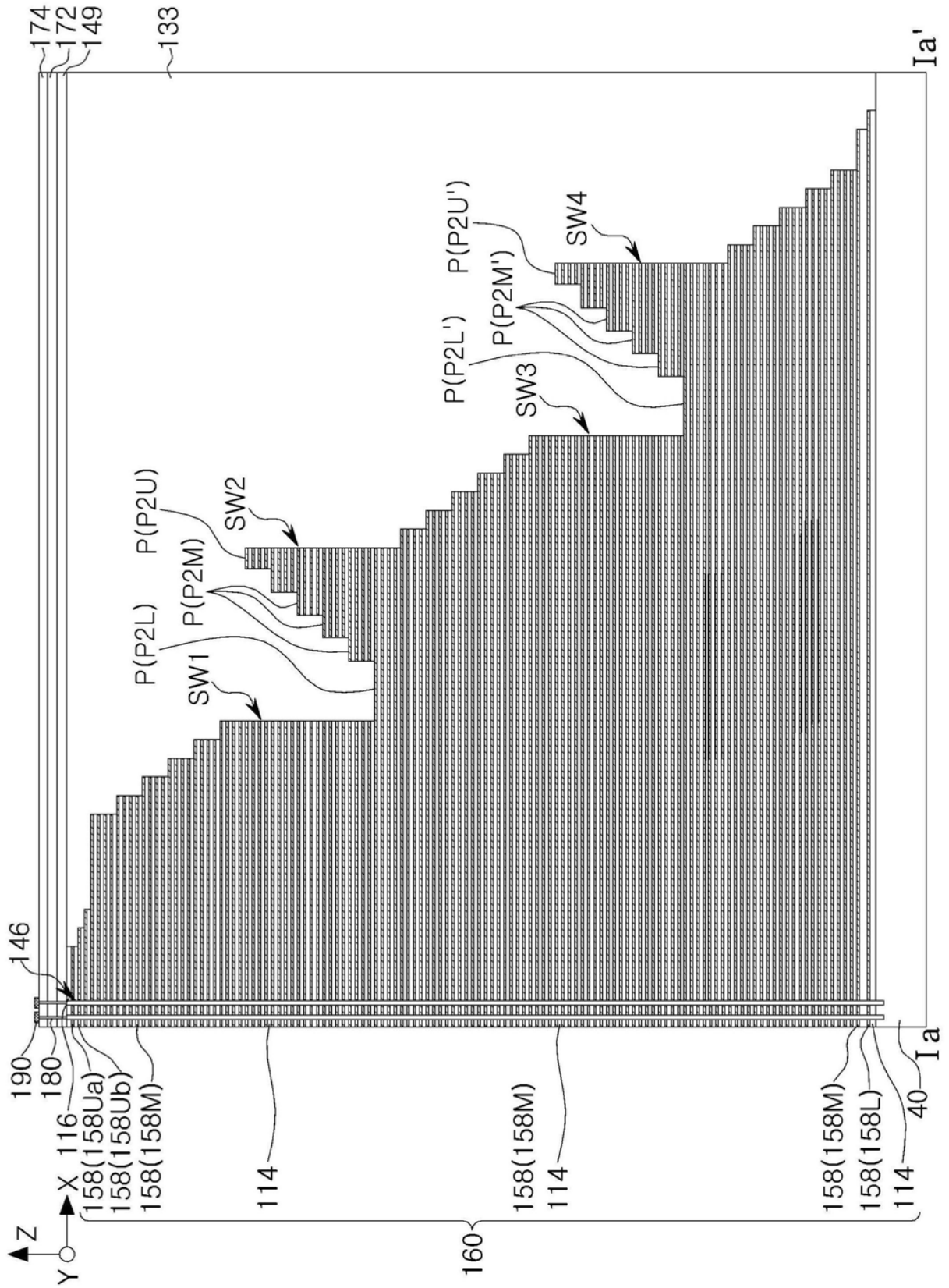


图11

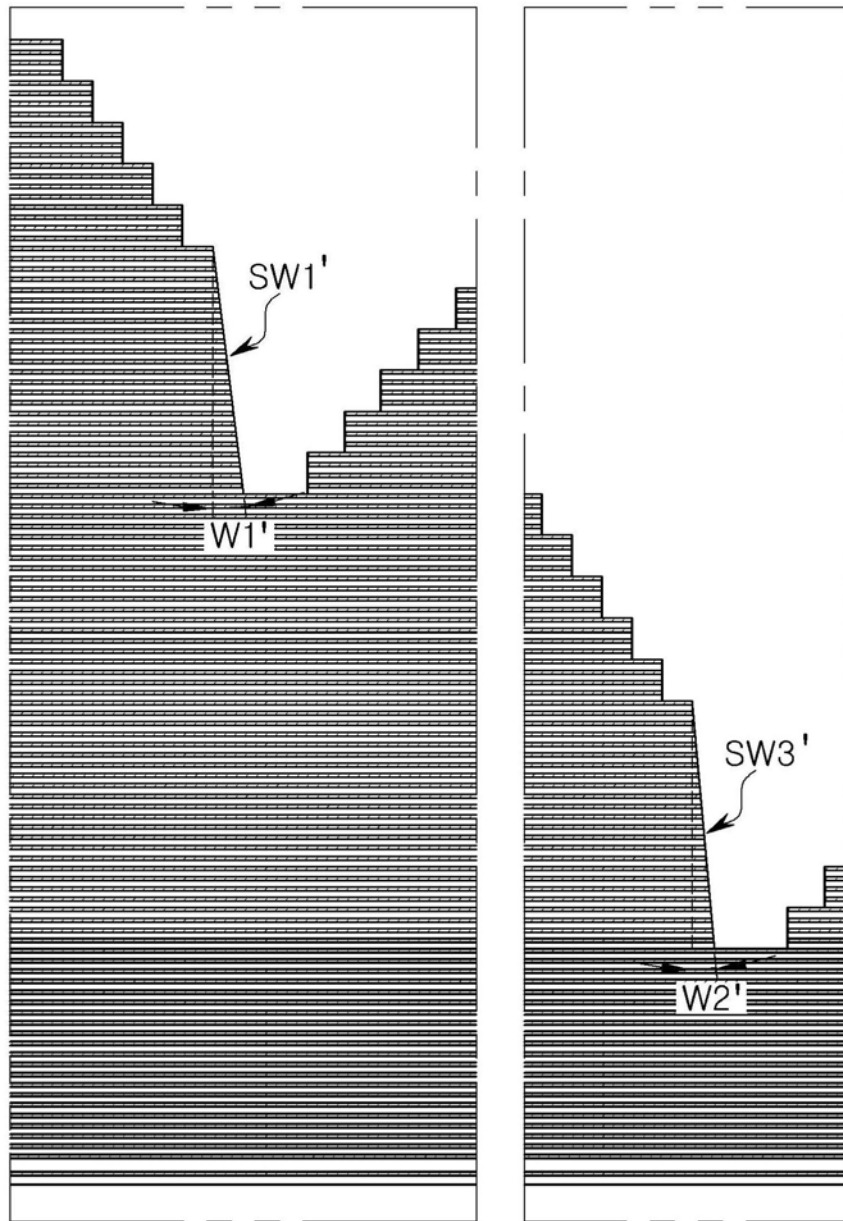


图12

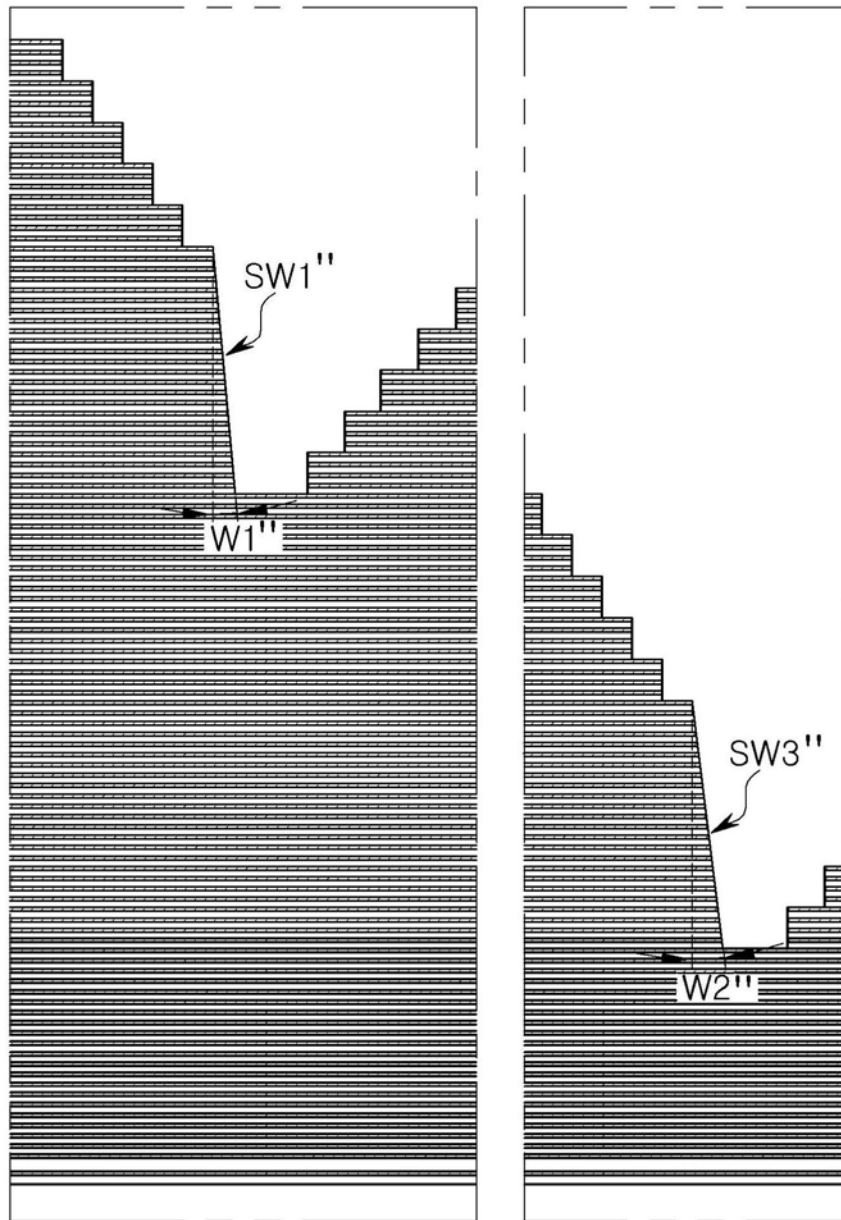


图13

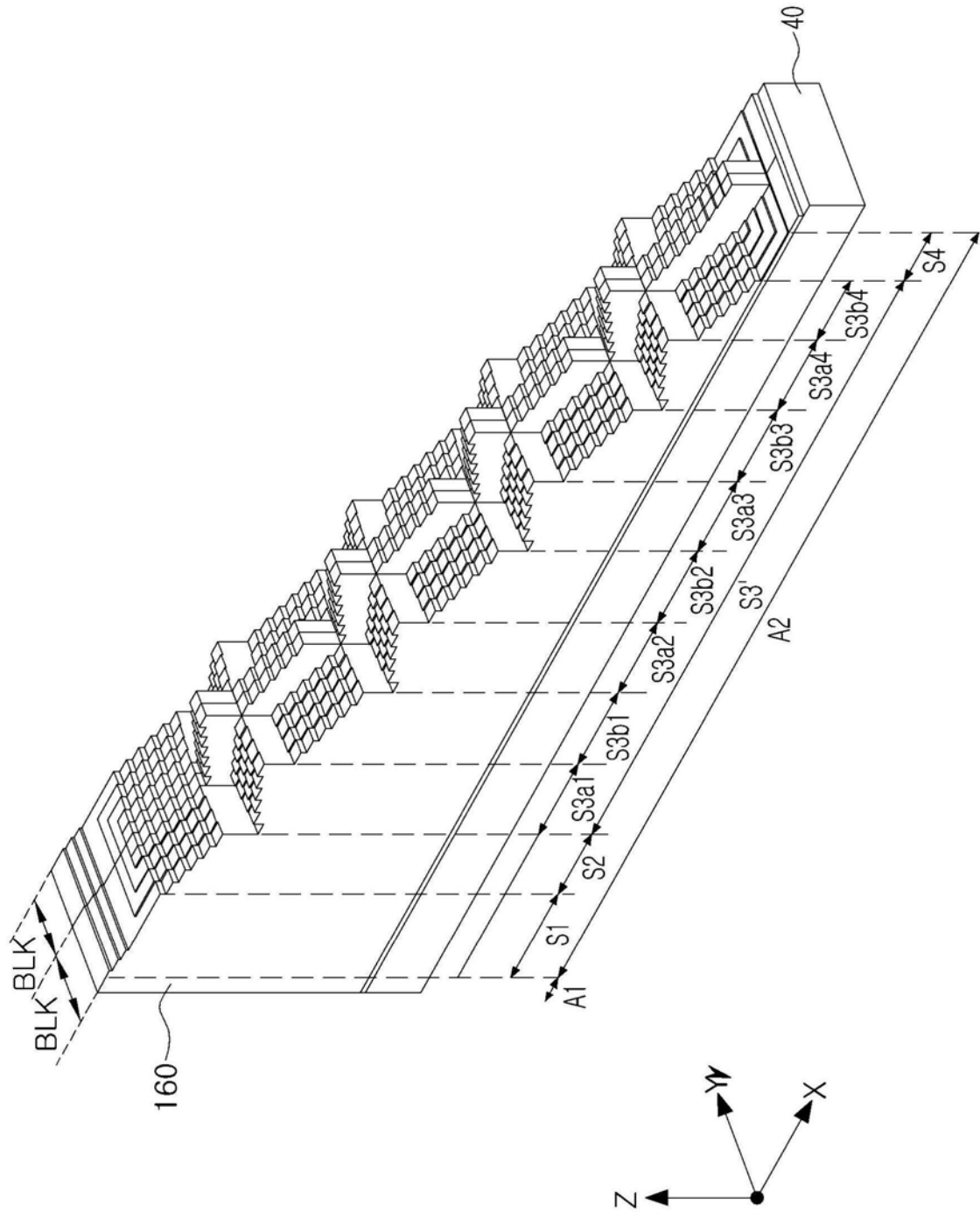


图14

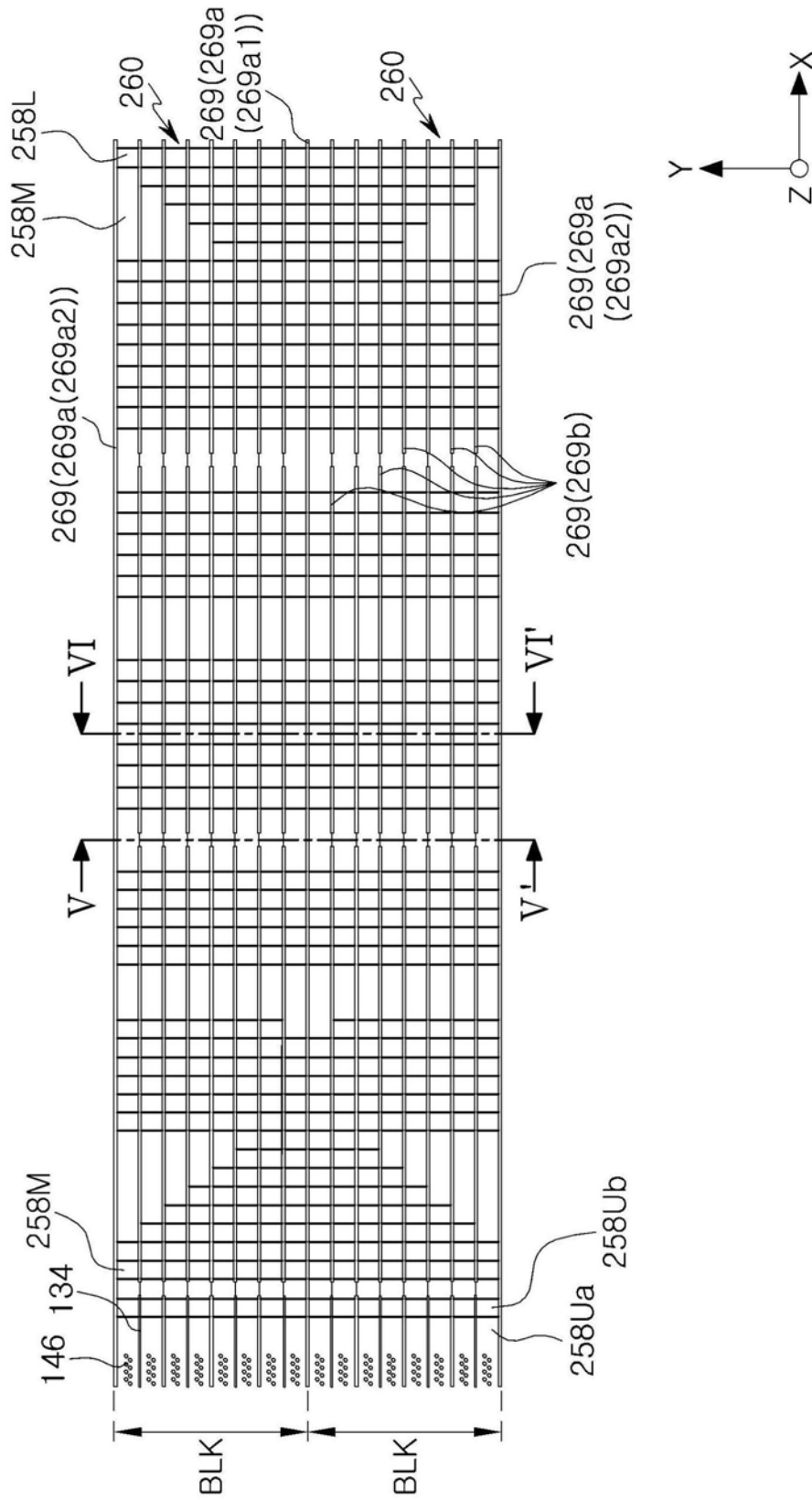


图15A

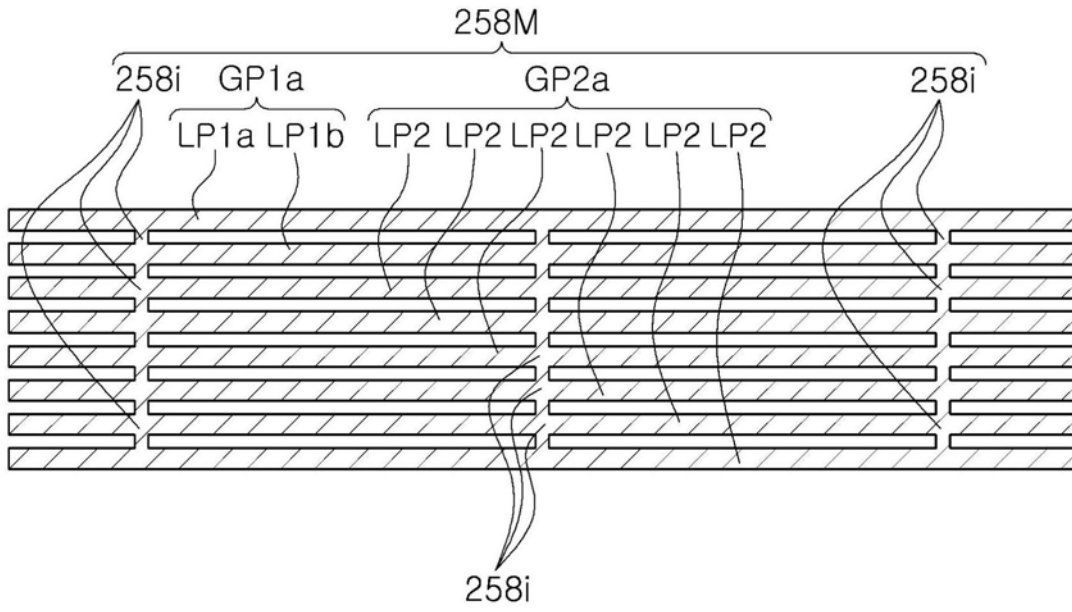


图15B

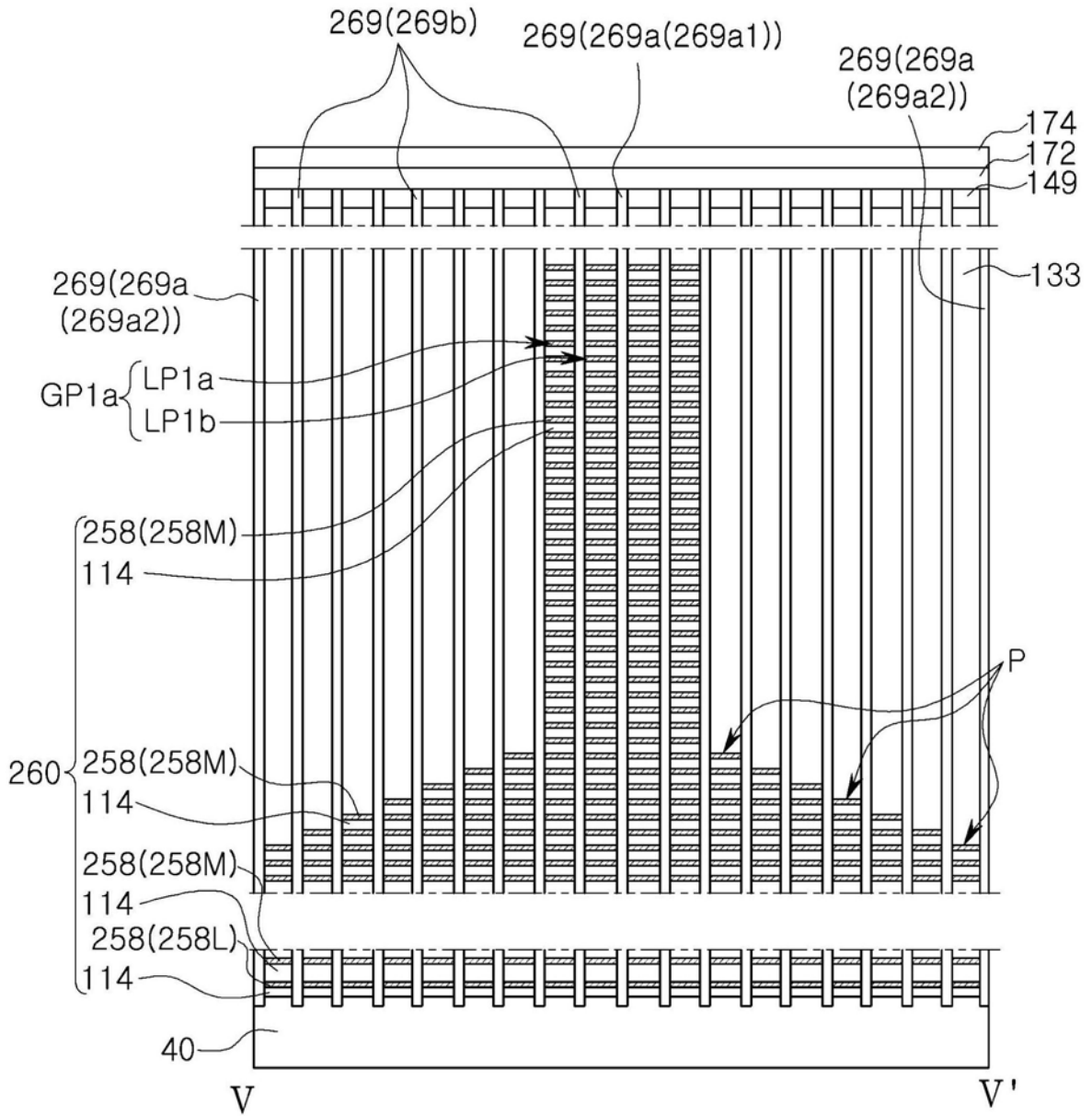


图16A

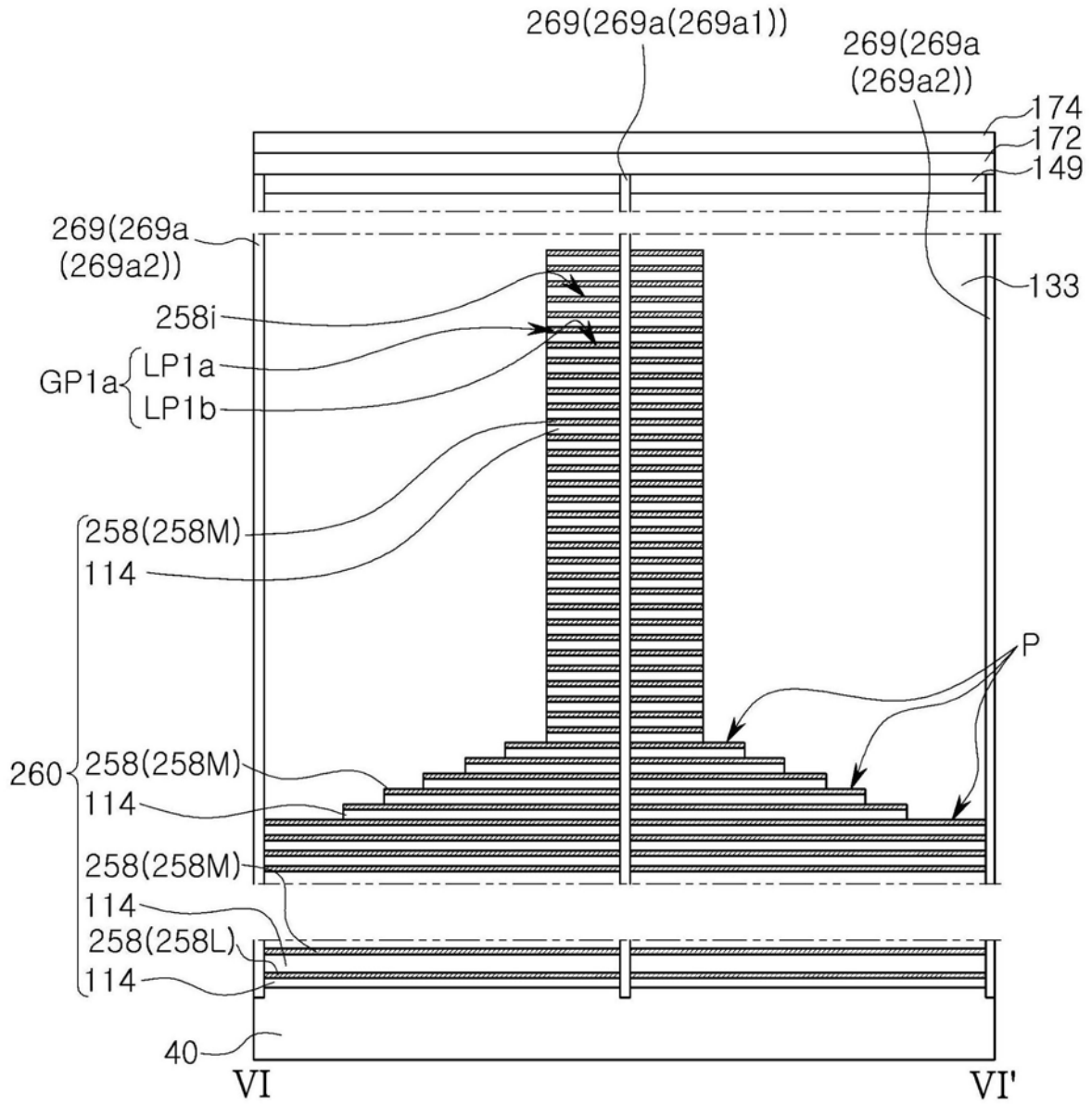


图16B

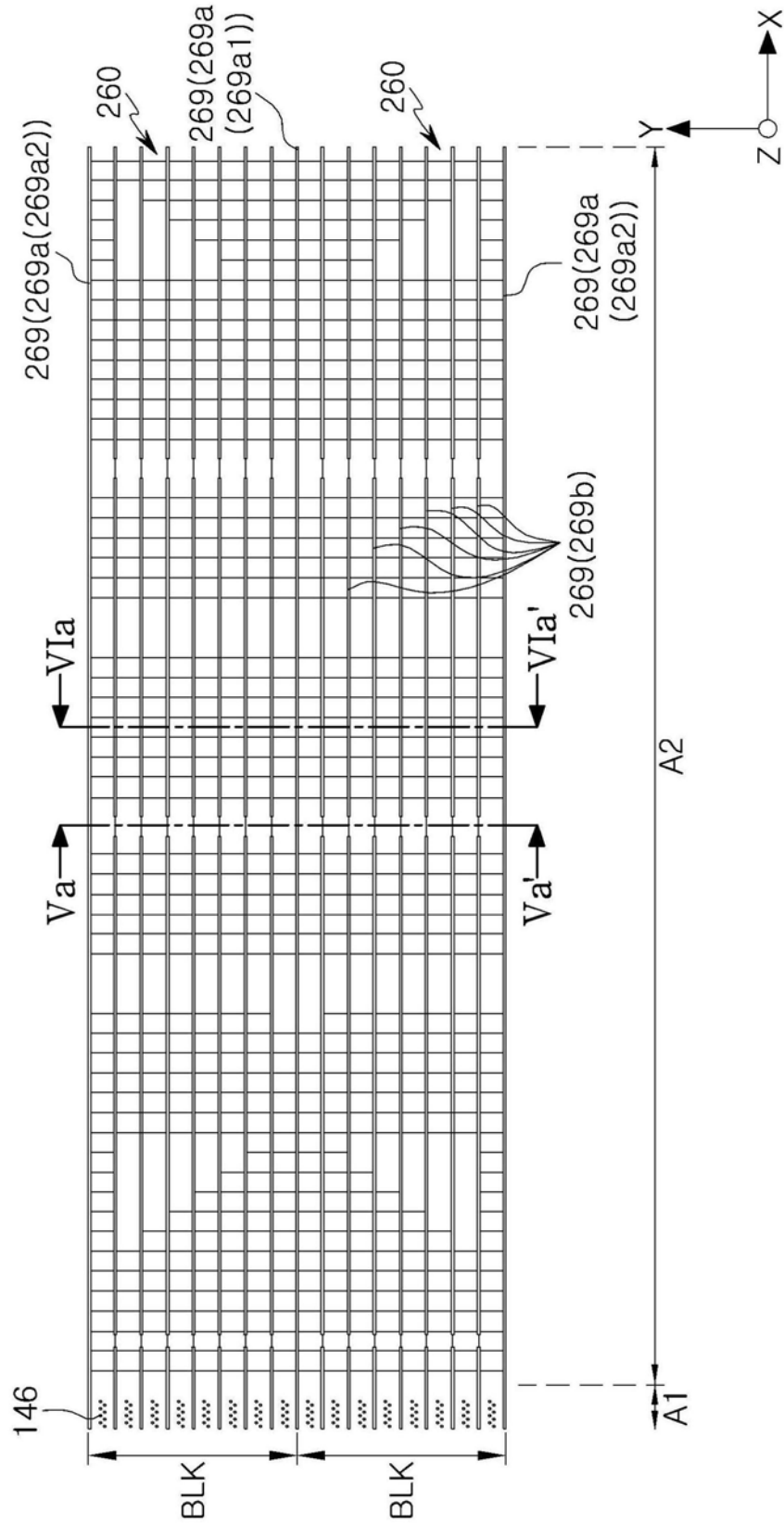


图17A

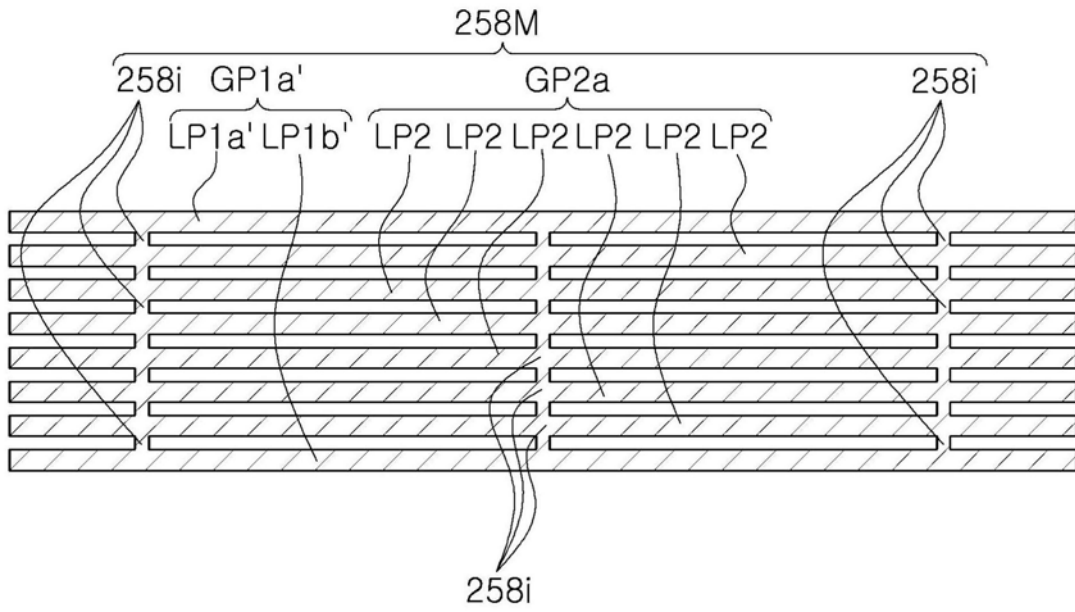


图17B

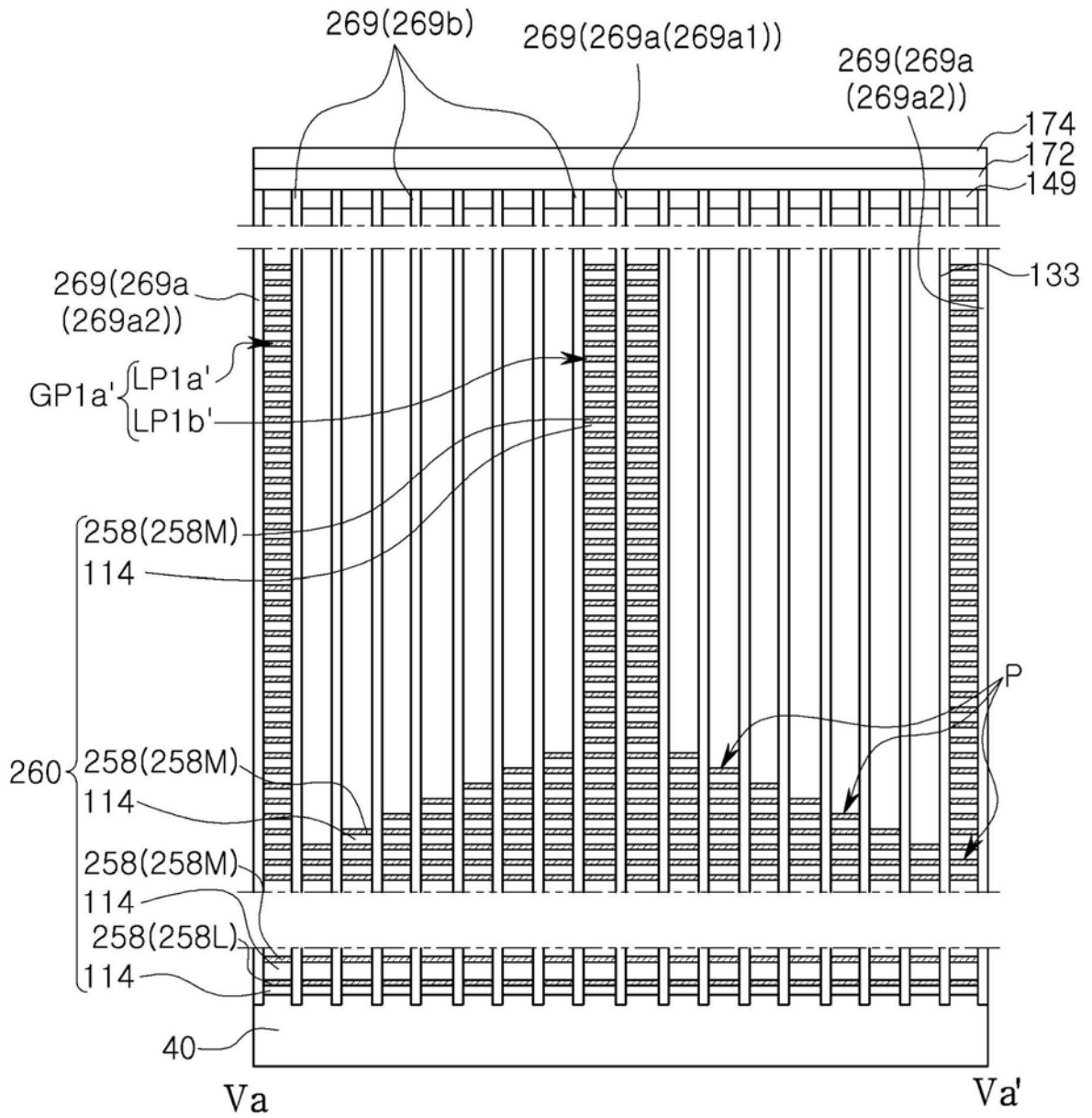


图18A

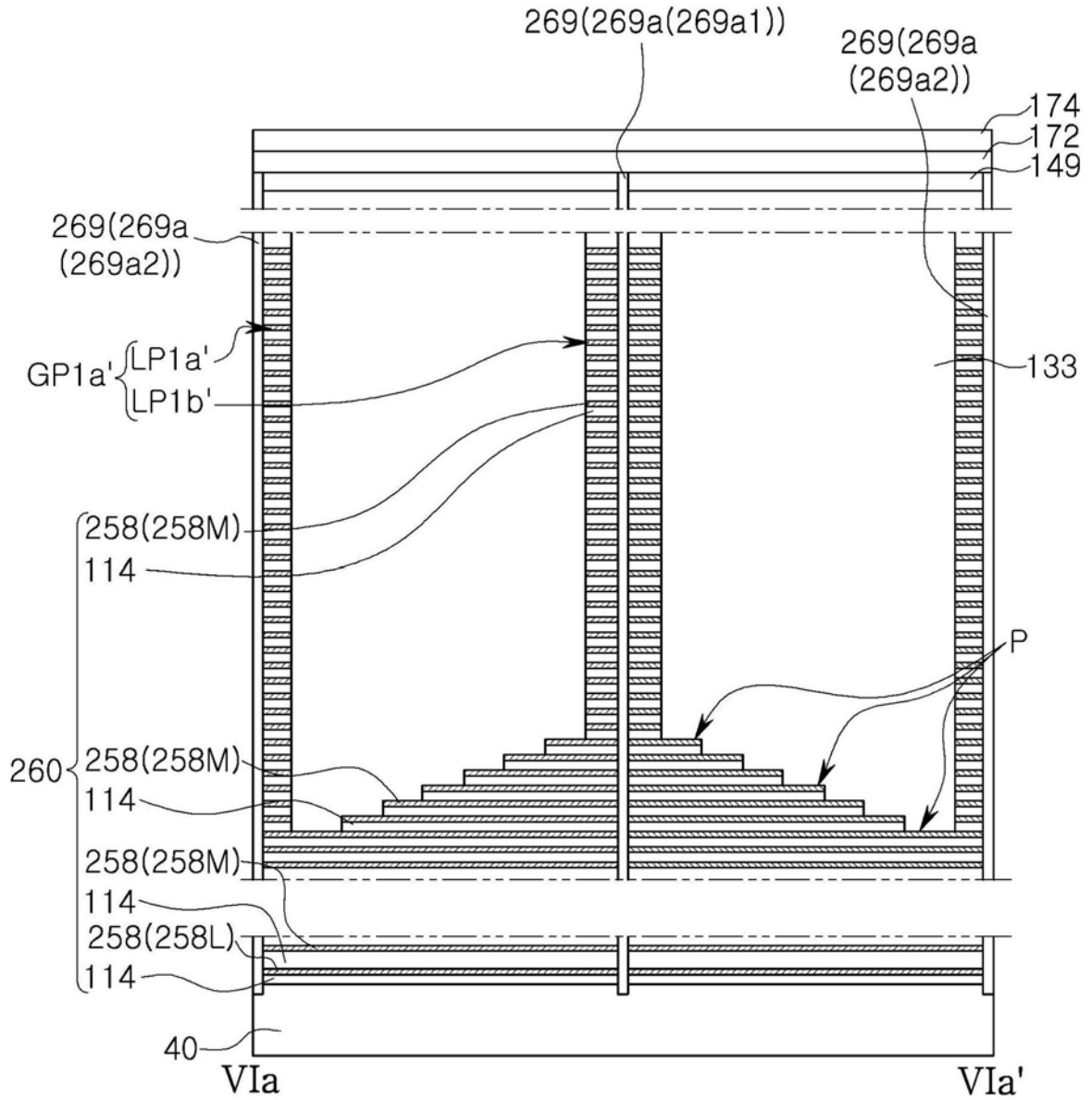


图18B

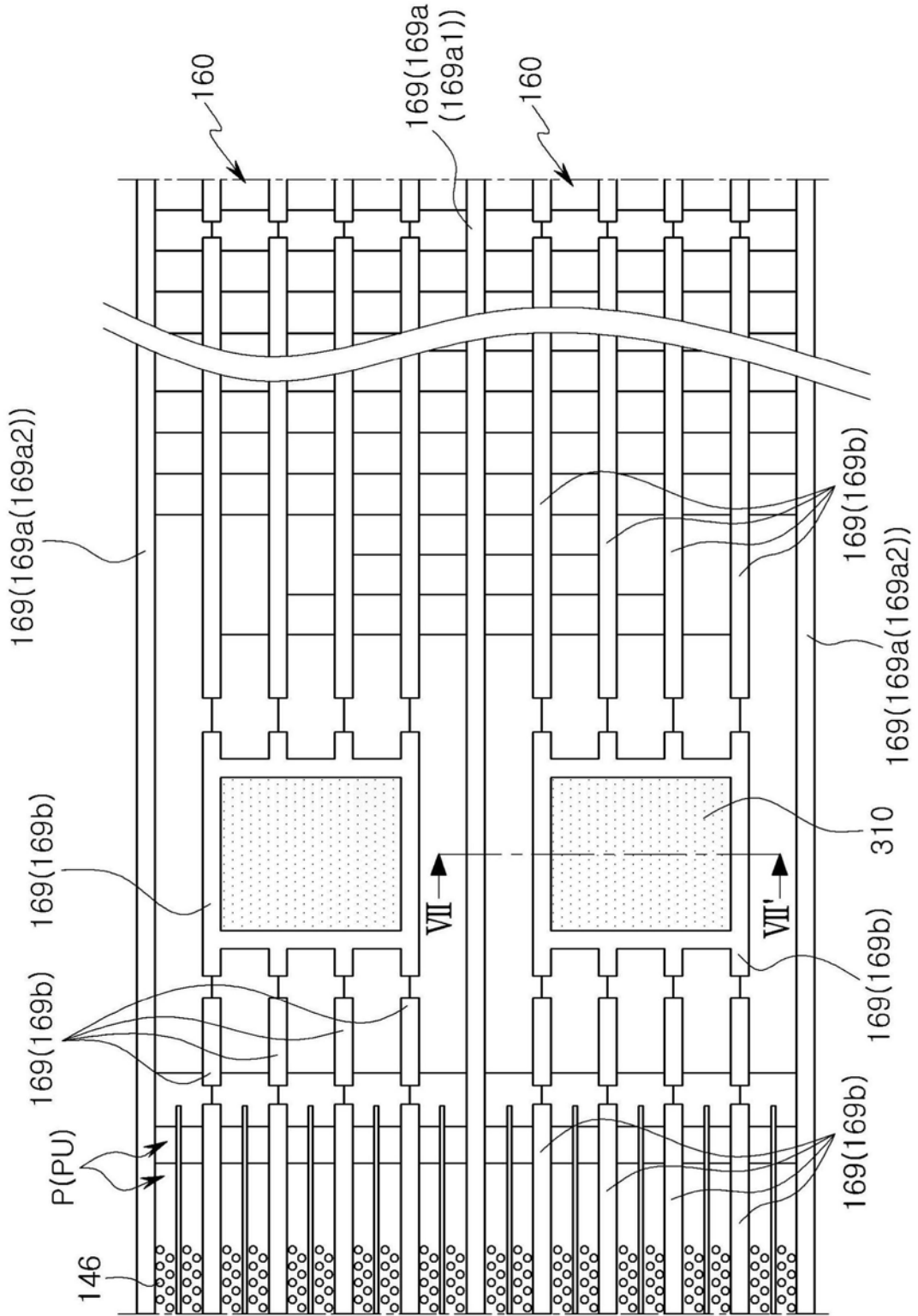


图19

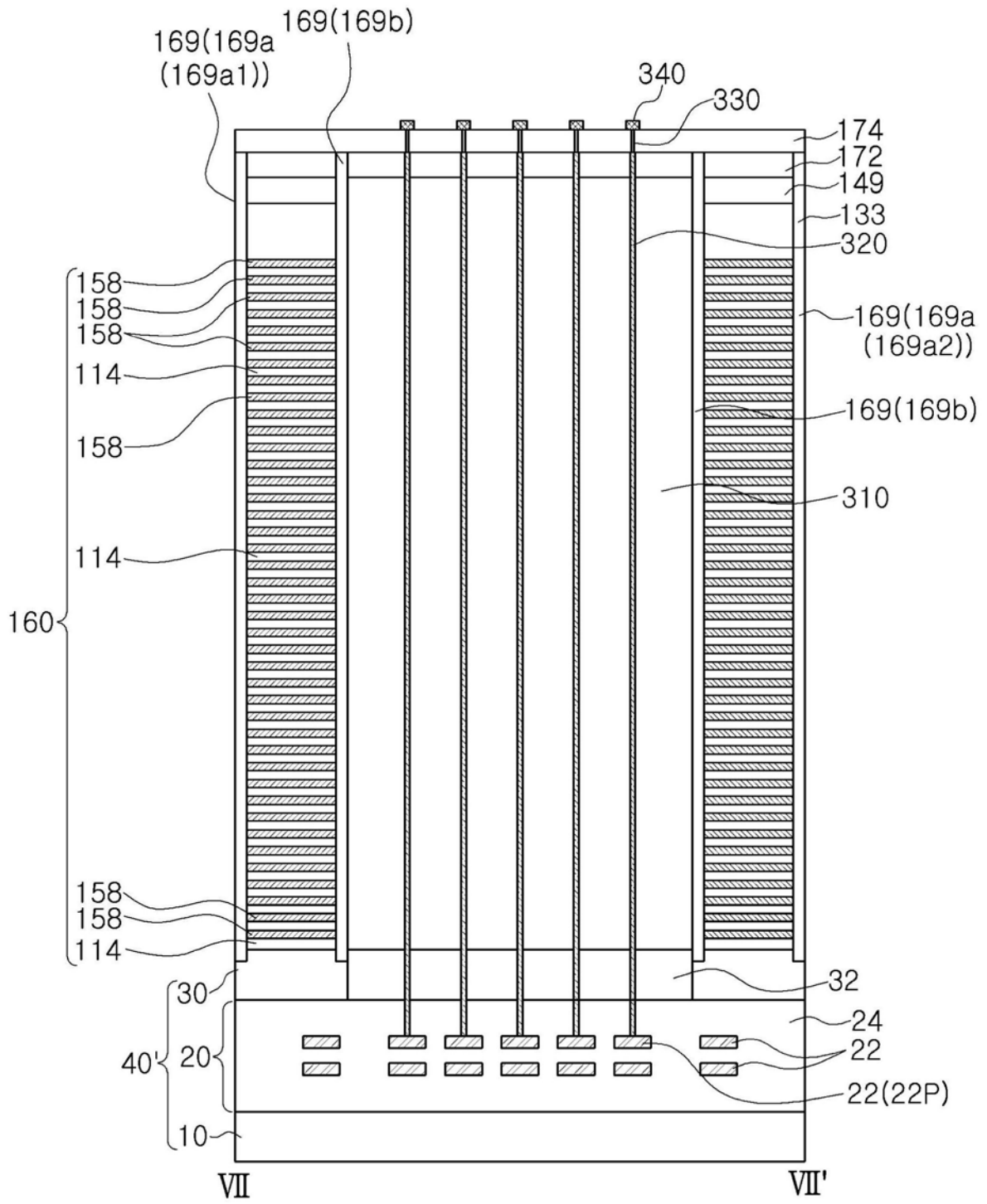


图20

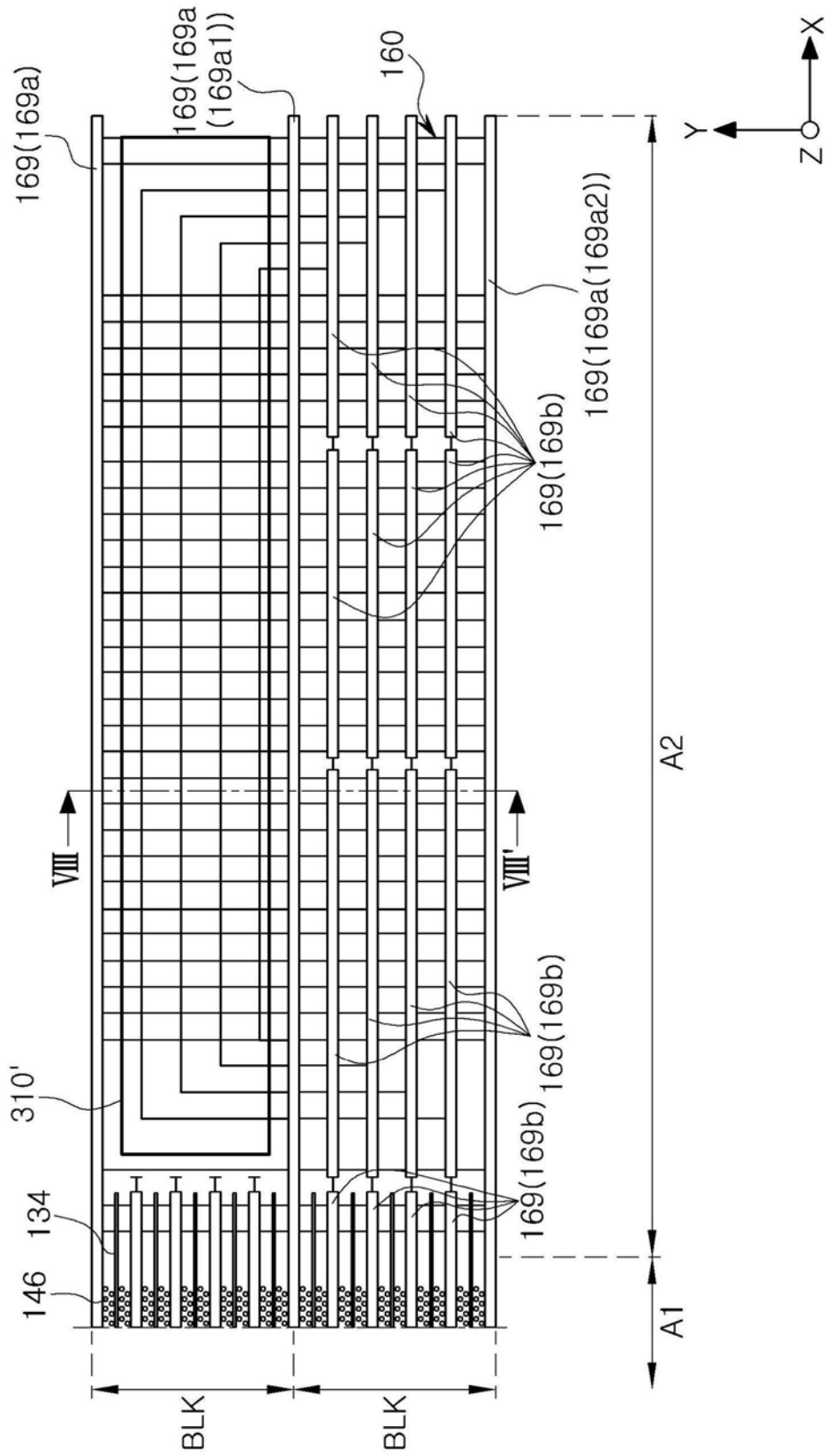


图21

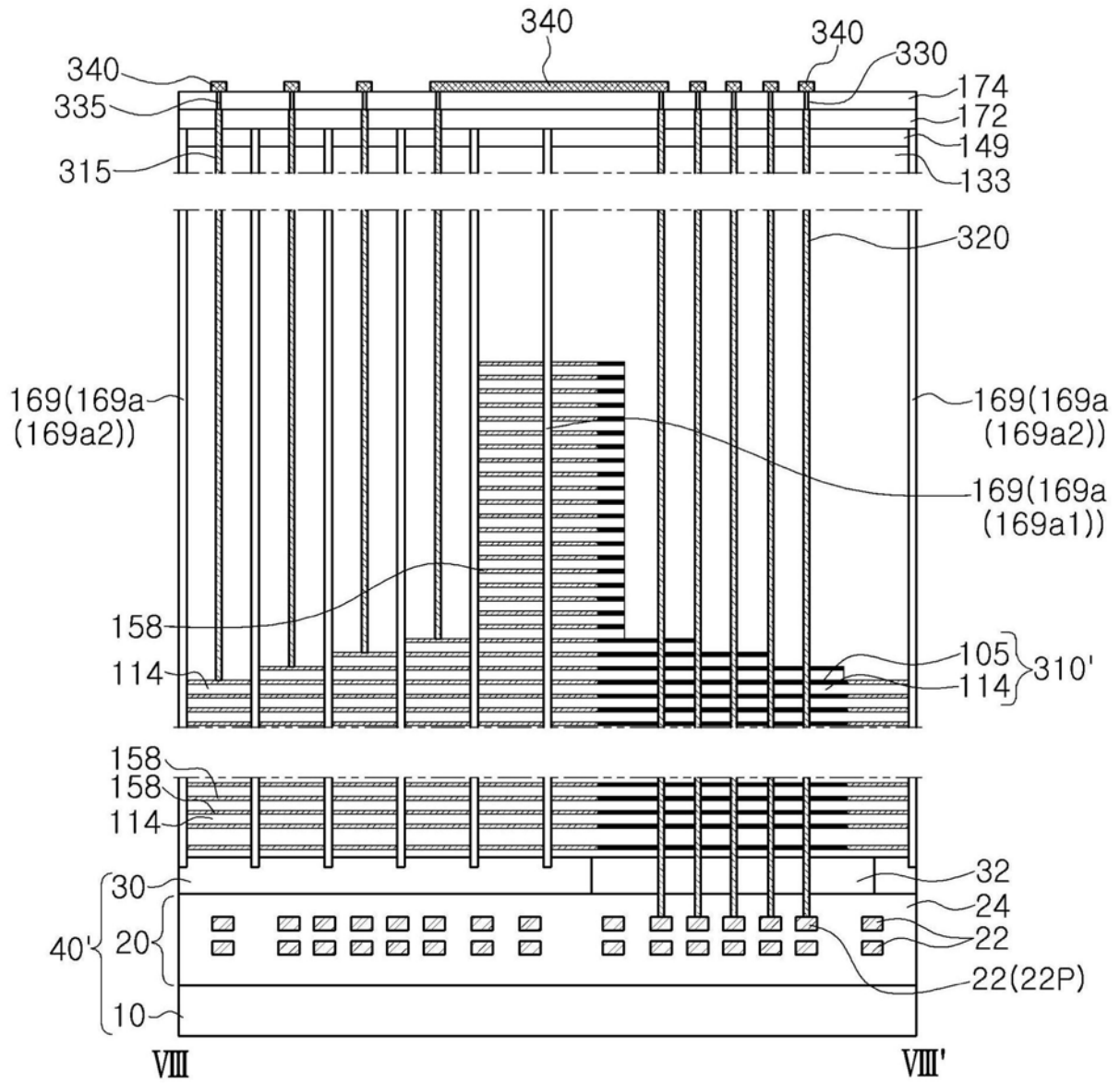


图22

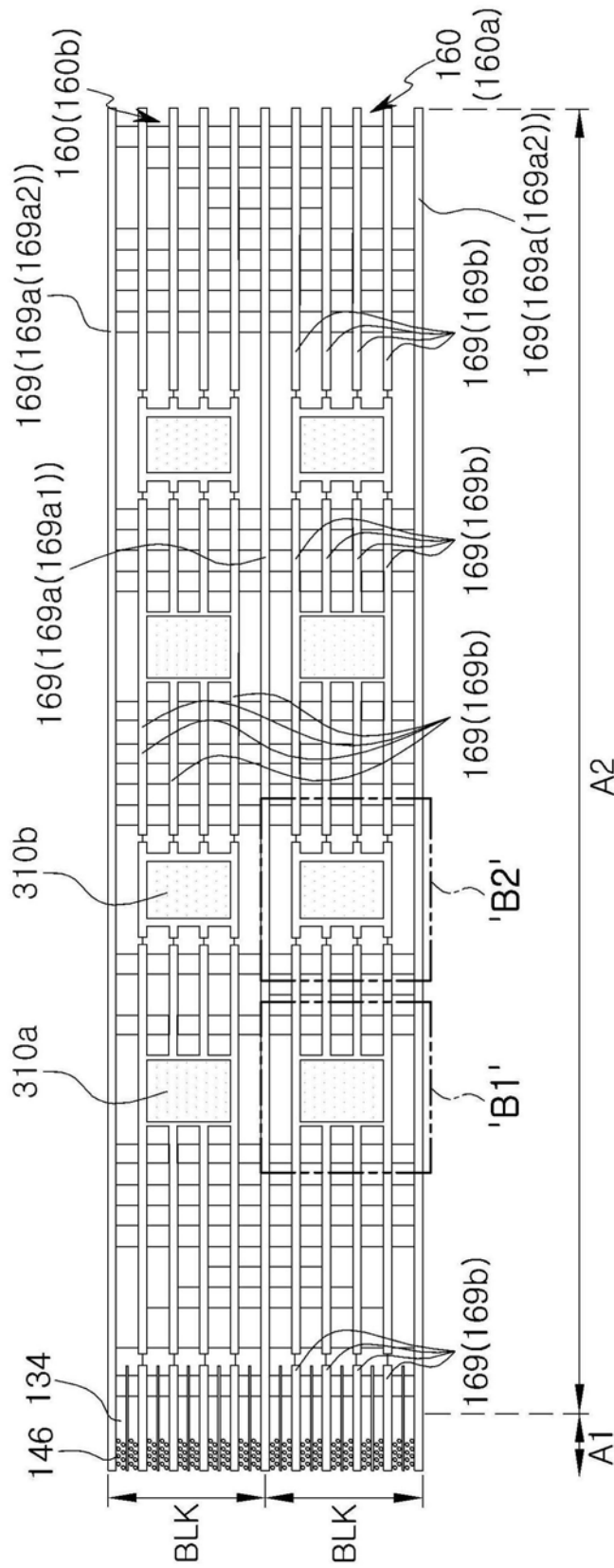


图23

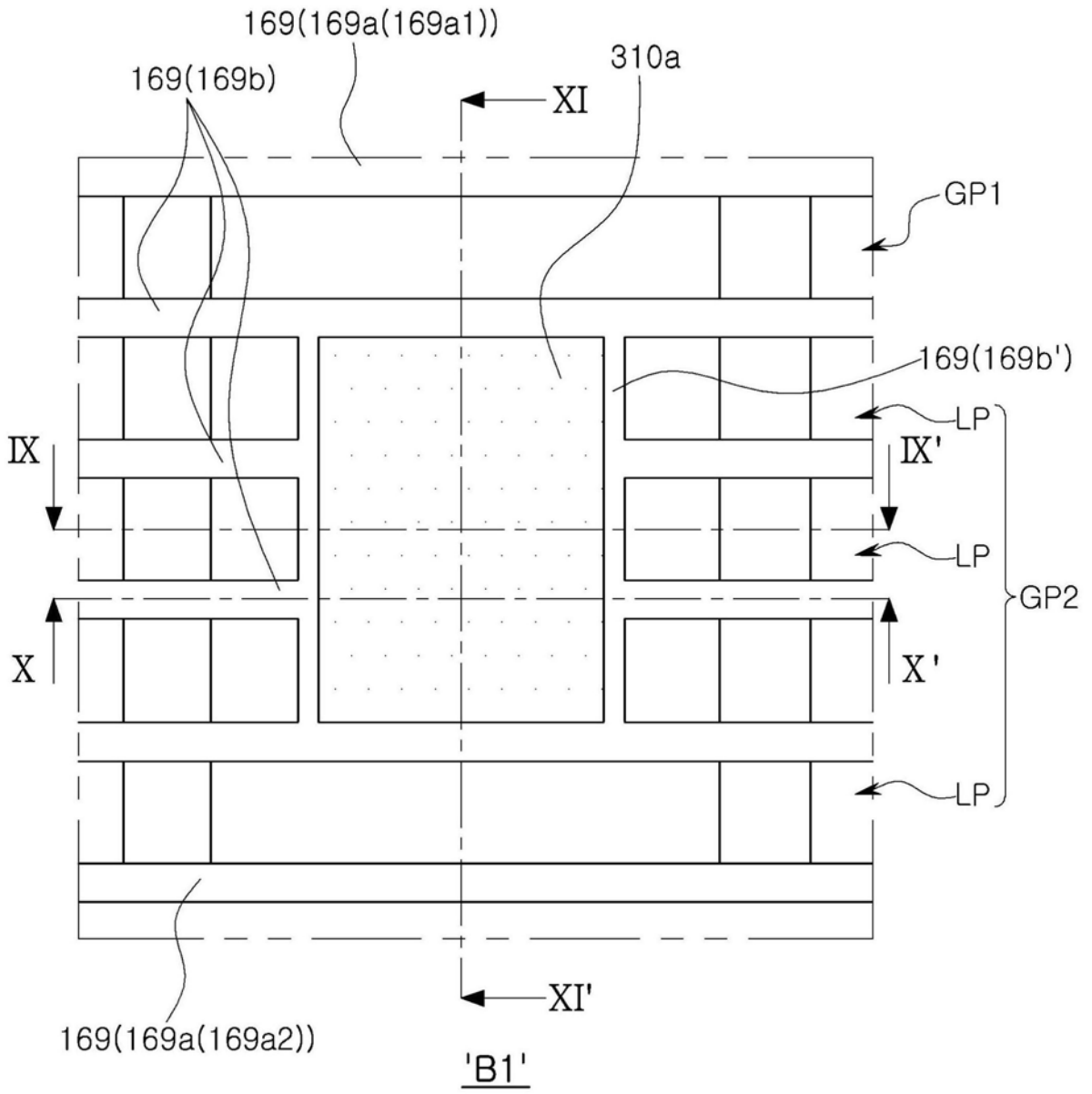


图24A

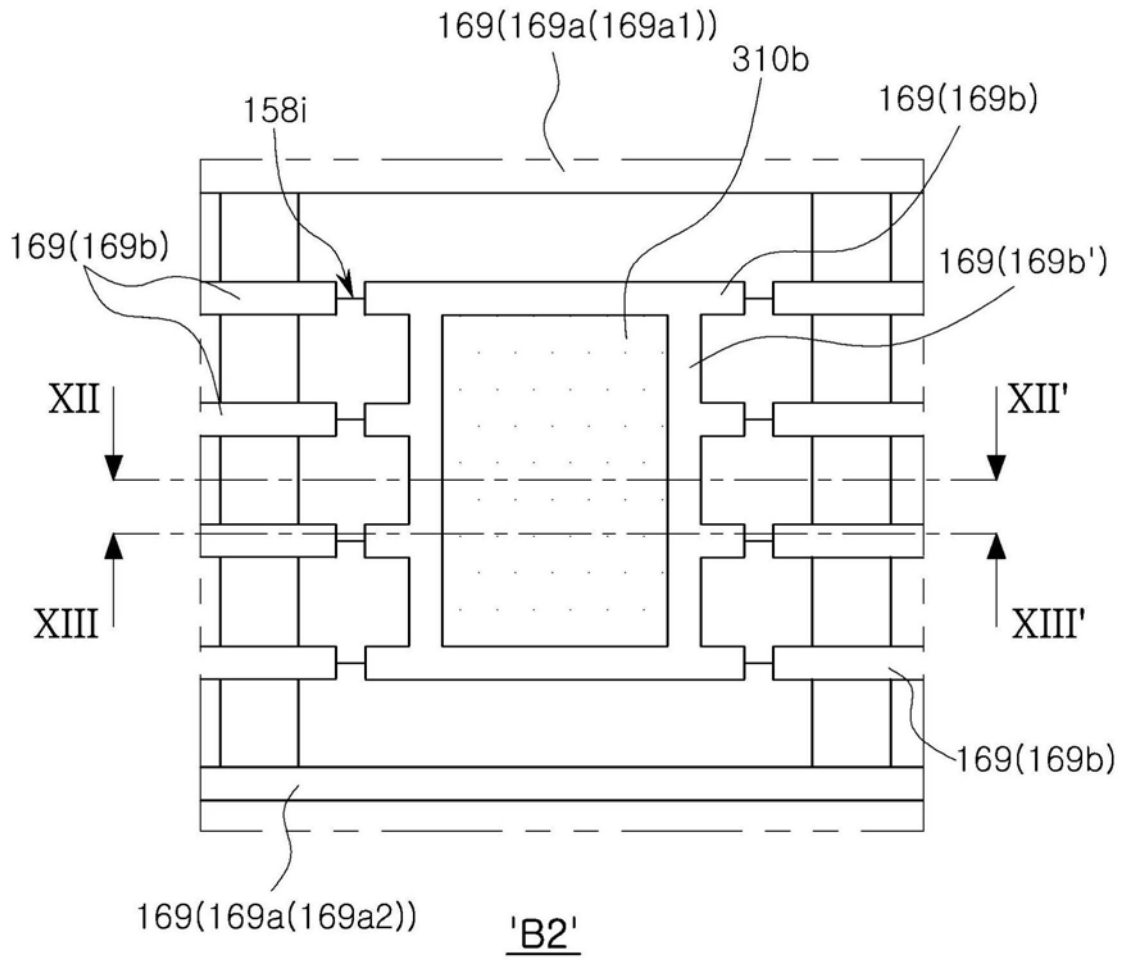


图24B

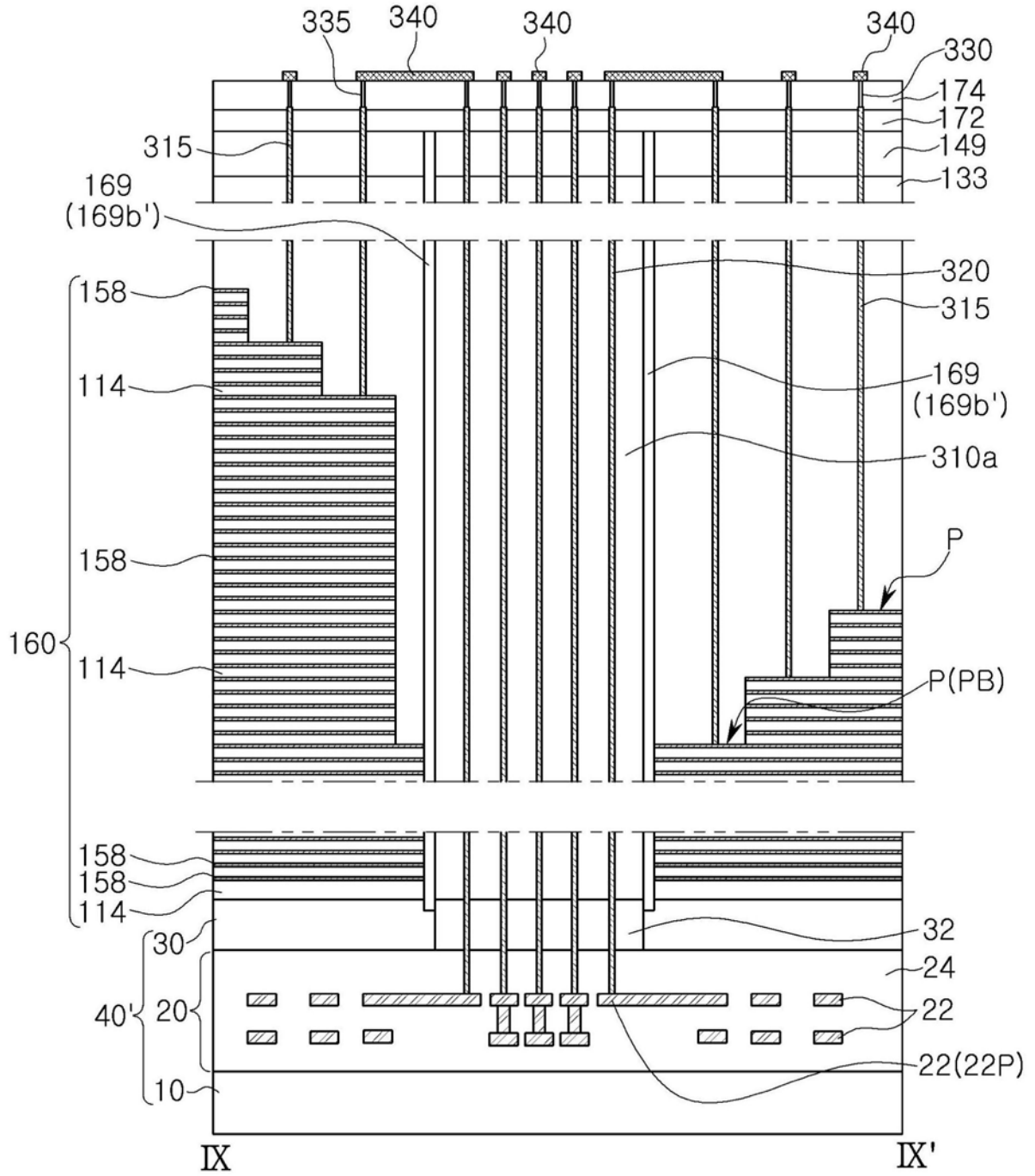


图25A

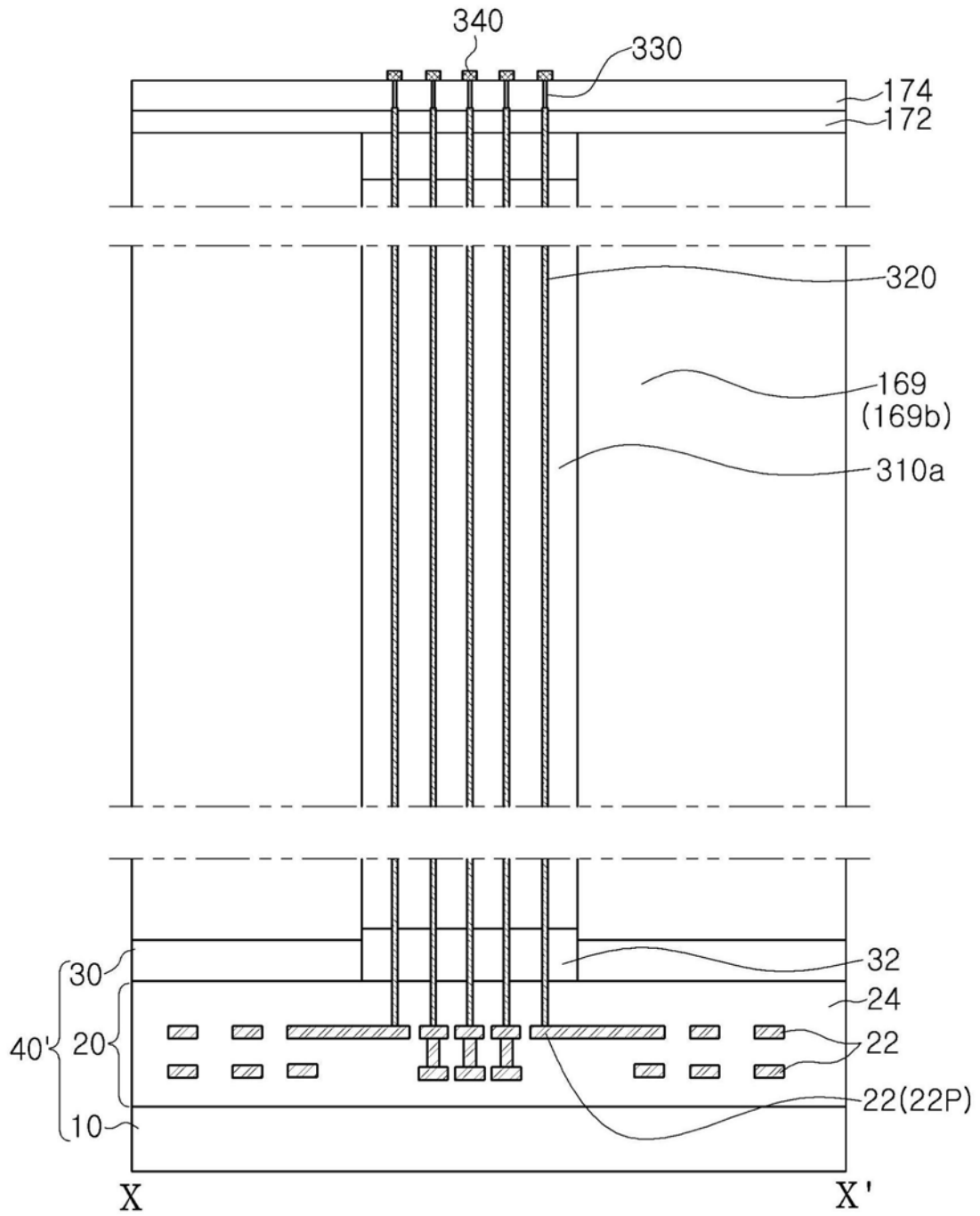


图25B

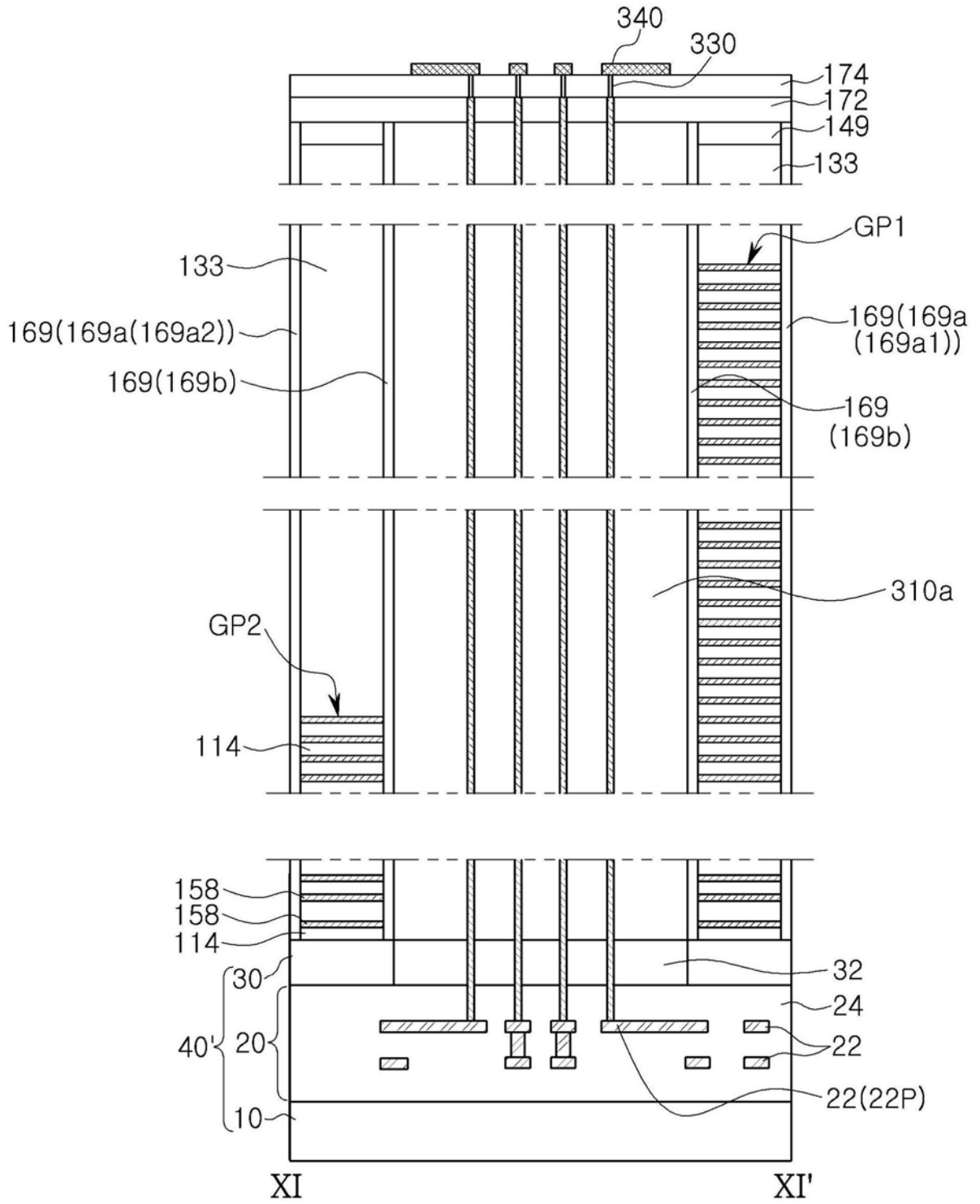


图25C

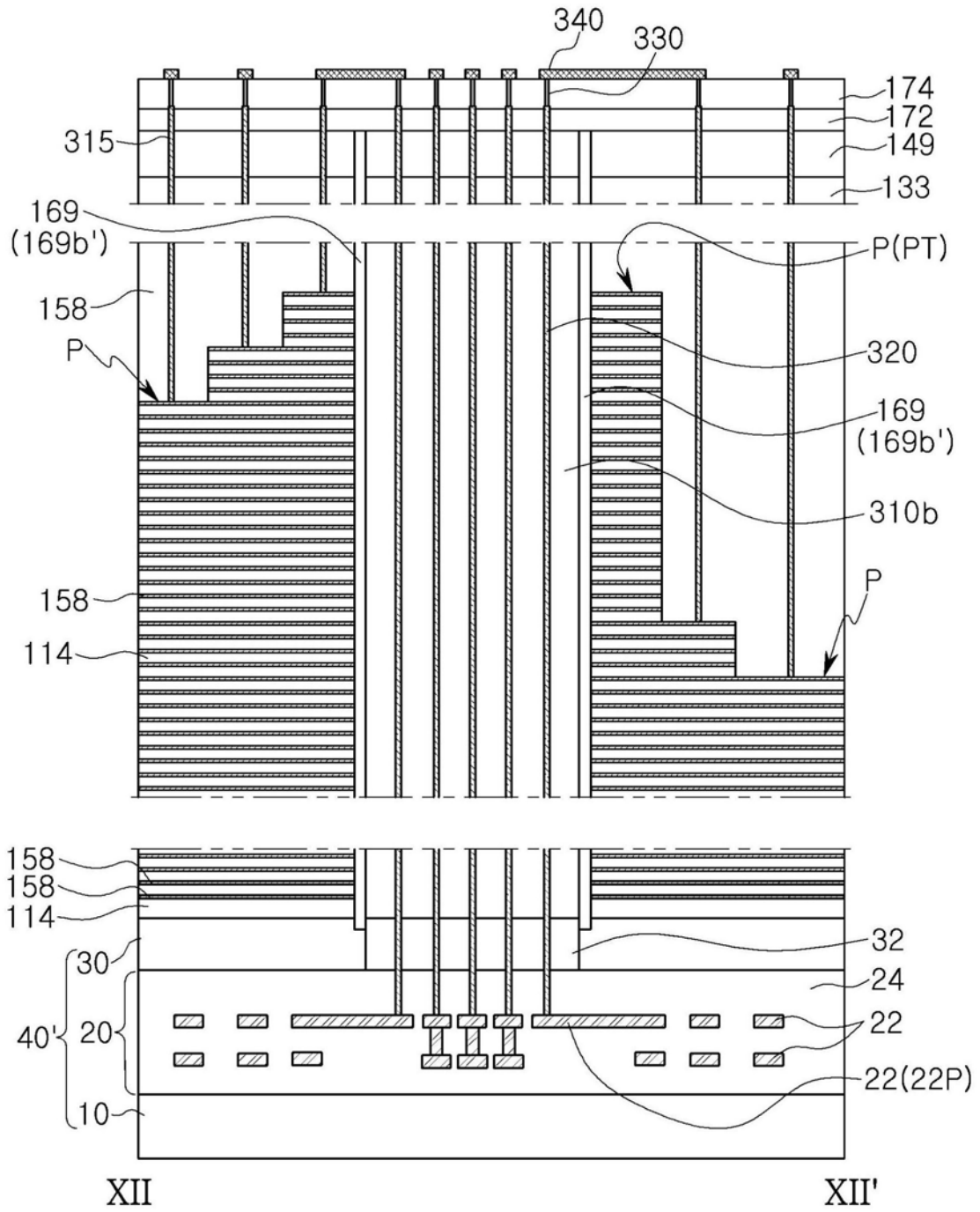


图26A

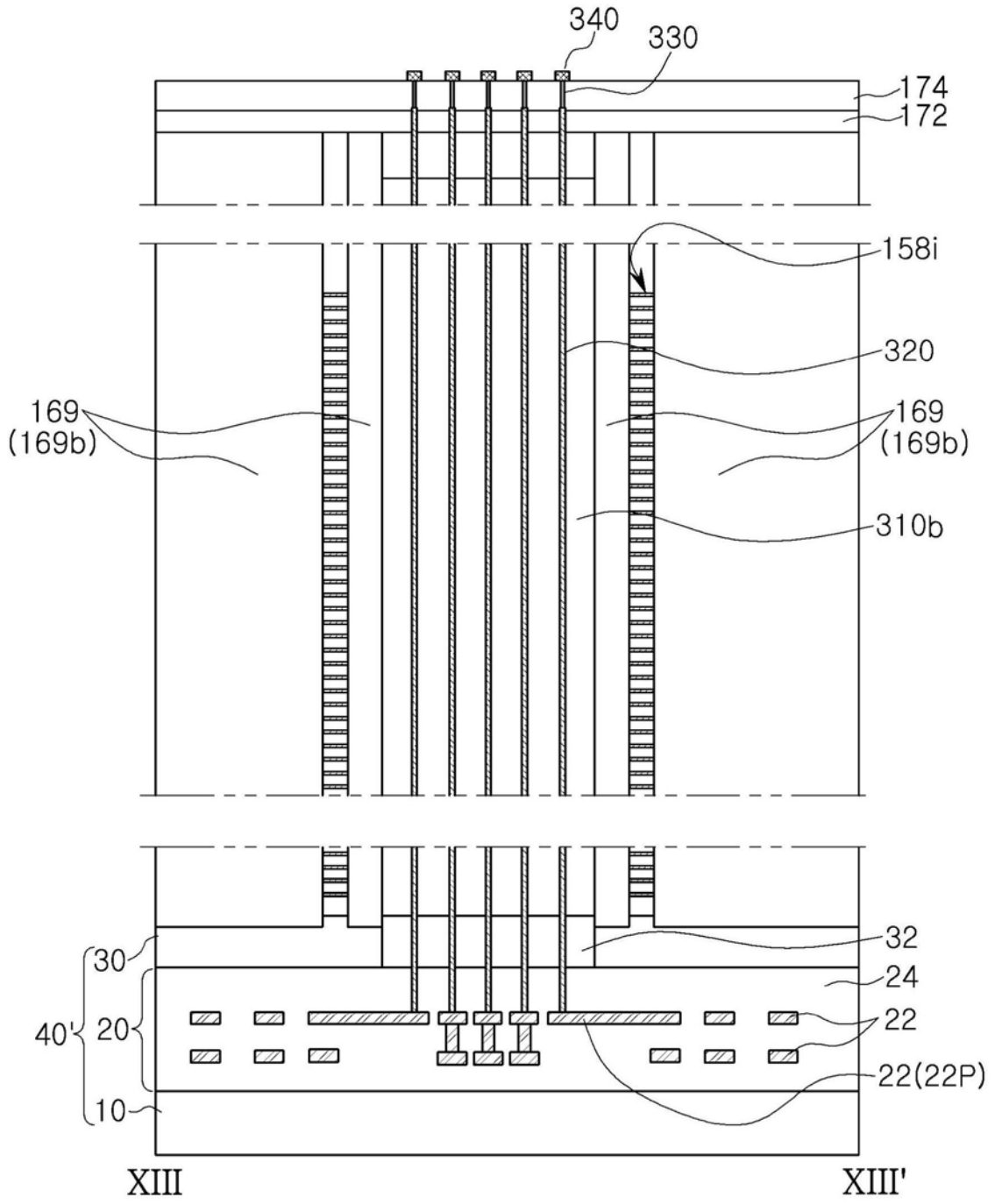


图26B

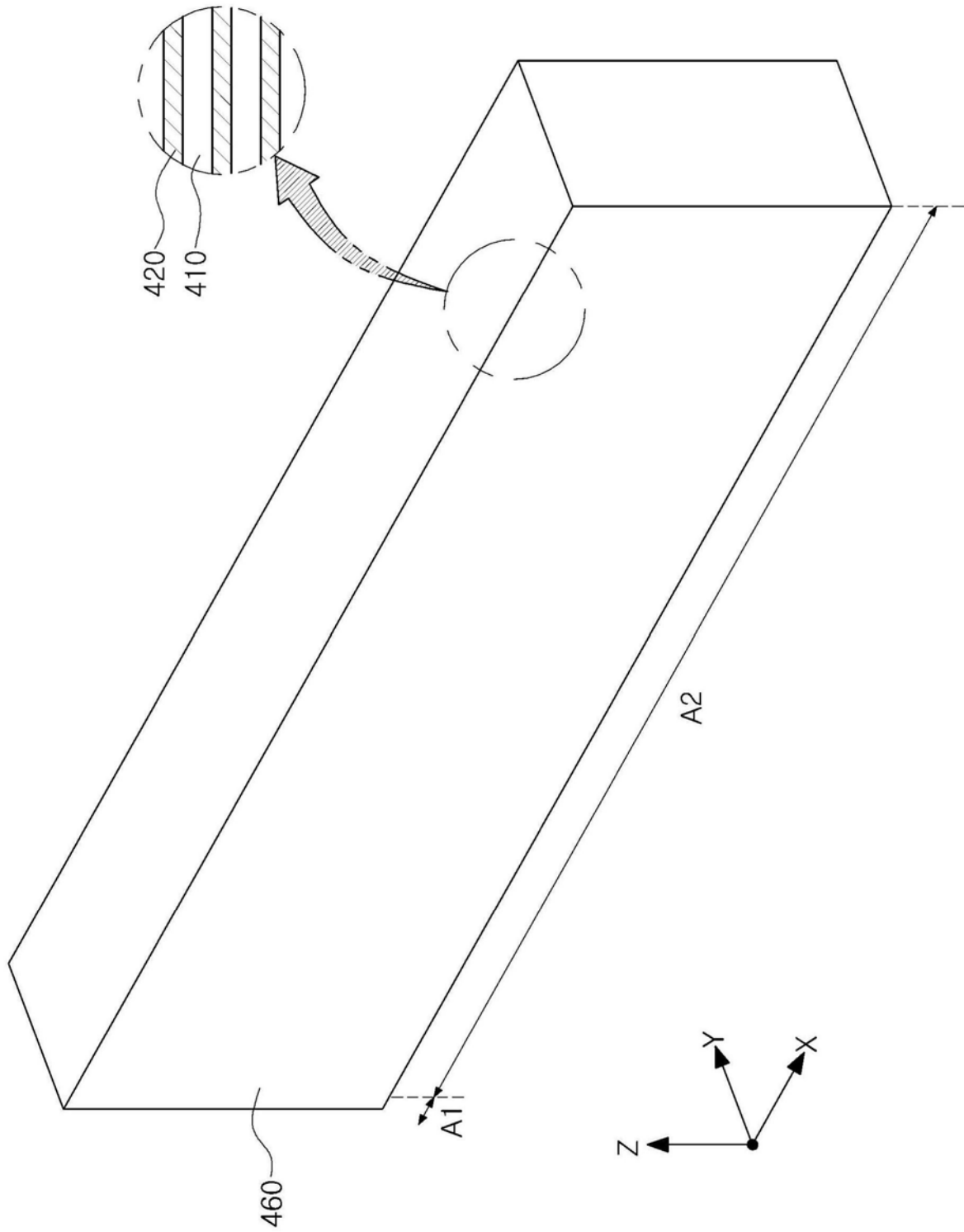


图27A

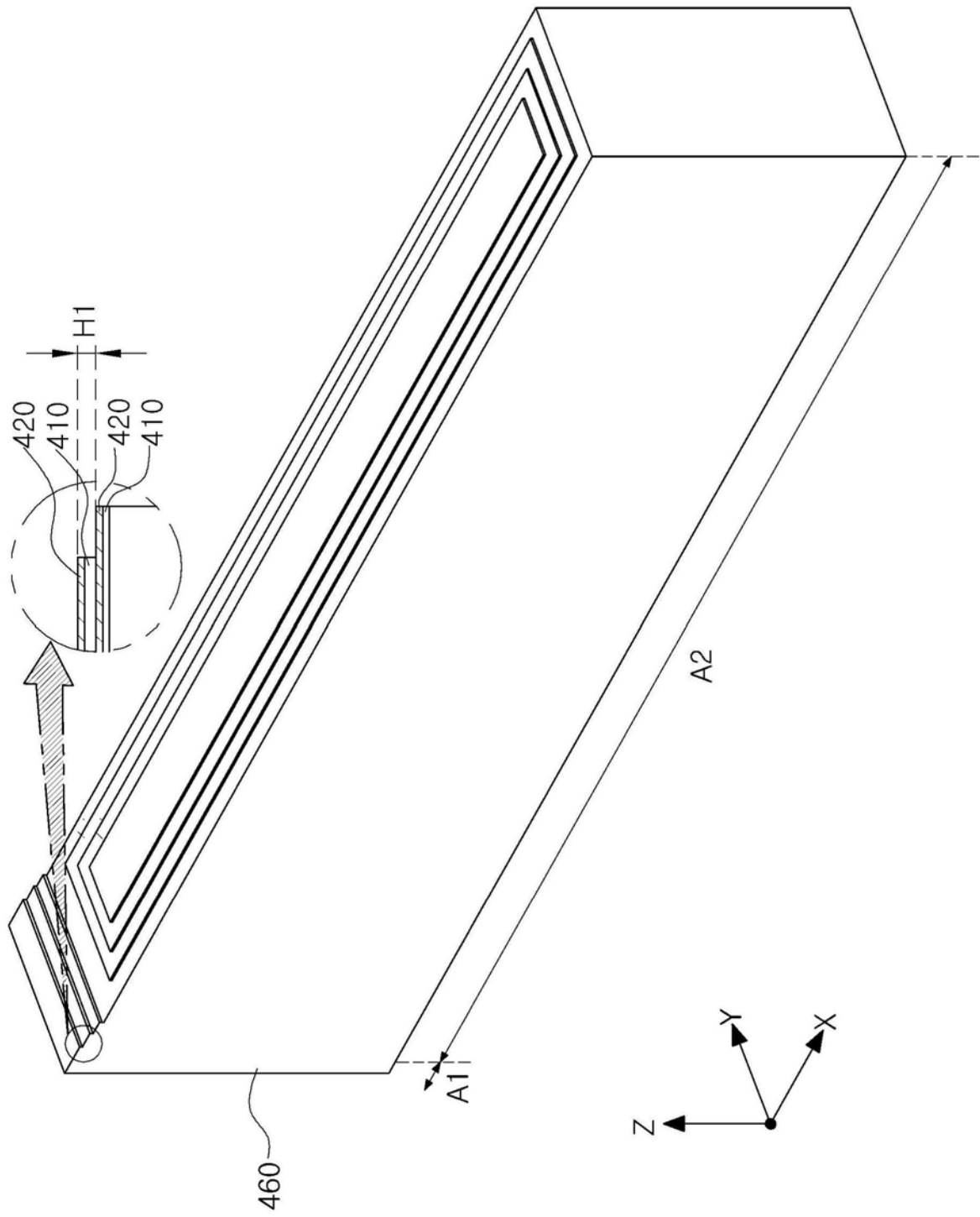


图27B

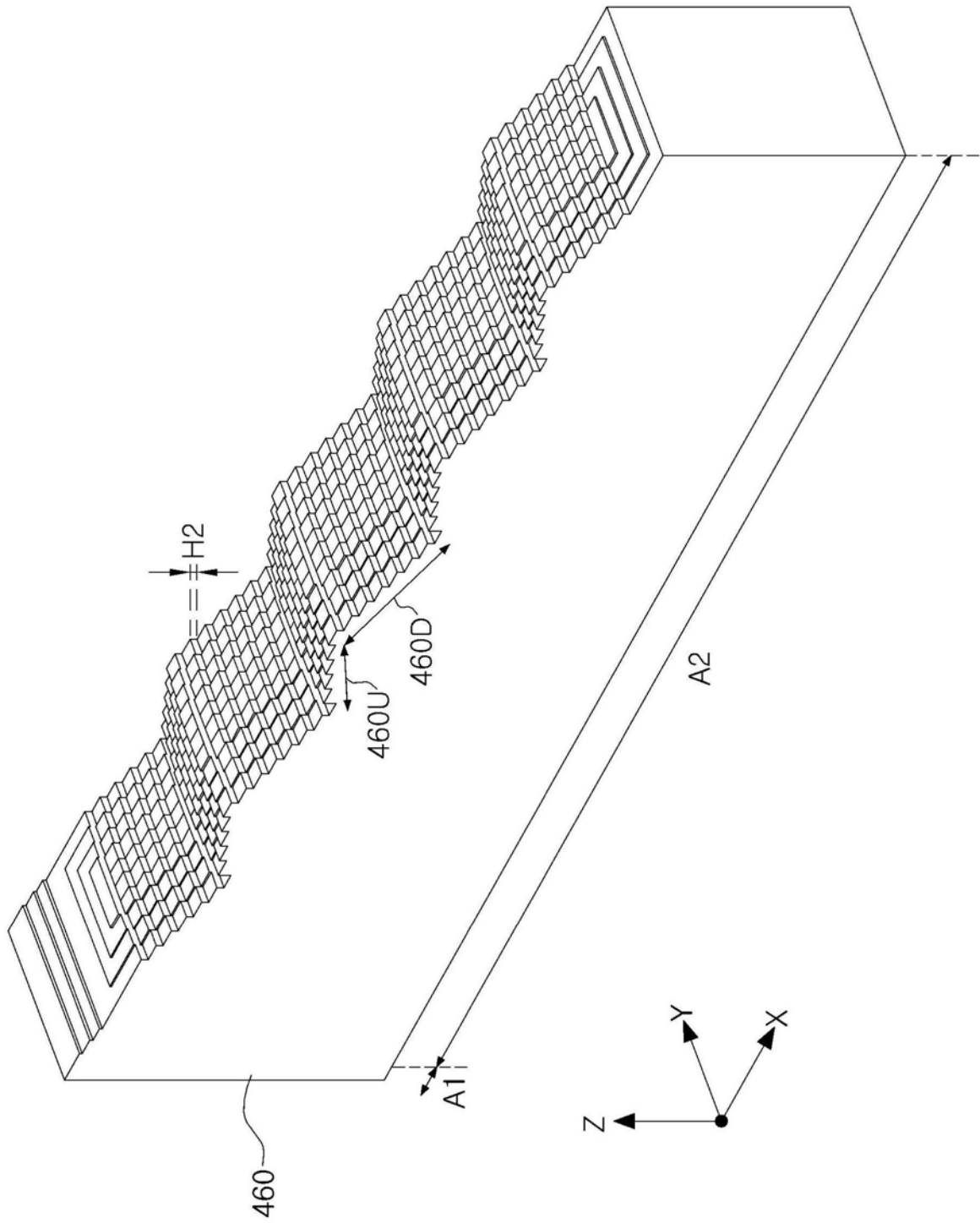


图27C

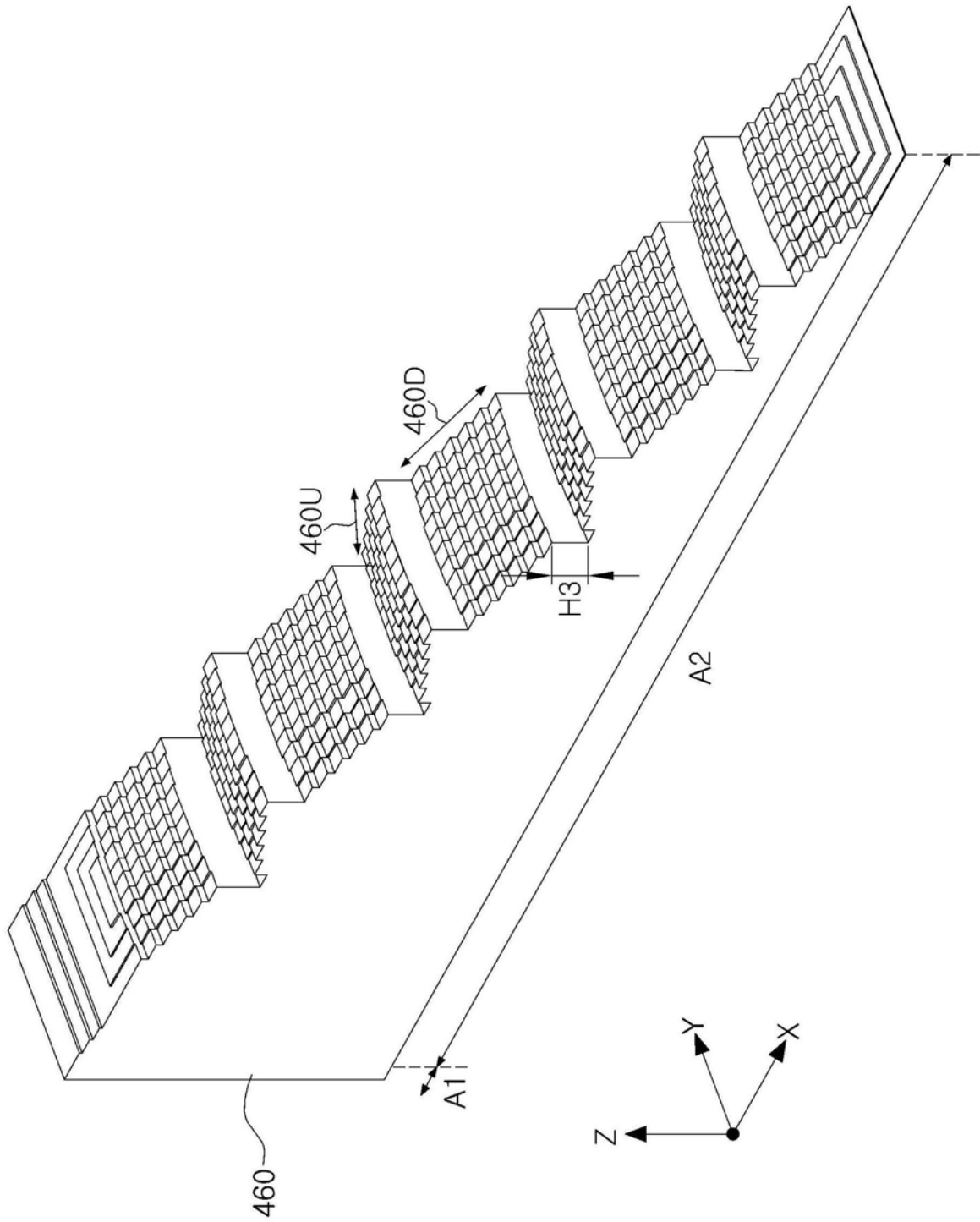


图27D

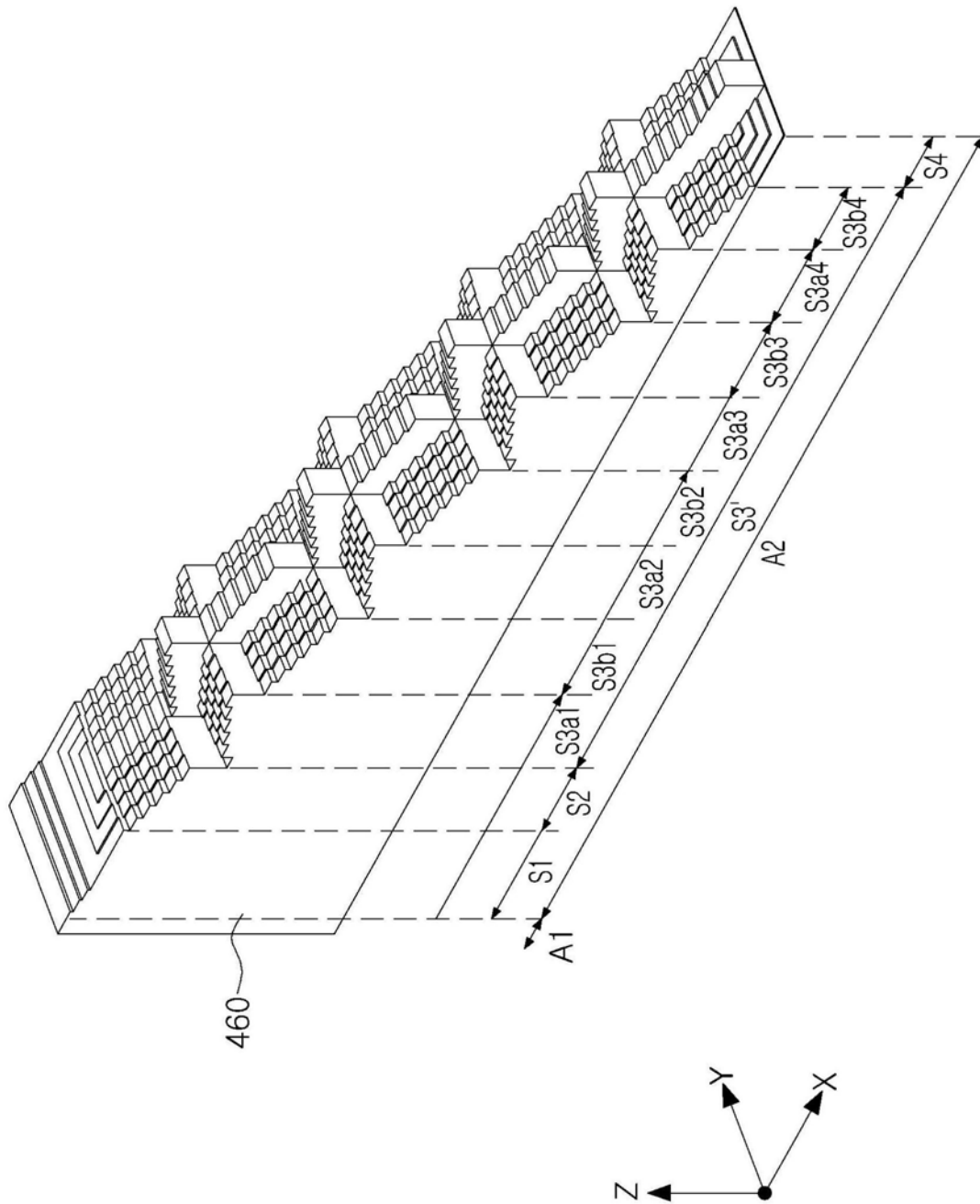


图27E