

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 7/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월20일 10-0562647 2006년03월13일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0110393 2004년12월22일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	강희복 대전 서구 도마2동 경남아파트 109-203  안진홍 경기 안양시 동안구 평촌동 130-1 영풍아파트 101-1408
(74) 대리인	특허법인 신성

(56) 선행기술조사문헌 JP2004022073 A US5592428 A * 심사관에 의하여 인용된 문헌	KR1020000027912 A US6570799 B
---	----------------------------------

심사관 : 윤난영

(54) 저전압용 반도체 메모리 장치

요약

본 발명은 입력되는 전원전압이 낮은 상태에서도 고속으로 동작하고, 블리드 전류를 발생시키지 않아 낭비되는 전류를 줄일 수 있는 반도체 메모리 장치를 레이아웃으로 구현하여 제공하기 위한 것으로, 이를 위해 본 발명은 제1 노멀 캐패시터와, 상기 제1 노멀 캐패시터와 비트라인을 연결하기 위한 제1 노멀 모스트랜지스터를 구비하는 제1 노멀셀; 상기 제1 노멀 캐패시터와 동일 패턴으로 레이아웃된 제2 노멀 캐패시터와, 상기 제1 노멀 모스트랜지스터와 동일 패턴으로 레이아웃되며, 상기 제2 노멀 캐패시터와 비트라인을 연결하기 위한 제2 노멀 모스트랜지스터를 구비하는 제2 노멀셀; 및 레퍼런스 캐패시터와, 상기 레퍼런스 캐패시터와 상기 비트라인을 연결하기 위한 제1 레퍼런스 모스트랜지스터와, 상기 레퍼런스 캐패시터와 상기 비트라인을 연결하기 위한 제2 레퍼런스 모스트랜지스터를 구비하는 레퍼런스셀을 구비하고, 상기 제1 및 제2 레퍼런스 모스트랜지스터는 상기 제2 노멀 모스트랜지스터와 동일패턴으로 레이아웃되고, 상기 레퍼런스 캐패시터는 상기 제2 노멀 캐패시터와 동일패턴으로 레이아웃되어 셀어레이 영역이 구성되는 반도체 메모리 장치를 제공한다.

대표도

도 18a

색인어

반도체, 메모리, 레퍼런스 셀블럭, 비트라인 센스앰프, 접지전압 프리차지.

## 명세서

### 도면의 간단한 설명

도1은 통상적인 반도체 메모리장치의 블럭구성도.

도2은 종래기술에 의해 반도체 메모리 장치의 셀어레이를 나타내는 블럭구성도.

도3은 종래기술에 의해 센스앰프와 셀어레이간의 연결관계를 나타내는 블럭구성도로서, 특히 웨어드 비트라인 센스앰프 구조를 나타내는 블럭구성도.

도4는 도2에 도시된 센스앰프부의 일예를 나타내는 블럭구성도.

도5는 종래기술에 의해 반도체 메모리 장치의 동작을 나타내는 파형도.

도6은 종래기술에 의한 반도체 메모리 장치의 문제점을 나타내기 위한 단면도.

도7은 본 발명에 따른 반도체 메모리 장치를 나타내는 블럭구성도.

도8은 본 발명에 따른 반도체 메모리 장치를 보다 자세히 나타내는 블럭구성도로서, 특히 도7에 도시된 센스앰프부를 자세히 나타내는 회로도.

도9는 도8에 도시된 제1 레퍼런스 셀블럭의 제1 실시예를 나타내는 회로도.

도10은 도8에 도시된 반도체 메모리 장치의 동작을 나타내는 파형도.

도11은 도8에 도시된 제1 레퍼런스 셀블럭의 제2 실시예를 나타내는 회로도.

도12a 내지 도19a는 본 발명의 반도체 메모리 장치의 레이아웃을 나타내는 평면도로서 특히 셀어레이와 레퍼런스 셀블럭을 나타내는 평면도.

도12b 내지 도19b는 본 발명의 반도체 메모리 장치의 레이아웃을 나타내는 단면도로서 특히 셀어레이와 레퍼런스 셀블럭을 나타내는 단면도.

\* 도면의 주요부분에 대한 부호의 설명 \*

TC1,TC2 : 단위셀용 모스트랜지스터

Cap1,Cap2 : 단위셀용 모스트랜지스터

TS1 ~ TS4 : 센스앰프용 모스트랜지스터

TO1, TO2 : 데이터 출력용 모스트랜지스터

TP1, TP2 : 프리차지용 모스트랜지스터

TBH1,TBH2, TBL1,TBL2 : 연결용 모스트랜지스터

RC1, RC2 : 레퍼런스 캐패시터

RT1 ~ RT4 : 레퍼런스 모스트랜지스터

WL : 워드라인 LP : 랜딩플러그

BLC : 비트라인용 콘택플러그 BL : 비트라인

SNC : 스토리지 노드 콘택플러그 SN : 스토리지 노드

PL : 플레이트 라인

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 반도체 메모리 장치의 전원전압이 낮을 때 효율적으로 동작하기 위한 반도체 메모리 장치에 관한 것이다.

도1은 통상적인 반도체 메모리장치의 블럭구성도이다.

도1을 참조하여 살펴보면, 통상적인 메모리 장치는 로우어드레스를 입력받아 디코딩하여 출력하는 로우어드레스 입력부(20)와, 컬럼어드레스를 입력받아 디코딩하여 출력하는 컬럼어드레스 입력부(30)와, 다수개의 단위셀로 구성된 셀어레이(Cell array)(110,120,130,140)를 다수 구비하여 로우어드레스 입력부(20)와 컬럼어드레스 입력부(30)에서 출력되는 신호에 해당되는 데이터를 출력하는 셀영역(100)과, 셀영역(100)에서 출력되는 데이터를 외부로 출력하거나, 외부에서 입력된 데이터를 셀영역으로 전달하기 위한 데이터 입출력부(40)를 구비한다.

셀영역(100)은 셀어레이(110,120,130,140)에서 출력되는 데이터신호를 증폭하여 데이터 출력부(40)로 출력하기 위한 센스앰프부(150,160)를 구비하고 있다.

또한, 셀영역의 각 셀어레이(110,120,130,140)는 다수의 단위셀을 각각 구비하고 있다.

센스앰프부는 메모리 장치가 리드 동작시에는 전술한 바와 같이 셀어레이에 전달되는 데이터신호를 감지증폭하여 데이터 입출력부(40)로 출력하고, 메모리 장치가 라이트동작시에는 데이터 입출력부(40)에서 전달된 데이터를 래치하고 셀어레이로 전달하는 역할을 하게 된다.

도2은 종래기술에 의해 반도체 메모리 장치를 나타내는 블럭도로서, 특히 셀어레이를 나타내는 블럭구성도이다.

도2를 참조하여 살펴보면, 반도체 메모리 장치의 셀어레이는 다수의 워드라인(WL0, WL1, WL2, ...)과 다수의 비트라인(BL, /BL)이 교차하면서 구비되며, 교차되는 지점마다 하나의 단위셀이 구비된다.

하나의 단위셀(CELL1)은 스위치 역할을 하는 모스트랜지스터(예를 들어 M0)와 데이터를 저장하기 위한 캐패시터(예를 들어 C0)로 구성되는데, 단위셀을 구성하는 모스트랜지스터(M0)는 게이트가 워드라인(WL0)과 접속되며, 일측은 비트라인(BL)에 타측은 캐패시터(C0)에 접속되며, 캐패시터(C0)는 일측이 모스트랜지스터(M0)의 타측에 접속되며, 타측은 플레이트 전압(PL)을 인가받게 된다.

이웃한 워드라인(WL0, WL1)에 접속되는 두개의 단위셀(CELL1, CELL2)은 짝을 이루며 하나의 비트라인(BL)에 공통으로 연결되도록 되어 있으며, 두 비트라인바(BL, /BL)은 셀어레이의 일측에 구비되는 센스앰프부(150)의 센스앰프(152a)에 접속되도록 되어 있다.

만약 단위셀(CELL1)의 데이터를 리드하려면, 워드라인(WL0)이 선택되어 활성화되고, 그로 인해 단위셀(CELL1)의 모스트랜지스터(M0)가 턴온되어 캐패시터(C0)에 저장된 데이터가 비트라인(BL)에 인가된다.

비트라인 센스앰프(152a)는 데이터신호가 인가된 비트라인(BL)과 데이터신호가 인가되지 않은 비트라인바(/BL)의 전압 레벨 차이를 감지하여 증폭하게 된다.

비트라인 센스앰프(152a)의 증폭 동작이 완료된 이후에, 두 비트라인쌍(BL)에 래치된 감지 증폭된 데이터는 외부 데이터 라인(LDB,LDBB)을 통해 외부로 출력된다.

이 때 데이터신호는 비트라인(BL)에 있게 되는데, 비트라인바(/BL)에도 상대적인 데이터를 증폭 및 래치시켜, 셀어레이의 외부로 데이터를 전달할 때에는 쌍으로 데이터를 전달하게 된다.

단위셀(CELL1)의 캐패시터(C0)에 데이터 '1'(즉 전하가 충전되어 있는 경우)이 저장되어 있다면, 비트라인(BL)은 전원전압 레벨로 증폭되고 비트라인바(/BL)는 접지전압 레벨로 증폭 된다. 또한 단위셀(CELL1)의 캐패시터에 데이터 '0'(즉 전하가 방전되어 있는 상태)이 저장되어 있다면, 비트라인(BL)은 접지전압 레벨로 증폭되고, 비트라인바(/BL)는 전원전압레벨로 증폭된다.

이 때 단위셀에 데이터를 나타내기 위해 저장된 전하는 매우 작은 양이기 때문에 비트라인의 전압을 증가시키는데 사용한 후에는 단위셀의 캐패시터는 방전전 상태가 되고, 이전의 데이터를 캐패시터에 계속 유지시키기 위해서는 재충전 동작을 해야한다. 재충전동작은 센스앰프에 래치된 데이터신호를 이용해 단위셀의 캐패시터로 전달하는 동작이며, 재충전동작이 완료되면 워드라인이 비활성화된다.

만약 단위셀(CELL3)의 데이터를 리드하는 경우에는 워드라인(WL2)이 활성화되어 모스트랜지스터(M2)가 턴온되어 캐패시터(C2)에 저장된 데이터가 비트라인바(/BL)에 인가된다. 센스앰프(152a)는 비트라인(/BL)와 비트라인(BL)의 전압레벨 차이를 감지하여 증폭하게 되고, 증폭이 끝난 후에는 외부 데이터라인(LDB,LDBB)을 통해 외부로 출력된다. 이 때에는 비트라인바(/BL)에 데이터신호가 인가되며, 그 반대의 신호가 비트라인에 인가되는 것이다.

계속해서 살펴보면, 단위셀에 데이터를 라이트하는 경우에도 전술한 리드동작에서와 같이, 선택된 단위셀에 대응하는 워드라인이 활성화된 이후에 단위셀에 있는 데이터를 감지증폭하게 된다. 이후에 비트라인 센스앰프(152a)에 감지증폭되어 래치된 데이터가 외부에서 전달된 라이트할 데이터로 교체된다.

교체된 데이터는 비트라인 센스앰프(152a)에 래치되고, 그 래치된 데이터는 이후에 단위셀의 캐패시터에 저장이 된다. 선택된 단위셀의 캐패시터에 저장이 완료되면, 워드라인이 비활성화된다.

도3은 종래기술에 의해 센스앰프와 셀어레이간의 연결관계를 나타내는 블럭구성도로서, 특히 웨어드(Shared) 비트라인 센스앰프 구조를 나타내는 블럭구성도이다.

도3을 참조하여 살펴보면, 셀영역(100)에는 다수의 셀어레이(100,130,180)에는 구비된 단위셀의 데이터를 감지증폭하기 위한 센스앰프를 구비한 센스앰프부(150,170)가 셀어레이의 사이사이에 구비되어 있다.

센스앰프부(150)에는 다수의 센스앰프가 구비되는데, 하나의 셀어레이에 접속된 트라인쌍의 갯수에 대응하는 수만큼의 센스앰프가 구비되어야 한다.

웨어드 비트라인 센스앰프 구조인 경우에는 회로의 면적을 줄이기 위해 사용하는 두개의 셀어레이당 하나의 센스앰프부를 공유하기 때문에, 두개의 비트라인 쌍마다 하나의 센스앰프가 구비되면 된다.

웨어드 비트라인 센스앰프 구조인 경우 2개의 셀어레이(110,130) 당 하나의 센스앰프부(150)를 구비하고, 적절한 연결 신호(BISH, BISL)에 따라 센스앰프부와 셀 어레이(110,130)를 연결 또는 분리 시켜고 있다.

예컨대, 제1 연결신호(BISH)에 활성화되면, 제1 연결부(151)가 인에이블되어 센스앰프부(150)과 셀어레이0(110)가 연결되고, 제2 연결신호(BISL)가 활성화되면, 제2 연결부(153)가 인에이블되어 센스앰프부(150)와 셀어레이1(130)가 연결된다.

센스앰프부(150)에는 연결부와 센스앰프외에도 프리차지부와 데이터출력부등이 구비되는데, 도4에 자세하게 도시하였다.

도4는 도2에 도시된 센스앰프부의 일예를 나타내는 블럭구성도이다.

도4를 참조하여 살펴보면, 센스앰프부(150)는 센스앰프 전원공급신호(SAP,SAN)에 의해 동작하여, 비트라인쌍(BL, /BL)의 신호 차이를 증폭하기 위한 센스앰프(152a)와, 센스앰프(152a)가 동작하지 않을 때에 출력되는 프리차지신호(BLEQ)에 인에이블되어 비트라인 프리차지 전압(VBLP)으로 비트라인쌍(BL,/BL)을 프리차지하기 위한 프리차지부(155a)와, 프리차지신호(BLEQ)에 응답하여 셀어레이0(110)에 연결된 두 비트라인(BL,/BL)의 전압레벨을 같게 하기 위한 제1 이퀄라이제이션부(154a)와, 프리차지신호(BLEQ)에 응답하여 셀어레이1(130)에 연결된 비트라인쌍(BL,/BL)의 전압레벨을 같게 하기 위한 제2 이퀄라이제이션부(157a)와, 칼럼어드레스에 의해 생성되는 컬럼제어신호(YI)에 의해 센스앰프(152a)에 의해 증폭된 데이터신호를 데이터 라인(LDB, LDBB)을 통해 외부로 출력하기 위한 데이터출력부(156a)로 구성된다.

또한, 전술한 바와 같이 센스앰프부(150)는 센스앰프(155a)를 셀어레이0 또는 셀어레이1과 연결 또는 분리시키기 위한 제1 및 제2 연결부(151a,153a)를 구비한다.

도5는 종래기술에 의해 반도체 메모리 장치의 동작을 나타내는 파형도이다.

계속해서 도1 내지 도4를 참조하여 종래기술에 의한 반도체 메모리 장치의 동작을 자세히 살펴본다.

반도체 메모리 장치는 데이터를 리드하는 동작을 프리차지구간(Precharge), 리드명령어구간(Read), 센싱구간(Sense), 재저장구간(Restore)으로 나누어서 동작한다.

또한 데이터를 라이트하는 동작도 전술한 리드하는 동작과 전체적인 구성은 같으며, 리드명령어구간 대신에 라이트명령어가 입력된 구간이 있으며, 데이터가 외부로 출력되는 대신에 외부에서 입력된 데이터가 센스앰프에 래치되는 동작이 다를 뿐이다. 이하에서는 리드에 관한 동작을 자세히 살펴본다.

또한 이하의 설명에서 캐패시터에 전하가 충전되어 데이터 1이 저장되어 있는 것으로 가정하며, 데이터 리드 동작시 제1 연결부(151a)가 인에이블되고 제2 연결부(153a)는 디스에이블되어 센스앰프부(150)는 셀어레이0(110)에 연결되는 것으로 가정한다.

프리차지 구간(Precharge)동안에는 두 비트라인쌍(BL,/BL)은 프리차지 전압이 인가되어 있는 상태이며 모든 워드라인은 비활성화되어 있는 상태이다. 프리차지 전압은 보편적으로 1/2 코어전압( $V_{core}/2 = V_{BLP}$ )을 사용한다.

이 구간에서는 프리차지신호(BLEQ)가 하이레벨로 인에이블되어 제1 및 제2 이퀄라이제이션부(154a, 157a)와 프리차지부(155a)가 인에이블되어 두 비트라인쌍의 전압레벨은 1/2 코어전압( $V_{core}$ )을 유지한다. 이 때 제1 및 제2 연결부(151a,153a)는 인에이블되어 있는 상태이다.

도5의 파형 SN은 단위셀의 캐패시터에 인가되는 전압레벨로서, 데이터 1을 저장하고 있는 경우를 나타냈기 때문에 코어 전압( $V_{core}$ ) 레벨을 나타낸다.

이어서 리드명령어가 입력되어 실행되는 리드명령어 구간(Read)에서는 제1 연결부(151a)는 인에이블상태를 유지하고 제2 연결부(153a)는 디스에이블 상태가 되어 비트라인 센스앰프부(150)는 일측에 구비되는 셀어레이0(110)와 연결되고, 타측에 구비되는 셀어레이1(130)과는 분리된다.

워드라인(WL)은 고전압에 의해 활성화되어 재저장 구간(Restore)까지 유지된다. 이 때 워드라인에는 전원전압보다 높은 고전압( $V_{pp}$ )이 인가되는 이유는 단위셀을 구성하는 앤모스트랜지스터의 문턱전압 만큼 캐패시터에 저장된 데이터 '1'이 비트라인으로 전달되면서 발생하는 손실을 줄이기 위해서이다.

반도체 메모리 장치의 전원전압이 낮아지는 반면, 동작속도는 더 고속으로 동작되도록 요구되는데, 반도체 메모리 장치의 셀영역에 공급되는 코어전압( $V_{core}$ )보다 더 높은 고전압( $V_{pp}$ )을 생성하여 워드라인(WL)의 활성화에 사용함으로써, 고속으로 워드라인을 활성화시킬 수 있게 된다.

워드라인(WL)이 활성화되면, 대응하는 단위셀의 모스트랜지스터가 턴온되어 캐패시터에 저장된 데이터가 비트라인(BL)에 인가된다.

따라서 1/2 코어전압(Vcore)으로 프리차지되어 있던 비트라인(BL)의 전압이 일정부분 상승하게 되는데, 이 때 캐패시터에 코어전압레벨로 충전되어 있었다 하더라도 비트라인(BL)의 기생캐패시턴스(Cb)에 비해 단위셀의 캐패시터가 가지는 캐패시턴스(Cc)가 매우 작아서 비트라인의 전압을 코어전압까지 상승시키지 못하고, 1/2 코어전압에서 일정전압( $\Delta V$ ) 만큼만 상승시키게 된다.

도5에서 단위셀 캐패시터에 인가되는 전압레벨과 비트라인(BL)에 인가되는 전압레벨이 리드명령어 구간(Read)에서 1/2 코어전압에서 일정전압( $\Delta V$ )만큼만 상승한 것을 알 수 있다.

한편, 비트라인에는 어떠한 추가적인 전하도 공급되지 않아서 1/2 코어전압(Vcore)을 유지하게 된다.

이어서 센싱구간(Sense)에서 비트라인 센스앰프(152a)에 프리차지 구간동안 1/2 코어전압(Vcore)을 유지하던 제1 및 제2 구동전압(SAP,SAN)이 각각 코어전압과 접지전압으로 공급되고, 그로 인해 비트라인 센스앰프(152a)는 두 비트라인(BL, $\bar{B}L$ )의 전압차이를 감지하고, 증폭하여 두 비트라인(BL, $\bar{B}L$ )에서 상대적으로 전압레벨이 높은 쪽은 코어전압(Vcore)으로 증폭하고, 상대적으로 전압레벨이 낮은 쪽은 접지전압으로 증폭한다.

여기서는 비트라인(BL)이 비트라인바( $\bar{B}L$ )보다 높은 전압레벨을 유지하기 때문에 감지증폭이 끝나면 비트라인(BL)은 코어전압(Vcore)으로 비트라인바( $\bar{B}L$ )는 접지전압으로 된다.

이어서 재저장구간(Restore)에서는 리드 구간에서 비트라인의 전압레벨을 1/2 코어전압(Vcore)에서 상승시키기 위해 단위셀의 캐패시터에 저장된 데이터용 전하가 방전되었던 것을 재충전하게 된다. 재충전이 완료되면 워드라인은 다시 비활성화된다.

이어서 다시 프리차지구간으로 되어 센스앰프로 공급되던 제1 및 제2 구동전압(SAP,SAN)이 1/2 코어전압으로 유지되고, 프리차지 신호(BLEQ)가 활성화되어 입력되어 제1 및 제2 이퀄라이제이션부(154a,157a)와 프리차지부(155a)가 활성화되어 프리차지 전압(VBLP)이 비트라인쌍(BL, $\bar{B}L$ )에 공급된다. 이 때 제1 및 제2 연결부(151a,153a)가 활성화되어 센스앰프부(150)는 일측과 타측에 구비된 셀어레이0,1(110,130)와 모두 연결된다.

기술이 점점 더 발달하면서, 메모리 장치를 구동하는 전원전압의 레벨은 점차 작아져 왔다. 그러나, 전원전압의 크기가 줄어들더라도 메모리 장치의 동작속도는 유지되거나 오히려 더 고속으로 움직이도록 요구받게 된다.

전술한 바와 같이 종래기술에 의한 메모리 장치에 전원전압을 이용하여 전원전압보다는 낮은 레벨의 코어전압(Vcore)과 코어전압(Vcore) 보다는 높은 레벨의 고전압을 내부적으로 생성시켜 적절하게 사용하고 있다.

지금까지는 전원전압을 적당히 줄이더라도 별다른 방법을 사용하지 않고, 메모리 장치의 공정기술을 더 줄이는 것만으로도 요구되는 동작속도를 확보할 수 있었다.

예를 들면, 3.3V에서 2.5V 또는 더 이하로 전원전압을 줄인다 하더라도 제조공정 기술을 500nm 에서 100nm까지 점차적으로 줄이게 되는 과정에서 요구되는 동작속도를 만족시킬 수 있었던 것이다. 즉, 공정기술을 줄이게 되면, 제조되는 트랜지스터의 소비전력이 이전보다 줄며, 같은 전압을 공급하게 되면 이전보다 고속으로 동작시킬 수 있기 때문이다.

그러나, 100nm이하에서는 공정기술을 예전과 같이 줄이는 것이 매우 어렵게 된다.

또한, 요구되는 전원전압은 더 낮아져 2.0V 이하 1.5V 까지 심지어는 1.0V까지 낮아지고 있는 상황에서는 공정기술을 줄이는 것만으로도 요구되는 동작속도를 이전과 같이 유지하는 것이 매우 어렵게 되고 있다.

또한, 메모리 장치에 입력되는 전원전압의 레벨이 일정한 레벨이하로 작아지게 되면, 메모리 장치를 이루고 있는 모스트랜지스터의 동작 마진이 매우 작아서 요구되는 동작속도에 맞게 동작되지도 않을 뿐더러, 안정적으로 동작하는 것도 신뢰할 수 없게 된다.

기본적으로 모스트랜지스터의 턴온전압이 일정한 레벨을 유지하는 상황에서는 메모리 장치에 입력되는 구동전압의 레벨이 일정한 레벨이하로 작아지면, 비트라인 센스앰프에서 안정적으로 두 비트라인쌍에 인가된 전압의 차이를 감지하여 증폭하는데 많은 시간이 걸리게 된다.

이 때 약간의 노이즈만 발생하여도(즉 1/2코어전압에서 약간의 노이즈로 인해 비트라인전압 레벨이 상승하거나 하강한 경우에) 센스앰프가 감지하지 못하게 되는 경우도 있다.

따라서 메모리 장치의 구동전압을 일정한 레벨이하로 줄이는 것이 현재의 기술로는 매우 어려운 일이다.

또한, 메모리 장치의 제조기술이 매우 줄어들게 되면, 각 단위셀을 이루는 모스트랜지스터의 게이트 전극과 바로 이웃하여 배치되는 비트라인간의 간격도 매우 작아져, 게이트 전극과 비트라인간에 누설전류가 흐르게 된다. 이 때 흐르는 누설전류를 블리드 전류(Bleed Current)라고 한다.

도6은 종래기술에 의한 반도체 메모리 장치의 문제점을 나타내기 위한 단면도로서 특히 저전압 고집적 반도체 메모리 장치에서 누설전류의 문제점을 나타내는 단면도이다.

도6은 반도체 메모리 장치의 한 단위셀의 단면도로서, 기관(10)상에 소자분리막(11)과 소스/드레인 접합영역(12a,12b)와, 게이트 전극(13)과, 비트라인(17)과, 캐패시터(14,16,16)와, 절연막(18,19)들이 구비되어 있다.

반도체 메모리 장치의 공정기술이 줄어들게됨으로서, 게이트 전극(13)과 비트라인(17)의 간격(A)가 점점 더 좁아지게 되어 충분한 절연을 시키기가 매우 어렵게 된다.

이 상태에서 프리차지 구간동안에는 비트라인에 1/2 코어전압이 인가되어 있게 되고, 워드라인이 되는 게이트 전극에는 접지전압이 인가되어 있다.

공정상 의 예러로 인해 비트라인과 워드라인으로 구비되는 게이트 전극과 단락이 될 수도 있는데, 이 경우에는 비트라인에서 워드라인으로 누설전류인 블리드 전류가 프리차지 동안에 계속 흐르게 되는 것이다.

메모리 장치를 제조하고 난 이후에 결함이 있는 에러셀은 여분으로 준비된 예비셀로 대체하게 되는 리페어 공정을 진행하게 되는데, 이 때에 메모리 장치의 특성상 하나의 단위셀로 대체되는 것이 아니라 워드라인별로 리페어 공정을 진행한다.

따라서 메모리 장치가 동작할 때에는 결함이 발견된 단위셀에 대응하는 워드라인은 사용하지 않고 여분으로 준비된 예비 워드라인을 사용하게 되는 것이다.

이 때에 결함이 전술한 워드라인인 게이트 전극과 비트라인간의 단락으로 발생한 것이라면 예비워드라인으로 대체되어 동작상에는 문제가 없다 하더라도, 여전히 1/2 코어전압으로 프리차지되는 비트라인에서 워드라인으로 블리드 전류가 계속 흐르게 되는 것이다.

기술이 발달하면서 저전력으로 동작시키는 것은 매우 중요한 문제인데, 전술한 블리드 전류가 발생하게 되면 동작상으로는 문제가 없다 하더라도 반도체 메모리 장치를 시스템에 사용할 수 없게 되는 것이다.

블리드 전류를 줄이기 위해 블리드 전류가 흐르는 경로에 저항을 추가적으로 구비하는 아이디어도 있으나, 블리드 전류를 일정부분 감소시키는 역할만 할 뿐 근본적인 해결책은 되지 못한다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제점을 해결하기 위해 제안된 것으로, 입력되는 전원전압이 낮은 상태에서도 고속으로 동작하고, 블리드 전류를 발생시키지 않아 낭비되는 전류를 줄일 수 있는 반도체 메모리 장치를 제공함을 목적으로 한다. 특히, 반도체 메모리 장치를 레이아웃으로 구현하여 제공하는 것을 목적으로 한다.

### 발명의 구성 및 작용

본 발명은 제1 노멀 캐패시터와, 상기 제1 노멀 캐패시터와 비트라인을 연결하기 위한 제1 노멀 모스트랜지스터를 구비하는 제1 노멀셀; 상기 제1 노멀 캐패시터와 동일 패턴으로 레이아웃된 제2 노멀 캐패시터와, 상기 제1 노멀 모스트랜지스터와 동일 패턴으로 레이아웃되며, 상기 제2 노멀 캐패시터와 비트라인을 연결하기 위한 제2 노멀 모스트랜지스터를 구비하는 제2 노멀셀; 및 레퍼런스 캐패시터와, 상기 레퍼런스 캐패시터와 상기 비트라인을 연결하기 위한 제1 레퍼런스 모스트

랜지스터와, 상기 레퍼런스 캐패시터와 상기 비트라인을 연결하기 위한 제2 레퍼런스 모스트랜지스터를 구비하는 레퍼런스셀을 구비하고, 상기 제1 및 제2 레퍼런스 모스트랜지스터는 상기 제2 노멀 모스트랜지스터와 동일패턴으로 레이아웃되고, 상기 레퍼런스 캐패시터는 상기 제2 노멀 캐패시터와 동일패턴으로 레이아웃되어 셀어레이 영역이 구성되는 반도체 메모리 장치를 제공한다.

또한 본 발명에 의한 메모리 장치는 상기 레퍼런스 캐패시터에 레퍼런스 전압을 충전시키기 위한 제3 레퍼런스 모스트랜지스터를 더 구비하고, 상기 제3 레퍼런스 모스트랜지스터는 상기 셀어레이 영역의 외곽에 레이아웃된 것을 특징으로 한다.

여기서 두개의 비트라인당 하나의 레퍼런스셀이 레이아웃되는 것을 특징으로 한다.

또한, 본 발명에 의한 메모리 장치는 상기 제1 및 제2 노멀 모스트랜지스터의 각 소스단과 각각 대응하는 노멀 스토리지 노드와 접속될 콘택플러그는 각각 레이아웃되고, 상기 제1 및 제2 레퍼런스 모스트랜지스터의 각 소스단은 공통의 레퍼런스 스토리지 노드와 접속되기 위해 각각의 콘택플러그가 서로 연결되도록 레이아웃된 것을 특징으로 한다.

또한 본 발명에 의한 메모리 장치의 셀어레이 영역은 상기 제2 노멀 모스트랜지스터를 위한 제1 활성영역; 상기 제1 노멀 모스트랜지스터와, 상기 제1 레퍼런스 모스트랜지스터를 위한 제2 활성영역; 상기 제2 레퍼런스 모스트랜지스터를 위한 제3 활성영역; 상기 제1 활성영역을 가로지르며 배치된 상기 제2 노멀 모스트랜지스터용 제1 워드라인; 소정간격을 두고, 상기 제2 활성영역을 각각 가로지르며 배치된 상기 제1 노멀모스트랜지스터를 위한 제2 워드라인과, 제1 레퍼런스 모스트랜지스터를 위한 제3 워드라인; 상기 제3 활성영역을 가로지르며 배치된 상기 제2 레퍼런스 모스트랜지스터를 위한 제4 워드라인; 상기 제2 노멀 모스트랜지스터를 위해, 상기 제1 활성영역의 상단과 하단영역에 각각 접속되도록 레이아웃된 제1 비트라인용 콘택플러그와 제1 스토리지 노드 콘택플러그; 상기 제1 노멀 모스트랜지스터를 위해, 상기 제2 활성영역의 상단영역에 접속되도록 레이아웃된 제2 스토리지 노드 콘택플러그; 상기 제2 활성영역의 가운데영역에 접속되도록 레이아웃되며, 상기 제1 노멀 모스트랜지스터 및 상기 제1 레퍼런스 모스트랜지스터를 위한 제2 비트라인 콘택플러그; 상기 제1 및 제2 레퍼런스 모스트랜지스터를 위해 상기 제2 활성영역의 하단영역과, 상기 제3 활성영역의 상단영역에 공통으로 접속되도록 레이아웃된 제3 스토리지 노드 콘택플러그; 상기 제2 레퍼런스 모스트랜지스터를 위해 상기 제3 활성영역의 하단영역에 접속되도록 레이아웃된 제3 비트라인 콘택플러그; 상기 제1 활성영역의 상에 배치되며 상기 제1 스토리지 노드 콘택플러그와 접속된 상기 제2 노멀 캐패시터; 상기 제2 활성영역의 상단영역 상에 배치되며 상기 제2 스토리지 노드와 콘택플러그와 접속된 상기 제1 노멀 캐패시터; 상기 제2 활성영역의 하단영역 상에 배치되며 상기 제3 스토리지 노드 콘택플러그와 접속된 상기 레퍼런스 캐패시터; 상기 제1 내지 제4 워드라인과 교차하며 상기 제2 비트라인용 콘택플러그와 접속된 상기 비트라인; 및 상기 제1 내지 제4 워드라인과 교차하며 상기 제1 및 제3 비트라인용 콘택플러그와 접속된 상기 비트라인을 구비한다.

여기서 제1 내지 제4 워드라인은 같은 간격으로 레이아웃되는 것을 특징으로 한다.

또한, 본 발명에 의한 반도체 메모리 장치는 상기 제3 활성영역의 상부에 배치되며, 상기 레퍼런스 캐패시터와 같은 층에 배치된 더미 캐패시터를 더 구비한다.

또한, 본 발명은 다수의 폴디드 구조형 비트라인쌍을 구비하는 반도체 메모리 장치에 있어서, 노멀 캐패시터와, 상기 노멀 캐패시터와 비트라인 또는 상기 노멀 캐패시터와 비트라인을 연결하기 위한 노멀 모스트랜지스터를 각각 구비하는 다수의 노멀셀; 레퍼런스 캐패시터와, 상기 레퍼런스 캐패시터의 제1 노드와 대응하는 비트라인을 연결하기 위한 제1 레퍼런스 모스트랜지스터와, 상기 레퍼런스 캐패시터의 제1 노드와 상기 비트라인과 이웃한 비트라인을 연결하기 위한 제2 레퍼런스 모스트랜지스터를 각각 구비하는 다수의 레퍼런스셀; 상기 다수의 레퍼런스셀에 각각 구비되는 레퍼런스 캐패시터의 제2 노드에 기준전압을 공급하기 위한 기준전압 공급부; 및 프리차지 구간에 상기 기준전압을 상기 다수의 레퍼런스셀에 각각 구비되는 레퍼런스 캐패시터의 제1 노드로 공급하기 위해 적어도 2개 이상 배치되는 프리차지용 모스트랜지스터를 구비하며, 상기 프리차지용 모스트랜지스터의 드레인단과 드레인단의 전압레벨을 같게 유지시키기 위한 셉트 라인을 구비하는 반도체 메모리 장치를 제공한다.

또한 본 발명에 의한 반도체 메모리 장치는 상기 다수의 레퍼런스셀에 각각 구비되는 레퍼런스 캐패시터는 상기 다수의 노멀셀에 각각 구비되는 노멀 캐패시터와 같은 공정으로 제조되는 것을 특징으로 한다.

또한 본 발명에 의한 반도체 메모리 장치는 상기 다수의 레퍼런스셀에 각각 구비되는 레퍼런스 캐패시터는 상기 노멀셀영역에 배치되는 한 워드라인에 대응하는 갯수의 캐패시터 만큼 배치되며, 이웃한 2개의 캐패시터중 선택된 하나는 상기 레퍼런스 캐패시터로, 나머지 하나는 더미 캐패시터로 배치되는 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도7은 본 발명에 따른 반도체 메모리 장치를 나타내는 블럭구성도이다.

도7을 참조하여 살펴보면, 본 실시예에 따른 반도체 메모리 장치는 폴디드 구조의 비트라인을 가지는 것을 특징으로 한다. 셀어레이(300c,300d)는 비트라인(BL)과 비트라인바(/BL)가 교대로 구비되고, 두개의 단위셀을 구성하는 캐패시터가 공통으로 플레이트 전압(PL)을 인가받게 된다.

도8은 본 발명에 따른 반도체 메모리 장치를 보다 자세하게 나타내는 블럭구성도로서, 특히 도7에 도시된 센스앰프부를 자세하게 나타내는 회로도이다.

도8을 참조하여 살펴보면, 본 실시예에 따른 반도체 메모리 장치는 비트라인 또는 비트라인바에 데이터신호를 인가하는 제1 셀어레이(300c)와, 비트라인 또는 비트라인바에 데이터신호가 인가되면, 비트라인과 비트라인바에 인가된 신호의 차이를 감지 및 증폭하기 위한 비트라인 센스앰프(210)와, 비트라인과 비트라인바에 프리차지 전압(BLEQ)으로 접지전압(GND)을 공급하기 위한 프리차지부(220)를 구비하며, 데이터신호가 비트라인(BL1)에 인가될 때에 기준신호를 비트라인바(/BL1)에 인가하는 제1 레퍼런스 셀블럭(400c)과, 데이터신호가 비트라인바(/BL1)에 인가될 때에 기준신호를 비트라인(BL1)에 인가하기 위한 제2 레퍼런스 셀블럭(400d)을 구비한다.

또한, 비트라인 센스앰프(210)는 비트라인과 비트라인바에 인가된 신호의 차이를 감지 및 증폭하는 초기 소정구간은 구동 전압으로 입력되는 코어전압(Vcore)보다 높은 고전압(Vpp)으로 구동되는 것을 특징으로 한다.

또한, 본 실시예에 따른 반도체 메모리 장치는 셀어레이(300c)에 연결된 비트라인 및 비트라인바와 비트라인 센스앰프(210)를 연결 또는 분리하기 위한 제1 연결부(250a)와, 비트라인 또는 비트라인바에 데이터신호를 인가하기 위한 제2 셀어레이(300d)와, 비트라인과 비트라인바와 비트라인 센스앰프(210)를 연결 또는 분리하기 위한 제2 연결부(250b)를 구비하며, 비트라인 센스앰프(210)는 제1 연결부(250a)와 제2 연결부(250b)를 통해, 제1 셀어레이(300c)에 연결된 비트라인/비트라인바 또는 제2 셀어레이(300d)에 연결된 비트라인/비트라인바와 연결되며, 비트라인 센스앰프(210)는 연결된 라인에 인가된 신호를 감지 증폭하는 것을 특징으로 한다.

또한, 프리차지부(220)는 게이트로 프리차지 신호(BLEQ)를 인가받아 일측으로 공급되는 접지전압(GND)을 타측을 통해 비트라인(BL1)에 프리차지 전압으로 공급하기 위한 제1 프리차지용 모스트랜지스터(TP1)와, 게이트로 프리차지 신호(BLEQ)를 인가받아 일측으로 공급되는 접지전압(GND)을 타측을 통해 비트라인바(/BL1)에 프리차지 전압으로 공급하기 위한 제2 프리차지용 모스트랜지스터(TP2)를 구비한다.

비트라인 센스앰프(210)는 게이트는 비트라인 및 비트라인바(BL1,/BL1)에 공통 접속되며, 고전압(Vpp) 또는 구동전압인 코어전압(Vcore)을 일측으로 인가받고, 타측으로는 비트라인 및 비트라인바(BL,/BL)이 접속된 제1 피모스트랜지스터(TS1)와, 게이트는 비트라인 및 비트라인바(BL1,/BL1)에 공통 접속되며, 고전압(Vpp) 또는 구동전압인 코어전압(Vpp)을 일측으로 인가받고, 타측으로는 비트라인 및 비트라인바(BL1,/BL1)에 접속된 제2 피모스트랜지스터(TS2)와, 게이트는 비트라인 및 비트라인바(BL1,/BL1)에 공통 접속되며, 접지전압(GND)을 일측으로 인가받고, 타측으로는 비트라인 및 비트라인바(BL1,/BL1)이 접속된 제1 앤모스트랜지스터(TS3)와, 게이트는 비트라인 및 비트라인바(BL1,/BL1)에 공통 접속되며, 접지전압(GND)을 일측으로 인가받고, 타측으로는 비트라인 및 비트라인바(BL1,/BL1)가 접속된 제2 앤모스트랜지스터(TS4)를 구비한다.

또한, 본 실시예에 따른 반도체 메모리 장치는 비트라인 센스앰프(210)에 의해 감지증폭된 데이터를 데이터 라인(LDB,LDBB)을 통해 외부로 전달하거나, 데이터 라인(LDB,LDBB)을 통해 외부에서 전달된 데이터를 비트라인 센스앰프(210)로 전달하기 위한 데이터입출력부(240)를 더 구비한다.

데이터입출력부(240)는 게이트로 입출력제어신호(YI)를 입력받으며, 일측은 비트라인(BL1)에 접속되며 타측은 제1 데이터라인(LDB)에 접속되는 제1 입출력용 모스트랜지스터(TO1)와, 게이트로 입출력제어신호를 입력받으며, 일측은 비트라인바(/BL1)에 접속되며 타측은 제2 데이터라인(LDBB)에 접속되는 제2 입출력용 모스트랜지스터(TO2)를 구비한다.

도9는 도8에 도시된 제1 레퍼런스 셀블럭의 제1 실시예를 나타내는 회로도이다.

도9를 참조하여 살펴보면, 제1 레퍼런스 셀블럭(400c)은 일측으로 기준신호용 전원공급단이 접속된 레퍼런스용 캐패시터(RC1,RC2)와, 데이터신호가 비트라인바(/BL1)에 인가될 때에, 레퍼런스용 캐패시터(RC1)의 타측을 비트라인(BL1)에 연결하기 위한 제1 스위치용 모스트랜지스터(RT1)와, 데이터신호가 비트라인(BL1)에 인가될 때에, 레퍼런스용 캐패시터(RC1)의 타측을 비트라인바(/BL1)와 연결하기 위한 제2 스위치용 모스트랜지스터(RT2)와, 프리차지 구간에 기준신호용 전원공급단(VCP)을 레퍼런스용 캐패시터(RC1,RC2)의 타측단에 연결시키기 위한 제3 스위치용 모스트랜지스터(REFT)를 구비한다.

여기서 모스트랜지스터(RT1 ~ RT4)는 각각 제어신호(REF\_SEL1,/REF\_SEL1)에 의해 턴온되며, 모스트랜지스터(REFT)는 제어신호(REF\_PCG)에 의해 턴온된다.

제1 레퍼런스 셀블럭(400c)은 제1 셀어레이(300c)에 구비되는 N개의 비트라인쌍(예를 들어 BL1,/BL1)에 각각 대응하는 N개의 레퍼런스용 캐패시터(예를 들어 RC1)를 구비하게 된다. 따라서 총 256개의 비트라인쌍이 셀어레이에 구비한다면, 제1 레퍼런스 셀블럭(400c)에 구비되는 레퍼런스 캐패시터(RC1,RC2,..)는 256개가 되는 것이다.

레퍼런스 캐패시터(RC1,RC2,..)는 셀어레이에 구비되는 한 워드라인에 대응하는 캐패시터와 같은 갯수로 만들어져서 이웃한 2개중 하나만 사용된다.

셀어레이에 구비되는 한 워드라인에 대응하는 노멀 캐패시터가 512개라면 레퍼런스 캐패시터를 위해 추가적으로 512개의 캐패시터가 만들어지고, 이웃한 2개의 캐패시터중 하나만 모스트랜지스터(RT1,RT2)에 연결되어 레퍼런스 캐패시터(RC1,RC2,..)가 되고, 나머지는 더미 캐패시터가 된다. 이렇게 하는 이유는 제조공정상 레퍼런스 캐패시터를 따로 만들지 않고 셀어레이에 있는 노멀 캐패시터를 제조할 때에 같이 제조하기 위해서이다.

여기서 레퍼런스용 캐패시터(RC1, RC2)의 캐패시턴스는 셀어레이(300c)에 구비되는 단위셀 캐패시터(예를 들어 Cap1)가 가지는 캐패시턴스와 실질적으로 같게 한다.

또한, 기준신호용 전원공급단(VCP)에서 공급되는 전압레벨은 비트라인 센스앰프를 구동하는 구동전압의 1/2로 한다.

도10은 도8에 도시된 반도체 메모리 장치의 동작을 나타내는 파형도이다. 이하에서 도10을 참조하여 본 실시예에 따른 반도체 메모리 장치의 동작을 살펴본다.

본 실시예에 따른 반도체 메모리 장치의 가장 큰 특징중 하나는 프리차지 전압으로 접지전압을 사용한다는 것이다.

본 실시예에 따른 반도체 메모리 장치는 폴딩드 비트라인 구조를 가지게 되는데, 먼저 프리차지 구간을 살펴보면 프리차지 구간(Precharge)동안 프리차지 신호(BLEQ)가 하이레벨로 인에이블된 상태를 유지하여 비트라인(BL) 및 비트라인(/BL)을 접지전압 레벨로 프리차지시킨다.(t0)

이어서 리드명령어(Read)가 인가되어 워드라인(WL)을 활성화시켜 셀어레이 있는 단위셀의 캐패시터에 저장된 전하(캐패시터에 데이터 1이 저장되어, 전하가 충전되어 있다고 가정한다.)가 비트라인(BL)에 인가되어 비트라인(BL)의 전압을 일정부분 상승시킨다.(t1) 이 때에 프리차지 신호(BLEQ)는 로우레벨로 비활성화된다.

한편, 비트라인바(/BL)에 접속된 레퍼런스 셀블럭에서는 레퍼런스 신호(/REF\_SEL1)에 응답하여, 전술한 셀어레이에 있는 단위셀의 캐패시터의 저장된 전하의 1/2만큼을 비트라인바(/BL)에 공급하여 비트라인바(/BL)의 전압을 상승시킨다. 따라서 이 때 비트라인바(/BL)에 상승되는 전압레벨은 비트라인(BL)에서 상승되는 전압레벨의 약 1/2이 된다.

이어서 소정의 구간동안(t2) 코어전압(Vcore)보다 높은 고전압(Vpp)을 구동전압(SAP)으로 접지전압(GND)과 함께 인가받아, 비트라인 센스앰프가 비트라인과 비트라인의 신호차이를 감지하여 증폭한다. 비트라인(BL)의 전압레벨이 비트라인바(/BL)의 전압레벨보다 높기 때문에 비트라인(BL)은 구동전압인 코어전압(Vcore)으로 증폭되고 비트라인바(/BL)는 접지전압으로 증폭된다.

이 때 비트라인(BL)의 전압은 소정의 구간(t2)동안 입력되는 고전압으로 인해 일시적으로 고전압으로 상승했다가 코어전압레벨로 안정화된다.

이어서 입출력제어신호(YI)가 일정구간동안 하이레벨로 활성화되고, 그에 응답하여 비트라인 센스앰프에 래치된 데이터를 데이터 라인(LDB,LDBB)으로 출력시킨다.(t3) 이 때 출력되는 데이터가 리드명령어에 대응하여 출력하는 데이터가 된다.

이 때 데이터 라인(LDB, LDBB)은 데이터가 전달되지 않는 동안에는 코어전압 또는 1/2 코어전압으로 프리차지되어 있기 때문에, 일시적으로 비트라인바(/BL)의 전압이 접지전압에서 상승한 상태를 유지하게 된다.

이어서 재저장구간(Restore)에 비트라인 센스앰프에 래치된 데이터를 이용하여 데이터신호가 저장되어 있던 단위셀에 재저장시키게 된다.(t4)

재저장이 완료되면 워드라인(WL)이 로우레벨로 비활성화되고, 센스앰프에 공급되던 구동전압(SAP)이 공급되지 않고, 프리차지 신호(BLEQ)가 하이레벨로 활성화된다. 프리차지 신호(BLEQ)가 하이레벨로 활성화되면 비트라인쌍(BL,/BL)은 접지전압으로 프리차지된다.(t5)

지금까지 본 실시예에 따른 반도체 메모리 장치가 데이터 1을 리드할 때의 동작을 살펴보았는데, 계속해서 데이터 0을 리드하는 경우를 살펴본다.

전체적인 동작은 전술한 바와 같은데, 리드할 데이터가 0인 경우에는 선택된 단위셀의 캐패시터에 전하가 충전되어 있지 않다. 따라서 프리차지 구간 이후에 리드 명령어가 실행되는 구간(t1)에 데이터신호가 인가된 비트라인(BL)의 전압레벨은 그대로 유지된다.

한편, 비트라인바(/BL)에는 레퍼런스 캐패시터(RC1)에 저장된 기준신호가 공급되어 일정한 전압레벨이 상승된다. 이 때 공급되는 기준신호는 전술한 바와 같이 데이터를 저장하게 되는 캐패시터에 충전된 전하의 1/2에 해당되는 만큼의 전하를 레퍼런스 셀블럭(400a,400b)에서 비트라인바(/BL)로 공급하게 된다. 여기서 기준신호에 해당되는 전하량을 데이터신호의 1/2로 하는 것은 데이터 1을 리드할 때 판별하기 위해서이다.

비트라인 센스앰프(210)은 접지전압을 유지하고 있는 비트라인(BL)과, 기준신호를 입력받아 전압이 일정한 레벨로 상승한 비트라인바(/BL)의 전압차이를 감지하여 증폭동작을 하게 되는 것이다.

계속해서 본 실시예에 따른 반도체 메모리 장치의 라이트동작을 살펴보면, 데이터를 저장시키는 라이트 동작도 도9에서 도시된 파형과 같이 동작한다. 단지 데이터가 외부 데이터 라인(LDB,LDBB)으로 출력되는 구간(t3)동안에, 현재 실행중인 라이트명령어에 대응하여 입력된 데이터가 데이터 라인(LDB,LDBB)을 통해 비트라인 센스앰프(210)에 전달된다.

비트라인 센스앰프(210)는 이전에 래치된 데이터를 전달된 데이터로 교체하여 래치하고, 래치된 데이터는 이후에 재저장 구간(t4)동안에 대응하는 단위셀에 저장된다. 라이트 명령어를 실행할 때에도 비트라인 센스앰프(210)는 초기 감지증폭 동작에서는 구동전압으로 코어전압(Vcore)보다 높은 고전압을 인가받아 증폭동작을 고속으로 수행하게 된다.

이상에서 살펴본 바와 같이, 본 실시예에 따른 반도체 메모리 장치는 프리차지 구간에선 비트라인을 접지전압으로 프리차지 하며, 비트라인 센스앰프(210)는 두 비트라인(BL,/BL)의 전압을 감지하여 증폭하는 초기(t2)에는 고전압(Vpp)을 구동전압으로 인가받고, 이후에는 코어전압(Vcore)를 인가받게 된다.

이는 비트라인 센스앰프(210)의 초기 동작시 고전압(Vpp)으로 동작시키게 되면 고속으로 감지 및 증폭동작을 수행할 수 있기 때문이다.

접지전압으로 프리차지되어 있던 비트라인의 전압을 코어전압으로 증폭하려면 1/2 코어전압으로 프리차지되어 있는 경우보다 더 많이 전압레벨을 상승시켜야 하는데, 고전압(Vpp)을 사용함으로써 효과적으로 비트라인의 전압을 끌어 올릴수 있게 되는 것이다.

이상에서 살펴본 바와 같이 프리차지 전압으로 접지전압을 사용함으로써, 다음과 같은 효과를 기대할 수 있다.

첫번째로, 센스앰프의 동작마진을 종래보다 크게 증가시킬 수 있다. 프리차지전압을 1/2 코어전압으로 하게 되면, 센스앰프를 증폭할 때의 1/2 코어전압에서 접지전압 또는 전원전압으로 증폭하게 된다. 예를 들어 구동전압이 1.5V인 경우 0.75V에서 0V 또는 1.5V로 증폭해야 하는 것이다.

예전에 구동전압이 5V 정도의 높을 때는 1/2 코어전압을 프리차지 전압으로 사용하더라도 2.5V에서 5V 또는 0V로 증폭하는 데는 별 문제가 되지 않았으나, 1.5V 정도로 낮은 구동전압에서는 증폭해야 할 전압이 0.75V 정도로 낮아져, 노이즈가 발생하는 경우에는 에러를 유발할 수 있게 되는 것이다. 즉, 0.75V에서 순간 발생한 노이즈로 인해 센스앰프가 비트라인을 코어전압 또는 접지전압으로 증폭시켜 버릴 수가 있으며, 이 때 증폭시켜야 할 전압레벨과는 반대로 증폭시켜 버릴 수가 있는 것이다.

그러나, 본 실시예에 따른 반도체 메모리 장치는 접지전압을 프리차지 전압으로 사용하기 때문에, 구동전압이 1.5V일 때에 증폭해야 할 전압이 1.5V로 되어(데이터 1인 경우) 구동전압의 레벨이 낮을 경우에도 안정적인 증폭 동작이 가능한 것이다. 데이터가 0인 경우에는 기준신호가 인가되는 비트라인인 반대편 비트라인의 전압레벨을 코어전압인 1.5V까지 증폭하게 된다.

따라서 본 실시예에 따른 반도체 메모리 장치는 구동전압이 낮을 때에도 노이즈에 대해서 안정적으로 동작시킬 수 있게 된다.

두번째로 단위셀의 워드라인과 비트라인간에 단락이 되어 발생하게 되는 블리드 전류를 방지할 수 있다. 전술한 바와 같이 블리드 전류는 결함이 발생한 워드라인을 예비워드라인으로 대체하여도 계속해서 발생하기 때문에 불필요한 전류를 계속해서 소비시키게 된다.

그러나, 본 실시예에 의한 반도체 메모리 장치는 비트라인의 프리차지 전압이 접지전압이기 때문에 접지전압이 인가되는 워드라인과 비트라인간에는 전압차이가 발생하지 않아서 블리드 전류가 발생되지 않는 것이다.

세번째로 센스앰프의 초기동작시에 구동전압보다 높은 고전압을 이용하여 센싱동작을 수행하기 때문에, 구동전압의 레벨이 낮은 경우에도 고속으로 센스앰프가 비트라인에 인가되는 데이터신호를 감지하여 증폭할 수 있다.

도11은 도8에 도시된 제1 레퍼런스 셀블럭의 제2 실시예를 나타내는 회로도이다.

도11을 참조하여 살펴보면, 기본적인 구성은 도9에 도시된 제1 레퍼런스 셀블럭과 같으나, 프리차지구간에 레퍼런스 캐패시터의 일측에 기준신호(VCP)를 공급하는 모스트랜지스터(REFT1, REFT2)가 다수 구비되어 있는 것이 큰 차이점이다.

전술한 바와 같이 셀어레이의 한 워드라인에 해당되는 노멀 캐패시터와 같은 수의 캐패시터를 제조한 다음 2개의 캐패시터중 하나를 레퍼런스 캐패시터로 사용하고, 나머지는 더미로 남겨 두게 된다.

따라서 프리차지 구간 동안 모든 레퍼런스 캐패시터의 일측노드에 기준전압을 공급하는 모스트랜지스터가 하나일 경우에는 모든 레퍼런스 캐패시터의 일측에 같은 레벨의 기준전압(VCP)이 공급되려면 지연시간이 필연적으로 생긴다.

이를 해결하기 위해 다수의 모스트랜지스터(REFT1, REFT2)를 구비하여 프리차지구간에 일렬로 길게 배치된 모든 레퍼런스 캐패시터에 빠른 타이밍에 기준전압이 인가될 수 있도록 한 것이다.

또한, 제2 실시예에 따른 제1 레퍼런스 셀블럭은 다수의 모스트랜지스터(REFT1, REFT2)에서 공급하는 전압의 레벨을 같게 하기 위해서 다수의 모스트랜지스터(REFT1, REFT2)의 드레인단과 드레인단을 연결하는 셉트 라인(Metal Shunt Line)을 추가로 구비하고 있다. 셉트 라인(Metal Shunt Line)은 금속배선중 적당한 층의 배선을 이용하여 형성하면 된다.

도12a 내지 도19a는 본 발명의 반도체 메모리 장치의 레이아웃을 나타내는 평면도로서 특히 셀어레이와 레퍼런스 셀블럭을 나타내는 평면도이다. 도12b 내지 도19b는 본 발명의 반도체 메모리 장치의 레이아웃을 나타내는 단면도로서 특히 셀어레이와 레퍼런스 셀블럭을 나타내는 단면도이다. 도12b 내지 도19b는 각각 도12a 내지 도19a에 도시된 A-A', B-B', C-C', D-D', E-E의 면을 절단한 단면을 보여주는 것이다.

이하에서 도12a 내지 도19a와 도12b 내지 도19b를 참조하여 본 실시예에 따른 반도체 메모리 장치의 레이아웃을 살펴본다.

가장 큰 특징은 셀어레이 영역에 레퍼런스 캐패시터(RC1, RC2, ...)와 레퍼런스 모스트랜지스터(RT1, RT2, RT3, RT4)를 배치시킨 것이며, 레퍼런스 캐패시터(RC1, RC2, ...)와 레퍼런스 모스트랜지스터(RT1, RT2, RT3, RT4)의 레이아웃도 노멀 캐패시터와 노멀 모스트랜지스터의 레이아웃과 거의 같은 패턴으로 레이아웃되는 것이다.

단지 레퍼런스 캐패시터(RC1,RC2,...)는 이웃한 2개의 캐패시터 중 하나를 이용하기 때문에 레퍼런스 캐패시터로 제조된 캐패시터 중에서 2개중 하나만 스토리지 노드 콘택플러그가 형성된다.

또한, 모든 레퍼런스 모스트랜지스터의 스토리지 노드 콘택쪽의 랜딩플러그는 하나로 연결되며, 이 노드가 도11의 노드(RN)가 된다.

또한, 레퍼런스 셀을 위한 모스트랜지스터(REFT1)는 셀어레이의 외각에 배치된다.

계속해서 레퍼런스 블록의 레이아웃된 상태를 살펴보면, 먼저 도12a와 도12b에 도시된 바와 같이 활성영역(N+)을 기판 상에 형성한다.

여기서 더미셀영역은 셀어레이의 가장자리에 형성되는 패턴으로서 공정안정화를 위해서 더미로 남겨두는 영역이다.

이어서 도13a와 도13b에 도시된 바와 같이 워드라인을 형성한다.

도13a에서 위쪽 두개의 워드라인(WL)은 노멀 모스트랜지스터를 위한 워드라인이며, 그 다음 두개의 워드라인(REF\_SEL,/REF\_SEL)은 레퍼런스 모스트랜지스터를 위한 워드라인이다.

이어서 도14a와 도14b에 도시된 바와 같이, 랜딩플러그(LP)를 형성한다. 랜딩플러그(LP)는 메모리 장치의 셀어레이 영역에서 모스트랜지스터의 소스영역과 드레인영역에 접합되는 콘택플러그를 말하며, 모스트랜지스터의 소스영역에 접합된 랜딩플러그(LP)는 그 상부에 스토리지 노드 콘택플러그가 접합되며, 모스트랜지스터의 드레인영역에 접합된 랜딩플러그(LP)는 그 상부에 비트라인 콘택플러그가 접합된다.

이 때에 노멀셀영역에서는 도시된 바와 같이 랜딩플러그(LP)를 이웃한 활성영역상에 각각 형성하게 되는데, 레퍼런스셀영역은 비트라인 콘택플러그가 접속될 부분의 랜딩플러그는 메인셀영역과 같이 형성하나, 스토리지 노드 콘택플러그가 접속된 부분의 랜딩플러그는 하나의 패턴으로 연결시켜 형성한다.

여기에서 연결되는 패턴이 도9에 도시된 회로의 노드(RN)가 되는 것이다.

이어서 도15a와 도15b에 도시된 바와 같이, 노멀셀영역과 레퍼런스 셀영역의 비트라인 콘택플러그가 형성될 랜딩플러그 상에 비트라인 콘택플러그(BLC)를 형성시킨다.

이어서 도16a 내지 도16b에 도시된 바와 같이, 비트라인(BL)을 각 비트라인 콘택플러그(BLC)와 접속되도록 형성한다. 이 때 워드라인과 교차하면서 형성된 비트라인은 교대로 비트라인과 비트라인 라인을 형성하게 된다.

이어서 도17a 내지 도17b에 도시된 바와 같이, 스토리지 노드 콘택플러그와 접합될 랜딩플러그 상에 스토리지 노드 콘택플러그(SNC)를 형성한다.

이 때에 노멀셀영역은 같은 간격으로 다수의 스토리지 노드 콘택플러그(SNC)를 형성하는데, 레퍼런스 셀영역에 형성되는 캐패시터는 2개중 하나의 캐패시터만 레퍼런스 캐패시터로 사용되기 때문에 하나 건너 하나씩 스토리지 노드 콘택플러그(SNC)가 형성되도록 한다.

이어서 도18a 내지 도18b에 도시된 바와 같이, 일정한 간격으로 매트릭스 형태로 캐패시터의 스토리지 노드(하부전극)를 형성한다.

노멀셀영역은 스토리지 노드 콘택플러그가 일정간격으로 모두 형성되어 있기 때문에 형성된 모든 스토리지 노드 콘택플러그 상에 캐패시터의 스토리지 노드가 연결된다.

레퍼런스 셀영역은 노멀셀영역에 비해 2개의 영역당 하나씩만 스토리지 노드 콘택플러그가 형성되어 있기 때문에 일정한 간격으로 캐패시터가 모두 형성되어 있더라도 이웃한 2개의 캐패시터의 스토리지 노드 중 하나만 하단의 스토리지노드 콘택플러그와 연결된다.

이어서 도19a 내지 도19b에 도시된 바와 같이, 유전체박막과 캐패시터의 플레이트 전극을 전체적으로 형성한다.

이상에서 살펴본 바와 같이, 레퍼런스 셀블럭에 구비되는 캐패시터(RC1,..)와 모스트랜지스터(RT1,RT2,..)를 노멀셀이 형성되는 것과 같은 패턴으로 형성함으로써 종래와 거의 같은 회로면적으로 레퍼런스 셀블럭의 회로를 메모리 장치의 셀어레이 영역에 집적시킬 수 있다.

또한, 노멀셀영역에 있는 공정과 거의 같은 공정으로 레퍼런스를 위한 캐패시터와 모스트랜지스터를 형성하기 때문에 공정적으로 추가되는 비용도 거의 없다. 단지 랜딩플러그를 형성할 때와 스토리지 노드 콘택플러그를 형성할 때에만 레퍼런스용 모스트랜지스터를 위해서 따로 형성하면 되는 것이다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 발명의 효과

본 발명에 의해 저전압(예를 들어 1.5V이하)에서 구동하는 반도체 메모리 장치를 쉽게 구현할 수 있게 되었다.

또한, 본 발명에 의한 반도체 메모리 장치는 비트라인 센스앰프가 데이터를 감지증폭하는 데 있어 1/2 코어전압에서 접지전압 또는 코어전압으로 증폭하는 것이 아니라, 접지전압에서 코어전압으로 증폭하거나, 프리차지된 접지전압을 그대로 유지하게 되기 때문에, 동작마진이 1/2 프리차지전압을 사용하는 반도체 메모리 장치에 비해 크게 증가된다.

또한, 본 발명의 반도체 메모리 장치의 비트라인을 프리차지시키는 전압을 1/2 코어전압이 아닌 접지전압으로 하기 때문에, 워드라인과 비트라인사이에 단락이 되더라도, 워드라인과 비트라인에 인가되는 전압이 모두 접지전압이 되어 전술한 블리드 전류가 거의 생기지 않는다. 따라서 블리드 전류로 인해 낭비되는 전력소모는 없게 된다.

또한, 본 발명의 반도체 메모리 장치는 센스앰프의 초기 동작기 구동전압보다 높은 전압으로 구동하기 때문에 저전압에서도 고속으로 비트라인에 감지된 데이터신호를 감지하여 증폭할 수 있다.

또한, 본 발명에 의해서 구현된 레퍼런스 셀블럭은 노멀한 셀어레이에 적용되는 레이아웃을 그대로 사용하였으며, 노멀셀을 레이아웃할 때의 디자인룰을 이용하여 구현되었기 때문에, 추가적인 제조공정상의 비용이 거의 들지 않는다.

### (57) 청구의 범위

#### 청구항 1.

제1 노멀 캐패시터와, 상기 제1 노멀 캐패시터와 비트라인을 연결하기 위한 제1 노멀 모스트랜지스터를 구비하는 제1 노멀셀;

상기 제1 노멀 캐패시터와 동일 패턴으로 레이아웃된 제2 노멀 캐패시터와, 상기 제1 노멀 모스트랜지스터와 동일 패턴으로 레이아웃되며, 상기 제2 노멀 캐패시터와 비트라인을 연결하기 위한 제2 노멀 모스트랜지스터를 구비하는 제2 노멀셀; 및

레퍼런스 캐패시터와, 상기 레퍼런스 캐패시터와 상기 비트라인을 연결하기 위한 제1 레퍼런스 모스트랜지스터와, 상기 레퍼런스 캐패시터와 상기 비트라인을 연결하기 위한 제2 레퍼런스 모스트랜지스터를 구비하는 레퍼런스셀을 구비하고,

상기 제1 및 제2 레퍼런스 모스트랜지스터는 상기 제2 노멀 모스트랜지스터와 동일패턴으로 레이아웃되고, 상기 레퍼런스 캐패시터는 상기 제2 노멀 캐패시터와 동일패턴으로 레이아웃되어 셀어레이 영역이 구성되는 반도체 메모리 장치.

#### 청구항 2.

제 1 항에 있어서,

상기 레퍼런스 캐패시터에 레퍼런스 전압을 충전시키기 위한 제3 레퍼런스 MOST랜지스터를 더 구비하고, 상기 제3 레퍼런스 MOST랜지스터는 상기 셀어레이 영역의 외곽에 레이아웃된 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 3.

제 1 항에 있어서,

상기 레퍼런스셀은

두개의 비트라인당 하나의 레퍼런스셀이 레이아웃되는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 4.

제 1 항에 있어서,

상기 제1 및 제2 노멀 MOST랜지스터의 각 소스단과 각각 대응하는 노멀 스토리지 노드와 접속될 콘택플러그는 각각 레이아웃되고,

상기 제1 및 제2 레퍼런스 MOST랜지스터의 각 소스단은 공통의 레퍼런스 스토리지 노드와 접속되기 위해 각각의 콘택플러그가 서로 연결되도록 레이아웃된 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 5.

제 1 항에 있어서,

상기 셀어레이 영역은

상기 제2 노멀 MOST랜지스터를 위한 제1 활성영역;

상기 제1 노멀MOST랜지스터와, 상기 제1 레퍼런스 MOST랜지스터를 위한 제2 활성영역;

상기 제2 레퍼런스 MOST랜지스터를 위한 제3 활성영역;

상기 제1 활성영역을 가로지르며 배치된 상기 제2 노멀 MOST랜지스터용 제1 워드라인;

소정간격을 두고, 상기 제2 활성영역을 각각 가로지르며 배치된 상기 제1 노멀MOST랜지스터를 위한 제2 워드라인과, 제1 레퍼런스 MOST랜지스터를 위한 제3 워드라인;

상기 제3 활성영역을 가로지르며 배치된 상기 제2 레퍼런스 MOST랜지스터를 위한 제4 워드라인;

상기 제2 노멀 MOST랜지스터를 위해, 상기 제1 활성영역의 상단과 하단영역에 각각 접속되도록 레이아웃된 제1 비트라인용 콘택플러그와 제1 스토리지 노드 콘택플러그;

상기 제1 노멀 MOST랜지스터를 위해, 상기 제2 활성영역의 상단영역에 접속되도록 레이아웃된 제2 스토리지 노드 콘택플러그;

상기 제2 활성영역의 가운데영역에 접속되도록 레이아웃되며, 상기 제1 노멀 MOST랜지스터 및 상기 제1 레퍼런스 MOST랜지스터를 위한 제2 비트라인 콘택플러그;

상기 제1 및 제2 레퍼런스 모스트랜지스터를 위해 상기 제2 활성영역의 하단영역과, 상기 제3 활성영역의 상단영역에 공통으로 접속되도록 레이아웃된 제3 스토리지 노드 콘택플러그;

상기 제2 레퍼런스 모스트랜지스터를 위해 상기 제3 활성영역의 하단영역에 접속되도록 레이아웃된 제3 비트라인 콘택플러그;

상기 제1 활성영역의 상에 배치되며 상기 제1 스토리지 노드 콘택플러그와 접속된 상기 제2 노멀 캐패시터;

상기 제2 활성영역의 상단영역 상에 배치되며 상기 제2 스토리지 노드와 콘택플러그와 접속된 상기 제1 노멀 캐패시터;

상기 제2 활성영역의 하단영역 상에 배치되며 상기 제3 스토리지 노드 콘택플러그와 접속된 상기 레퍼런스 캐패시터;

상기 제1 내지 제4 워드라인과 교차하며 상기 제2 비트라인용 콘택플러그와 접속된 상기 비트라인; 및

상기 제1 내지 제4 워드라인과 교차하며 상기 제1 및 제3 비트라인용 콘택플러그와 접속된 상기 비트라인을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 6.

제 5 항에 있어서

상기 제1 내지 제4 워드라인은 같은 간격으로 레이아웃되는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 7.

제 5 항에 있어서,

상기 제3 활성영역의 상부에 배치되며, 상기 레퍼런스 캐패시터와 같은 층에 배치된 더미 캐패시터를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 8.

다수의 폴디드 구조형 비트라인쌍을 구비하는 반도체 메모리 장치에 있어서,

노멀 캐패시터와, 상기 노멀 캐패시터와 비트라인 또는 비트라인바를 연결하기 위한 노멀 모스트랜지스터를 각각 구비하는 다수의 노멀셀;

레퍼런스 캐패시터와, 대응하는 비트라인을 상기 레퍼런스 캐패시터의 제1 노드와 연결하기 위한 제1 레퍼런스 모스트랜지스터와, 상기 레퍼런스 캐패시터의 제1 노드와 상기 비트라인과 이웃한 비트라인바를 연결하기 위한 제2 레퍼런스 모스트랜지스터를 각각 구비하는 다수의 레퍼런스셀;

상기 다수의 레퍼런스셀에 각각 구비되는 레퍼런스 캐패시터의 제2 노드에 기준전압을 공급하기 위한 기준전압 공급부; 및

프리차지 구간에 상기 기준전압을 상기 다수의 레퍼런스셀에 각각 구비되는 레퍼런스 캐패시터의 제1 노드로 공급하기 위해 적어도 2개 이상 배치되는 프리차지용 모스트랜지스터를 구비하며, 상기 프리차지용 모스트랜지스터의 드레인단과 드레인단의 전압레벨을 같게 유지시키기 위한 셉트 라인을 구비하는 반도체 메모리 장치.

청구항 9.

제 8 항에 있어서,

상기 다수의 레퍼런스셀에 각각 구비되는 레퍼런스 캐패시터는 상기 다수의 노멀셀에 각각 구비되는 노멀 캐패시터와 같은 공정으로 제조되는 것을 특징으로 하는 반도체 메모리 장치.

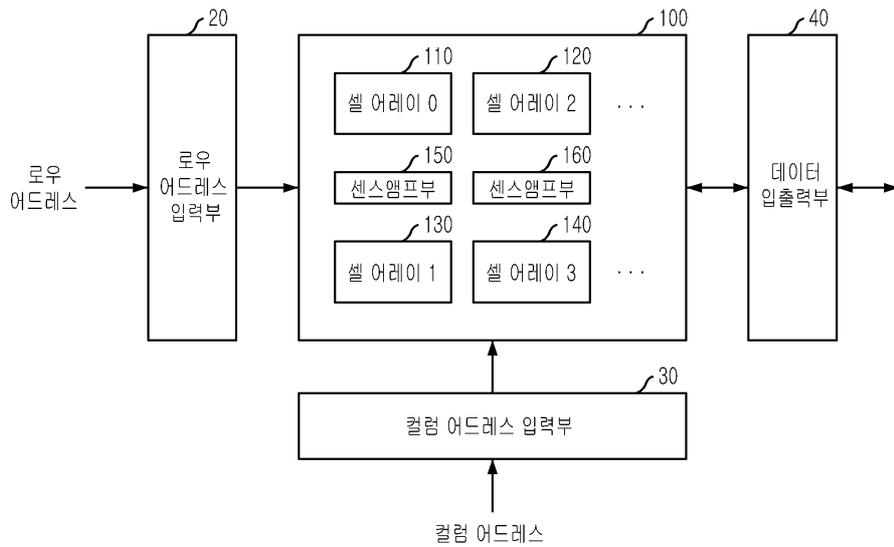
청구항 10.

제 9 항에 있어서,

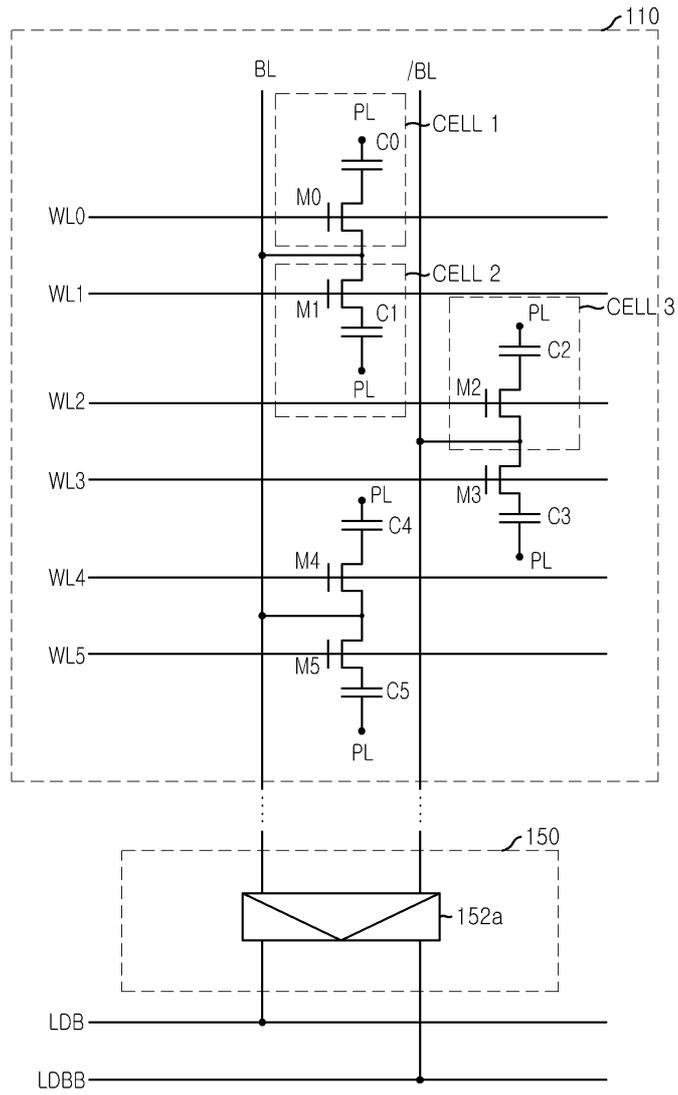
상기 다수의 레퍼런스셀에 각각 구비되는 레퍼런스 캐패시터는 상기 노멀셀영역에 배치되는 한 워드라인에 대응하는 갯수의 캐패시터 만큼 배치되며, 이웃한 2개의 캐패시터중 선택된 하나는 상기 레퍼런스 캐패시터로, 나머지 하나는 더미 캐패시터로 배치되는 것을 특징으로 하는 반도체 메모리 장치.

도면

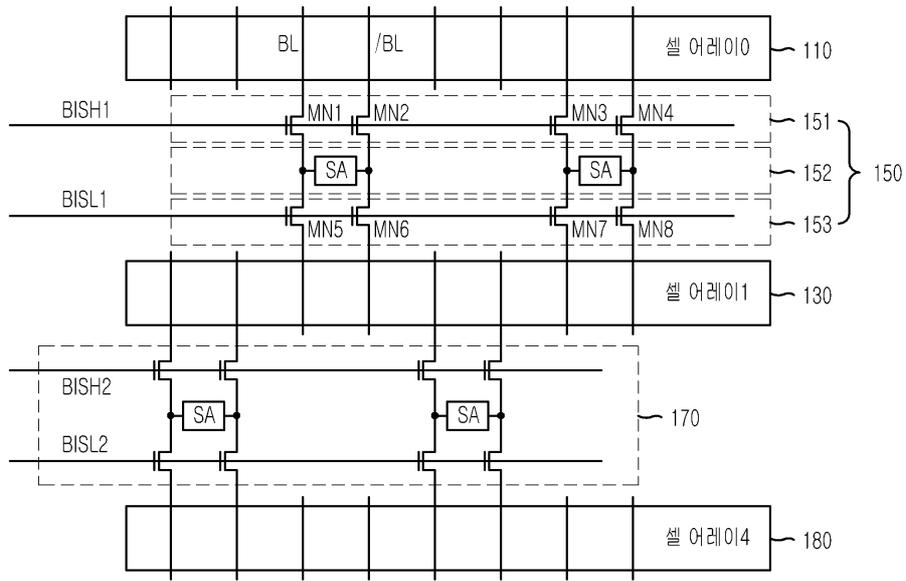
도면1



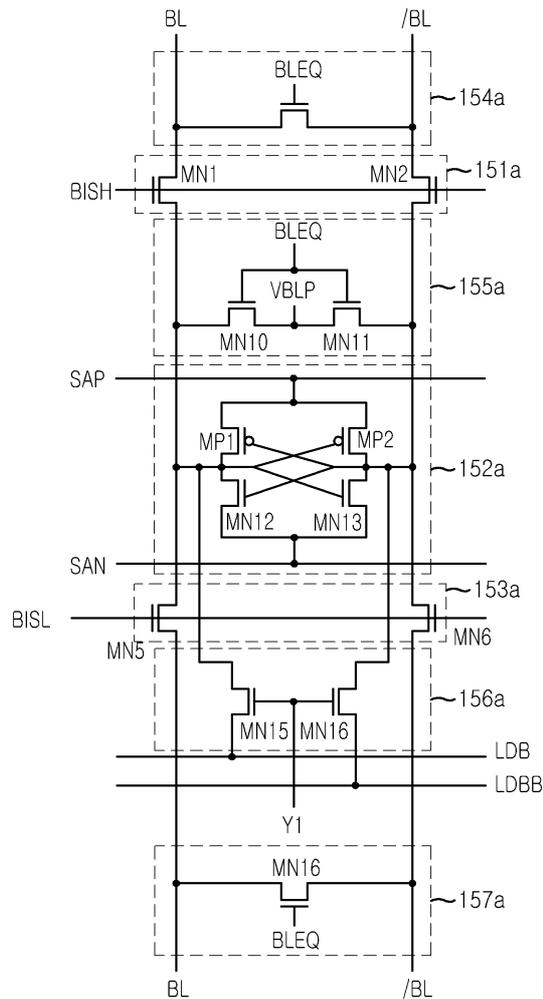
도면2



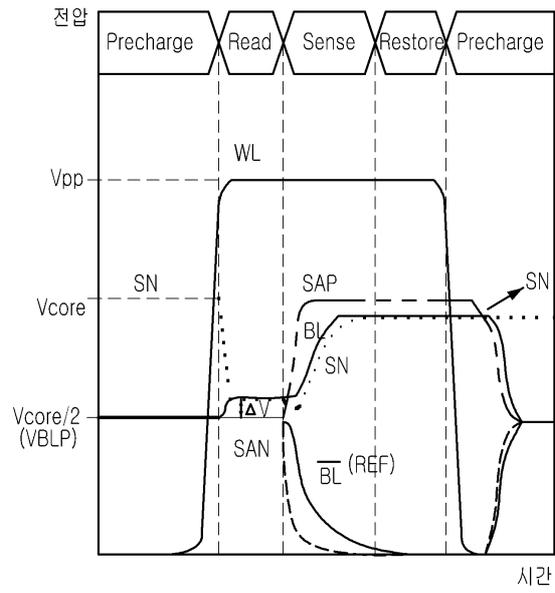
도면3



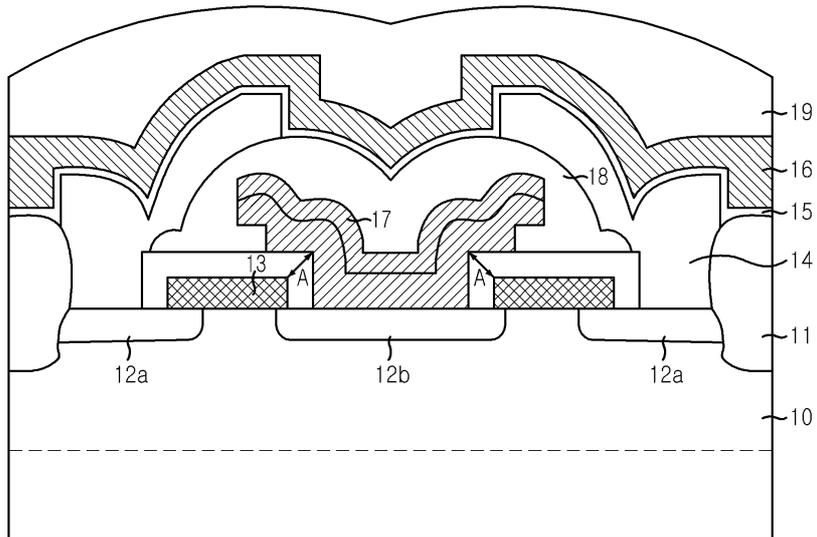
도면4



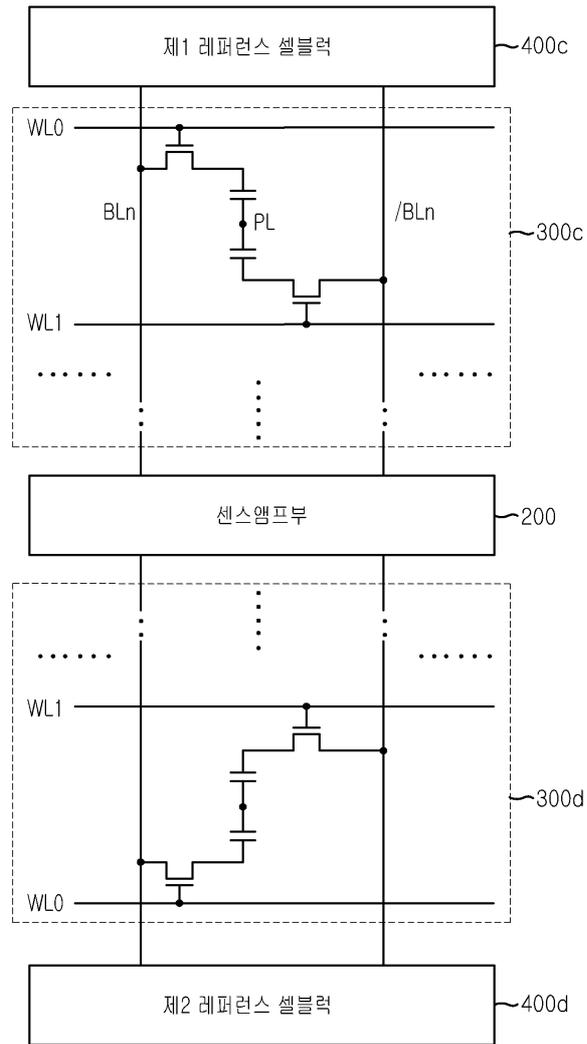
도면5



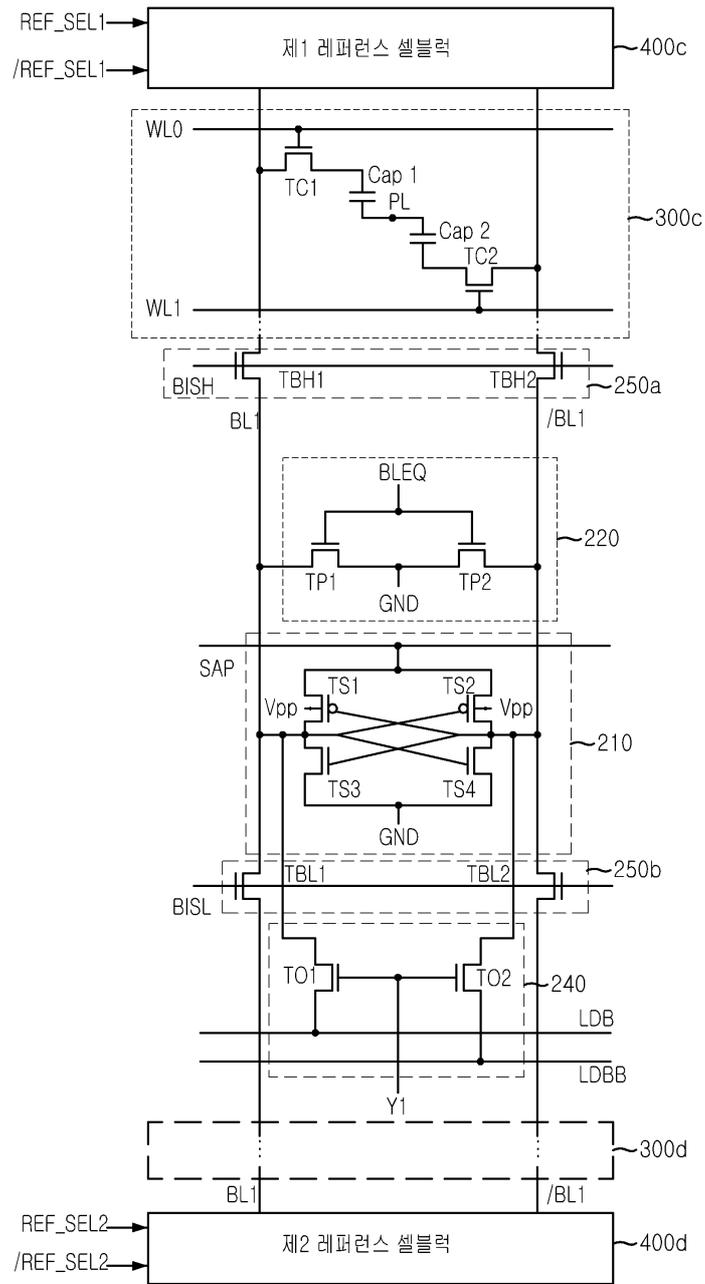
도면6



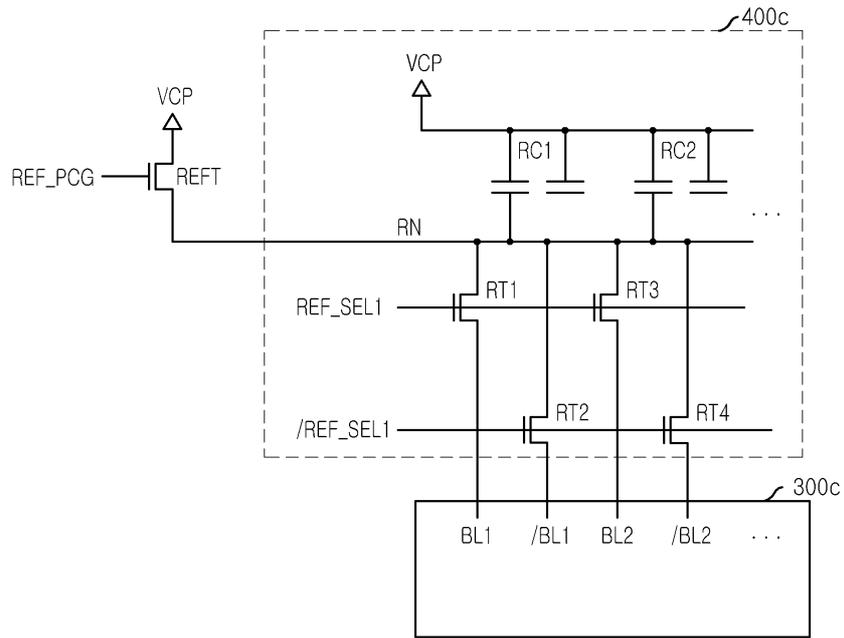
도면7



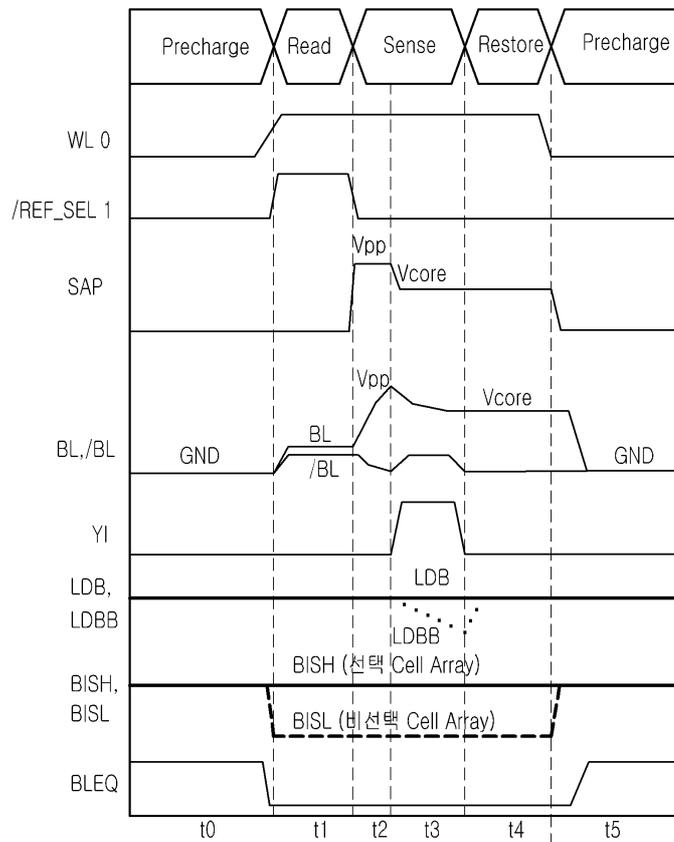
도면8



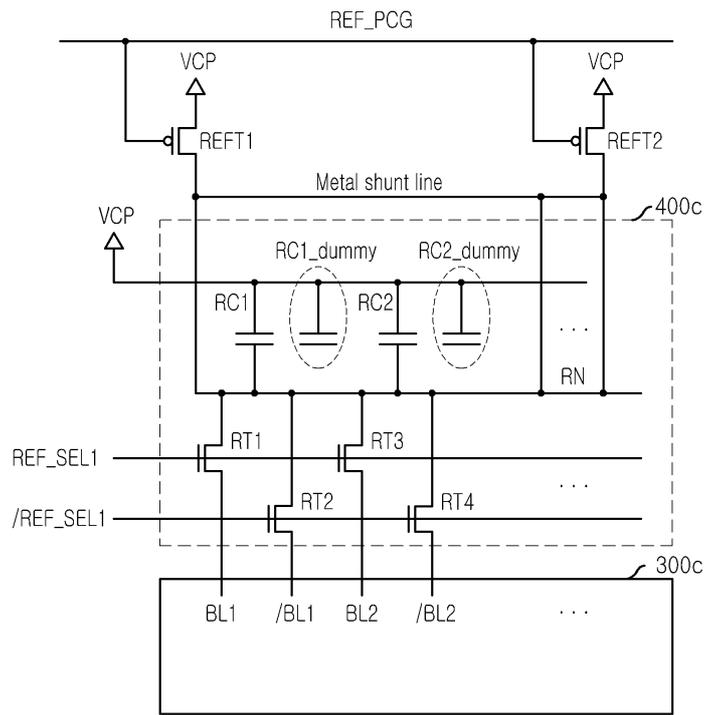
도면9



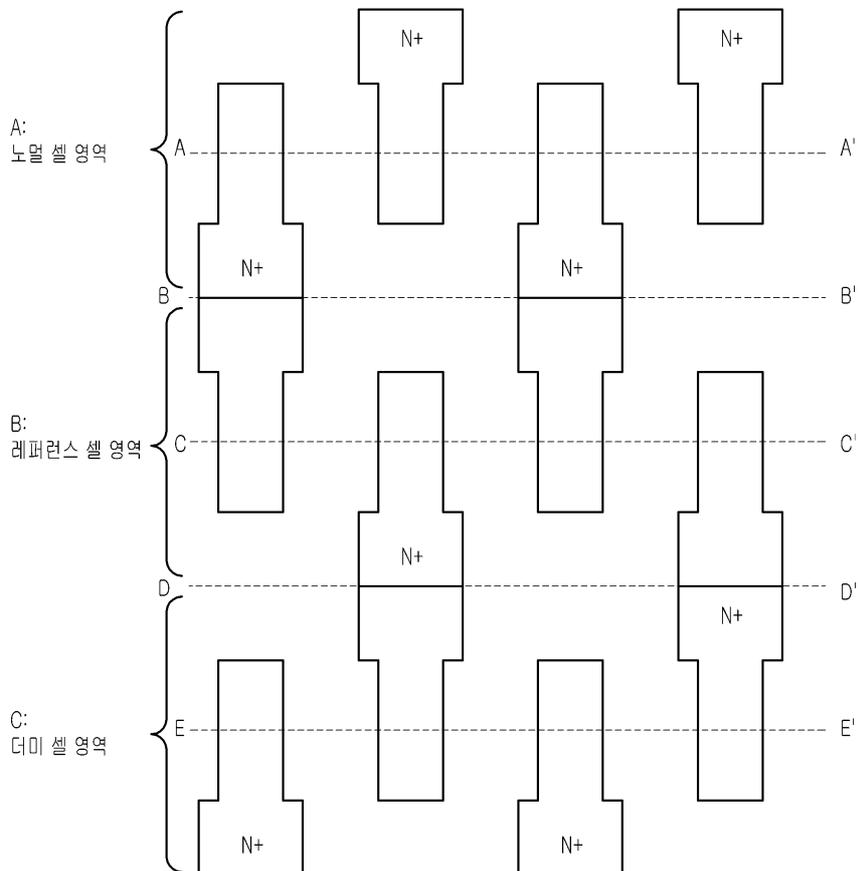
도면10



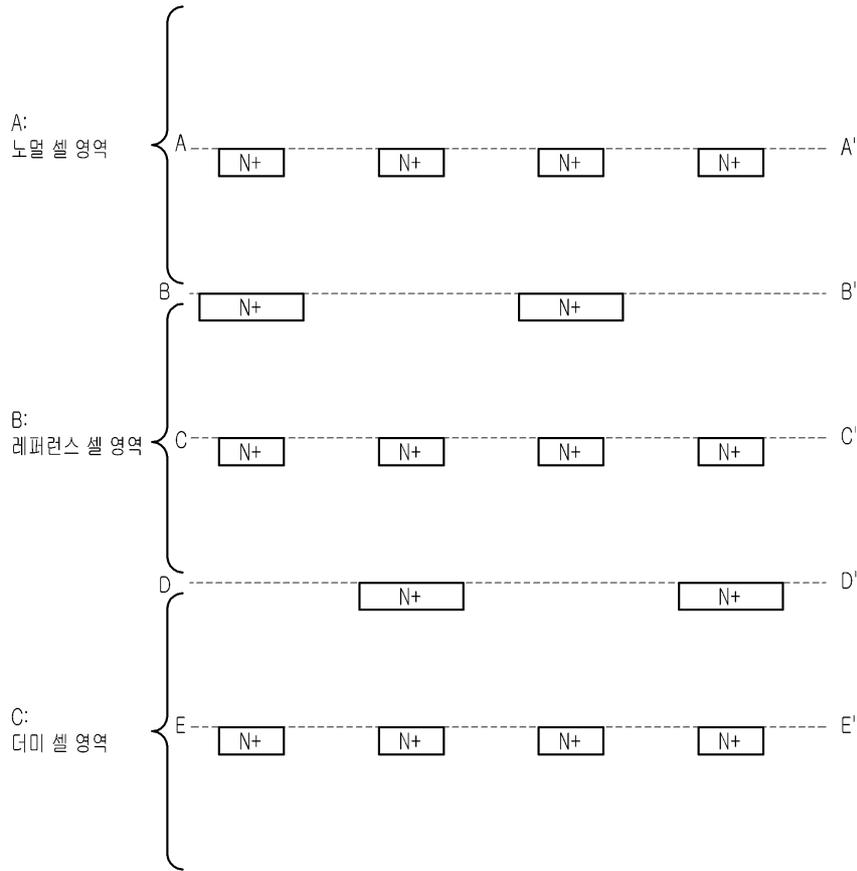
도면11



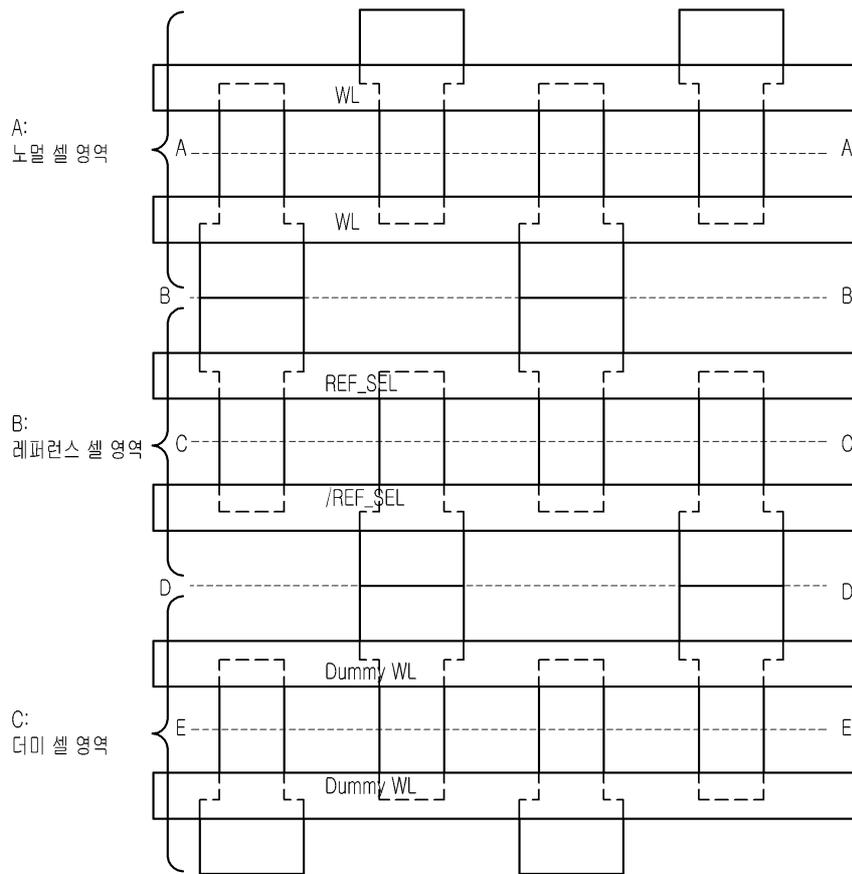
도면12a



도면12b

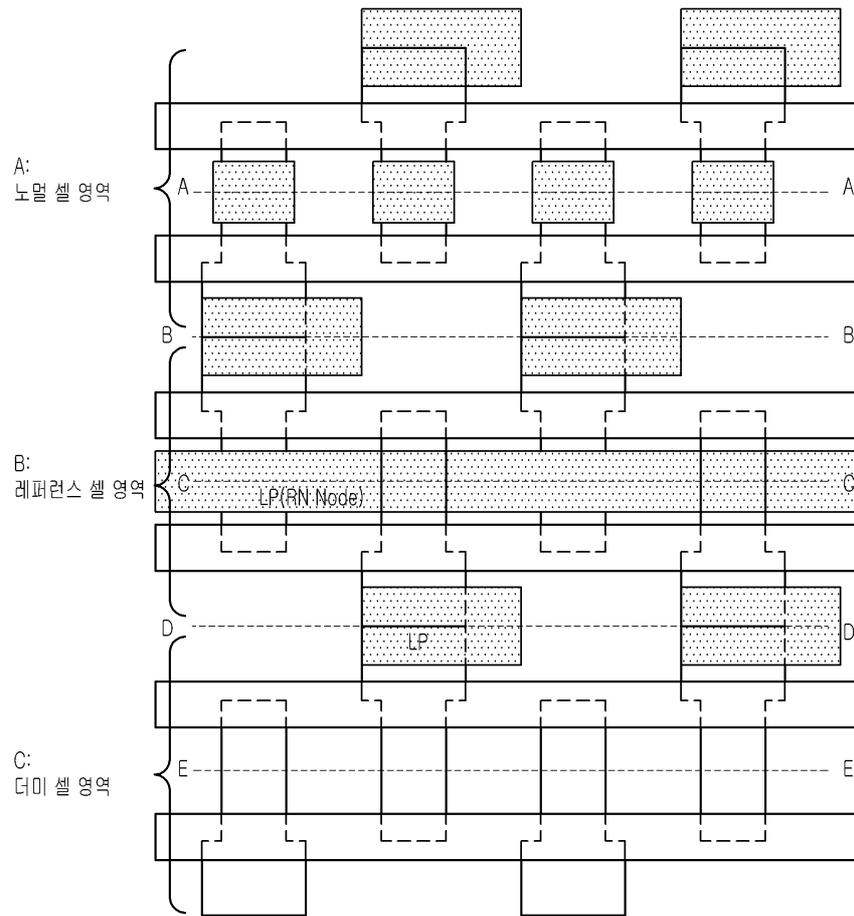


도면13a

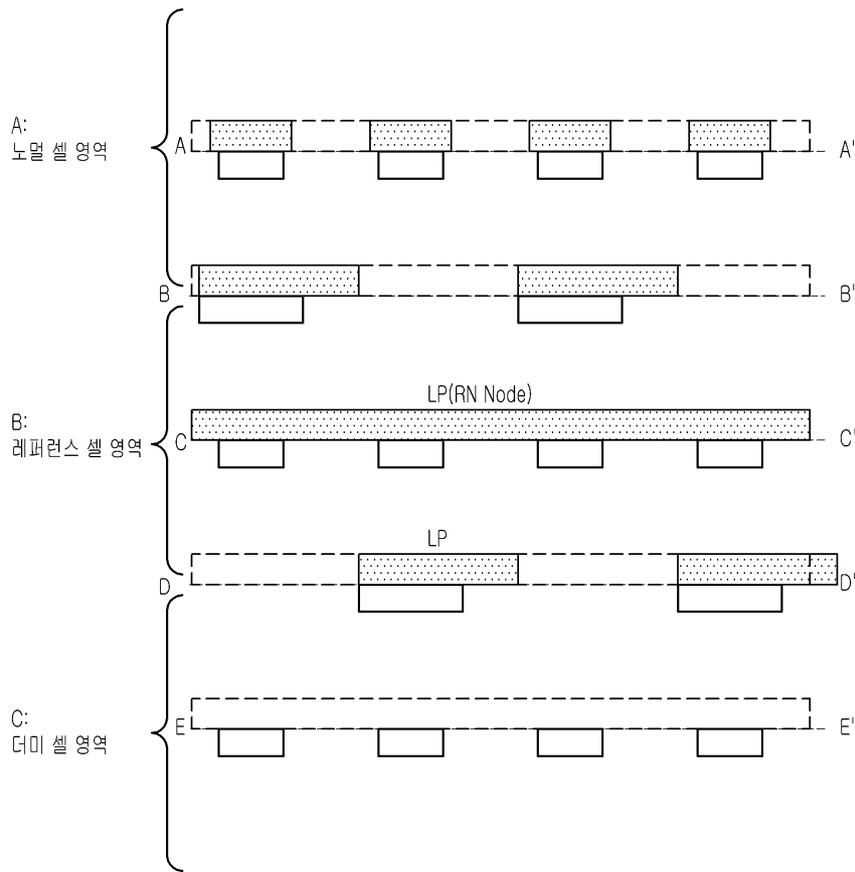




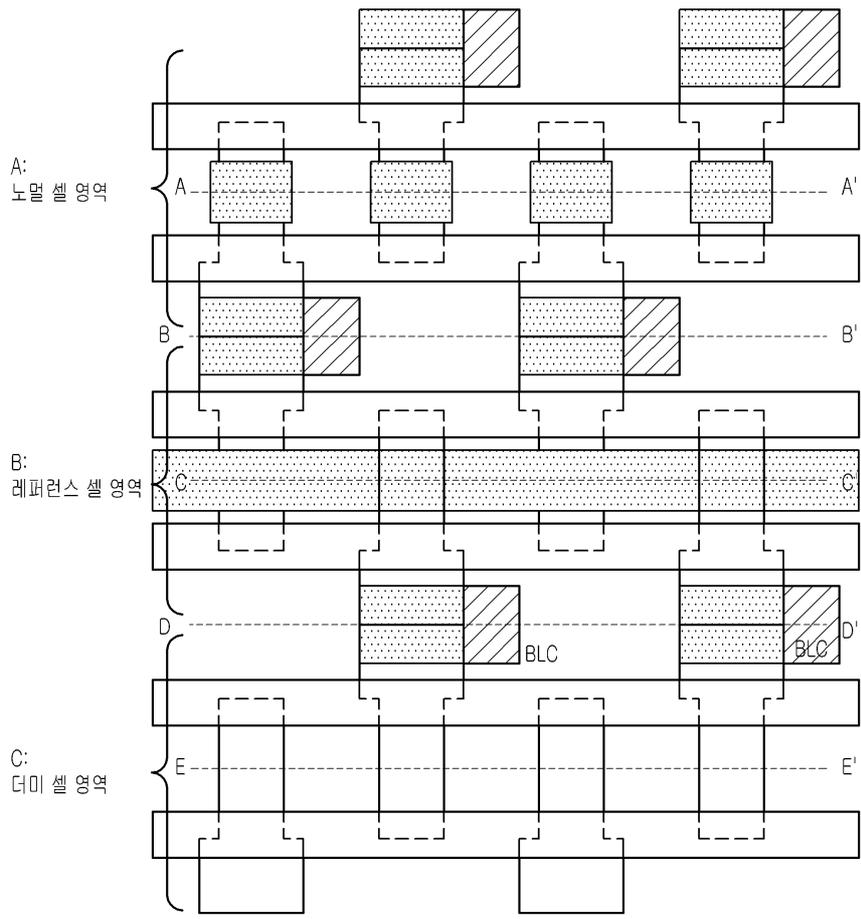
도면14a



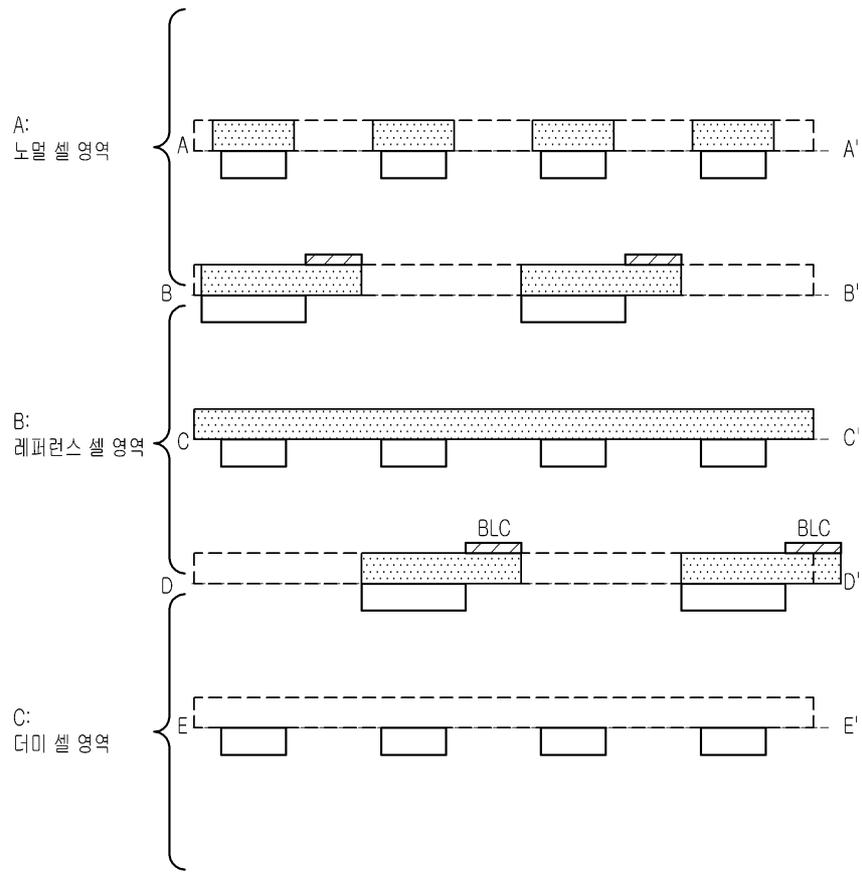
도면14b



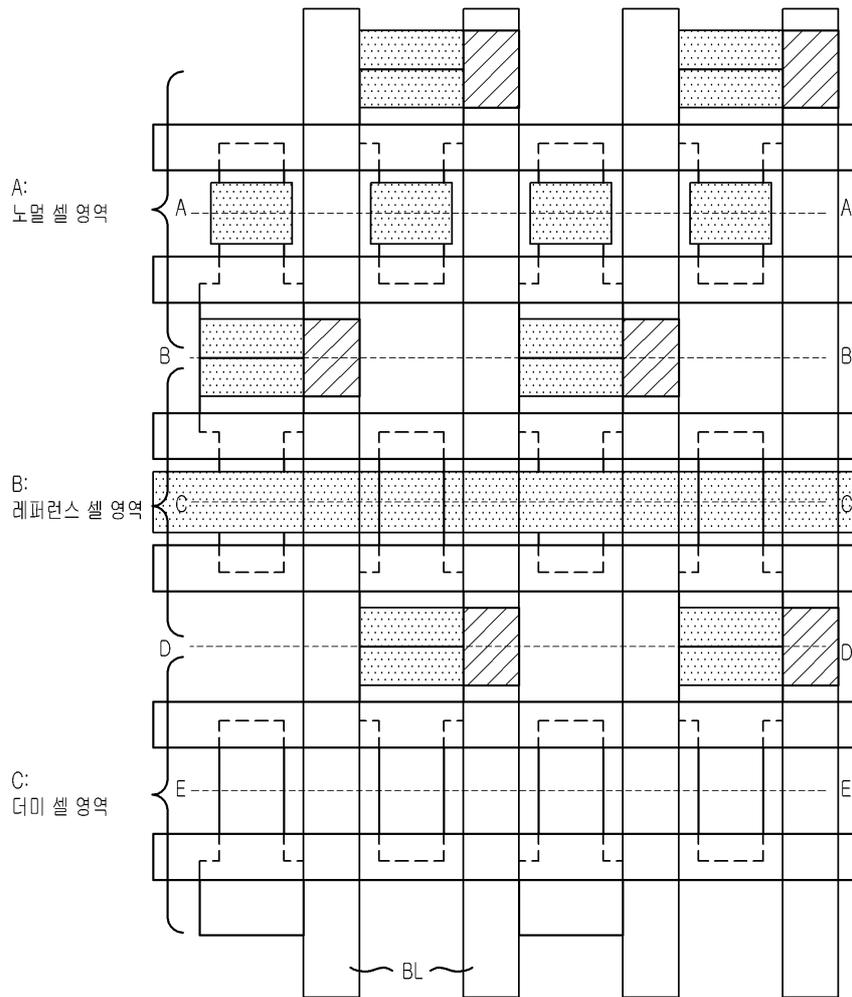
도면15a



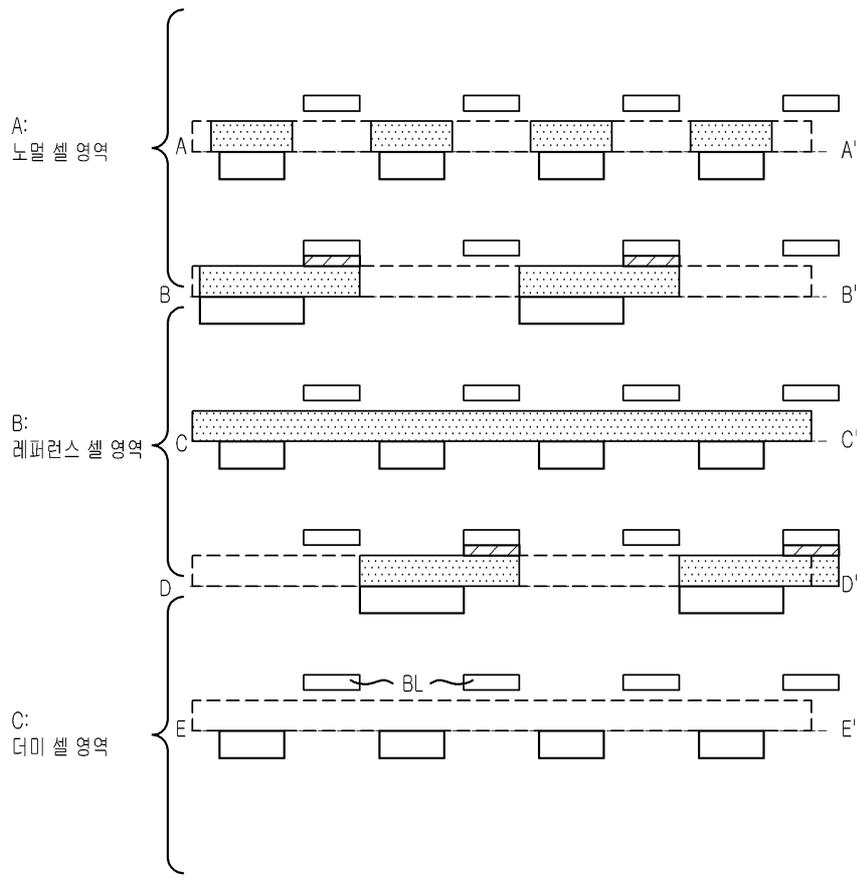
도면15b



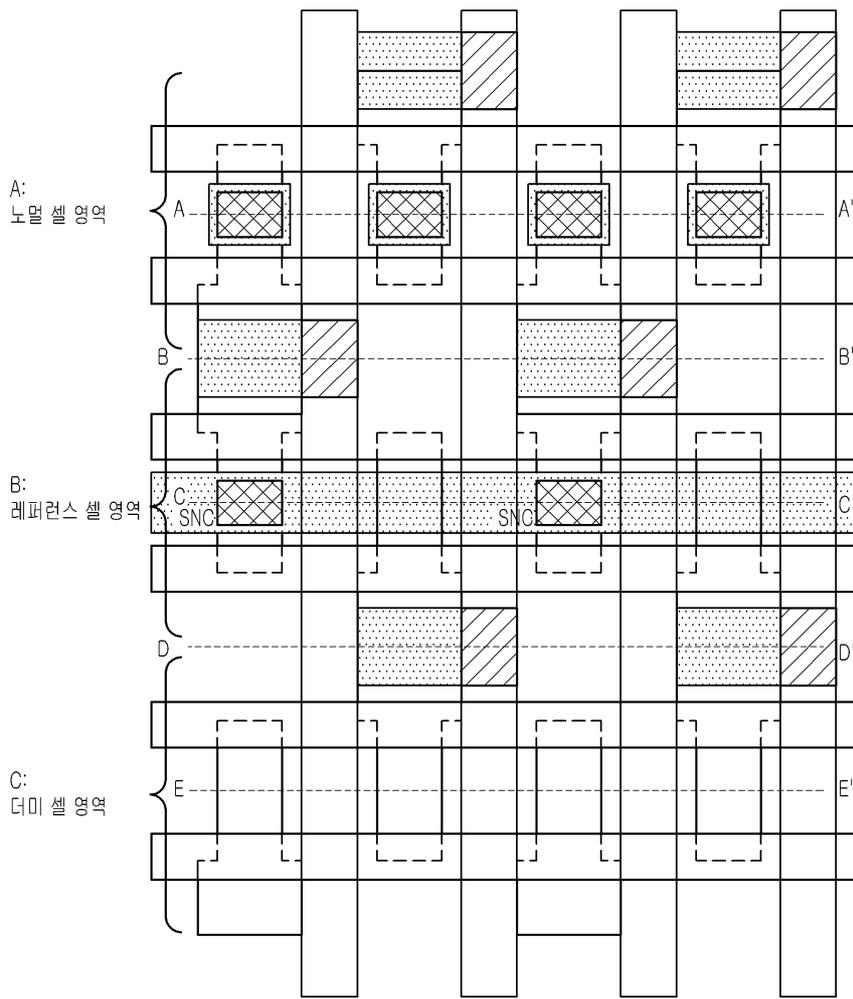
도면16a



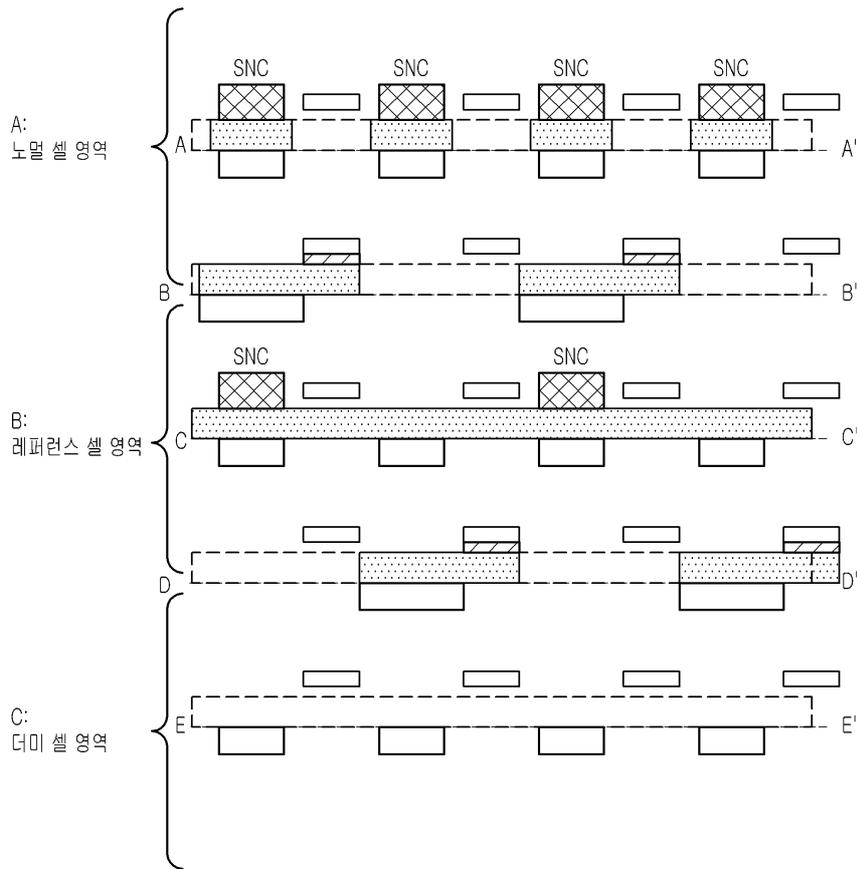
도면16b



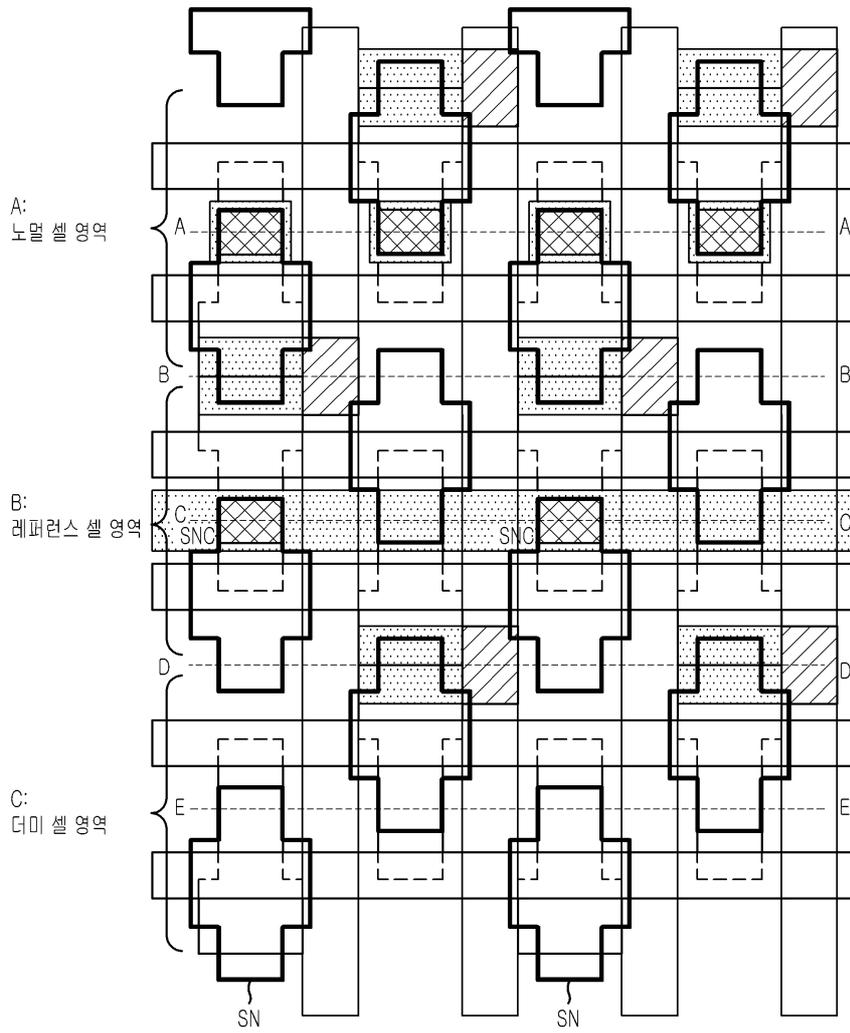
도면17a



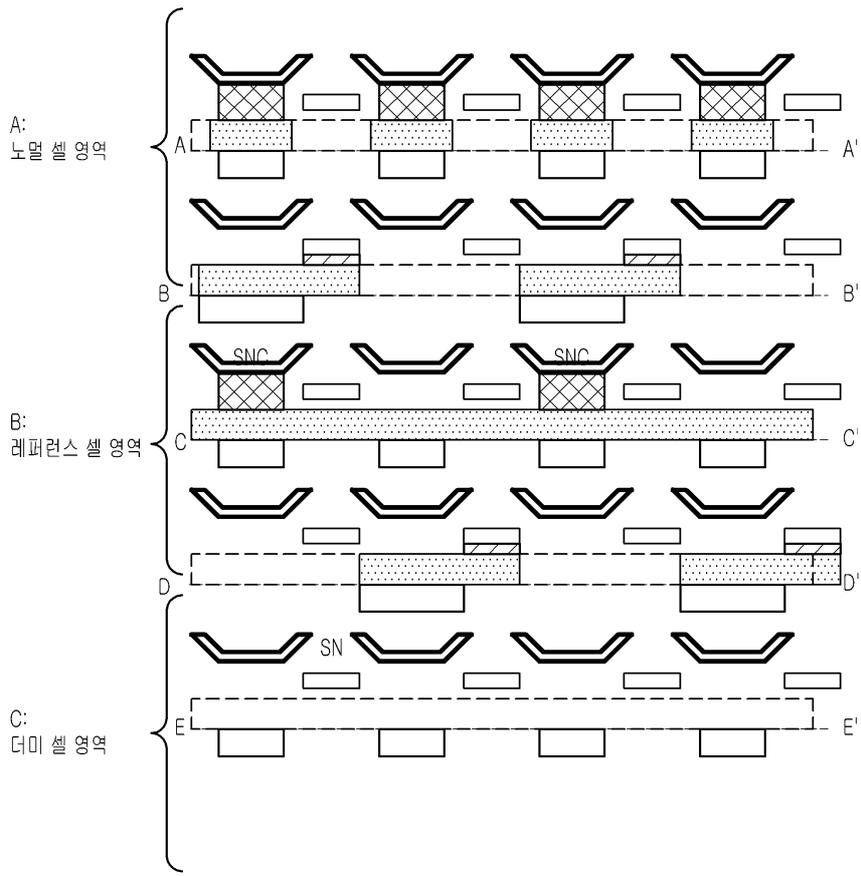
도면17b



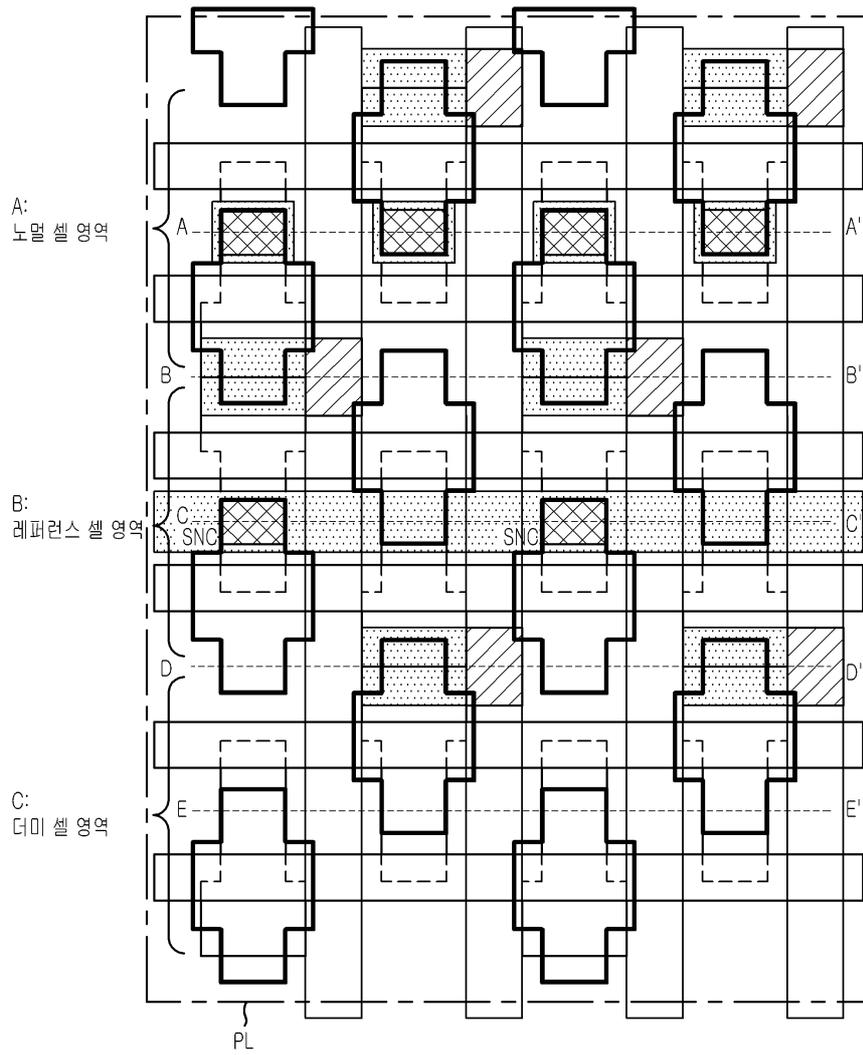
도면18a



도면18b



도면19a



도면19b

