



# (12)发明专利

(10)授权公告号 CN 104425606 B

(45)授权公告日 2017.12.01

(21)申请号 201310398740.0

H01L 21/336(2006.01)

(22)申请日 2013.09.04

(56)对比文件

(65)同一申请的已公布的文献号

申请公布号 CN 104425606 A

CN 102217074 A, 2011.10.12,

CN 103151391 A, 2013.06.12,

US 7279735 B1, 2007.10.09,

US 1031117306 A, 2013.05.22,

(43)申请公布日 2015.03.18

(73)专利权人 中芯国际集成电路制造(上海)有限公司

审查员 冯月华

地址 201203 上海市浦东新区张江路18号

(72)发明人 黄新运 曾以志 孙浩

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51)Int. Cl.

H01L 29/78(2006.01)

H01L 29/08(2006.01)

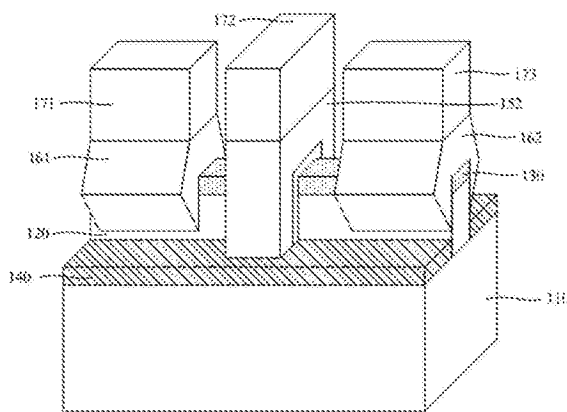
权利要求书2页 说明书8页 附图4页

(54)发明名称

隧穿场效应晶体管及其形成方法

(57)摘要

一种隧穿场效应晶体管及其形成方法,其中隧穿场效应晶体管包括:基底;位于所述基底上的底层鳍部,所述底层鳍部具有第一类型掺杂;位于所述底层鳍部上表面的沟道鳍部,所述沟道鳍部具有第二类型掺杂,第二类型掺杂与第一类型掺杂不同,所述沟道鳍部的电子迁移率大于所述底层鳍部的电子迁移率;横跨所述沟道鳍部的栅极结构;源极,所述源极具有第一类型掺杂;漏极,所述漏极具有第二类型掺杂。本发明提供的隧穿场效应晶体管具有高的工作电流和低的功耗。



1. 一种隧穿场效应晶体管的形成方法,其特征在于,包括:  
提供基底;

在所述基底上形成底层鳍部和位于所述底层鳍部上表面的沟道鳍部,所述沟道鳍部的电子迁移率大于所述底层鳍部的电子迁移率,所述底层鳍部具有第一类型掺杂,所述沟道鳍部具有第二类型掺杂,第一类型掺杂和第二类型掺杂不同;

形成源极和漏极,以及横跨所述沟道鳍部的栅极结构,所述源极具有第一类型掺杂,所述漏极具有第二类型掺杂;

先形成源极,再形成漏极;形成源极和漏极的方法包括:

形成栅极结构后,在所述基底、栅极结构和沟道鳍部的上表面,以及栅极结构、底层鳍部和沟道鳍部的侧壁形成第一图形化的掩膜层,所述第一图形化的掩膜层暴露栅极结构一侧的沟道鳍部和底层鳍部;

在暴露的沟道鳍部和底层鳍部上外延形成源极;

去除所述第一图形化的掩膜层;

在所述基底、栅极结构、沟道鳍部和源极的上表面,以及栅极结构、底层鳍部、沟道鳍部和源极的侧壁形成第二图形化的掩膜层,所述第二图形化的掩膜层暴露栅极结构另一侧的沟道鳍部和底层鳍部;

在暴露的沟道鳍部和底层鳍部上外延形成漏极;

去除所述第二图形化的掩膜层。

2. 如权利要求1所述的隧穿场效应晶体管的形成方法,其特征在于,在所述基底上形成底层鳍部和沟道鳍部的方法包括:

在所述基底上形成具有第一类型掺杂的底层鳍部材料层;

在所述底层鳍部材料层上形成具有第二类型掺杂的沟道鳍部材料层;

图形化所述底层鳍部材料层和沟道鳍部材料层,形成底层鳍部和沟道鳍部。

3. 如权利要求2所述的隧穿场效应晶体管的形成方法,其特征在于,形成沟道鳍部材料层的方法为化学气相沉积、物理气相沉积或外延生长。

4. 如权利要求1所述的隧穿场效应晶体管的形成方法,其特征在于,形成源极的方法包括:对位于栅极结构一侧的沟道鳍部进行重掺杂离子注入。

5. 如权利要求4所述的隧穿场效应晶体管的形成方法,其特征在于,形成漏极的方法包括:对位于栅极结构另一侧的沟道鳍部进行重掺杂离子注入。

6. 如权利要求1所述的隧穿场效应晶体管的形成方法,其特征在于,在形成所述源极和所述漏极之前,还包括:

对栅极结构一侧的部分底层鳍部进行轻掺杂离子注入,形成具有第二类型掺杂的源极轻掺杂区;

对栅极结构另一侧的部分底层鳍部进行轻掺杂离子注入,形成具有第二类型掺杂的漏极轻掺杂区。

7. 如权利要求1所述的隧穿场效应晶体管的形成方法,其特征在于,在形成所述栅极结构之前,还包括:在所述底层鳍部两侧的基底上形成隔离层,所述隔离层的厚度小于或等于所述底层鳍部的高度。

8. 如权利要求1所述的隧穿场效应晶体管的形成方法,其特征在于,所述第一类型掺杂

为n型掺杂,所述第二类型掺杂为p型;或者,所述第一类型掺杂为p型,所述第二类型掺杂为n型。

9. 如权利要求1所述的隧穿场效应晶体管的形成方法,其特征在于,所述沟道鳍部的材料为SiC或者SiGe。

10. 如权利要求9所述的隧穿场效应晶体管的形成方法,其特征在于,所述沟道鳍部的厚度为5-10nm。

## 隧穿场效应晶体管及其形成方法

### 技术领域

[0001] 本发明涉及半导体领域,尤其涉及一种隧穿场效应晶体管及其形成方法。

### 背景技术

[0002] 金属氧化物半导体(Metal-Oxide-Semiconductor, 简称为MOS)技术已经得到了广泛的应用,例如互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, 简称为CMOS)晶体管已成为半导体集成电路中的核心元件。为了使集成电路的性能和封装密度不断提高,以及使集成电路的成本不断降低,CMOS晶体管的特征尺寸在不断缩小。

[0003] 然而,随着CMOS晶体管的尺寸不断缩小,CMOS晶体管的总功率消耗不断增加。其原因有:一、短沟道效应越来越明显(如漏电流增加);二、难以使电源电压随着CMOS晶体管尺寸的减小而继续减小。后者主要是由于典型的MOS晶体管的亚阈值摆幅(Sub-threshold Swing)具有约为60毫伏/ $10 \times 10^{-6}$ 体积分数(mV/decade)的极限值,使得将晶体管由关状态切换至开状态需要一定的电压改变,CMOS晶体管具有最小电源电压。

[0004] 由于隧穿场效应晶体管(Tunneling Field-Effect Transistor, 简称为TFET)没有短沟道效应的问题,且由于其亚阈值摆幅可小于60mV/decade,因此隧穿场效应晶体管被认为是CMOS晶体管的继承者。但是,现有隧穿场效应晶体管的工作电流较低、功耗大。

[0005] 有鉴于此,实有必要提出一种隧穿场效应晶体管及其形成方法,提高隧穿场效应晶体管的工作电流,并降低其功耗。

### 发明内容

[0006] 本发明解决的问题是现有技术中,隧穿场效应晶体管的工作电流较低、功耗大。

[0007] 为解决上述问题,本发明提供一种隧穿场效应晶体管,包括:

[0008] 基底;

[0009] 位于所述基底上的底层鳍部,所述底层鳍部具有第一类型掺杂;

[0010] 位于所述底层鳍部上表面的沟道鳍部,所述沟道鳍部具有第二类型掺杂,第二类型掺杂与第一类型掺杂不同;

[0011] 横跨所述沟道鳍部的栅极结构;

[0012] 源极,所述源极具有第一类型掺杂;

[0013] 漏极,所述漏极具有第二类型掺杂。

[0014] 可选的,所述源极位于所述沟道鳍部内;或者,

[0015] 所述源极横跨所述沟道鳍部。

[0016] 可选的,所述漏极位于所述沟道鳍部内;或者,

[0017] 所述漏极横跨所述沟道鳍部。

[0018] 可选的,所述沟道鳍部的材料为SiC或者SiGe。

[0019] 可选的,所述沟道鳍部的厚度为5-10nm。

[0020] 可选的,还包括:

- [0021] 源极轻掺杂区,所述源极轻掺杂区位于所述源极下方的底层鳍部内;
- [0022] 漏极轻掺杂区,所述漏极轻掺杂区位于所述漏极下方的底层鳍部内;
- [0023] 所述源极轻掺杂区和所述漏极轻掺杂区具有第二类型掺杂。
- [0024] 可选的,还包括:隔离层,所述隔离层位于所述底层鳍部两侧的基底上,所述隔离层的厚度小于或等于所述底层鳍部的高度。
- [0025] 可选的,所述第一类型掺杂为n型掺杂,所述第二类型掺杂为p型;或者,
- [0026] 所述第一类型掺杂为p型,所述第二类型掺杂为n型。
- [0027] 本发明还提供一种隧穿场效应晶体管的形成方法,包括:
- [0028] 提供基底;
- [0029] 在所述基底上形成底层鳍部和位于所述底层鳍部上表面的沟道鳍部,底层鳍部具有第一类型掺杂,沟道鳍部具有第二类型掺杂,第一类型掺杂和第二类型掺杂不同;
- [0030] 形成源极和漏极,以及横跨所述沟道鳍部的栅极结构,所述源极具有第一类型掺杂,所述漏极具有第二类型掺杂。
- [0031] 可选的,在所述基底上形成底层鳍部和沟道鳍部的方法包括:
- [0032] 在所述基底上形成具有第一类型掺杂的底层鳍部材料层;
- [0033] 在所述底层鳍部材料层上形成具有第二类型掺杂的沟道鳍部材料层;
- [0034] 图形化所述底层鳍部材料层和沟道鳍部材料层,形成底层鳍部和沟道鳍部。
- [0035] 可选的,形成沟道鳍部材料层的方法为化学气相沉积、物理气相沉积或外延生长。
- [0036] 可选的,先形成源极,再形成漏极;或者,
- [0037] 先形成漏极,再形成源极。
- [0038] 可选的,先形成源极,再形成漏极;形成源极和漏极的方法包括:
- [0039] 形成栅极结构后,在所述基底、栅极结构和沟道鳍部的上表面,以及栅极结构、底层鳍部和沟道鳍部的侧壁形成第一图形化的掩膜层,所述第一图形化的掩膜层暴露栅极结构一侧的沟道鳍部和底层鳍部;
- [0040] 在暴露的沟道鳍部和底层鳍部上外延形成源极;
- [0041] 去除所述第一图形化的掩膜层;
- [0042] 在所述基底、栅极结构、沟道鳍部和源极的上表面,以及栅极结构、底层鳍部、沟道鳍部和源极的侧壁形成第二图形化的掩膜层,所述第二图形化的掩膜层暴露栅极结构另一侧的沟道鳍部和底层鳍部;
- [0043] 在暴露的沟道鳍部和底层鳍部上外延形成漏极;
- [0044] 去除所述第二图形化的掩膜层。
- [0045] 可选的,形成源极的方法包括:对位于栅极结构一侧的沟道鳍部进行重掺杂离子注入。
- [0046] 可选的,形成漏极的方法包括:对位于栅极结构另一侧的沟道鳍部进行重掺杂离子注入。
- [0047] 可选的,在形成所述源极和所述漏极之前,还包括:
- [0048] 对栅极结构一侧的部分底层鳍部进行轻掺杂离子注入,形成具有第二类型掺杂的源极轻掺杂区;
- [0049] 对栅极结构另一侧的部分底层鳍部进行轻掺杂离子注入,形成具有第二类型掺杂

的漏极轻掺杂区。

[0050] 可选的,在形成所述栅极结构之前,还包括:在所述底层鳍部两侧的基底上形成隔离层,所述隔离层的厚度小于或等于所述底层鳍部的高度。

[0051] 可选的,所述第一类型掺杂为n型掺杂,所述第二类型掺杂为p型;或者,

[0052] 所述第一类型掺杂为p型,所述第二类型掺杂为n型。

[0053] 可选的,所述沟道鳍部的材料为SiC或者SiGe。

[0054] 可选的,所述沟道鳍部的厚度为5-10nm。

[0055] 与现有技术相比,本发明的技术方案具有以下优点:

[0056] 本技术方案中所述底层鳍部具有第一类型掺杂,所述沟道鳍部具有第二类型掺杂,且所述沟道鳍部的电子迁移率大于所述底层鳍部的电子迁移率,这种设计具有以下优点:

[0057] 首先,沟道鳍部的电子迁移率较大,使得流经沟道鳍部的电流增大,即所述隧穿场效应晶体管的工作电流增大,功耗降低。

[0058] 其次,第一类型掺杂和第二类型掺杂不同;所以沟道鳍部与底层鳍部之间形成PN结,阻断了沟道鳍部内的载流子进入底层鳍部,减小了隧穿场效应晶体管的漏电流。

[0059] 再次,栅极结构与沟道鳍部的侧壁和上表面接触,提高了栅极结构对沟道鳍部的控制能力。

[0060] 进一步,所述源极横跨所述沟道鳍部。可以通过增长源极的长度来提高源极与沟道鳍部的接触面积,进而提高了从源极隧穿进入沟道鳍部的载流子数量,提高了隧穿场效应晶体管的隧穿电流,有效增大了隧穿场效应晶体管的工作电流。

## 附图说明

[0061] 图1是现有技术中隧穿场效应晶体管的剖面结构示意图;

[0062] 图2至图8是本发明第一实施例中隧穿场效应晶体管形成方法的各制作阶段的剖面结构示意图;

[0063] 图9是本发明第二实施例中隧穿场效应晶体管漏极形成方法的剖面结构示意图。

## 具体实施方式

[0064] 图1为现有工艺中隧穿场效应晶体管的剖面结构示意图,包括:

[0065] 基底1;

[0066] 位于所述基底1上的栅极结构,所述栅极结构包括位于基底1上的高k介质层2和位于所述高k介质层2上的金属栅极3;

[0067] 位于所述栅极结构一侧的基底1内的源极4;

[0068] 位于所述栅极结构与所述源极4相对一侧的基底1内的漏极5。

[0069] 其中,所述基底1和所述漏极5具有p型掺杂,所述源极4具有n型掺杂。

[0070] 源极4和漏极5之间的基底1为沟道区6(虚线以上的基底1)。源极4与沟道区6由于具有不同的掺杂类型,所以在源极4与沟道区6的接触面上形成PN结。

[0071] 在所述金属栅极3上施加电压时,所述PN结的势垒减小,源极4中的载流子隧穿进入沟道区6内,并在沟道区6内定向移动进入漏极5,形成工作电流。

[0072] 由上述工作原理可知,所述PN结的面积(大致等于基底1中源极4的深度与沟道区6的宽度的乘积)越大,在所述金属栅极3上施加电压时,从源极4中隧穿进入沟道区6内的载流子数量就越多,隧穿场效应晶体管的工作电流就越大。

[0073] 但上述隧穿场效应晶体管的PN结面积难以增大,所述隧穿场效应晶体管的工作电流较小。

[0074] 再者,所述基底1的材料一般为硅,由于硅的电子迁移速率较低,所以沟道区6的电子迁移速率也较低。沟道区6的电子迁移速率较低,使得所述隧穿场效应晶体管的工作电流较小,且功耗较大。

[0075] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0076] 第一实施例

[0077] 本实施例提供一种隧穿场效应晶体管的形成方法,包括:

[0078] 参考图2,提供基底110。

[0079] 所述基底110可以为硅基底、锗硅基底或者本领域所熟知的其他半导体基底。

[0080] 在本实施例中,所述基底110没有掺杂。

[0081] 在其他实施例中,可以先对所述基底110的底部进行第二类型掺杂,在所述基底110底部形成深掺杂阱;然后,对深掺杂阱以上的基底110进行第一类型掺杂,形成第一类型掺杂阱。第一类型掺杂和第二类型掺杂不同。

[0082] 形成深掺杂阱和第一类型掺杂阱的作用是避免门锁效应和其他一些可靠性方面的问题。

[0083] 在本实施例中,所述第一类型掺杂为p型,所述第二类型掺杂为n型。

[0084] 参考图3,在所述基底110上形成底层鳍部120和位于所述底层鳍部120上表面的沟道鳍部130。所述沟道鳍部130的电子迁移率大于所述底层鳍部120的电子迁移率。

[0085] 底层鳍部120具有第一类型掺杂,沟道鳍部130具有第二类型掺杂,即底层鳍部120具有p型掺杂,沟道鳍部130具有n型掺杂。

[0086] 在具体实施例中,形成底层鳍部120和沟道鳍部130的方法包括:

[0087] 在所述基底110上形成具有p型掺杂的底层鳍部材料层;

[0088] 然后,在所述底层鳍部材料层上形成具有n型掺杂的沟道鳍部材料层;

[0089] 接着,图形化所述底层鳍部材料层和沟道鳍部材料层,形成底层鳍部120和沟道鳍部130。

[0090] 在具体实施例中,形成沟道鳍部材料层的方法为化学气相沉积、物理气相沉积或外延生长。

[0091] 沟道鳍部130的电子迁移率大,多数载流子在沟道鳍部130内的迁移率就快,使得流经沟道鳍部130的电流增大,即最终得到的隧穿场效应晶体管的工作电流增大,功耗降低。所以,沟道鳍部130的电子迁移率大于底层鳍部120的电子迁移率有利于得到工作电流大,功耗低的隧穿场效应晶体管。

[0092] 所述沟道鳍部130的材料为SiC或者SiGe,也可以为本领域所熟知的其他电子迁移率高的半导体材料。由于SiC和SiGe具有较高的电子迁移率,所以所述沟道鳍部130的材料为SiC或者SiGe时,可以提高最终形成的隧穿场效应晶体管的工作电流,并降低其功耗。

[0093] 在具体实施例中,所述沟道鳍部130的厚度为5-10nm。由于沟道鳍部130的厚度很小,后续形成的栅极结构可以有效控制沟道鳍部130。

[0094] 由于底层鳍部120具有p型掺杂,沟道鳍部130具有n型掺杂;所以沟道鳍部130与底层鳍部120之间形成PN结。所述PN结阻断了沟道鳍部130内的载流子进入底层鳍部120,减小了隧穿场效应晶体管的漏电流。

[0095] 参考图4,在所述底层鳍部120两侧的基底110上形成隔离层140,所述隔离层140的厚度小于所述底层鳍部120的高度。

[0096] 在其他实施例中,所述隔离层140的厚度也可以等于所述底层鳍部120的高度。

[0097] 所述隔离层140用于使基底110上形成的相邻的隧穿场效应晶体管相互隔开,避免相互干扰。

[0098] 在具体实施例中,形成所述隔离层140可包括:

[0099] 在所述基底110和沟道鳍部130上表面形成隔离材料层,所述隔离材料层的厚度大于所述底层鳍部120和沟道鳍部130的厚度之和;

[0100] 刻蚀所述隔离材料层,露出所述沟道鳍部130的上表面;

[0101] 继续刻蚀部分所述隔离材料层,露出底层鳍部120的上部侧壁,剩余的隔离材料层为所述隔离层140。

[0102] 所述隔离层140的材料可为氧化硅、氮化硅或本领域所熟知的介质材料。

[0103] 参考图5,形成横跨所述沟道鳍部130的栅极结构。

[0104] 所述栅极结构包括横跨所述沟道鳍部130的栅介质层151和位于所述栅介质层151上的栅极152。

[0105] 在具体实施例中,所述栅介质层151的材料为高k材料,如氧化铪、氧化锆、氧化镧、氧化铝、氧化钛、钛酸锶、氧化铝镧、氧化钇、氮氧化铪、氮氧化锆、氮氧化镧、氮氧化铝、氮氧化钛、氮氧化锶钛、氮氧化镧铝、氮氧化钇中的一种或多种。所述栅极152的材料可为钨、铜、铝或银。

[0106] 形成所述栅介质层151和所述栅极152的方法包括:

[0107] 在所述隔离层140和所述沟道鳍部130上表面,以及底层鳍部120和沟道鳍部130的侧壁形成栅介质材料层;

[0108] 在所述栅介质材料层上形成栅极材料层;

[0109] 图形化所述栅极材料层和栅介质材料层,形成栅介质层151和栅极152。

[0110] 在具体实施例中,形成栅介质材料层的方法为原子层沉积、化学气相沉积或物理气相沉积。形成所述栅极材料层的方法可为原子层沉积、化学气相沉积或物理气相沉积。

[0111] 在其他实施例中,形成栅极结构后,还包括:

[0112] 对栅极结构一侧的部分底层鳍部120进行轻掺杂离子注入,形成具有第二类型掺杂的源极轻掺杂区,即源极轻掺杂区具有n型掺杂;

[0113] 对栅极结构另一侧的部分底层鳍部120进行轻掺杂离子注入,形成具有第二类型掺杂的漏极轻掺杂区,即漏极轻掺杂区也具有n型掺杂。

[0114] 在其他实施例中,还可以在所述栅极结构侧壁形成侧墙(图未示),以调节后续形成的源极、漏极与栅极结构之间的距离,进而调节后续形成的隧穿场效应晶体管的沟道长度。



[0115] 参考图6,形成源极161和漏极162。

[0116] 所述源极161横跨栅极结构一侧的沟道鳍部130,所述源极161具有第一类型掺杂,即具有p型掺杂。

[0117] 所述漏极162横跨栅极结构另一侧的沟道鳍部130,所述漏极162具有第二类型掺杂,即具有n型掺杂。

[0118] 由于源极161和漏极162的掺杂类型不同,所以源极161和漏极162的形成必须分开进行。可以先形成源极161,再形成漏极162;也可以先形成漏极162,再形成源极161。

[0119] 在本实施例中,先形成源极161,再形成漏极162。

[0120] 形成源极161和漏极162的方法包括:

[0121] 在所述隔离层140、栅极结构和沟道鳍部130的上表面,以及栅极结构、底层鳍部120和沟道鳍部130的侧壁形成第一图形化的掩膜层,所述第一图形化的掩膜层暴露栅极结构一侧的沟道鳍部130和底层鳍部120;

[0122] 在暴露的沟道鳍部130和底层鳍部120上外延形成源极161;

[0123] 去除所述第一图形化的掩膜层;

[0124] 在所述隔离层140、栅极结构、沟道鳍部130和源极161的上表面,以及栅极结构、底层鳍部120、沟道鳍部130和源极161的侧壁形成第二图形化的掩膜层,所述第二图形化的掩膜层暴露栅极结构另一侧的沟道鳍部130和底层鳍部120;

[0125] 在暴露的沟道鳍部130和底层鳍部120上外延形成漏极162;

[0126] 去除所述第二图形化的掩膜层。

[0127] 外延形成源极161的过程中,还对源极161进行原位掺杂,形成具有p型掺杂的源极161;外延形成漏极162的过程中,还对漏极162进行原位掺杂。形成具有n型掺杂的漏极162。原位掺杂有助于得到掺杂均匀的源极161和漏极162。

[0128] 本实施例中,所述源极161和漏极162的材料可为硅、锗硅或者氮化硅。

[0129] 由于受到源极161和漏极162材料晶格生长规律的影响,通过外延生长工艺形成的源极161和漏极162呈西格玛( $\Sigma$ ,或者称为sigma)形状。但需要说明的是,本发明并不限制源极161和漏极162的形状。

[0130] 图7为图6沿切线AA'所切平面的示意图。

[0131] 由于源极161具有p型掺杂,沟道鳍部130具有n型掺杂,所以源极161与沟道鳍部130的接触面形成PN结。

[0132] 所述PN结的面积 $S=2H \times L+W \times L$ ,其中H为沟道鳍部130的高度,L为源极161与沟道鳍部130侧壁的接触面的长度,W为沟道鳍部130的宽度。

[0133] 要使源极161与漏极162间形成电流,必须使源极161中的多数载流子进入沟道鳍部130,多数载流子再经沟道鳍部130进入漏极162。源极161中的多数载流子要进入沟道鳍部130,唯有隧穿所述PN结。所以所述PN结面积S越大,从源极161进入沟道鳍部130的多数载流子就越多,隧穿场效应晶体管的工作电流就越大。

[0134] 由 $S=2H \times L+W \times L$ 可知,可以通过增大L来使PN结面积S增大,且L的调控幅度较大,一般L为25nm-1000nm。

[0135] 虽然增大沟道鳍部130的宽度W,也可以增大PN结面积S,但是由于沟道鳍部130的宽度W过大会导致栅极结构难以对沟道鳍部130进行有效控制,所以沟道鳍部130的宽度W不

宜过大。

[0136] 在具体实施例中,源极161和栅极结构相互隔开,漏极162和栅极结构也相互隔开,以减小源极161和栅极结构之间、漏极162和栅极结构之间形成较大的寄生电容。

[0137] 参考图8,在所述源极161上形成第一金属插塞171,在所述栅极152上形成第二金属插塞172,以及在漏极162上形成第三金属插塞173。

[0138] 本实施例中,所述第一金属插塞171、第二金属插塞172和第三金属插塞173的材料可为钨或者铝,但本发明不限于此。

[0139] 在其他实施例中,在形成源极161、栅极结构和漏极162之后,还包括:在所述源极161、栅极结构和漏极162上形成金属硅化物,以降低成源极161、栅极结构和漏极162与后续形成金属插塞之间的接触电阻,降低所形成的隧穿场效应晶体管的功耗。

[0140] 以上以在源极161和漏极162形成之前,形成栅极结构对所述隧穿场效应晶体管的形成方法进行描述。

[0141] 在其他实施例中,也可以在源极161和漏极162形成之后,再形成栅极结构。具体的,可以先形成横跨所述鳍部中部的伪栅极结构;

[0142] 接着,形成源极和漏极;

[0143] 然后,去除所述伪栅结构,形成横跨所述沟道鳍部的栅极结构。

[0144] 由于栅极结构在源极和漏极形成之后形成,故能够避免源极和漏极的形成工艺对栅极结构造成影响,提高了隧穿场效应晶体管的性能。

[0145] 以上以第一类型掺杂为p型,所述第二类型掺杂为n型为例对隧穿场效应晶体管的形成方法进行描述。

[0146] 在其他实施例中,第一类型掺杂为n型,所述第二类型掺杂为p型。

[0147] 以上以在暴露的沟道鳍部130和底层鳍部120上外延形成源极161,在暴露的沟道鳍部130和底层鳍部120上外延形成漏极162为例对隧穿场效应晶体管的形成方法进行描述。

[0148] 在其他实施例中,形成源极161和漏极162的方法也可以为淀积法或本领域所熟知的其他方法。

[0149] 在其他实施例中,源极161和漏极162也可以只形成在所述沟道鳍部130上表面和侧壁。

[0150] 上述实施例中隧穿场效应晶体管的形成方法能够与现有鳍式场效应管的形成工艺兼容,工艺简单。

[0151] 第二实施例

[0152] 本实施例与第一实施例的区别在于:

[0153] 参考图9,形成源极161之后,在所述基底110、栅极结构、沟道鳍部130和源极161的上表面,以及栅极结构、底层鳍部120、沟道鳍部130和源极161的侧壁形成掩膜层,所述掩膜层具有窗口,所述窗口暴露栅极结构另一侧的沟道鳍部130和底层鳍部120;

[0154] 通过所述窗口对所述沟道鳍部130进行重掺杂离子注入,在所述沟道鳍部130内形成漏极162;

[0155] 去除所述第二图形化的掩膜层。

[0156] 在其他实施例中,也可以先形成漏极162,再形成源极161。

[0157] 以上以源极161横跨栅极结构一侧的沟道鳍部130为例对隧穿场效应晶体管的形成方法进行描述。

[0158] 在其他实施例中,也可以对所述沟道鳍部130进行重掺杂离子注入,在所述沟道鳍部130内形成源极161。所述漏极162也形成在所述沟道鳍部130内。

[0159] 在其他实施例中,源极161形成在所述沟道鳍部130内,所述漏极162横跨所述沟道鳍部130。

[0160] 本实施例底层鳍部、沟道鳍部、栅极结构、隔离层,以及后续形成第一金属插塞、第二金属插塞和第三金属插塞的材料及其形成方法可以参考第一实施例。

[0161] 第三实施例

[0162] 参考图8,本实施例提供一种隧穿场效应晶体管,包括:

[0163] 基底110;

[0164] 位于所述基底110上的底层鳍部120,所述底层鳍部120具有第一类型掺杂;

[0165] 位于所述底层鳍部120上表面的沟道鳍部130,所述沟道鳍部130具有第二类型掺杂,第二类型掺杂与第一类型掺杂不同,所述沟道鳍部130的电子迁移率大于所述底层鳍部120的电子迁移率;

[0166] 横跨所述沟道鳍部的栅极结构;

[0167] 源极161,所述源极161具有第一类型掺杂;

[0168] 漏极162,所述漏极162具有第二类型掺杂。

[0169] 所述源极161横跨所述沟道鳍部130。在其他实施例中,所述源极161也可以位于所述沟道鳍部130内。

[0170] 所述漏极162横跨所述沟道鳍部130。在其他实施例中,参考图9,所述漏极162也可以位于所述沟道鳍部130内。

[0171] 所述源极161和所述漏极162位于所述栅极结构的两侧。

[0172] 在具体实施例中,所述沟道鳍部130的材料为SiC或者SiGe,厚度为5-10nm。

[0173] 在具体实施例中,隧穿场效应晶体管还包括隔离层140,所述隔离层140位于所述底层鳍部120两侧的基底110上,所述隔离层140的厚度小于或等于所述底层鳍部120的高度。

[0174] 在其他实施例中,所述隧穿场效应晶体管还包括:

[0175] 源极轻掺杂区,所述源极轻掺杂区位于所述源极161下方的底层鳍部120内;

[0176] 漏极轻掺杂区,所述漏极轻掺杂区位于所述漏极162下方的底层鳍部120内;

[0177] 所述源极轻掺杂区和所述漏极轻掺杂区具有第二类型掺杂。

[0178] 在具体实施例中,所述第一类型掺杂为n型掺杂,所述第二类型掺杂为p型。在其他实施例中,所述第一类型掺杂为p型,所述第二类型掺杂为n型。

[0179] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

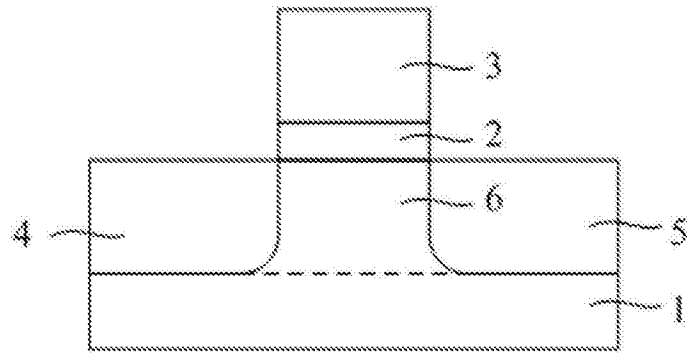


图1

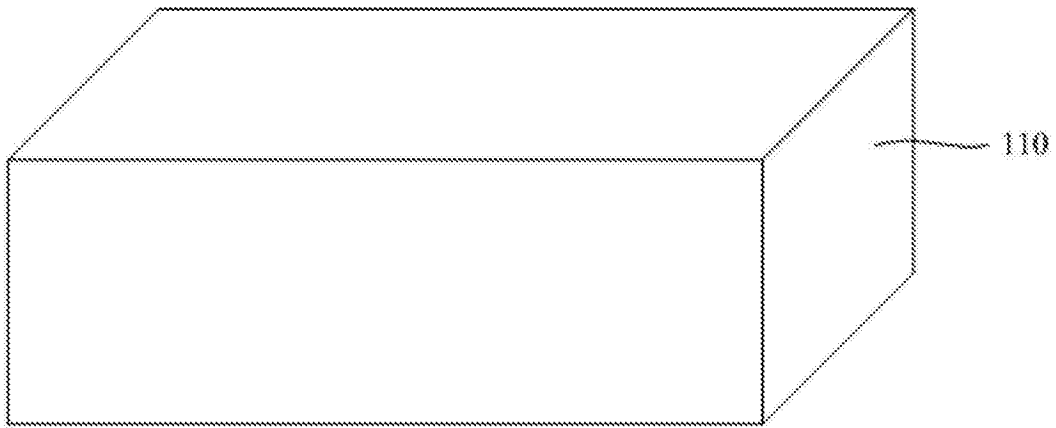


图2

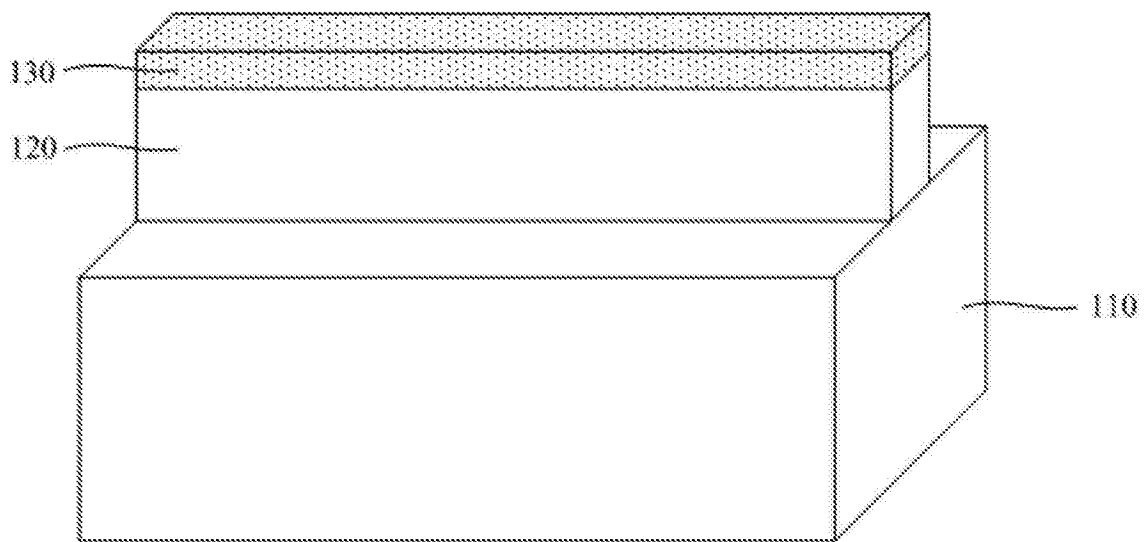


图3

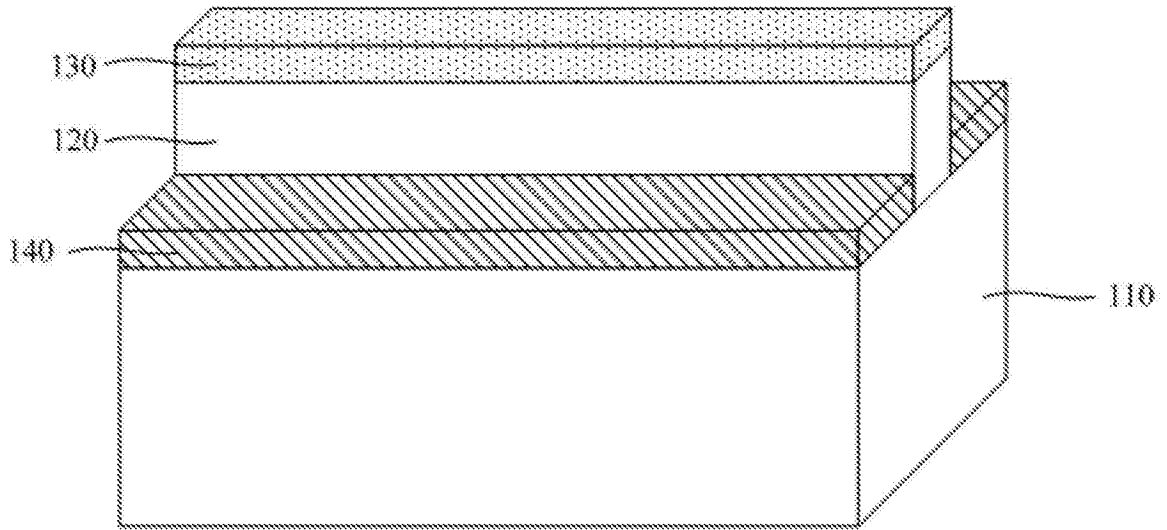


图4

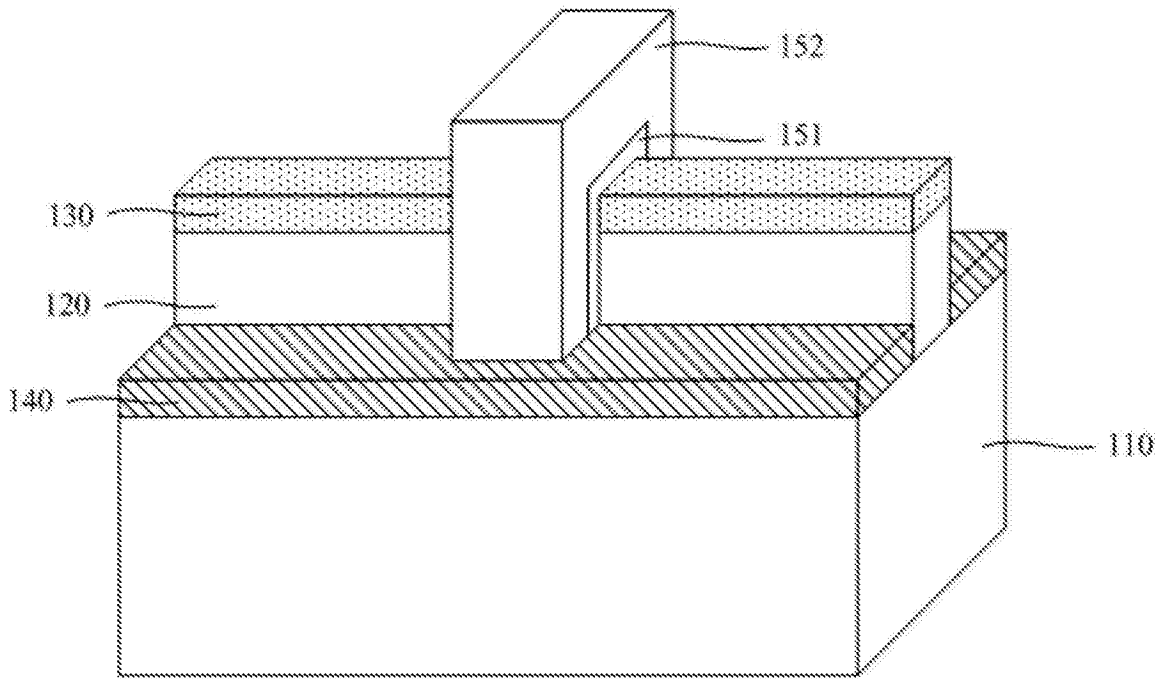


图5

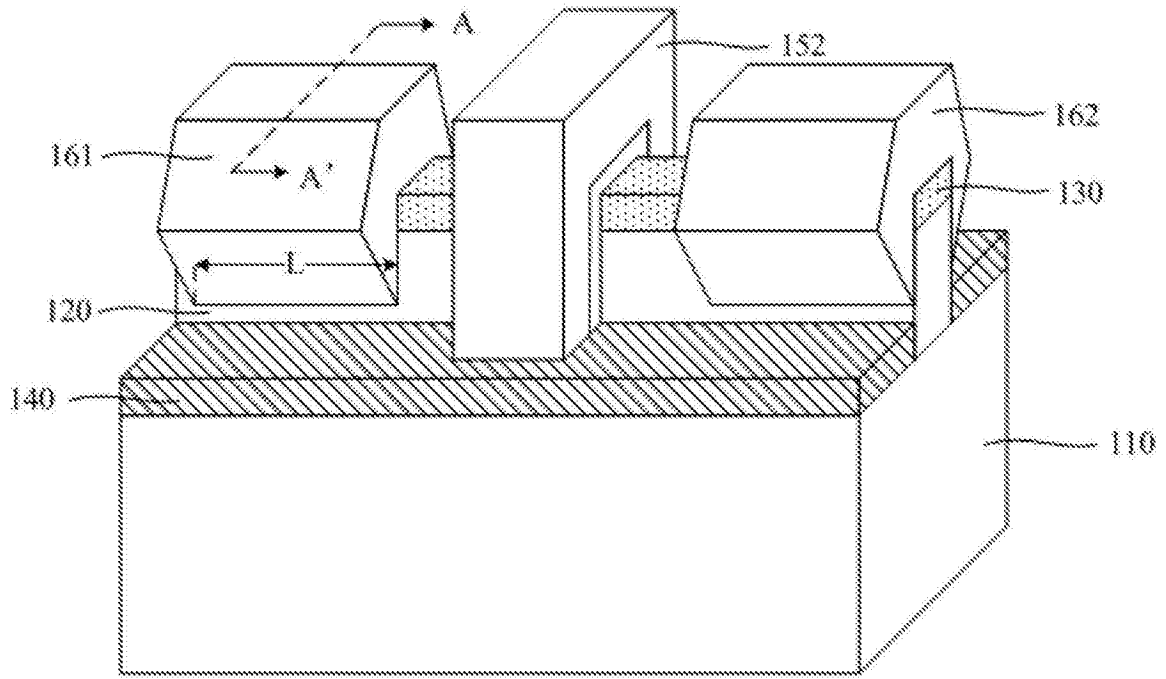


图6

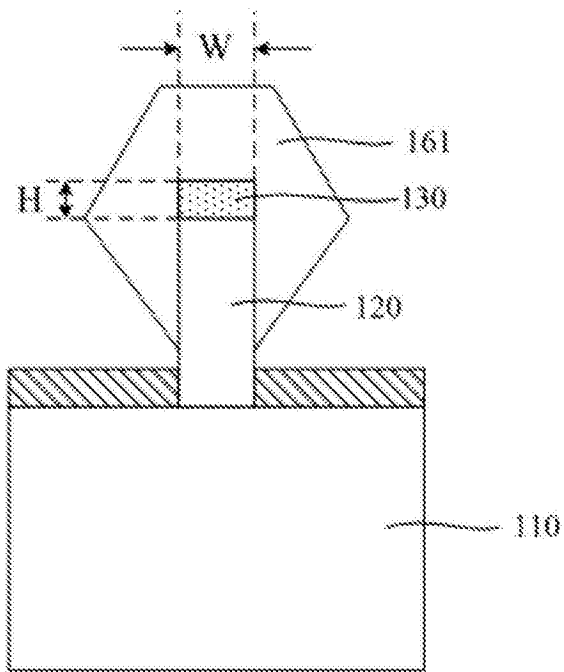


图7

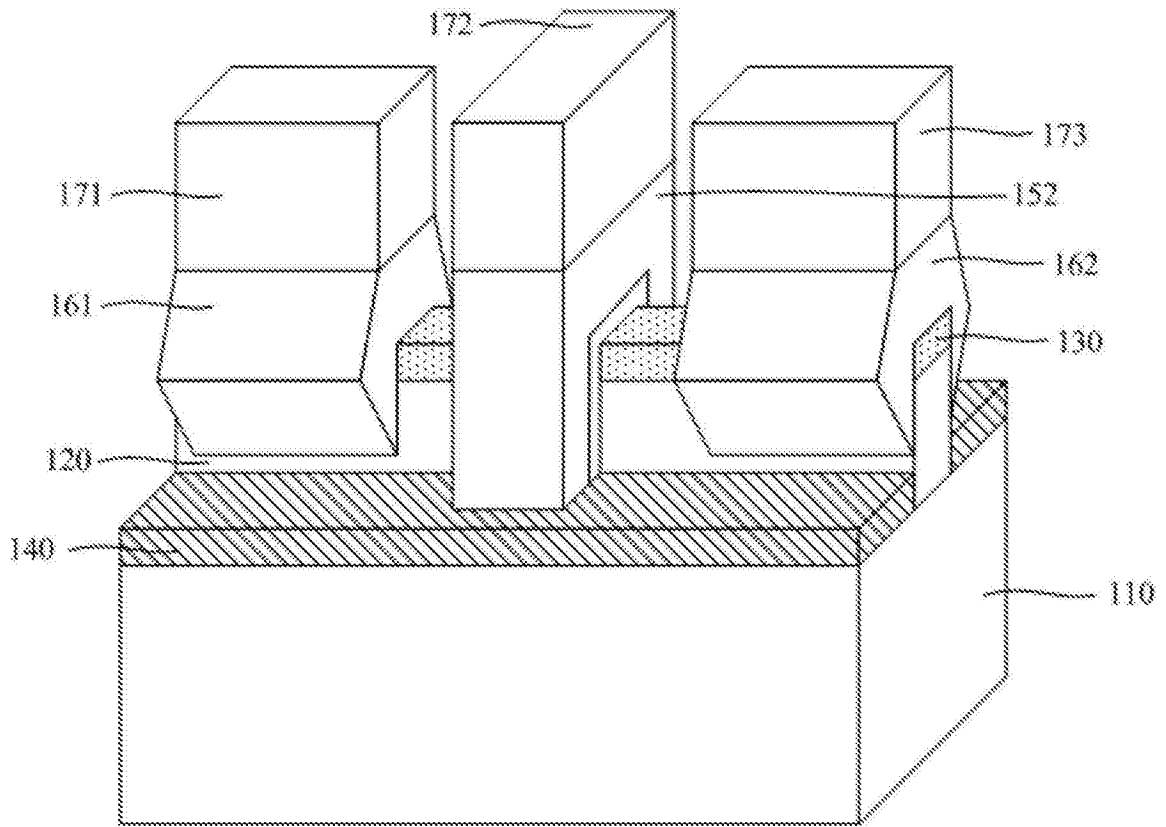


图8

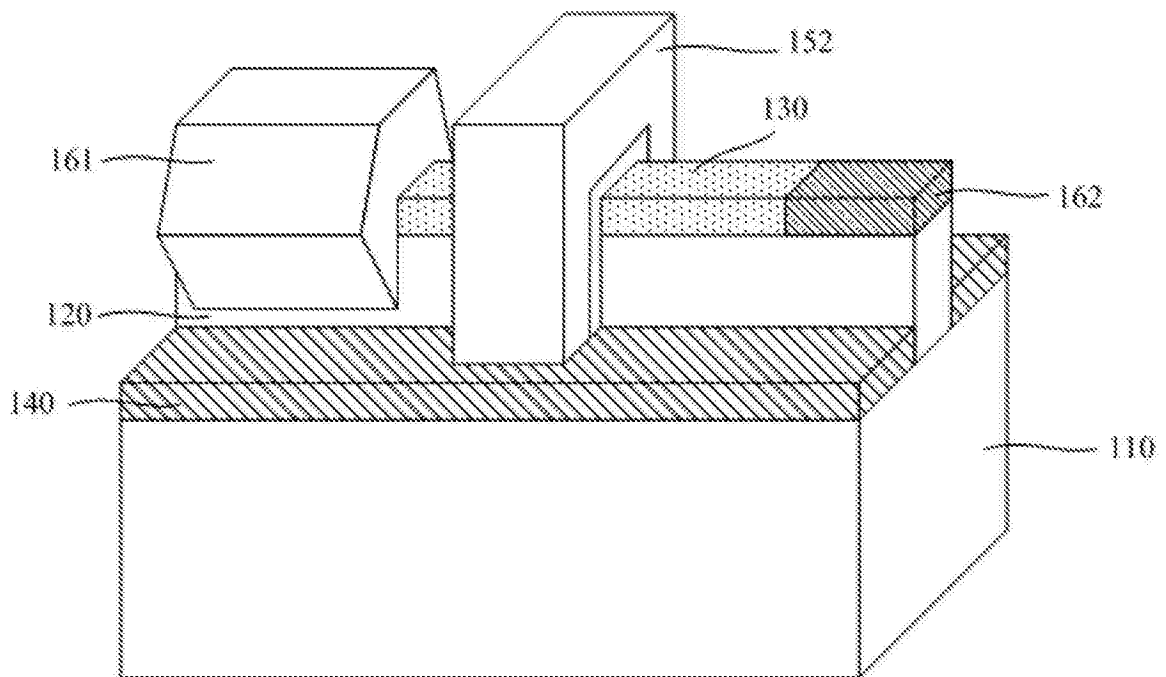


图9