

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-85256
(P2017-85256A)

(43) 公開日 平成29年5月18日(2017.5.18)

| (51) Int.Cl. | F I | テーマコード (参考) |
|-----------------------------|--------------|-------------|
| H03K 19/00 (2006.01) | H03K 19/00 A | 5J055 |
| H03K 17/22 (2006.01) | H03K 17/22 A | 5J056 |

審査請求 未請求 請求項の数 10 O L (全 22 頁)

(21) 出願番号 特願2015-209419 (P2015-209419)
(22) 出願日 平成27年10月23日 (2015.10.23)

(71) 出願人 00005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(74) 代理人 100105142
弁理士 下田 憲次
(72) 発明者 神田 浩一
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
Fターム(参考) 5J055 AX14 AX57 BX41 DX22 EY01
EY10 EY21 EZ01 EZ11 EZ25
EZ29 EZ32 EZ51 GX01 GX04
5J056 AA00 BB17 CC00 CC03 CC07
CC09 CC11 CC14 DD13 DD51
GG00 KK01

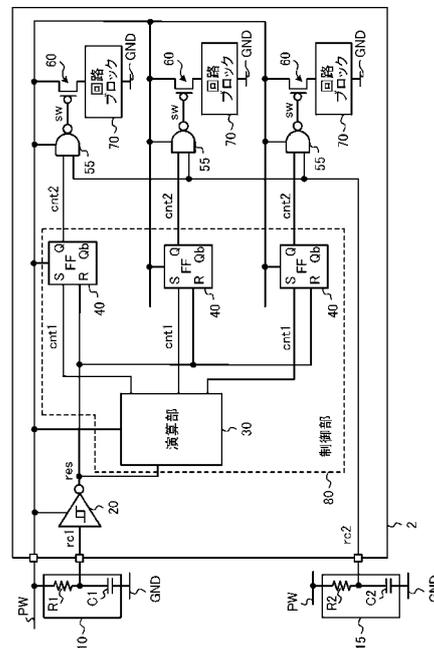
(54) 【発明の名称】 電子回路、電子回路の制御方法及びデバイス

(57) 【要約】 (修正有)

【課題】電力投入時の不要な電力を抑制することができる、パワーオンリセットを用いた電子回路を提供する。

【解決手段】電源線PWにスイッチ素子60を介して接続された内部回路70と、電源線から電力供給を受け、スイッチ素子を制御するための制御信号swを生成する制御回路80と、を有する電子回路2に於いて、電源線への電力供給が開始されてから第1の期間、第1リセット信号rc1を生成し、第1リセット信号を用いて、制御信号を所定値に固定し、電源線への電力供給が開始されてから第1の期間よりも長い第2の期間、第2リセット信号rc2を出力し、第2リセット信号に基づき、制御信号によるスイッチ素子のオン状態及びオフ状態の制御を禁止する。

【選択図】 図8



【特許請求の範囲】**【請求項 1】**

電力供給源に接続された電源線と、
前記電源線に、スイッチ素子を介して接続された内部回路と、
前記電源線から電力供給を受け、前記電源線への電力供給が開始されてから第 1 の期間に出力される第 1 リセット信号に基づき、前記スイッチ素子を制御するための制御信号を生成する制御回路と、
前記電源線への前記電力供給が開始されてから前記第 1 の期間よりも長い第 2 の期間に出力される第 2 リセット信号と、前記制御信号とに基づき、前記スイッチ素子のオン状態及びオフ状態を制御するゲート素子と
を有する電子回路。

10

【請求項 2】

前記第 1 リセット信号は、前記電源線に接続された第 1 時定数回路により生成され、
前記第 2 リセット信号は、前記電源線に接続された第 2 時定数回路により生成され、
前記第 2 時定数回路の第 2 時定数は、前記第 1 時定数回路の第 1 時定数よりも大きいことを特徴とする請求項 1 に記載の電子回路。

【請求項 3】

前記第 1 リセット信号は、前記電源線に接続された第 1 時定数回路により生成され、
前記第 2 リセット信号は、前記第 1 リセット信号を伝送する信号線に接続された第 2 時定数回路により生成されることを特徴とする請求項 1 に記載の電子回路。

20

【請求項 4】

前記制御回路は、
前記電源線から前記電力供給を受け、前記第 1 リセット信号に基づき内部制御信号を生成する演算回路と、
前記電源線から前記電力供給を受け、前記第 1 リセット信号と、前記内部制御信号とに基づき、前記制御信号を生成するラッチ回路と、
を有することを特徴とする請求項 1 乃至 3 何れか一項に記載の電子回路。

【請求項 5】

前記第 1 リセット信号は、前記電源線に前記電力供給が開始されてから、前記第 1 時定数によって定まる前記第 1 の期間、前記ラッチ回路から出力される前記制御信号を、前記スイッチ素子をオフ状態にするための論理値に固定することを特徴とする請求項 4 に記載の電子回路。

30

【請求項 6】

前記ゲート素子は N A N D 回路であり、
前記 N A N D 回路は、前記第 2 リセット信号を受信する、前記電源線に接続された第 1 P 型 M O S トランジスタと、前記第 2 リセット信号を受信する、接地線に接続された第 1 N 型 M O S トランジスタと、を含み、
前記第 1 P 型 M O S トランジスタの第 1 閾値の絶対値は、前記第 1 N 型 M O S トランジスタの第 2 閾値の絶対値よりも小さく、
前記スイッチ素子は、前記電源線と前記内部回路との間に設けられた第 2 P 型 M O S トランジスタである
ことを特徴とする請求項 1 乃至 5 何れか一項に記載の電子回路。

40

【請求項 7】

前記第 1 時定数回路は、第 1 抵抗素子と第 1 容量素子とを含み、
前記第 2 時定数回路は、第 2 抵抗素子と第 2 容量素子とを含む
ことを特徴とする請求項 2 乃至 6 何れか一項に記載の電子回路。

【請求項 8】

前記第 2 時定数回路に接続され、前記第 2 容量素子に蓄えられた電荷を放電する放電素子を更に有すること
を特徴とする請求項 7 に記載の電子回路。

50

【請求項 9】

電力供給源に接続された電源線と、前記電源線にスイッチ素子を介して接続された内部回路と、前記電源線から電力供給を受け、前記スイッチ素子を制御するための制御信号を生成する制御回路と、を有する電子回路の制御方法であって、

前記電源線への前記電力供給が開始されてから第 1 の期間、第 1 リセット信号を生成し

、前記第 1 リセット信号を用いて、前記制御信号を所定値に固定し、

前記電源線への前記電力供給が開始されてから前記第 1 の期間よりも長い第 2 の期間、第 2 リセット信号を出力し、

前記第 2 リセット信号に基づき、前記制御信号による前記スイッチ素子のオン状態及びオフ状態の制御を禁止する

10

ことを有する電子回路の制御方法。

【請求項 10】

電力供給源と、

前記電力供給源に電源線を介して接続された電子回路と

を有し、

前記電子回路は、

前記電源線に、スイッチ素子を介して接続された内部回路と、

前記電源線から電力供給を受け、前記電源線への電力供給が開始されてから第 1 の期間に出力される第 1 リセット信号に基づき、前記スイッチ素子を制御するための制御信号を生成する制御回路と、

20

前記電源線への前記電力供給が開始されてから前記第 1 の期間よりも長い第 2 の期間に出力される第 2 リセット信号と、前記制御信号とに基づき、前記スイッチ素子のオン状態及びオフ状態を制御するゲート素子と

を有することを特徴とするデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

30

本開示は、電子回路、電子回路の制御方法及びデバイスに関する。

【背景技術】

【0002】

バッテリーから供給される電力を用いて駆動するデバイス、例えば人体の一部に装着されるセンサ等のウェアラブルデバイスにおいては、バッテリーによるデバイスの可動時間を長くすることが望まれる。そのためデバイスに含まれる、例えば半導体チップとして形成される Central Processing Unit (CPU) やメモリのような電子回路にて消費される電力を削減することが要求されている。また、ハーベスタ電源等、自然エネルギーを電力に変換する発電素子を電力供給源とするデバイスも開発されている。現状においては、ハーベスタ電源の電力供給能力は十分とは言えない。そのため、電子回路において消費される電力が、ハーベスタ電源が供給することが可能な電力を上回ると、電子回路に電力を供給する電源線の電位が低下し、電子回路が誤動作する虞もある。そのためバッテリーを電力供給源とする場合と同様に、電子回路にて消費される電力を削減する技術が要望される。

40

【0003】

電子回路を構成する回路素子の一例として、Complementary Metal Oxide Semiconductor (CMOS) インバータが挙げられる。図 1 の (A) は、CMOS インバータの回路構成を示す図であり、図 1 の (B) は、CMOS インバータを用いた Static Random Access Memory (SRAM) のメモリセルの回路構成例を示す図である。図 1 の (A) に示されるように CMOS

50

インバータは、P型MOSトランジスタPM1とN型MOSトランジスタNM1が電源線PWと接地線GNDとの間に直列に配置される。CMOSインバータへの入力電位が閾値電位以上の高電位（以下、Hレベル）であれば、P型MOSトランジスタPM1がオフ状態となり、N型MOSトランジスタNM1がオン状態となるため、CMOSインバータの出力電位は低電位（以下、Lレベル）となる。逆にCMOSインバータへの入力電位が閾値電位に満たないLレベルであれば、P型MOSトランジスタPM1がオン状態となり、N型MOSトランジスタNM1がオフ状態となるため、CMOSインバータの出力電位はHレベルとなる。CMOSインバータにおいては、入力電位がHレベルであってもLレベルであっても、P型MOSトランジスタPM1とN型MOSトランジスタNM1の何れか一方がオフ状態となるため、理想的には電源線PWと接地線GNDとの間に貫通電流は流れない。

10

【0004】

しかし、電子回路への電力供給が開始された直後においては、電源線PWの電位が未だ十分に上昇せず、電源線PWの電位及びCMOSインバータの入力電位が、HレベルとLレベルの中間の電位となる状態が存在し得る。この場合は、P型MOSトランジスタPM1とN型MOSトランジスタNM1の何れも完全なオフ状態とはならない可能性がある。この状態は、電源線PWと接地線GNDとの間に電流のパスが存在する状態であり、電源線PWと接地線GNDとの間に貫通電流が発生する。

【0005】

また図1の(B)に示されるように、SRAMの一つのセルは、2つのCMOSインバータを組み合わせてデータを保持する構成を有する。電子回路への電力供給の開始時においては、上述のようにCMOSインバータに貫通電流が流れる場合があり、CMOSインバータを主要な構成要素とするSRAMにおいても不要な貫通電流が発生する虞がある。多数のセルを含むSRAMにおいて、個々のセルに貫通電流が発生すると、SRAM全体として大きな貫通電流が流れることになる。バッテリーやハーベスタ電源のような発電素子を電力供給源として駆動するデバイスにおいて、電力供給の開始時に生じ得る貫通電流は、抑制されることが望まれる。

20

【0006】

また、電子回路への電力供給の開始時における他の問題点として、フリップフロップ回路等の回路素子の出力信号の論理値（HレベルであるかLレベルであるか）が定まらず、電子回路が不要な動作を行ってしまうことも挙げられる。図2は電子回路に含まれる論理回路の一例を示す図である。図2には、インバータや、NAND回路やNOR回路等の組み合わせ回路や、フリップフロップ回路等の順序回路を含む論理回路の一例が示されている。電子回路への電力供給の開始時には、各回路素子の出力の論理値が所定の値に定まっておらず、またその論理値が後段の回路素子へ順に伝わることにより、後段の回路素子が不要な動作を行い、電子回路全体として不要な電力が消費される場合もある。

30

【0007】

電子回路への電力供給の開始時に生じ得るこれらの問題を解決する方法として、パワーオンリセットと呼ばれる技術がある。図3はパワーオンリセットを説明するための図である。図3の(A)は、パワーオンリセットを用いて電力供給の開始時にリセット動作を行う電子回路を示す図である。図3の(A)に示されるように、電源100と電子回路200とが電源線PWで接続され、電源線PWに抵抗素子R0と容量素子C0とを有する時定数回路110が設けられる。また時定数回路110から出力されるリセット信号rcが電子回路200に供給される。

40

【0008】

図3の(B)は、電子回路200への電力供給の開始時における電源線PWの電位及びリセット信号rcの電位の変化の様子を示す図である。ここでは、電子回路200が通常動作を行う際の電源線PWの電位が1.8Vであるものとする。まず電源線PWに電源100から電力供給が開始され、電源線PWの電位が0Vから1.8Vまで上昇する。その後、リセット信号rcの電位は、時定数回路110の時定数に基づいて徐々に上昇し、時

50

間の経過とともに1.8Vに近づく。図中に示された V_{th} はリセット信号 r_c に対する閾値電圧を意味する。リセット信号 r_c の電位が閾値電圧 V_{th} に達するまでは、リセット信号 r_c は電子回路200においてLレベルの信号として認識される。そしてLレベルのリセット信号 r_c に基づいて、電子回路200の内部回路がリセット状態に維持される。リセット状態においては、例えば電子回路200に含まれるCMOSインバータやその他の回路素子への電力供給が遮断され、又は電子回路200に含まれるフリップフロップ回路等の出力信号が所定の論理値に固定される。これにより、リセット状態においては電子回路200でのリーク電力が抑制され、又は電子回路200に含まれる論理回路の不要な動作が抑制される。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2000-269788号公報

【特許文献2】特開2012-230726号公報

【特許文献3】特開平7-78479号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

近年、電子回路への消費電力抑制の要求は更に高まってきている。本開示は、電力供給の開始時における消費電力を抑制する方法を提供することを目的とするものである。

【課題を解決するための手段】

【0011】

開示の電子回路は、電力供給源に接続された電源線と、前記電源線に、スイッチ素子を介して接続された内部回路と、前記電源線から電力供給を受け、前記電源線への電力供給が開始されてから第1の期間に出力される第1リセット信号に基づき、前記スイッチ素子を制御するための制御信号を生成する制御回路と、前記電源線への前記電力供給が開始されてから前記第1の期間よりも長い第2の期間に出力される第2リセット信号と、前記制御信号とに基づき、前記スイッチ素子のオン状態及びオフ状態を制御するゲート素子とを有することを特徴とする。

【発明の効果】

【0012】

本開示によれば、電力供給の開始時における電子回路での消費電力を抑制することができる。

【図面の簡単な説明】

【0013】

【図1】CMOSインバータの回路構成及びSRAMセルの回路構成を示す図である。

【図2】電子回路に含まれる論理回路の構成例を示す図である。

【図3】パワーオンリセットを説明する図である。

【図4】第1実施例における電子回路を含むデバイスの構成例を示す図である。

【図5】第1実施例における電子回路の回路構成例を示す図である。

【図6】第1実施例におけるフリップフロップ回路の構成例と真理値表を示す図である。

【図7】図5に示された電子回路のタイミングチャートである。

【図8】第1実施例における電子回路の構成例を示す図である。

【図9】図8に示された電子回路のタイミングチャートである。

【図10】第1実施例におけるゲート素子の回路構成例を示す図である。

【図11】第1実施例において、複数の電子回路に対して第1時定数回路及び第2時定数回路を共通で設けた場合の接続例を示す図である。

【図12】第1実施例における電子回路の変形例を示す図である。

【図13】第1実施例における第2時定数回路の抵抗素子の構成例を示す図である。

【図14】第1実施例において、回路ブロックとしてSRAMセルアレイが用いられた場

10

20

30

40

50

合の回路構成例を示す図である。

【図15】第2実施例における電子回路の回路構成例を示す図である。

【図16】第2実施例における電子回路のタイミングチャートを示す図である。

【図17】第2実施例における放電素子制御信号の生成方法を示す図である。

【図18】第2実施例における電子回路の変形例を示す図である。

【発明を実施するための形態】

【0014】

<第1実施例>

図4は、第1実施例における電子回路を含むデバイスの構成例を示す図である。図4の (A)においてデバイス1は、電子回路2、バッテリー3、電源制御回路5及び電源線PWを有する。バッテリー3は、デバイス1の電力供給源である。電源制御回路5は、電源線PWの電位又は電源線PWへ供給される電流を制御する。電子回路2は、電源線PWに接続され、供給される電力に基づいて所定の動作を実行する。また図4の (B)においてデバイス1は、電子回路2、発電素子4、電源制御回路5、スイッチ6、蓄電素子7及び電源線PWを有する。発電素子4はデバイス1の電力供給源である。蓄電素子7は発電素子4によって生成された電荷を蓄積する。スイッチ6は電子回路2への電力の供給又は停止を制御する。

10

【0015】

図4の (A)及び (B)において電子回路2は一つのみ図示されているが、複数の電子回路2がデバイス1に含まれてもよい。電子回路2の例として、CPUやMicro Processing Unit (MPU)等のプロセッサ、Dynamic Random Access Memory (DRAM)やStatic Random Access Memory (SRAM)等の揮発性メモリ、フラッシュメモリやFerroelectric Random Access Memory (FeRAM)等の不揮発性メモリ、加速度センサや温度センサ等のセンサ、Radio Frequency (RF)デバイス等の無線デバイスが挙げられる。バッテリー3の例としては、リチウムイオン電池やニッケルカドミウム電池が挙げられ、発電素子4の例としては、光や熱のエネルギーを利用したハーベスタ電源が挙げられる。電源制御回路5の例としては、スイッチングレギュレータやリアレギュレータが挙げられる。蓄電素子7の例としては、発電素子4と接地線GNDとの間に設けられたコンデンサが挙げられる。尚、図4の (A)及び (B)では、バッテリー3や発電素子4を電力供給源とするデバイスが示されたが、本実施例はこれ以外の電源、例えば商用電源を電力供給源とするデバイスにも適用可能である。

20

30

【0016】

図5は、電子回路2の回路構成の一例を示す図である。電子回路2には、シュミットトリガ回路20、演算部30、フリップフロップ回路40、インバータ50、スイッチ素子60及び回路ブロック70が含まれる。演算部30とフリップフロップ回路40を含めた回路部分を制御部80と呼ぶこととする。電子回路2に含まれるこれらの要素回路は電源線PWに接続され、電源線PWにはバッテリー3又は発電素子4から電力が供給される。電源線PWには抵抗素子R1と容量素子C1とを含む第1時定数回路10が接続される。

40

【0017】

電子回路2は3つの回路ブロック70を含み、各回路ブロック70への電力の供給及び停止を個別に制御し得るよう、各回路ブロック70に個別のスイッチ素子60が設けられている。尚、本実施例において回路ブロック70の数は、3つに限定されるものではない。回路ブロック70は例えば、複数のSRAMセルを含むメモリセルアレイである。

【0018】

ここで図5に示される複数の信号の名称について説明する。第1時定数回路10からシュミットトリガ回路20に送信される信号を「第1リセット信号rc1」と、シュミットトリガ回路20から出力される信号を「内部リセット信号res」と、演算部30から出力される信号を「内部制御信号cnt1」と、フリップフロップ回路40から出力される信号を「制御信号cnt2」と、制御信号cnt2を受信するインバータ50から出力さ

50

れる信号を「スイッチ制御信号 $s w$ 」とする。

【0019】

次に、各要素回路の機能について説明する。図5には3つの回路ブロック70と、3つの回路ブロック70に対する電力供給を個別に制御し得る構成が示されているが、これらは互いに等価な回路構成及び制御方法を有する。そのため、ここでは3つの回路ブロック70のうちの一つの回路ブロック70と、その回路ブロック70への電力供給の制御方法について説明する。

【0020】

第1時定数回路10は、電源線PWに接続され、電源線PWへの電力供給が開始された場合に、電源線PWの電位変化に一定の遅延を加えた第1リセット信号 $r c 1$ を出力する。図5においては、第1時定数回路10は抵抗素子 $R 1$ と容量素子 $C 1$ を含むRC時定数回路である。第1時定数回路10の時定数の大きさは、抵抗素子 $R 1$ の抵抗と容量素子 $C 1$ の静電容量の積で表される。第1時定数回路10は、電子回路2に対して外付けで設けられてもよく、電子回路2の中に集積回路の一部として設けられてもよい。

10

【0021】

シュミットトリガ回路20は、電源線PWに接続され、また第1リセット信号 $r c 1$ を受信して内部リセット信号 $r e s$ を生成する。電子回路2への電力供給の開始時においてシュミットトリガ回路20は、第1リセット信号 $r c 1$ の電位が接地線GNDのレベルから上昇して所定の閾値レベルに達するまでは、内部リセット信号 $r e s$ を電源線PWの電位であるHレベルに維持する。内部リセット信号 $r e s$ は、演算部30及びフリップフロップ回路40に供給される。内部リセット信号 $r e s$ がHレベルである期間は、演算部30及びフリップフロップ回路40が初期状態に維持される。第1リセット信号 $r c 1$ の電位が閾値レベルに達すると、シュミットトリガ回路20は、内部リセット信号 $r e s$ をLレベルに切り替える。内部リセット信号 $r e s$ がLレベルに切り替えられると、演算部30及びフリップフロップ回路40の初期状態が解除される。

20

【0022】

演算部30は、スイッチ素子60を制御することによって回路ブロック70への電力の供給及び停止を制御する回路ブロックである。演算部30は、電源線PWに接続され、またシュミットトリガ回路20から内部リセット信号 $r e s$ を受信する。演算部30は、電子回路2への電力供給の開始時において内部リセット信号 $r e s$ によってリセットされ、演算部30の出力信号である内部制御信号 $c n t 1$ を所定の論理値に維持する。また演算部30は、リセットが解除された後の通常動作時においては、スイッチ素子60のオン状態及びオフ状態を制御するために内部制御信号 $c n t 1$ の電位レベルの切り替えを行う。演算部30は、ハードワイヤード論理回路であってもよく、コンピュータプログラムを実行することによって所定の機能を実現するプロセッシングユニットであってもよい。内部制御信号 $c n t 1$ はフリップフロップ回路40へ入力される。

30

【0023】

フリップフロップ回路40は内部制御信号 $c n t 1$ に基づき制御信号 $c n t 2$ を生成する回路ブロックである。フリップフロップ回路40は電源線PWに接続され、内部制御信号 $c n t 1$ 及び内部リセット信号 $r e s$ を受信する。フリップフロップ回路40は、入力端子であるセット端子S及びリセット端子Rと、出力端子Q及び出力端子Qbを有する。演算部30から送信される内部制御信号 $c n t 1$ とシュミットトリガ回路20から送信される内部リセット信号 $r e s$ は、それぞれセット端子S及びリセット端子Rに入力される。電力供給の開始時、つまり内部リセット信号 $r e s$ がHレベルである期間は、内部制御信号 $c n t 1$ の論理値に関わらず、フリップフロップ回路40の出力端子Qから出力される制御信号 $c n t 2$ はLレベルに維持される。制御信号 $c n t 2$ はインバータ50に入力される。フリップフロップ回路40の詳細は図6を用いて後述される。

40

【0024】

インバータ50は、電源線PWに接続され、制御信号 $c n t 2$ を受信して制御信号 $c n t 2$ の反転信号であるスイッチ制御信号 $s w$ を出力する。スイッチ制御信号 $s w$ はスイッ

50

チ素子 60 に入力される。

【0025】

スイッチ素子 60 は、回路ブロック 70 へ電力を供給し、又は回路ブロック 70 への電力供給を停止する。スイッチ素子 60 は例えば P 型 MOS トランジスタであり、P 型 MOS トランジスタのゲート電極にスイッチ制御信号 *sw* が入力される。スイッチ制御信号 *sw* が H レベルである場合は、スイッチ素子 60 はオフ状態となり、回路ブロック 70 への電力供給は停止される。またスイッチ制御信号 *sw* が L レベルである場合は、スイッチ素子 60 はオン状態となり、回路ブロック 70 へ電力が供給される。電子回路 2 への電力供給の開始時（リセット状態）においては、スイッチ制御信号 *sw* は H レベルであり、スイッチ素子 60 はオフ状態となるため、回路ブロック 70 へ電力は供給されない。一方、リセット状態が解除されると、フリップフロップ回路 40 から出力される制御信号 *cnt2* は、演算部 30 から出力される内部制御信号 *cnt1* によって H レベル及び L レベルが切り替えられ、スイッチ素子 60 のオン状態及びオフ状態が制御される。

10

【0026】

図 6 の (A) は、第 1 実施例におけるフリップフロップ回路 40 の回路構成例を示す図であり、図 6 の (B) は、フリップフロップ回路 40 の入力信号の論理値と出力信号の論理値の対応関係を示す真理値表である。フリップフロップ回路 40 は AND 回路 41、OR 回路 42、第 1 NAND 回路 43、第 2 NAND 回路 44 を含む。フリップフロップ回路 40 は入力端子としてセット端子 *S* とリセット端子 *R* を有し、出力端子として出力端子 *Q* と出力端子 *Qb* を有する。本実施例においては出力端子 *Qb* から出力される信号は利用

20

【0027】

まず電力供給の開始時に、リセット端子 *R* に H レベルである内部リセット信号 *res* が入力される場合について説明する。リセット端子 *R* への入力信号が H レベルの信号である場合、OR 回路 42 からは H レベルの信号が出力される。また AND 回路 41 からは L レベルの信号が出力される。そしてセット端子 *S* への入力信号の論理値に関わらず、第 1 NAND 回路 43 から、出力端子 *Q* の出力である制御信号 *cnt2* として L レベルの信号が出力される。L レベルの制御信号 *cnt2* は、図 5 に示されるようにインバータ 50 で反転され、H レベルのスイッチ制御信号 *sw* がスイッチ素子 60 のゲート電極に入力され、スイッチ素子 60 はオフ状態となる。

30

【0028】

次に、リセット端子 *R* への入力信号である内部リセット信号 *res* が L レベルとなってリセット状態が解除された状態について説明する。内部リセット信号 *res* が L レベルになると、AND 回路 41 は、セット端子 *S* に入力される内部制御信号 *cnt1* の論理値と同一の論理値の信号を出力し、OR 回路 42 は、内部制御信号 *cnt1* の論理値と逆の論理値の信号を出力する。例えばセット端子 *S* に入力される内部制御信号 *cnt1* が L レベルであれば、出力端子 *Q* は L レベルの制御信号 *cnt2* を出力する。この場合は、図 5 に示されるインバータ 50 が H レベルのスイッチ制御信号 *sw* を出力するため、スイッチ素子 60 がオフ状態となり、回路ブロック 70 には電力が供給されない。一方、リセット状態が解除された状態で、セット端子 *S* に入力される内部制御信号 *cnt1* が H レベルとな

40

【0029】

このように、第 1 時定数回路 10 を用いて第 1 リセット信号 *rc1* を生成することにより、電力供給の開始時に所定期間のリセット期間が設けられ、回路ブロック 70 への電力供給が遮断される。その結果、電源線 *PW* の電位が立ち上がる際の、回路ブロック 70 において発生するリーク電流が抑制される。リセット期間の経過後は、演算部 30 が、回路ブロック 70 が電力を必要とする期間に選択的にスイッチ素子 60 をオン状態とするよう内部制御信号 *cnt1* を出力することにより、回路ブロック 70 に電力が供給される。

50

【0030】

ここで図5に示された回路に関し、本願の発明者が見出した課題について説明する。図5に示された回路においては、電力供給の開始時に電源線PWの電位がLレベルからHレベルへ上昇して安定するまでの期間は、シュミットトリガ回路20がHレベルの内部リセット信号resを出力する。このHレベルの内部リセット信号resによってスイッチ素子60がオフ状態になるようフリップフロップ回路40の出力が維持される。しかし電源線PWの電位は、電力供給の開始時において即時にLレベルからHレベルに達する訳ではない。つまり電源線PWの電位はLレベルから徐々に増加し、所定時間が経過した後に通常動作時のHレベルに達して安定する。例えば通常動作時の電源線PWの電位を1.8Vとした場合、シュミットトリガ回路20から出力される内部リセット信号resは、電力供給の最初のあるタイミングでは1.8Vの信号ではなく、そのタイミングにおける電源線PWの電位であり、例えば1.0Vかもしれない。このような場合、シュミットトリガ回路20から出力される内部リセット信号resが、演算部30やフリップフロップ回路40を含む制御部80においてHレベルの信号であると判定されないかもしれない。また内部リセット信号res自体がHレベルの信号であると判定されたとしても、未だ1.8Vに到達していない電源線PWの電位を受けて動作するフリップフロップ回路40において、出力端子QからLレベルの制御信号cnt2が出力されないかもしれない。すなわち、電源線PWの電位が1.8Vに到達して安定するまでの期間は、フリップフロップ回路40の動作の確実性が、通常動作時の動作の確実性よりも低いと考えられる。

10

【0031】

20

図7は、電力供給の開始後の電源線PWの電位、第1時定数回路10から出力される第1リセット信号rc1の電位、シュミットトリガ回路20から出力される内部リセット信号resの電位、演算部30から出力される内部制御信号cnt1の電位、フリップフロップ回路40から出力される制御信号cnt2の電位、スイッチ素子60を制御するスイッチ制御信号swの電位、及び回路ブロック70に流れる電流のそれぞれのタイミングチャートである。まず、時刻T1から時刻T2までの期間について説明する。

【0032】

時刻T1において電源線PWへの電力供給が開始され、電源線PWの電位が上昇する。電源線PWに接続された第1時定数回路10から出力される第1リセット信号rc1の電位は、電源線PWの電位上昇よりも緩やかに上昇する。第1リセット信号rc1の電位がシュミットトリガ回路20の閾値電圧Vth1に達する時刻T2までは、シュミットトリガ回路20はHレベルの内部リセット信号resを出力する。但し上述のように、シュミットトリガ回路20が出力する内部リセット信号resの電位レベルは、電源線PWの電位変化に依存し、確実にHレベルの内部リセット信号resを出力できるとは限らない。また、演算部30も電力供給を受けて演算処理を開始するが、動作初期においては回路内部の複数のノードの電位が不確定であることなどに起因して、演算結果をHレベル又はLレベルのどちらかに確実に制御することはできないかもしれない。そのため、演算部30から意図しない電位レベルの内部制御信号cnt1が出力される可能性がある。内部制御信号cnt1の不確実性、及び内部リセット信号resの不確実性に起因して、フリップフロップ回路40も、意図しない電位レベルの制御信号cnt2を出力する可能性がある。その結果、制御信号cnt2の反転信号を出力するインバータ50も、意図しない電位レベルのスイッチ制御信号swを出力する虞がある。時刻T1から時刻T2までの期間においてスイッチ素子50がオン状態となると、図1にて説明されたように、回路ブロック70に含まれるCMOSインバータにおいて電源線PWから接地線GND間に貫通電流が流れる。

30

40

【0033】

次に、時刻T2から時刻T3の期間について説明する。時刻T2において、第1時定数回路10から出力される第1リセット信号rc1の電位レベルがシュミットトリガ回路20の閾値Vth1に達すると、シュミットトリガ回路20は出力レベルをLレベルに切り替える。これにより、演算部30のリセット状態が解除され、演算部30は内部制御信号

50

cnt1の論理値を確定させるための処理を開始する。本実施例では演算部30は、リセット状態が解除された場合、スイッチ素子60をオフ状態にするための内部制御信号cnt1、ここではLレベルの内部制御信号cnt1を出力するものとする。演算部30がLレベルの内部制御信号cnt1を確定させる時刻を時刻T3とする。

【0034】

内部リセット信号resの電位レベルがLレベルに切り替えられると、フリップフロップ回路40のリセット状態が解除される。フリップフロップ回路40のリセットが解除された状態において、セット端子Sの電位レベルがLレベルとなった場合には、出力端子QよりLレベルの制御信号cnt2が出力され、セット端子Sの電位レベルがHレベルとなった場合には、出力端子QよりHレベルの制御信号cnt2が出力される。上述のように、時刻T3までは演算部30から出力される内部制御信号cnt1の論理値が定まらないため、フリップフロップ回路40の出力端子Qから出力される制御信号cnt2の論理値も確定しない状態となる。もし制御信号cnt2がHレベルとなると、スイッチ制御信号swはLレベルとなり、スイッチ素子60がオン状態となり、回路ブロック70に電流が流れる。

10

【0035】

次に、時刻T3以降の期間について説明する。時刻T3において演算部30が、内部制御信号cnt1をLレベルに確定させる。その結果フリップフロップ回路40は、Lレベルの内部制御信号cnt2をセット端子Sにて受信し、出力端子QからLレベルの制御信号cnt2を出力する。インバータ50はLレベルの制御信号cnt2を受けて、Hレベルのスイッチ制御信号swを出力する。スイッチ素子60はHレベルのスイッチ制御信号swを受けてオフ状態となる。この結果、回路ブロック70は電源線PWから切り離され、回路ブロック70において電力は消費されない。その後、通常動作が開始され、回路ブロック70の動作が必要となる時刻T5と時刻T6の間の期間において演算部30が、Hレベルの内部制御信号cnt1を出力する。内部制御信号cnt1がHレベルになると制御信号cnt2もHレベルとなり、スイッチ制御信号swがLレベルとなり、スイッチ素子60がオン状態となり、回路ブロック70に電力が供給される。

20

【0036】

図7に示されるように、第1時定数回路10から出力される第1リセット信号rc1を用いて電子回路2のリセットが行われる場合であっても、時刻T1から時刻T2の間にはスイッチ素子60がオン状態となる可能性を排除できない。時刻T1から時刻T2の間においてスイッチ素子60がオン状態となると、電源線PWの電位が十分に上昇していないことに起因して、回路ブロック70にて不要なリーク電流が発生する可能性がある。また時刻T2から時刻T3の間の、演算部30が内部制御信号cnt1を確定させるまでの期間においても、スイッチ素子60がオン状態となって回路ブロック70にて不要な電力が消費される可能性もある。

30

【0037】

本出願は、電力供給の開始時に第1リセット信号rc1を用いる電子回路2において、不要な消費電力や誤動作が生じる可能性を抑制するためになされたものである。

【0038】

図8は第1実施例における電子回路2の回路構成例を示す図である。図5にて示された構成要素と同一の構成要素については同一の参照符号が付され、説明が省略又は簡略化される。電子回路2には、シュミットトリガ回路20、演算部30、フリップフロップ回路40、ゲート素子55、スイッチ素子60、及び回路ブロック70が含まれる。電子回路2に含まれるこれらの構成要素は、電源線PWを介してバッテリー3や発電素子4から電力供給を受ける。また電源線PWには第1時定数回路10が接続され、第1時定数回路10から出力される第1リセット信号rc1がシュミットトリガ回路20に入力される。

40

【0039】

電源線PWには第2時定数回路15が接続され、第2時定数回路15から出力される第2リセット信号rc2と、フリップフロップ回路40から出力される制御信号cnt2が

50

ゲート素子 55 に入力される。ゲート素子 55 は例えば NAND 回路であり、第 2 リセット信号 $rc2$ が L レベルである場合は、H レベルのスイッチ制御信号 sw を出力してスイッチ素子 60 をオフ状態に制御する。第 2 時定数回路 15 の時定数は、第 1 時定数回路 10 の時定数よりも大きい値に設定される。第 2 時定数回路 15 は、抵抗素子 $R2$ 及び容量素子 $C2$ を含む。

【0040】

図 9 は、電力供給の開始時及びその後の通常動作時における電源線 PW の電位、第 1 リセット信号 $rc1$ の電位、内部リセット信号 res の電位、内部制御信号 $cnt1$ の電位、制御信号 $cnt2$ の電位、第 2 時定数回路 15 から出力される第 2 リセット信号 $rc2$ の電位、スイッチ制御信号 sw の電位、及び回路ブロック 70 にて消費される電流の、それぞれのタイミングチャートである。電源線 PW の電位、第 1 リセット信号 $rc1$ の電位、内部リセット信号 res の電位、内部制御信号 $cnt1$ の電位、制御信号 $cnt2$ の電位については、図 5 に示された内容と同一である。ここでは、第 2 リセット信号 $rc2$ と、ゲート素子 55 から出力されるスイッチ制御信号 sw 及び回路ブロック 70 で消費される電流の挙動について説明する。

10

【0041】

まず時刻 $T1$ において電源線 PW への電力供給が開始されると、第 2 時定数回路 15 から出力される第 2 リセット信号 $rc2$ の電位は徐々に増加する。第 1 時定数回路 10 の時定数よりも第 2 時定数回路 15 の時定数の方が大きく設定されているため、第 2 リセット信号 $rc2$ は、第 1 リセット信号 $rc1$ よりも緩やかに上昇する。第 2 リセット信号 $rc2$ がゲート素子 55 の閾値電圧 V_{th2} に達する時刻 $T4$ は、第 1 リセット信号 $rc1$ の電位がシュミットリガ回路 20 の閾値電圧 V_{th1} に達する時刻 $T2$ よりも後の時刻として設定される。また時刻 $T4$ は、演算部 30 が内部制御信号 $cnt1$ を確定させ、フリップフロップ回路 40 が制御信号 $cnt2$ を確定させる時刻 $T3$ よりも後の時刻として設定される。時刻 $T1$ から時刻 $T3$ までは制御信号 $cnt2$ の論理値は不定であるが、その期間は L レベルの第 2 リセット信号 $rc2$ がゲート素子 55 に入力されるため、制御信号 $cnt2$ の論理値に関わらずスイッチ制御信号 sw は H レベルとなる。その結果、スイッチ素子 60 はオフ状態に維持され、回路ブロック 70 には電力が供給されず、回路ブロック 70 にて不要に消費される電流が抑制される。その後、時刻 $T4$ において第 2 リセット信号 $rc2$ の電位レベルがゲート素子 55 の閾値電圧 V_{th2} を超えると、ゲート素子 55 から出力されるスイッチ制御信号 sw の論理値は、制御信号 $cnt2$ の論理値によって決定される。具体的には、制御信号 $cnt2$ が H レベルであれば、スイッチ制御信号 sw が L レベルとなり、スイッチ素子 60 がオン状態となって回路ブロック 70 に電力が供給される。一方、制御信号 $cnt2$ が L レベルであれば、スイッチ制御信号 sw が H レベルとなり、スイッチ素子 60 がオフ状態となって回路ブロック 70 への電力供給が停止される。

20

30

【0042】

このように本実施例では、第 1 リセット信号 $rc1$ を用いて電力供給の開始時における消費電力や誤動作を抑制するデバイスにおいて、更に消費電力や誤動作を抑制するために、電源線 PW に第 2 時定数回路 15 が設けられる。第 2 時定数回路 15 の時定数は、第 1 時定数回路 10 の時定数よりも大きな値に設定される。そして、第 1 リセット信号 $rc1$ によるリセット期間（図 9 においては時刻 $T1$ から時刻 $T2$ までの期間）と、演算部 30 が出力論理値を確定させるまでの期間（図 9 においては時刻 $T2$ から時刻 $T3$ までの期間）とを含む期間は、第 2 リセット信号 $rc2$ に基づきスイッチ制御信号 sw が所定の論理値に維持される。この結果、電力供給の開始時にスイッチ素子 60 が誤ってオン状態となる可能性が低くなる。

40

【0043】

図 10 は、ゲート素子 55 の回路構成例を示す図である。ゲート素子 55 は例えば、制御信号 $cnt2$ と第 2 リセット信号 $rc2$ を受けてスイッチ制御信号 sw を出力する 2 入力 NAND 回路である。2 入力 NAND 回路は、電源線 PW に対して並列に接続された第

50

1 P型MOSトランジスタPM2及び第2 P型MOSトランジスタPM3と、接地線GNDに対して直列に接続された第1 N型MOSトランジスタNM2と第2 N型MOSトランジスタNM3を含む。第1 P型MOSトランジスタPM2のゲート電極には制御信号cnt2が入力され、第2 P型MOSトランジスタPM3のゲート電極には第2リセット信号rc2が入力される。また第1 N型MOSトランジスタNM2のゲート電極には制御信号cnt2が入力され、第2 N型MOSトランジスタNM3のゲート電極には第2リセット信号rc2が入力される。第2リセット信号rc2がLレベルであれば、第2 P型MOSトランジスタPM3がオン状態となり、第2 N型MOSトランジスタNM3はオフ状態となるため、スイッチ制御信号swがHレベルとなる。

【0044】

ここで、Lレベルの第2リセット信号rc2を受信したゲート素子55が、誤ってLレベルのスイッチ制御信号swを出力する可能性を抑えるために、第2 P型MOSトランジスタPM3がオフ状態からオン状態に切り替わる閾値電圧の絶対値が、第2 N型MOSトランジスタNM3がオフ状態からオン状態に切り替わる閾値電圧の絶対値に比べて小さく設定されてもよい。このように第2 P型MOSトランジスタPM3の閾値電圧と第2 N型MOSトランジスタNM3の閾値電圧を設定することにより、Lレベルの第2リセット信号rc2によって第2 N型MOSトランジスタNM3が誤ってオン状態に、第2 P型MOSトランジスタPM3が誤ってオフ状態になることを避けることができる。

【0045】

図11は、複数の電子回路2に対して第1時定数回路10及び第2時定数回路15が共通で設けられる場合の接続例を示す図である。例えば同一のボード上に複数の電子回路2が搭載されており、それらの電子回路2に個別に第1時定数回路10及び第2時定数回路15が設けられると、ボード上に搭載される部品点数が増加する。そのような場合は、図11に示されるように、複数の電子回路2に対して第1時定数回路10及び第2時定数回路15が共通で設けられてもよい。複数の電子回路2は、例えばCPU、SRAM、フラッシュメモリ、センサ、無線デバイス等を含む。

【0046】

図12は、第1実施例における電子回路2の変形例を示す図である。図8においては、第2時定数回路15が、電源線PWに直接接続される例が示された。図12においては、第2時定数回路15はシュミットリガ回路20の入力線に接続されてもよい。このようにすることで、第1リセット信号rc1の電位変化に対して更に一定の変化遅延を有する第2リセット信号rc2を生成することが可能となる。またこの場合、第2時定数回路15は電子回路2の内部に設けられてもよい。

【0047】

図13は、抵抗素子R1又は抵抗素子R2の構成例を示す図である。図13の(A)に示されるように、ゲート電極とソース電極とが互いに接続されたP型MOSトランジスタPM4が抵抗素子R1又は抵抗素子R2として用いられてもよい。また図13の(B)に示されるように、ゲート電極が接地線GNDに接続されたN型MOSトランジスタNM4が抵抗素子R1又は抵抗素子R2として用いられてもよい。何れの場合も、MOSトランジスタのオフ抵抗が抵抗素子R1又は抵抗素子R2として利用される。

【0048】

ここまで、第1実施例についての説明がなされた。第1実施例において開示された回路構成は本実施例を実施するための例示であり、他の回路構成を用いて実現することも可能である。例えば、第1時定数回路10及び第2時定数回路15は、RC時定数回路に限定されるものではなく、例えば容量素子Cとインダクタ素子Lを用いたRL時定数回路であってもよい。またシュミットリガ回路20は、第1リセット信号rc1を反転させた内部リセット信号resを出力するものとして説明されたが、第1リセット信号rc1と同相の内部リセット信号resを出力するものであってもよい。また、シュミットリガ回路20の代わりに、ヒステリシス特性を有しないインバータやバッファ回路が用いられてもよい。またフリップフロップ回路40の回路構成として図6に示された内容はあくまで

10

20

30

40

50

も一例であり、リセット端子Rに特定の論理値の信号が入力された場合に出力端子Qの値を固定するものであって、リセットが解除された場合にはセット端子Sに入力される信号によって出力端子Qの値を制御し得るラッチ回路であれば、他の回路構成が用いられてもよい。またゲート素子55はNAND回路に限定されるものではなく、AND回路やNOR回路等の他のゲート素子が用いられてもよい。またスイッチ素子60はP型MOSトランジスタに限定されるものではなく、N型MOSトランジスタや、スイッチ機能を有する他の素子が用いられてもよい。また回路ブロック70に替えて他の回路ブロックが、電力削減対象の内部回路として用いられてもよい。

【0049】

図14は、第1実施例において、回路ブロック70としてSRAMセルアレイが用いられた場合の回路構成例を示す図である。回路ブロック70には、SRAMセルがアレイ上に設けられたメモリセルアレイ71が含まれる。また回路ブロック70には、ロウデコーダ72、カラムスイッチ73及びビット線制御部74が含まれる。またビット線制御部74にはライトイネーブル信号WE、チップイネーブル信号CE及びスイッチ制御信号swが入力される。デバイス1の通常動作時における所定の期間において、スイッチ制御信号swによって回路ブロック70へ電力が供給され、SRAMセルへのデータの書込み、データの保持及びデータの読出しが可能となる。

【0050】

<第2実施例>

第2実施例では、図12に開示された電子回路2の構成に加え、第2リセット信号rc2の信号線に放電経路が設けられる。第1実施例にて開示された回路構成において、電源線PWへの電力供給が停止されると、第1リセット信号rc1の電位及び第2リセット信号rc2の電位は、それぞれ第1時定数回路の時定数と第2時定数回路の時定数に基づいて徐々に降下する。ここで、第1リセット信号rc1の電位及び第2リセット信号rc2の電位がLレベルまで降下する前に、電源線PWへの電力供給が再開されると、第1実施例にて説明された初期動作が正常に行われられない可能性がある。第2実施例では、電源線PWへの電力供給が停止された後、電源線PWへの電力供給が再開されるまでに、第1リセット信号rc1の信号線の電荷及び第2リセット信号rc2の信号線の電荷が接地線GNDに放出される。

【0051】

図15は、第2実施例における電子回路2の回路構成例を示す図である。図12にて示された構成要素と同一の構成要素については同一の参照符号が付され、説明が省略又は簡略化される。第2時定数回路15から出力される第2リセット信号rc2の信号線と接地線GNDとが、放電素子であるN型MOSトランジスタNM5を介して接続される。N型MOSトランジスタNM5のゲート電極には、放電素子制御信号cnt3が入力される。放電素子制御信号cnt3は、電源線PWへの電力供給が停止された場合にHレベルとなるよう制御される。電源線PWへの電力供給が停止され、放電素子制御信号cnt3がHレベルとなると、N型MOSトランジスタNM5がオン状態となり、第2時定数回路15の容量素子C2に蓄えられた電荷が接地線GNDに向けて放電される。これにより、第2リセット信号rc2の電位の低下速度が向上する。また、第1時定数回路10の容量素子C1に蓄えられた電荷も、抵抗素子R2及びN型MOSトランジスタNM5を介して接地線GNDに放電される。これにより、第1リセット信号rc1の電位の低下速度が向上する。

【0052】

図16は、第2実施例における電源線PWの電位、第1リセット信号rc1の電位、内部リセット信号resの電位、内部制御信号cnt1の電位、制御信号cnt2の電位、第2リセット信号rc2の電位、スイッチ制御信号swの電位、放電素子制御信号cnt3の電位及び回路ブロック70が消費する電流の、それぞれのタイミングチャートである。時刻T1から時刻T6までの期間において、放電素子制御信号cnt3以外の電位については、図9にて開示されたタイミングチャートと同一の内容である。放電素子制御信号

c n t 3 は、時刻 T 1 から時刻 T 7 までの期間は L レベルに維持される。

【 0 0 5 3 】

時刻 T 7 において、電源線 P W への電力供給が停止され、電源線 P W の電位が低下する。一方、放電素子制御信号 c n t 3 の電位は時刻 T 7 において H レベルへ変化する。これにより、N 型 M O S トランジスタ N M 5 がオン状態となり、第 1 リセット信号 r c 1 及び第 2 リセット信号 r c 2 の電位が L レベルに変化する。またスイッチ制御信号 s w も L レベルとなる。その後、時刻 T 8 において再度電源線 P W への電力供給が開始されると、時刻 T 1 以降と同一の挙動により各ノードの電位が遷移し、再びリセット動作が実行される。

【 0 0 5 4 】

図 1 7 は、放電素子制御信号 c n t 3 の生成方法の一例を示す図である。図 1 6 には、電子回路 2 及び発電素子 4 を含むデバイス 1 全体の構成例が示されており、電源制御回路 5 がスイッチ 6 を制御する。ここではスイッチ 6 が P 型 M O S トランジスタ P M 5 で形成される例が示される。

【 0 0 5 5 】

蓄電素子 7 に十分に電荷が蓄積されると、電源制御回路 5 はパワーグッド信号 P G を出力する。パワーグッド信号 P G の反転信号が P 型 M O S トランジスタ P M 5 をオン状態に制御し、電源線 P W に電力が供給される。またパワーグッド信号 P G の反転信号が放電素子制御信号 c n t 3 として電子回路 2 に供給される。この放電素子制御信号 c n t 3 により、図 1 5 に示された電子回路 2 内の N 型 M O S トランジスタ N M 5 がオフ状態となり、放電経路は遮断される。

【 0 0 5 6 】

電源制御回路 5 は、電子回路 2 の動作により蓄電素子 7 に蓄積されている電荷量が減少し、電源線 P W を所定の電位に保持することが困難な場合は、パワーグッド信号 P G の出力を停止する。これにより P 型 M O S トランジスタ P M 5 はオフ状態となって電子回路 2 への電力供給が停止される。逆に放電素子制御信号 c n t 3 が N 型 M O S トランジスタ N M 5 をオン状態に制御し、第 1 時定数回路 1 0 の容量素子 C 1 及び第 2 時定数回路 R C 2 の容量素子 C 2 の電荷が放電され、第 1 リセット信号 r c 1 及び第 2 リセット信号 r c 2 が L レベルとなる。

【 0 0 5 7 】

図 1 8 は、第 2 実施例における電子回路 2 の変形例を示す図である。図 1 5 では、放電素子として N 型 M O S トランジスタ N M 5 が用いられたが、本変形例においては、放電素子として抵抗素子 R 3 が用いられる。本変形例では、放電素子制御信号 c n t 3 は不要であるが、電源線 P W と接地線 G N D との間に抵抗素子 R 1、R 2 及び R 3 を経由する電流パスが存在することになる。例えば、抵抗素子 R 1 の抵抗値を 1 0 0 k 、抵抗素子 R 2 の抵抗値を 1 0 0 M 、抵抗素子 R 3 の抵抗値を 1 M 、電源線 P W の電位を 1 . 8 V とすると、約 1 8 n A のリーク電流が発生することになる。このリーク電流の大きさと、放電の速度とを考慮して、抵抗素子 R 1、R 2 及び R 3 の抵抗値が設定される。

【 0 0 5 8 】

上記の開示内容に基づき、更に以下の付記を開示する。

(付記 1)

電力供給源に接続された電源線と、
前記電源線に、スイッチ素子を介して接続された内部回路と、
前記電源線から電力供給を受け、前記電源線への電力供給が開始されてから第 1 の期間に出力される第 1 リセット信号に基づき、前記スイッチ素子を制御するための制御信号を生成する制御回路と、
前記電源線への前記電力供給が開始されてから前記第 1 の期間よりも長い第 2 の期間に出力される第 2 リセット信号と、前記制御信号とに基づき、前記スイッチ素子のオン状態及びオフ状態を制御するゲート素子と
を有する電子回路。

10

20

30

40

50

(付記 2)

前記第 1 リセット信号は、前記電源線に接続された第 1 時定数回路により生成され、
前記第 2 リセット信号は、前記電源線に接続された第 2 時定数回路により生成され、
前記第 2 時定数回路の第 2 時定数は、前記第 1 時定数回路の第 1 時定数よりも大きいこ
とを特徴とする付記 1 に記載の電子回路。

(付記 3)

前記第 1 リセット信号は、前記電源線に接続された第 1 時定数回路により生成され、
前記第 2 リセット信号は、前記第 1 リセット信号を伝送する信号線に接続された第 2 時
定数回路により生成されることを特徴とする付記 1 に記載の電子回路。

(付記 4)

前記制御回路は、
前記電源線から前記電力供給を受け、前記第 1 リセット信号に基づき内部制御信号を生
成する演算回路と、
前記電源線から前記電力供給を受け、前記第 1 リセット信号と、前記内部制御信号とに
基づき、前記制御信号を生成するラッチ回路と、
を有することを特徴とする付記 1 乃至 3 何れか一つに記載の電子回路。

10

(付記 5)

前記第 1 リセット信号は、前記電源線に前記電力供給が開始されてから、前記第 1 時定
数によって定まる前記第 1 の期間、前記ラッチ回路から出力される前記制御信号を、前記
スイッチ素子をオフ状態にするための論理値に固定することを特徴とする付記 4 に記載の
電子回路。

20

(付記 6)

前記ゲート素子は N A N D 回路であり、
前記 N A N D 回路は、前記第 2 リセット信号を受信する、前記電源線に接続された第 1
P 型 M O S トランジスタと、前記第 2 リセット信号を受信する、接地線に接続された第 1
N 型 M O S トランジスタと、を含み、
前記第 1 P 型 M O S トランジスタの第 1 閾値の絶対値は、前記第 1 N 型 M O S トランジ
スタの第 2 閾値の絶対値よりも小さく、
前記スイッチ素子は、前記電源線と前記内部回路との間に設けられた第 2 P 型 M O S ト
ランジスタである
ことを特徴とする付記 1 乃至 5 何れか一つに記載の電子回路。

30

(付記 7)

前記演算回路は、前記第 1 リセット信号が解除された後、前記第 2 リセット信号が解除
される前に、前記ラッチ回路から出力される前記制御信号に基づいて前記スイッチ素子が
オフ状態となるよう、前記制御信号の論理値を所定値に維持することを特徴とする付記 4
乃至 6 何れか一つに記載の電子回路。

(付記 8)

前記第 1 時定数回路は、第 1 抵抗素子と第 1 容量素子とを含み、
前記第 2 時定数回路は、第 2 抵抗素子と第 2 容量素子とを含む
ことを特徴とする付記 2 乃至 7 何れか一つに記載の電子回路。

40

(付記 9)

前記第 1 時定数回路は、前記電子回路の外部に設けられ、
前記第 2 時定数回路は、前記電子回路の内部に設けられ、前記第 1 時定数回路に接続さ
れること
を特徴とする付記 2 乃至 8 何れか一つに記載の電子回路。

(付記 10)

前記第 2 時定数回路に接続され、前記第 2 容量素子に蓄えられた電荷を放電する放電素
子を更に有すること
を特徴とする付記 8 又は 9 に記載の電子回路。

(付記 11)

50

前記放電素子は、前記電力供給源から前記電源線への電力供給が停止すると、前記第2容量素子に蓄えられた前記電荷を放電することを特徴とする付記10に記載の電子回路。

(付記12)

電力供給源に接続された電源線と、前記電源線にスイッチ素子を介して接続された内部回路と、前記電源線から電力供給を受け、前記スイッチ素子を制御するための制御信号を生成する制御回路と、を有する電子回路の制御方法であって、

前記電源線への前記電力供給が開始されてから第1の期間、第1リセット信号を生成し

、前記第1リセット信号を用いて、前記制御信号を所定値に固定し、

前記電源線への前記電力供給が開始されてから前記第1の期間よりも長い第2の期間、第2リセット信号を出力し、

前記第2リセット信号に基づき、前記制御信号による前記スイッチ素子のオン状態及びオフ状態の制御を禁止する

ことを有する電子回路の制御方法。

(付記13)

前記第1リセット信号は、前記電源線に接続された第1時定数回路により出力され、

前記第2リセット信号は、前記電源線に接続された第2時定数回路により出力され、

前記第2時定数回路の第2時定数は、前記第1時定数回路の第1時定数よりも大きいことを特徴とする付記12に記載の電子回路の制御方法。

(付記14)

前記第1リセット信号は、前記電源線に接続された第1時定数回路により生成され、

前記第2リセット信号は、前記第1リセット信号を伝送する信号線に接続された第2時定数回路により生成される

ことを特徴とする付記12に記載の電子回路の制御方法。

(付記15)

前記制御回路は、

前記第1リセット信号に基づき内部制御信号を生成し、

前記第1リセット信号と前記内部制御信号とに基づき、前記制御信号を生成する

ことを特徴とする付記12乃至14何れか一つに記載の電子回路の制御方法。

(付記16)

前記第1リセット信号に基づき、前記電源線に前記電力供給が開始されてから、前記第1時定数によって定まる前記第1の時間、前記制御信号を、前記スイッチ素子をオフにするための論理値に固定することを特徴とする付記13乃至15何れか一つに記載の電子回路の制御方法。

(付記17)

前記制御回路は、前記第1リセット信号が解除された後、前記第2リセット信号が解除される前に、前記制御信号に基づいて前記スイッチ素子がオフ状態となるよう、前記制御信号の論理値を所定値に維持することを特徴とする付記12乃至16何れか一つに記載の電子回路の制御方法。

(付記18)

前記第1リセット信号は、第1抵抗素子と第1容量素子とを含む第1時定数回路により生成され、

前記第2リセット信号は、第2抵抗素子と第2容量素子とを含む第2時定数回路により生成される

ことを特徴とする付記12乃至17何れか一つに記載の電子回路の制御方法。

(付記19)

前記電力供給源から前記電源線への前記電力供給が停止すると、前記第2容量素子に蓄えられた電荷を放電することを特徴とする付記18に記載の電子回路の制御方法。

(付記20)

電力供給源と、

10

20

30

40

50

前記電力供給源に電源線を介して接続された電子回路とを有し、
 前記電子回路は、
 前記電源線に、スイッチ素子を介して接続された内部回路と、
 前記電源線から電力供給を受け、前記電源線への電力供給が開始されてから第1の期間に出力される第1リセット信号に基づき、前記スイッチ素子を制御するための制御信号を生成する制御回路と、
 前記電源線への前記電力供給が開始されてから前記第1の期間よりも長い第2の期間に出力される第2リセット信号と、前記制御信号とに基づき、前記スイッチ素子のオン状態及びオフ状態を制御するゲート素子と
 を有することを特徴とするデバイス。

10

【符号の説明】

【0059】

P M 1、P M 2、P M 3、P M 4、P M 5 P型MOSトランジスタ

N M 1、N M 2、N M 3、N M 4、N M 5 N型MOSトランジスタ

P W 電源線

G N D 接地線

R 0、R 1、R 2、R 3 抵抗素子

C 0、C 1、C 2 容量素子

r c、r c 1、r c 2 リセット信号

20

r e s 内部リセット信号

c n t 1 内部制御信号

c n t 2 制御信号

c n t 3 放電素子制御信号

s w スイッチ制御信号

P G パワーグッド信号

S セット端子

R リセット端子

Q、Q b 出力端子

1 0 0 電源

30

1 1 0 時定数回路

2 0 0 電子回路

1 デバイス

2 電子回路

3 バッテリ

4 発電素子

5 電源制御回路

6 スイッチ

7 蓄電素子

1 0 第1時定数回路

40

1 5 第2時定数回路

2 0 シュミットトリガ回路

3 0 演算部

4 0 フリップフロップ回路

5 0 インバータ

5 5 ゲート素子

6 0 スイッチ素子

7 0 回路ブロック

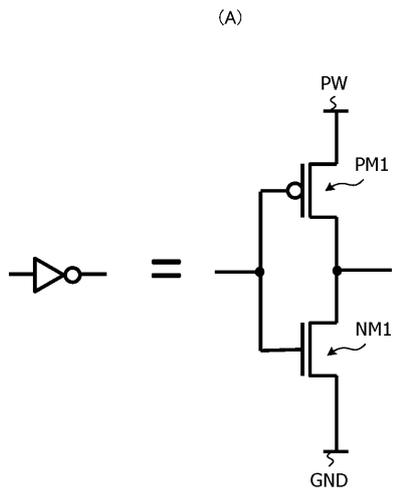
8 0 制御部

4 1 A N D 回路

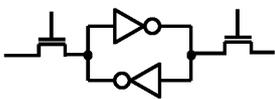
50

- 4 2 O R 回路
- 4 3 第 1 N A N D 回路
- 4 4 第 2 N A N D 回路
- 7 1 メモリセルアレイ
- 7 2 ロウデコーダ
- 7 3 カラムスイッチ
- 7 4 ビット線制御部

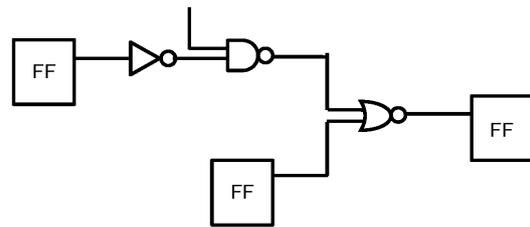
【 図 1 】



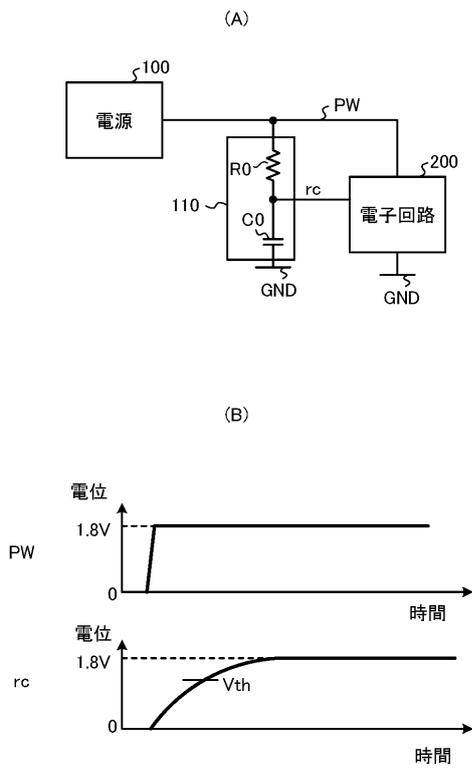
(B)



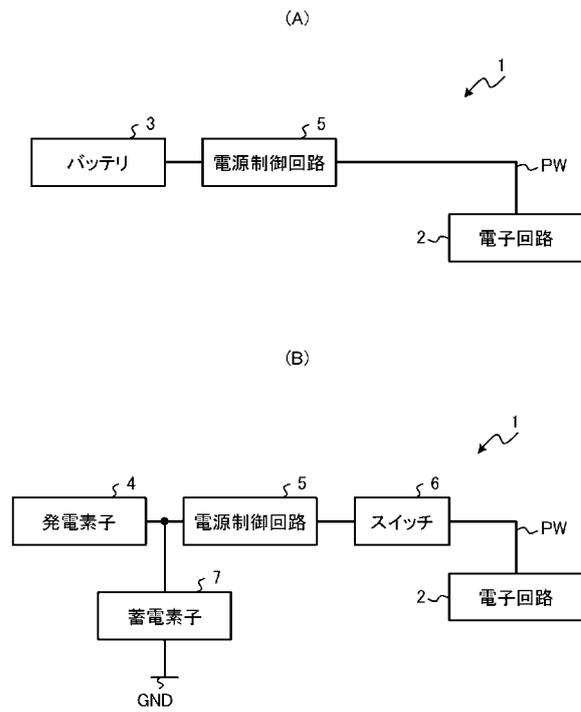
【 図 2 】



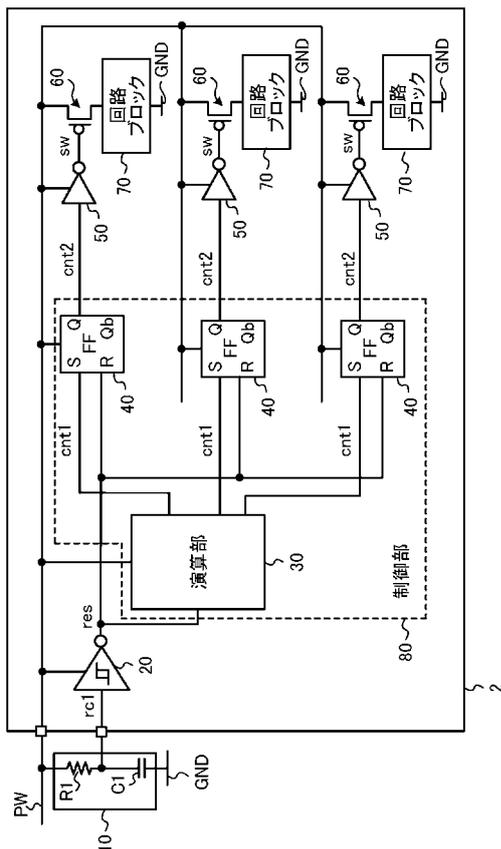
【図3】



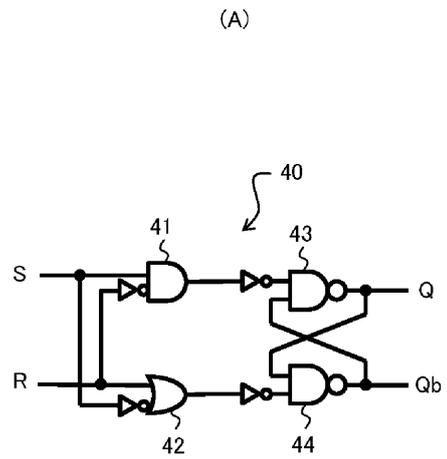
【図4】



【図5】

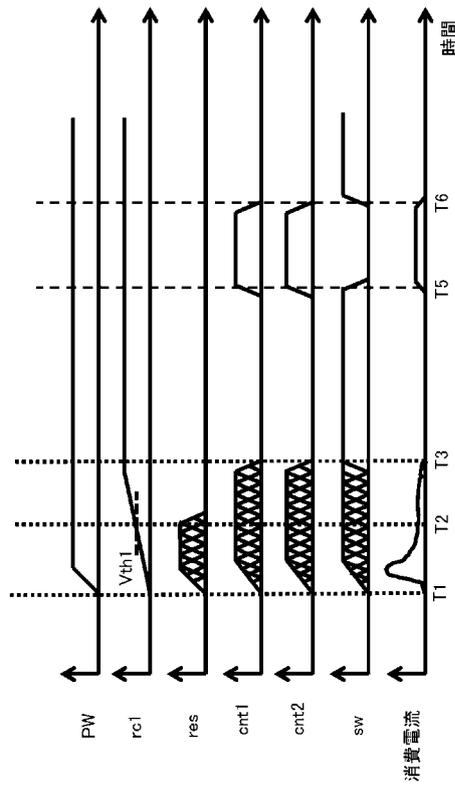


【図6】

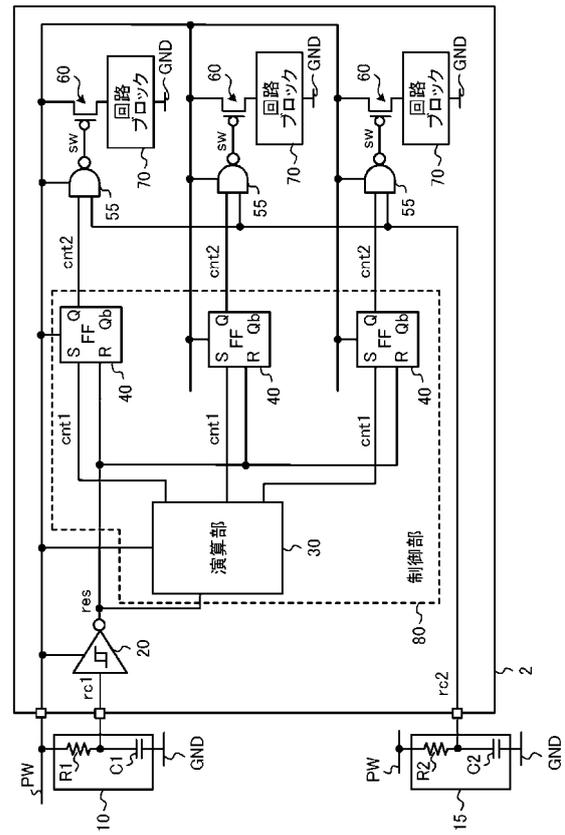


| S | R | Q | Qb |
|---|---|---|----|
| L | L | L | H |
| L | H | L | H |
| H | L | H | L |
| H | H | L | H |

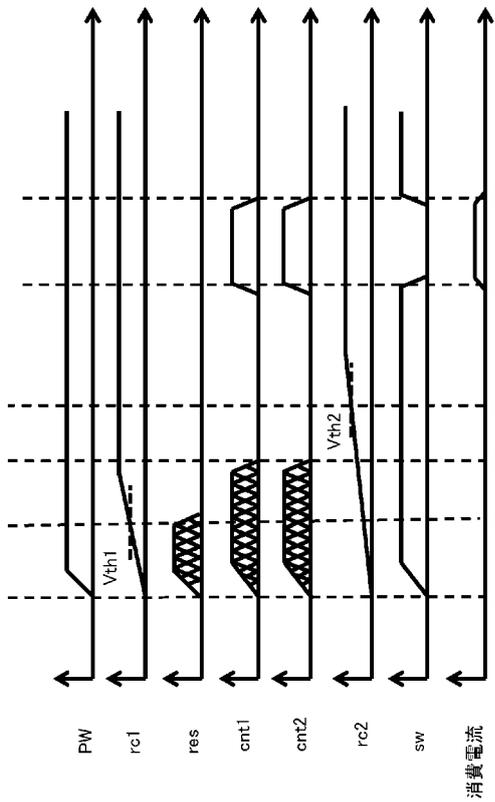
【 図 7 】



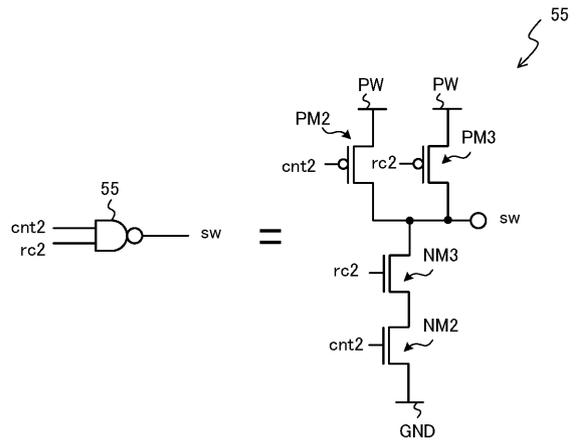
【 図 8 】



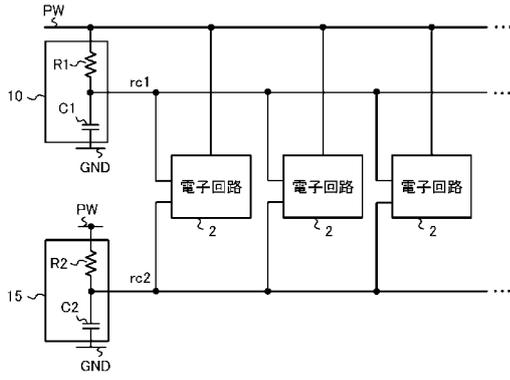
【 図 9 】



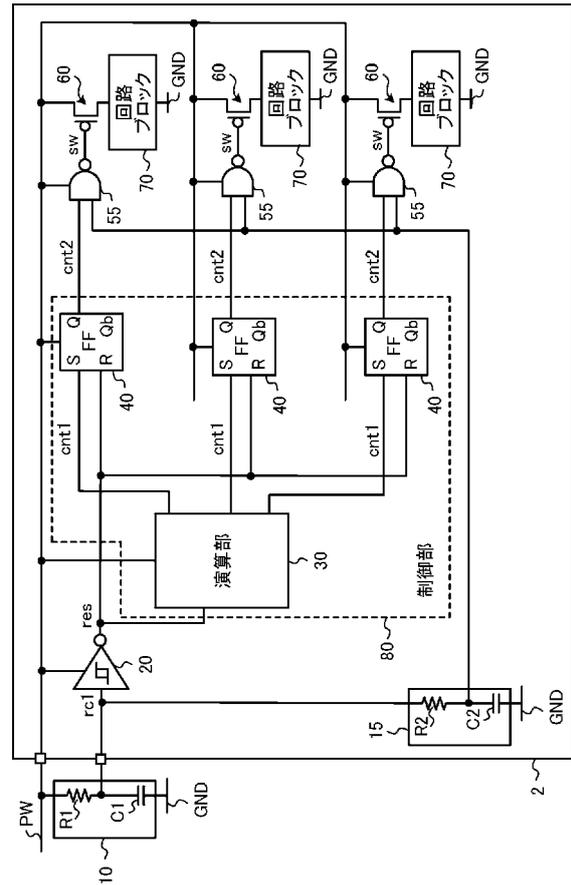
【 図 10 】



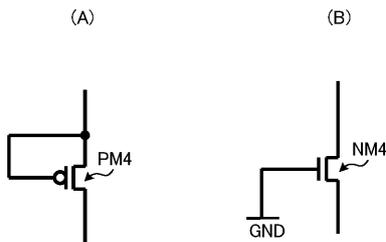
【図 1 1】



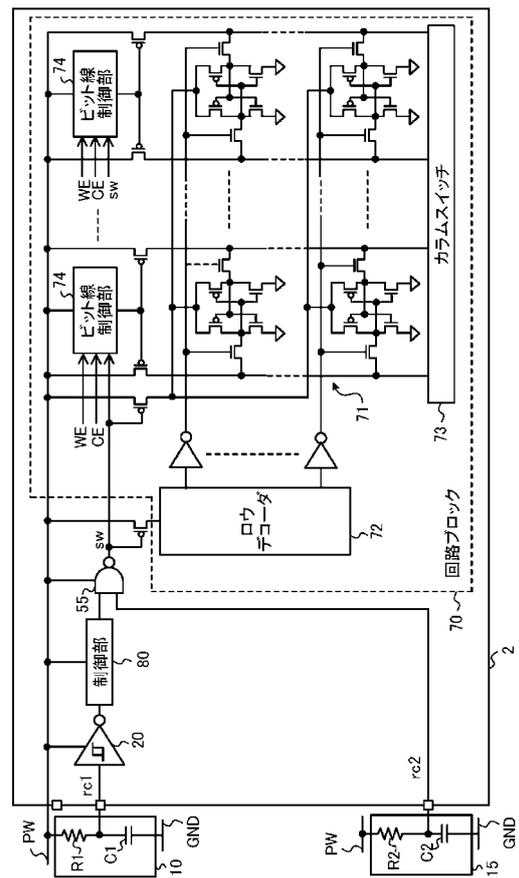
【図 1 2】



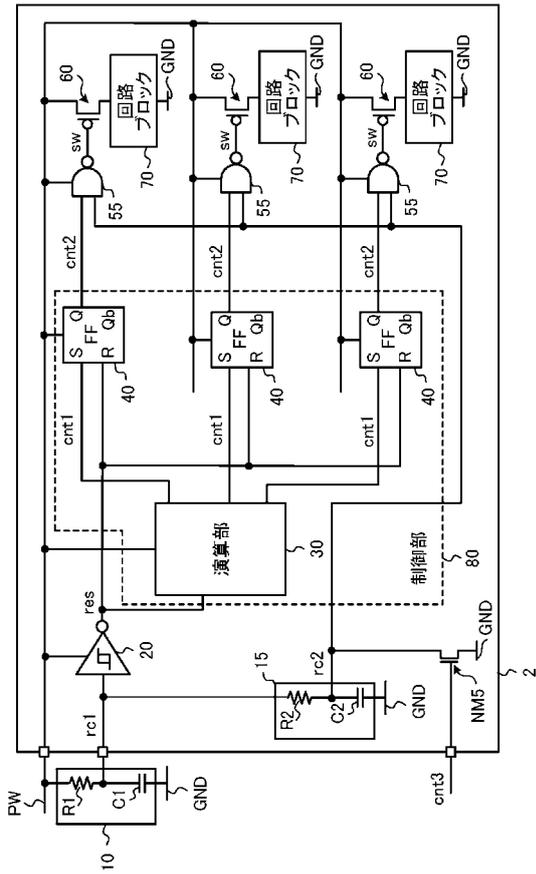
【図 1 3】



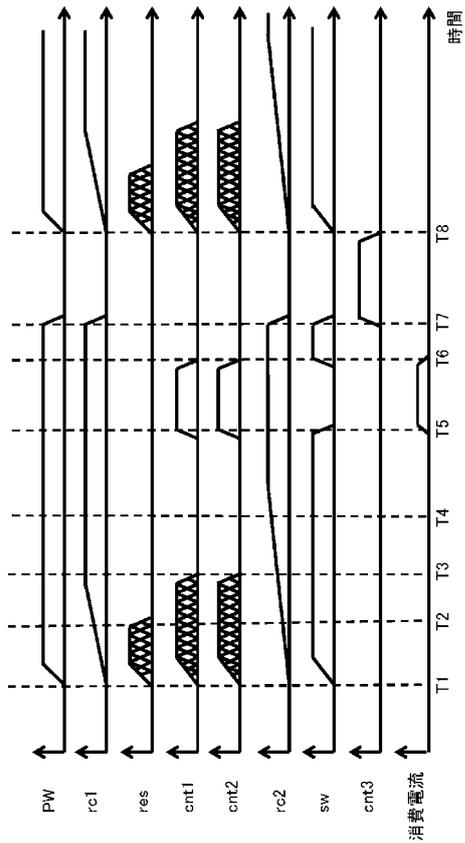
【図 1 4】



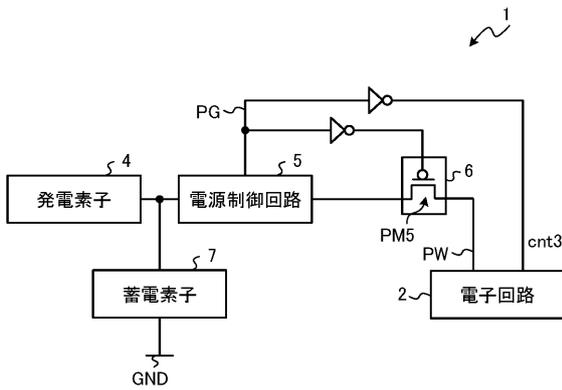
【図 15】



【図 16】



【図 17】



【図 18】

