



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0068595
(43) 공개일자 2018년06월22일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) H01L 21/02 (2006.01)
(52) CPC특허분류
H01L 21/76829 (2013.01)
H01L 21/02304 (2013.01)
(21) 출원번호 10-2016-0170446
(22) 출원일자 2016년12월14일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김락환
경기도 수원시 영통구 매영로 366, 711동 603호
(영통동, 살구골7단지아파트)
김병희
서울특별시 서초구 서초대로1길 30, 106동 901호
(방배동, 방배1차현대아파트)
(뒷면에 계속)
(74) 대리인
특허법인가산

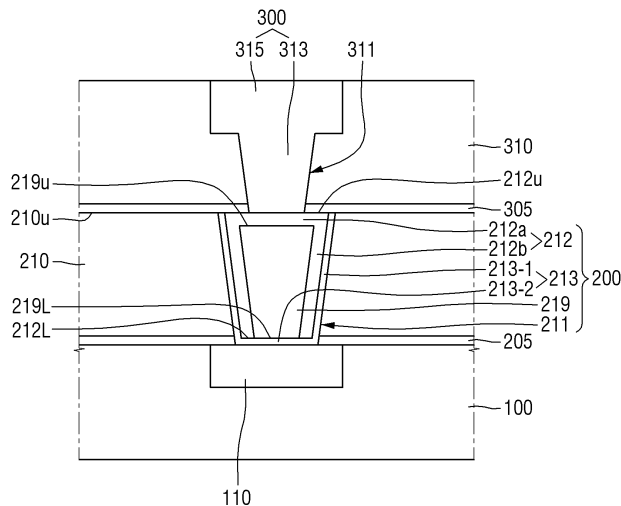
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치

(57) 요약

반도체 장치가 제공된다. 반도체 장치는, 하부막, 상기 하부막 상에 배치되는 상부막, 상기 하부막과 상기 상부막 사이에 배치되어 상기 하부막과 상기 상부막을 전기적으로 연결하는 콘택, 상기 콘택의 둘레를 감싸고, 상기 콘택의 상면을 덮는 캡핑 패턴, 상기 캡핑 패턴의 둘레를 감싸고, 상기 캡핑 패턴의 하면 및 상기 콘택의 하면을 덮는 배리어 막 및 상기 하부막과 상기 상부막 사이에 배치되고, 상기 배리어 막의 둘레를 감싸도록 배치되는 층간 절연막으로, 상기 캡핑 패턴의 상면을 노출시키는 층간 절연막을 포함하고, 상기 캡핑 패턴은, 산화물(oxide)에 대해 식각 선택성을 갖는 물질을 포함한다.

대표도 - 도4



(52) CPC특허분류

H01L 21/76841 (2013.01)

H01L 21/76877 (2013.01)

H01L 2924/01044 (2013.01)

H01L 2924/01074 (2013.01)

(72) 발명자

강상범

서울특별시 서초구 신반포로 45, 111동 504호 (반포동, 반포아파트)

이종진

서울특별시 강남구 삼성로 14, 456동 208호 (개포동, 주공아파트)

정은지

경기도 화성시 동탄반석로 42, 604동 2702호 (반송동, 한화우림아파트)

명세서

청구범위

청구항 1

하부막;

상기 하부막 상에 배치되는 상부막;

상기 하부막과 상기 상부막 사이에 배치되어 상기 하부막과 상기 상부막을 전기적으로 연결하는 콘택;

상기 콘택의 둘레를 감싸고, 상기 콘택의 상면을 덮는 캡핑 패턴;

상기 캡핑 패턴의 둘레를 감싸고, 상기 캡핑 패턴의 하면 및 상기 콘택의 하면을 덮는 배리어 막; 및

상기 하부막과 상기 상부막 사이에 배치되고, 상기 배리어 막의 둘레를 감싸도록 배치되는 층간 절연막으로, 상기 캡핑 패턴의 상면을 노출시키는 층간 절연막을 포함하고,

상기 캡핑 패턴은, 산화물(oxide)에 대해 식각 선택성을 갖는 물질을 포함하는 반도체 장치.

청구항 2

제 1항에 있어서,

상기 캡핑 패턴은, 루테늄(ruthenium)과 텅스텐(tungsten) 중 어느 하나를 포함하는 반도체 장치.

청구항 3

제 1항에 있어서,

상기 콘택은, 코발트(cobalt)를 포함하는 반도체 장치.

청구항 4

제 1항에 있어서,

상기 캡핑 패턴의 상기 상면은, 상기 층간 절연막의 상면으로부터 돌출되는 반도체 장치.

청구항 5

제 1항에 있어서,

상기 층간 절연막과 상기 캡핑 패턴의 상기 상면 상에 배치되는 상부막을 더 포함하고,

상기 상부막은,

상기 상부막 내에, 상기 상부막을 관통하여 상기 캡핑 패턴의 상기 상면의 적어도 일부를 노출시키는 비아 홀과, 상기 비아 홀을 채우는 배선을 포함하고,

상기 콘택은, 상기 배선과 상기 하부막을 전기적으로 연결하는 반도체 장치.

청구항 6

제 5항에 있어서,

상기 캡핑 패턴의 상기 상면은 리세스를 포함하고,

상기 배선의 일부는 상기 리세스 내로 삽입되는 반도체 장치.

청구항 7

제1 영역을 포함하는 하부막;

상기 하부막 상에 배치되는 층간 절연막;

상기 층간 절연막 내에 배치되고, 상기 층간 절연막을 관통하여 상기 제1 영역의 적어도 일부를 노출시키는 콘택 트렌치;

상기 콘택 트렌치의 양 측벽을 따라 배치되는 제1 부분과 상기 콘택 트렌치의 바닥면을 따라 배치되는 제2 부분을 포함하는 배리어 막;

상기 콘택 트렌치의 일부를 채우고, 상기 배리어 막의 상기 제1 부분과 이격되어 배치되는 콘택;

상기 콘택 트렌치 내에, 상기 콘택과 상기 배리어 막의 상기 제1 부분 사이에 배치되는 라이너; 및

상기 콘택 및 상기 라이너 상에 배치되고, 상기 콘택 트렌치의 나머지 일부를 채우도록 배치되는 캡핑 막을 포함하고,

상기 캡핑 막과 상기 라이너는 루테늄(ruthenium)과 텅스텐(tungsten) 중 어느 하나를 포함하는 반도체 장치.

청구항 8

제 7항에 있어서,

상기 캡핑 막의 상면은, 상기 층간 절연막의 상면으로부터 돌출되는 반도체 장치.

청구항 9

제 7항에 있어서,

상기 층간 절연막과 상기 캡핑 막의 상면 상에 배치되는 상부막을 더 포함하고,

상기 상부막은,

상기 상부막 내에, 상기 상부막을 관통하여 상기 캡핑 막의 상기 상면의 적어도 일부를 노출시키는 비아 홀과, 상기 비아 홀을 채우는 배선을 포함하는 반도체 장치.

청구항 10

제 9항에 있어서,

상기 캡핑 막의 상면은 리세스를 포함하고,

상기 배선의 일부는 상기 리세스 내로 삽입되는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것이다.

배경 기술

[0002] 최근, 반도체 장치는 소형화 되고, 고성능화 되고 있다. 이에 따라, 반도체 장치에 포함된 콘택의 치수도 점점 감소되고 있다. 콘택 저항을 감소시키기 위해, 콘택 갭 필(gap fill) 물질의 변경이 필요할 수 있다. 예를 들어, 코발트가 콘택의 갭 필 물질로 이용되는 경우, 배리어 막의 두께가 감소될 수 있다.

[0003] 한편, 콘택 구조체는, 후속 공정 중에 손상될 가능성이 있을 수 있다. 콘택의 손상은, 반도체 장치의 생산성을 감소시킬 수 있다. 따라서, 후속 공정에서 콘택의 손상될 가능성을 감소시키는 것이 중요하다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는 콘택 구조체의 손상을 방지하여 반도체 장치의 수율을 향상시킬 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

[0005] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예들에 따른 반도체 장치는, 하부막, 상기 하부막 상에 배치되는 상부막, 하부막과 상부막 사이에 배치되어 하부막과 상부막을 전기적으로 연결하는 콘택, 콘택의 둘레를 감싸고, 콘택의 상면을 덮는 캡핑 패턴, 캡핑 패턴의 둘레를 감싸고, 캡핑 패턴의 하면 및 콘택의 하면을 덮는 배리어 막 및 하부막과 상부막 사이에 배치되고, 배리어 막의 둘레를 감싸도록 배치되는 층간 절연막으로, 캡핑 패턴의 상면을 노출시키는 층간 절연막을 포함하고, 캡핑 패턴은, 산화물(oxide)에 대해 식각 선택성을 갖는 물질을 포함한다.

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예들에 따른 반도체 장치는, 제1 영역을 포함하는 하부막, 상기 하부막 상에 배치되는 층간 절연막, 상기 층간 절연막 내에 배치되고, 상기 층간 절연막을 관통하여 상기 제1 영역의 적어도 일부를 노출시키는 콘택 트렌치, 상기 콘택 트렌치의 양 측벽을 따라 배치되는 제1 부분과 상기 콘택 트렌치의 바닥면을 따라 배치되는 제2 부분을 포함하는 배리어 막, 상기 콘택 트렌치의 일부를 채우고, 상기 배리어 막의 상기 제1 부분과 이격되어 배치되는 콘택, 상기 콘택 트렌치 내에, 상기 콘택과 상기 배리어 막의 상기 제1 부분 사이에 배치되는 라이너 및 상기 콘택 및 상기 라이너 상에 배치되고, 상기 콘택 트렌치의 나머지 일부를 채우도록 배치되는 캡핑 막을 포함하고, 상기 캡핑 막과 상기 라이너는 루테늄(ruthenium)과 텅스텐(tungsten) 중 어느 하나를 포함할 수 있다.

[0008] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 몇몇 실시예들에 따른 반도체 장치의 레이아웃도이다.

도 2는 도 1의 콘택 구조체의 평면도이다.

도 3은 도 1의 콘택 구조체의 사시도이다.

도 4 내지 도 9는 도 1의 A-A' 선을 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0011] 이하에서, 도 1 내지 도 5를 참조하여 본 발명의 몇몇 실시예들에 따른 반도체 장치에 대해 설명한다.

[0012] 도 1은 본 발명의 몇몇 실시예들에 따른 반도체 장치의 레이아웃도이다. 도 1에서는 도시의 명확성을 위해 층간 절연막의 도시를 생략하였다. 도 2는 도 1의 콘택 구조체의 평면도이다. 도 3은 도 1의 콘택 구조체의 사시도이다. 도 4 및 도 5는 도 1의 A-A' 선을 따라 절단한 단면도이다.

[0013] 도 1 내지 도 5를 참조하면, 본 발명의 기술적 사상에 따른 반도체 장치는, 하부막(100), 배선(300) 및 콘택 구조체(200)를 포함할 수 있다.

[0014] 하부막(100)은, 예를 들어, 기판일 수 있다. 그러나, 본 발명이 이에 제한되는 것은 아니다. 하부막(100)은, 예를 들어, 기판 상에 배치되는 층간 절연막 중 하나일 수 있다.

[0015] 하부막(100)은 예를 들어, 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 하부막(100)은 실리콘 기판일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘게르마늄, 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수 있다. 또는, 하부막(100)은 베이스 기판 상에 에피층이 형성된 것일 수도 있다.

[0016] 하부막(100)은, 제1 영역(110)을 포함할 수 있다. 제1 영역(110)은, 예를 들어, 하부막(100) 내에 형성되는 트랜지스터의 소오스 또는 드레인일 수 있다. 또는, 제1 영역(110)은, 예를 들어, 하부막(100) 내에 형성되는 트

랜지스터의 게이트 전극일 수 있다. 또는, 제1 영역(110)은, 예를 들어, 하부막(100) 내에 형성되는 다이오드 등일 수 있다. 다시 말해서, 제1 영역(110)은, 후술할 배선(300)과 콘택 구조체(200)를 통해 전기적으로 연결시켜야 할, 하부막(100) 내에 형성된 회로 요소일 수 있다. 그러나 본 발명이 이에 제한되는 것은 아니다. 예를 들어, 제1 영역(110)은, 회로 요소와 콘택 구조체(200)를 연결시키기 위한 구성 요소일 수도 있다.

- [0017] 제1 식각 정지막(205)은, 하부막(100) 상에 배치될 수 있다. 제1 식각 정지막(205)은, 예를 들어, 제1 영역(110)의 일부를 덮도록, 제1 영역(110) 상에도 형성될 수 있다. 제1 식각 정지막(205)은, 콘택 구조체(200)를 제1 영역(110)과 접속시키기 위한, 불연속적인 패턴일 수 있다. 예를 들어, 제1 식각 정지막(205)은, 콘택 구조체(200)가 제1 영역(110)과 접속되는 부분에는 형성되지 않을 수 있다. 제1 식각 정지막(205)은, 콘택 트렌치(211) 형성 시, 과도한 식각을 막아, 하부막(100)의 손실을 방지할 수 있다.
- [0018] 층간 절연막(210)은, 제1 식각 정지막(205) 상에 배치될 수 있다. 층간 절연막(210)은 배선 사이의 커플링 현상을 경감시키기 위해 예를 들어, 저유전율 물질, 산화막, 질화막 및 산질화막 중 적어도 하나를 포함할 수 있다. 저유전율 물질은 예를 들어, FOX(Flowable Oxide), TOSZ(Tonen SilaZen), USG(Undoped Silica Glass), BSG(Borosilica Glass), PSG(PhosphoSilica Glass), BPSG(BoroPhosphoSilica Glass), PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate), FSG(Fluoride Silicate Glass), CDO(Carbon Doped silicon Oxide), Xerogel, Aerogel, Amorphous Fluorinated Carbon, OSG(Organo Silicate Glass), Parylene, BCB(bis-benzocyclobutenes), SiLK, polyimide, porous polymeric material 또는 이들의 조합을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0019] 예를 들어, 층간 절연막(210)은, 제1 식각 정지막(205)과 식각 선택성을 갖는 물질을 포함할 수 있다.
- [0020] 층간 절연막(210)은, 콘택 구조체(200)를 포함할 수 있다. 콘택 구조체(200)는, 콘택 트렌치(211), 배리어 막(213), 콘택(219) 및 캡핑 패턴(212)을 포함할 수 있다. 그러나, 본 발명이 이에 제한되는 것은 아니다. 예를 들어, 콘택 구조체(200)는, 필요에 따라, 다른 막을 더 포함할 수 있음은 물론이다.
- [0021] 층간 절연막(210)은, 콘택 트렌치(211)를 포함할 수 있다. 콘택 트렌치(211)는, 층간 절연막(210) 내에 배치되어, 층간 절연막(210)을 관통할 수 있다. 콘택 트렌치(211)는, 제1 영역(110)의 적어도 일부를 노출시킬 수 있다.
- [0022] 도면에서, 콘택 트렌치(211)의 측벽이, 하부막(100)의 상면을 기준으로 임의의 기울기를 갖는 것으로 도시하였으나, 본 발명이 이에 제한되는 것은 아니다. 예를 들어, 콘택 트렌치(211)의 측벽은, 제조 공정에 따라, 하부막(100)의 상면에 대해 수직인 기울기를 가질 수 있음은 물론이다.
- [0023] 배리어 막(213)은, 콘택 트렌치(211)를 전부 채우지 않을 수 있다.
- [0024] 배리어 막(213)은, 제1 부분(213-1)과 제2 부분(213-2)을 포함할 수 있다. 배리어 막(213)의 제1 부분(213-1)은, 콘택 트렌치(211)의 양 측벽을 따라 배치되는 부분일 수 있다. 배리어 막(213)의 제1 부분(213-1)은, 콘택 트렌치(211)의 양 측벽을 따라 컨포말하게(conformally) 형성될 수 있다.
- [0025] 배리어 막(213)의 제2 부분(213-2)은, 콘택 트렌치(211)의 바닥면을 따라 배치되는 부분일 수 있다. 배리어 막(213)의 제2 부분(213-2)은, 콘택 트렌치(211)의 바닥면을 따라 컨포말하게 형성될 수 있다. 배리어 막(213)의 제2 부분(213-2)의 적어도 일부는, 예를 들어, 제1 영역(110) 상에 배치될 수 있다. 몇몇 실시예에서, 배리어 막(213)의 제2 부분(213-2)의 적어도 일부는, 제1 영역(110)과 직접 접할 수 있다.
- [0026] 배리어 막(213)은, 후술할 캡핑 막(212a) 상에는 배치되지 않을 수 있다. 다시 말해서, 배리어 막(213)은, 캡핑 패턴(212)의 상면(212U) 상에는 배치되지 않을 수 있다.
- [0027] 배리어 막(213)은, 예를 들어, 타이타늄 나이트라이드(TiN)를 포함할 수 있다. 그러나, 본 발명이 이에 제한되는 것은 아니다. 예를 들어, 콘택(219)에 포함된 물질이 층간 절연막(210)으로 이동하는 것을 방지시킬 수 있는 물질이라면 배리어 막(213)에 포함될 수 있음은 물론이다.
- [0028] 콘택(219)은 배리어 막(213)의 제1 부분(213-1)과 이격되도록, 콘택 트렌치(211) 내에 배치될 수 있다. 콘택(219)은, 콘택 트렌치(211)의 일부만을 채울 수 있다. 예를 들어, 하부막(100)의 상면을 기준으로, 콘택(219)의 상면(219U)은, 층간 절연막(210)의 상면(210U) 보다 아래에 있을 수 있다. 콘택(219)의 하면(219L)과 제1 영역(110) 사이에는, 배리어 막(213)의 제2 부분(213-2)이 위치할 수 있다.
- [0029] 도면에서, 콘택(219)이 콘택 트렌치(211)의 프로파일을 따른 형상을 갖는 것으로 도시하였으나, 본 발명이 이에

제한되는 것은 아니다. 예를 들어, 콘택(219)은, 콘택 트렌치(211)의 일부를 채우고, 배리어 막(213)의 제1 부분(213-1)과 이격되어 콘택 트렌치(211) 내에 배치된다면, 도시된 바와 상이한 형상을 가질 수 있음은 물론이다.

- [0030] 콘택(219)은 예를 들어, 코발트를 포함할 수 있다. 콘택(219)은, 하부막(100)과 후술할 상부막(310)을 전기적으로 연결시킬 수 있다. 구체적으로, 콘택(219)은, 하부막(100)의 제1 영역(110)과, 상부막(310)의 배선(300)을 전기적으로 연결시켜줄 수 있다.
- [0031] 캡핑 패턴(212)은, 콘택(219)의 둘레를 감싸고, 콘택(219)의 상면(219U)을 덮을 수 있다. 캡핑 패턴(212)은, 콘택(219)의 하면(219L) 상에는 배치되지 않을 수 있다. 캡핑 패턴(212)은, 캡핑 막(212a)과 라이너(212b)를 포함할 수 있다.
- [0032] 라이너(212b)는, 콘택(219)의 둘레를 감싸는 부분일 수 있다. 또한, 라이너(212b)는, 콘택(219)과 배리어 막(213)의 제1 부분(213-1)이 이격되는 공간에 배치될 수 있다. 다시 말해서, 라이너(212b)는, 콘택 트렌치(211) 내에, 배리어 막(213)의 제1 부분(213-1)과 콘택(219) 사이에 개재될 수 있다. 라이너(212b)는, 예를 들어, 콘택(219)과 배리어 막(213)의 제2 부분(213-2) 사이에는 개재되지 않을 수 있다.
- [0033] 캡핑 막(212a)은 콘택(219) 및 라이너(212b) 상에 배치되는 부분일 수 있다. 캡핑 막(212a)은, 콘택(219)이 콘택 트렌치(211)의 일부를 채우고 남은 콘택 트렌치(211)의 부분을 채우도록 배치될 수 있다.
- [0034] 몇몇 실시예에서, 콘택 구조체(200)의 상면인 캡핑 패턴(212)의 상면(212U)은, 층간 절연막(210)의 상면(210U)과 실질적으로 동일 평면 상에 놓일 수 있다. 콘택 구조체(200)는, 층간 절연막(210)을 관통하도록 배치될 수 있다. 다시 말해서, 층간 절연막(210)은, 배리어 막(213)의 둘레를 감싸고, 캡핑 패턴(212)의 상면(212U)을 노출시키도록 배치될 수 있다.
- [0035] 배리어 막(213)은, 캡핑 패턴(212)의 둘레를 감싸고, 캡핑 패턴(212)의 하면(212L) 및 콘택(219)의 하면(219L)을 덮을 수 있다.
- [0036] 캡핑 패턴(212)은 산화물(oxide)에 대해 식각 선택성(etch selectivity)을 갖는 물질을 포함할 수 있다. 여기서 식각 선택성은, 산화물을 식각할 수 있는 식각액을 이용하여 산화물을 포함하는 구성 요소에 대한 식각 공정을 수행하는 동안, 캡핑 패턴(212)은 실질적으로 식각되지 않는 것을 의미할 수 있다. 즉, 산화물을 식각할 수 있는 식각액에 대해, 캡핑 패턴(212)이 반응하지 않는 것을 의미할 수 있다. 또한, 반대로, 캡핑 패턴(212)을 식각할 수 있는 식각액을 이용하여 캡핑 패턴(212)에 대한 식각 공정을 수행하는 동안, 산화물을 포함하는 구성 요소는 실질적으로 식각되지 않는 것을 의미할 수 있다. 이 때, 산화물을 포함하는 구성 요소는, 예를 들어, 상부막(310)일 수 있다. 캡핑 패턴(212)은, 예를 들어, 루테늄(ruthenium)과 텅스텐(tungsten) 중 어느 하나를 포함할 수 있다.
- [0037] 본 발명의 기술적 사상에 따른 반도체 장치는, 콘택(219)의 둘레를 감싸고 상면을 덮는 캡핑 패턴(212)을 층간 절연막(210) 내에 배치하고, 캡핑 패턴(212)이 산화물에 대해 식각 선택성을 갖는 물질을 포함하도록 함으로써, 후속 공정에서 발생될 수 있는 콘택(219)의 손실을 현저히 감소시킬 수 있다.
- [0038] 구체적으로, 캡핑 패턴(212)이 산화물에 대해 식각 선택성을 갖는 물질을 포함하는 경우, 후속 공정 중 불산(HF) 등을 이용한 식각 공정에서 캡핑 패턴(212)은 실질적으로 거의 식각되지 않을 수 있다. 이 때, 캡핑 패턴(212)이 콘택(219)의 둘레 및 상면을 덮도록 배치되기 때문에, 콘택(219)의 손상 가능성은 현저히 감소될 수 있다. 콘택(219)의 상면뿐만 아니라 둘레까지 감싸는 경우 콘택(219)이 캡핑 패턴(212)에 의해 완전히 보호될 수 있기 때문에, 캡핑 패턴(212)이 콘택(219)의 상면만 덮는 경우에 비해, 후속 공정에서 발생될 수 있는 콘택(219)의 손실 가능성을 현저히 감소시킬 수 있다. 여기서 후속 공정은, 예를 들어, 배선 형성을 위해 상부막(310)을 식각하는 공정 및 세정 공정 등을 포함할 수 있다. 예를 들어, 후술할 배선(300)을 형성하기 위해 산화물을 포함하는 상부막(310)을 식각하는 공정 등에 있어서, 캡핑 패턴(212)은, 산화물에 대한 식각 선택성을 갖는 물질을 포함하기 때문에, 실질적으로 식각되지 않을 수 있다.
- [0039] 제2 식각 정지막(305)은, 층간 절연막(210) 상에 배치될 수 있다. 제2 식각 정지막(305)은, 캡핑 패턴(212)의 일부를 덮도록, 콘택 구조체(200) 상에도 형성될 수 있다. 제2 식각 정지막(305)은, 배선(300)을 콘택 구조체(200)와 접속시키기 위한, 불연속적인 패턴일 수 있다. 예를 들어, 제2 식각 정지막(305)은, 콘택 구조체(200)가 배선(300)과 접속되는 부분에는 형성되지 않을 수 있다. 제2 식각 정지막(305)은, 비아 홀(311) 형성 시, 과도한 식각을 막아, 콘택 구조체(200) 등의 손실을 방지할 수 있다.

- [0040] 도면에서, 제1 식각 정지막(205)과 제2 식각 정지막(305)이 단일 막 구조인 것으로 도시하였으나, 본 발명이 이에 제한되는 것은 아니다. 예를 들어, 제1 식각 정지막(205)과 제2 식각 정지막(305)은, 다중 막 구조일 수 있다.
- [0041] 상부막(310)은, 제2 식각 정지막(305) 상에 배치될 수 있다. 또한, 상부막(310)은, 컨택 구조체(200)의 캡핑 패턴(212)의 상면(212U) 상에 배치될 수 있다. 이에 따라, 컨택 구조체(200) 및 층간 절연막(210)은, 하부막(100)과 상부막(310) 사이에 배치될 수 있다. 상부막(310)은, 예를 들어, 산화물을 포함할 수 있다.
- [0042] 본 발명의 기술적 사상에 따른 반도체 장치는, 산화물을 포함하는 상부막(310)을 식각하여 비아 홀(311)을 형성하는 식각 공정에서, 캡핑 패턴(212)이 산화물에 대해 식각 선택성을 갖는 물질을 포함하기 때문에, 캡핑 패턴(212)은 실질적으로 식각되지 않을 수 있다. 이 경우, 캡핑 패턴(212)이 컨택(219)의 둘레 및 상면을 덮도록 배치되기 때문에, 컨택(219)은 비아 홀(311)을 형성하기 위한 상부막(310)의 식각 공정 중, 보호될 수 있다. 이는, 컨택(219) 형성 후, 후속 공정에서 발생할 수 있는 컨택(219)의 손실 가능성을 현저히 감소시킬 수 있다.
- [0043] 상부막(310)은 비아 홀(311)과 비아 홀(311) 내부에 배치되는 배선(300)을 포함할 수 있다.
- [0044] 비아 홀(311)은 상부막(310) 내에 배치될 수 있다. 비아 홀(311)은, 상부막(310)을 관통하여, 캡핑 패턴(212)의 상면(212U)의 적어도 일부를 노출시킬 수 있다. 비아 홀(311)은, 예를 들어, 캡핑 패턴(212)의 상면(212U)만을 노출시키도록 형성될 수 있다. 또는, 도 5에서와 같이, 비아 홀(311)은, 캡핑 패턴(212)의 상면(212U)의 일부와, 층간 절연막(210)의 상면(210U)의 일부를 노출시키도록 형성될 수도 있다.
- [0045] 비아 홀(311)에는, 예를 들어, 금속 물질이 채워져, 배선(300)이 형성될 수 있다. 배선(300)은, 상부막(310)을 관통하도록 배치될 수 있다. 배선(300)은, 컨택 구조체(200)를 통해, 하부막(100)의 제1 영역(110)과 전기적으로 연결될 수 있다.
- [0046] 비아 홀(311)은, 상부와 하부를 포함할 수 있다.
- [0047] 비아 홀(311)의 하부에는, 비아 컨택(313)이 배치될 수 있다. 즉, 비아 홀(311)이 예를 들어, 금속 물질로 채워지는 경우, 비아 홀(311)의 하부에는 비아 컨택(219)이 형성될 수 있다. 비아 컨택(219)의 하면은, 예를 들어, 캡핑 패턴(212)의 상면(212U)의 적어도 일부와 직접 접할 수 있다. 예를 들어, 비아 컨택(219)의 하면은, 캡핑 패턴(212)의 상면(212U)의 일부와 직접 접할 수 있다. 또는, 예를 들어, 비아 컨택(219)의 하면은, 도 5에서와 같이, 캡핑 패턴(212)의 상면(212U)의 일부와 직접 접할 수 있다.
- [0048] 비아 홀(311)의 상부에는, 배선 패턴(315)이 배치될 수 있다. 즉, 비아 홀(311)이 예를 들어, 금속 물질로 채워지는 경우, 비아 홀(311)의 상부에는 배선 패턴(315)이 형성될 수 있다. 배선 패턴(315)은 비아 컨택(219)을 통해, 컨택 구조체(200)와 전기적으로 연결될 수 있다.
- [0049] 이하에서, 도 1 내지 도 3, 도 6 및 도 7을 참조하여 본 발명의 몇몇 실시예들에 따른 반도체 장치에 대해 설명한다. 설명의 명확성을 위해 앞서 설명한 것과 중복되는 것은 생략한다.
- [0050] 도 6 및 도 7은 도 1의 A-A' 선을 따라 절단한 단면도이다.
- [0051] 도 1 내지 도 3, 도 6 및 도 7을 참조하면, 캡핑 패턴(212)의 상면(212U)은, 층간 절연막(210)의 상면(210U)보다 돌출될 수 있다.
- [0052] 도면에서, 캡핑 패턴(212)의 캡핑 막(212a)에서, 층간 절연막(210)의 상면(210U)보다 돌출된 부분의 모서리가 직각인 것으로 도시하였으나, 이는 예시적인 것일 뿐 본 발명이 이에 제한되는 것은 아니다. 예를 들어, 층간 절연막(210)의 상면(210U)보다 돌출된 캡핑 막(212a)의 부분은, 모따기 형상을 가질 수 있다.
- [0053] 제2 식각 절연막(210)은, 층간 절연막(210)의 상면(210U) 및 캡핑 막(212a)의 상면(212U)의 프로파일을 따라 형성될 수 있다.
- [0054] 캡핑 패턴(212)의 상면(212U)이 층간 절연막(210)의 상면(210U)보다 돌출된 경우에도, 비아 컨택(219)의 하면은, 캡핑 패턴(212)의 상면(212U)의 적어도 일부와 직접 접할 수 있다. 예를 들어, 비아 컨택(219)의 하면은, 캡핑 패턴(212)의 상면(212U)의 일부와 직접 접할 수 있다. 또는, 예를 들어, 비아 컨택(219)의 하면은, 도 7에서와 같이, 캡핑 패턴(212)의 상면(212U)의 일부와 직접 접할 수 있다.
- [0055] 본 발명의 기술적 사상에 따른 반도체 장치는, 캡핑 막(212b)이 컨택 트렌치(211)의 나머지 일부를 채우면서, 층간 절연막(210)의 상면(210U) 상으로도 돌출되도록 배치하여, 도 7에서와 같이 약간의 정렬 불량

(misalignment)이 발생하더라도, 캡핑 막(212b)이 컨택(219)의 상면을 덮을 수 있다. 이는, 후속 공정에서 발생될 수 있는 컨택(219) 손실의 가능성을 현저히 감소시킬 수 있다. 이로써, 반도체 장치의 수율은 향상될 수 있다.

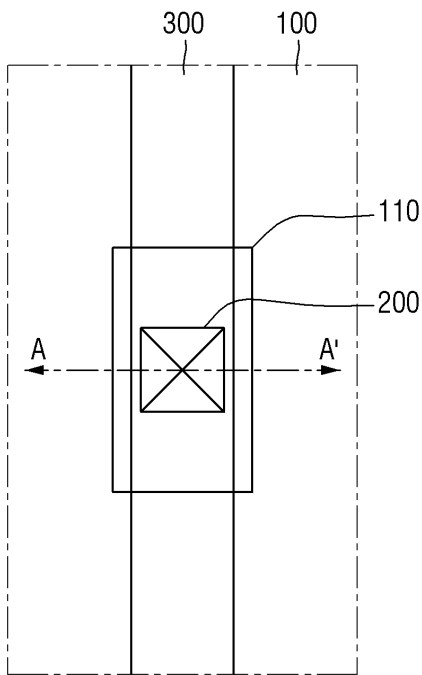
- [0056] 이하에서, 도 1 내지 도 3, 도 8 및 도 9를 참조하여 본 발명의 몇몇 실시예들에 따른 반도체 장치에 대해 설명한다. 설명의 명확성을 위해 앞서 설명한 것과 중복되는 것은 생략한다.
- [0057] 도 8 및 도 9는 도 1의 A-A' 선을 따라 절단한 단면도이다.
- [0058] 도 1 내지 도 3, 도 8 및 도 9를 참조하면, 캡핑 패턴(212)의 상면(212U)은, 리세스(215r)를 포함할 수 있다. 다시 말해서, 캡핑 막(212a)은, 리세스(215r)를 포함할 수 있다.
- [0059] 하부막(100)의 상면을 기준으로, 리세스(215r)의 바닥면은, 컨택(219)의 상면(219U)보다 높게 위치할 수 있다. 하부막(100)의 상면을 기준으로, 리세스(215r)의 바닥면은, 층간 절연막(210)의 상면(210U) 보다 낮게 위치할 수 있다.
- [0060] 리세스(215r)는, 비아 컨택(219)에 의해 채워질 수 있다. 다시 말해서, 비아 컨택(219)의 일부는, 캡핑 패턴(212) 내로 삽입될 수 있다. 리세스(215r)의 양 측벽과 바닥면은 모두, 캡핑 막(212a)에 의해 정의될 수 있다. 이 경우, 비아 홀(311)의 하면은, 리세스(215r)의 바닥면에 의해 정의될 수 있다.
- [0061] 또는, 예를 들어, 도 9의 경우와 같이, 비아 홀(311)의 하면의 일부만 리세스(215r)의 바닥면에 의해 정의될 수 있다. 즉, 리세스(215r)의 일측벽은 배리어 막(213)의 제1 부분(213-1)에 의해 정의되고, 리세스(215r)의 타측벽은 캡핑 막(212a)에 의해 정의될 수 있다. 이 경우, 비아 컨택(219)의 하부의 일부는, 리세스(215r)내로 삽입될 수 있고, 비아 컨택(219)의 하부의 나머지 일부는 배리어 막(213)의 제1 부분(213-1) 상에 배치될 수 있다.
- [0062] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

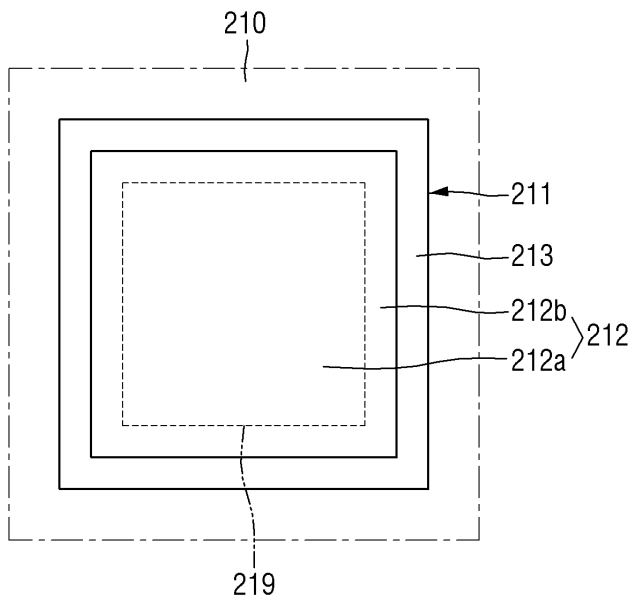
- [0063] 100: 하부막 200: 컨택 구조체
- 211: 컨택 트렌치 212: 캡핑 패턴
- 213: 배리어 막 219: 컨택
- 310: 상부막

도면

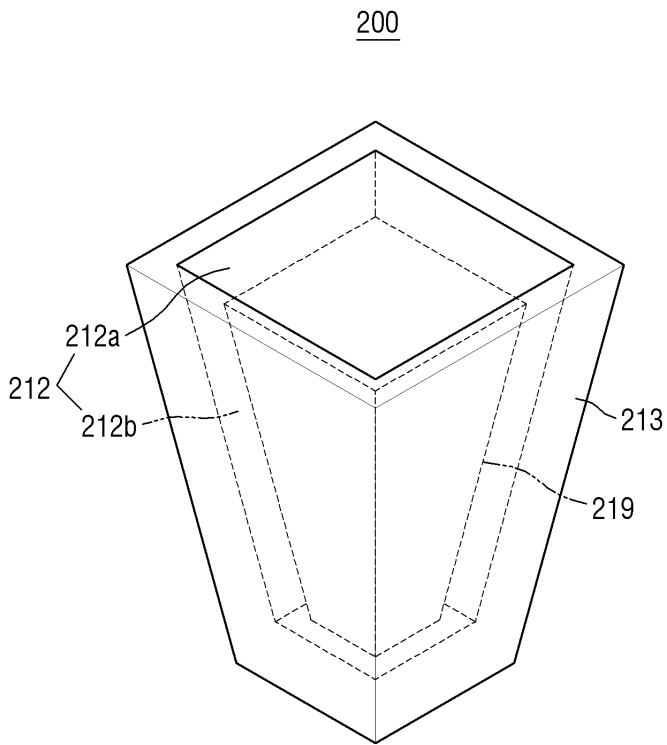
도면1



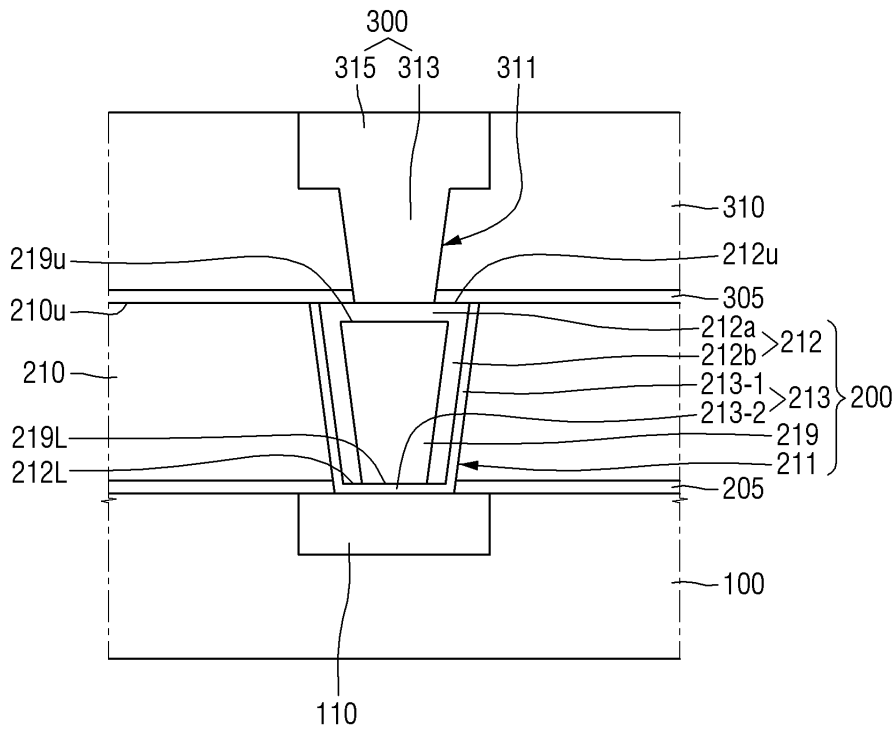
도면2



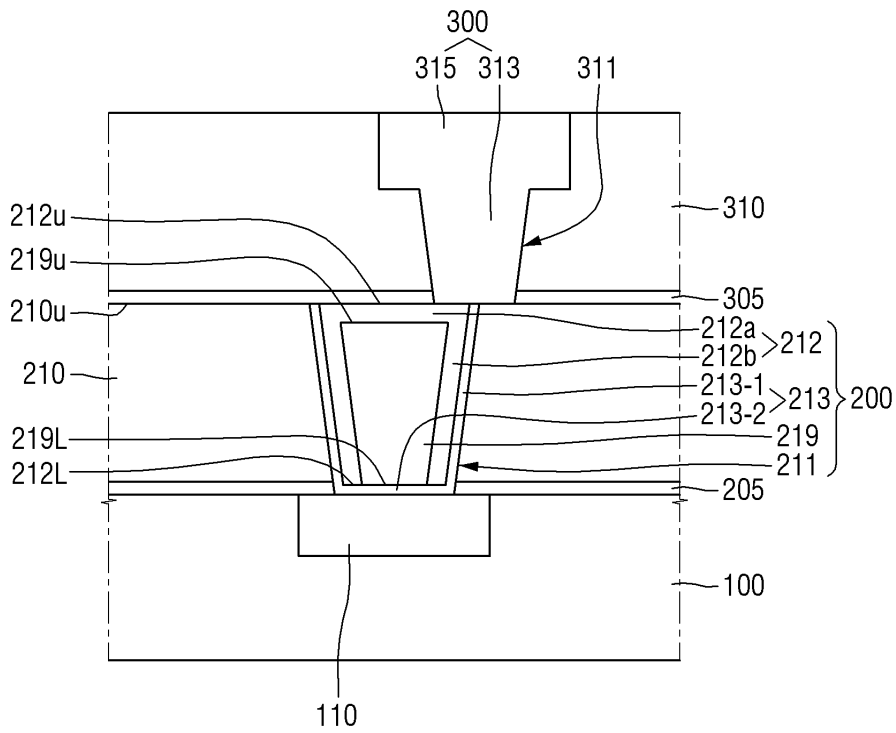
도면3



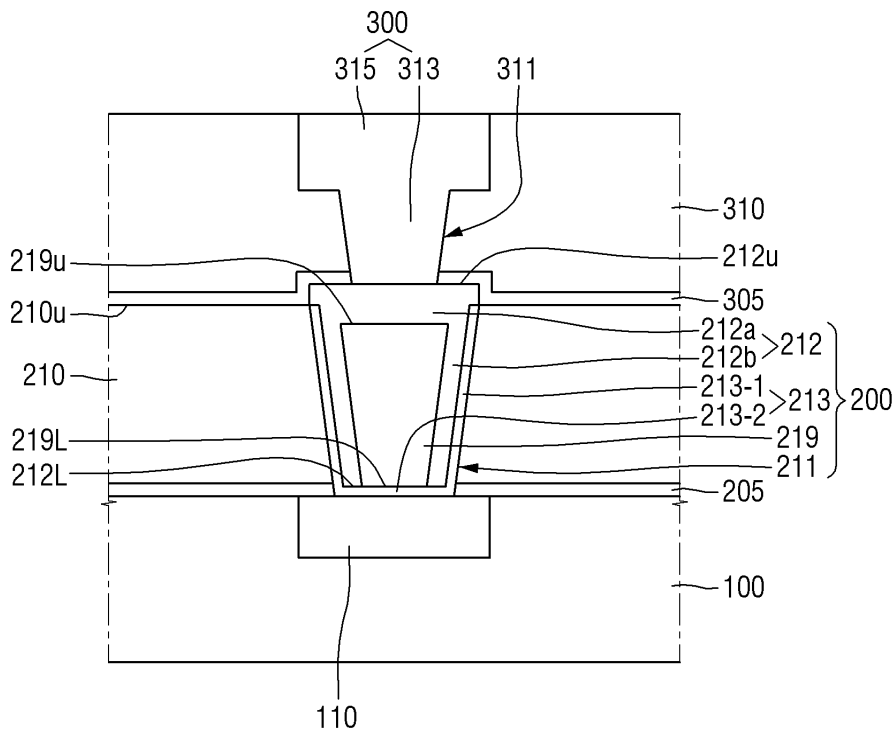
도면4



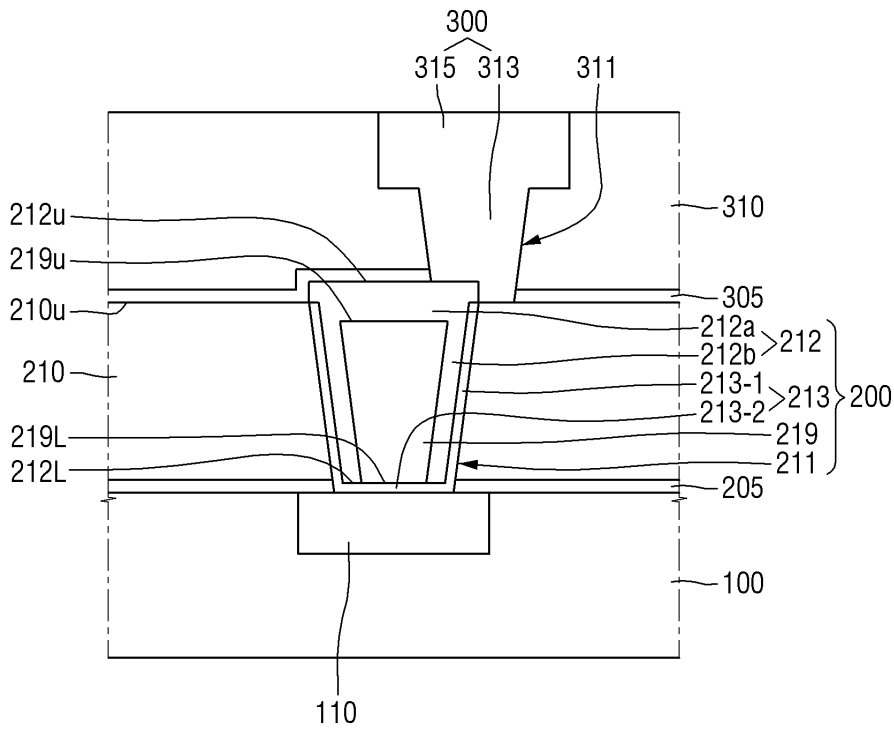
도면5



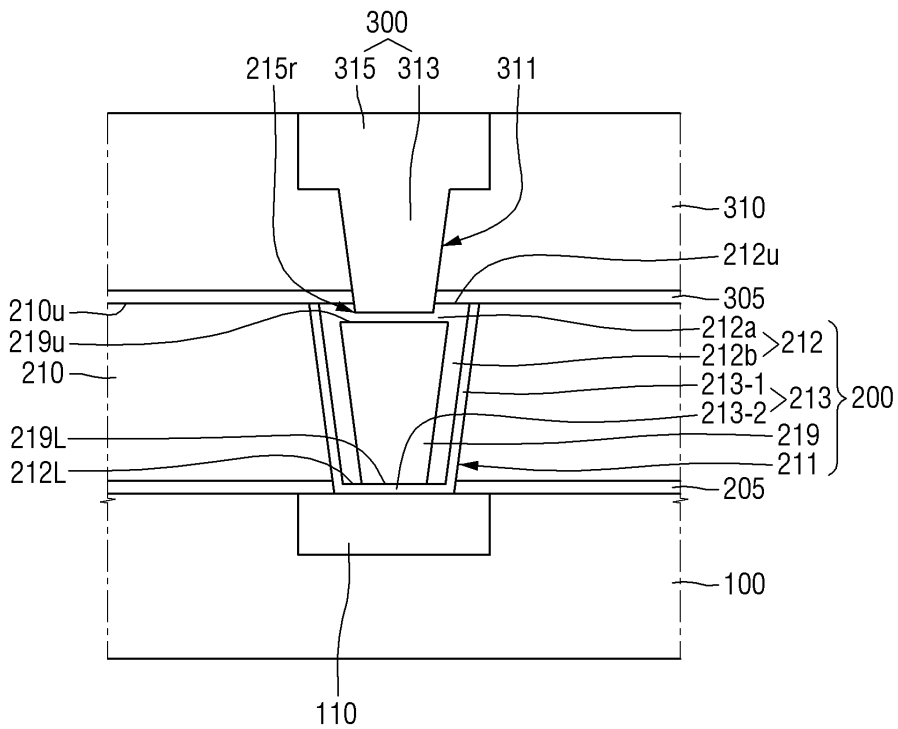
도면6



도면7



도면8



도면9

