

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-224763

(P2017-224763A)

(43) 公開日 平成29年12月21日(2017.12.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO1S 5/227 (2006.01)	HO1S 5/227	5F173
HO1S 5/323 (2006.01)	HO1S 5/323	

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号	特願2016-120151 (P2016-120151)	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成28年6月16日 (2016.6.16)	(74) 代理人	100082175 弁理士 高田 守
		(74) 代理人	100106150 弁理士 高橋 英樹
		(74) 代理人	100148057 弁理士 久野 淑己
		(72) 発明者	土屋 裕彰 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
		(72) 発明者	山口 晴央 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く

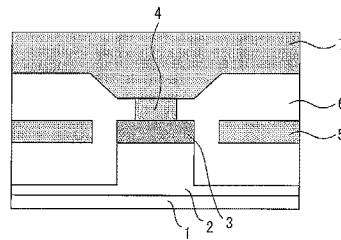
(54) 【発明の名称】 半導体素子の製造方法、半導体素子

(57) 【要約】

【課題】本発明は、弊害なくnつながりを抑制できる半導体素子の製造方法と、その方法で製造された半導体素子を提供することを目的とする。

【解決手段】基板の上方に、p型層と、該p型層の上方の活性層と、該活性層の上方のn型層と、を有するメサ部を形成するメサ部形成工程と、該メサ部の左右に、p型電流ブロック層と、該p型電流ブロック層の上方のn型電流ブロック層と、該n型電流ブロック層の上方のi型又はp型の電流ブロック層と、を有する電流狭窄部を形成する電流狭窄部形成工程と、該i型又はp型の電流ブロック層と、該n型電流ブロック層の上側の部分と、該n型層の左右の部分にp型不純物を気相拡散又は固相拡散させて、該n型電流ブロック層の上側の部分と、該n型層の左右の部分と、をp型半導体とするp型化工程と、を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板の上方に、p型層と、前記p型層の上方の活性層と、前記活性層の上方のn型層と、を有するメサ部を形成するメサ部形成工程と、

前記メサ部の左右に、p型電流ブロック層と、前記p型電流ブロック層の上方のn型電流ブロック層と、前記n型電流ブロック層の上方のi型又はp型の電流ブロック層と、を有する電流狭窄部を形成する電流狭窄部形成工程と、

前記i型又はp型の電流ブロック層と、前記n型電流ブロック層の上側の部分と、前記n型層の左右の部分にp型不純物を気相拡散又は固相拡散させて、前記n型電流ブロック層の上側の部分と、前記n型層の左右の部分と、p型半導体とするp型化工程と、を備えたことを特徴とする半導体素子の製造方法。

10

【請求項 2】

前記基板はInPであり、

前記p型層はZnがドーパされたInPであり、

前記n型層はSがドーパされたInPであり、

前記p型電流ブロック層はZnがドーパされたInPであり、

前記n型電流ブロック層はSがドーパされたInPであり、

前記p型不純物はZnであることを特徴とする請求項1に記載の半導体素子の製造方法

。

【請求項 3】

前記p型化工程では、前記p型不純物の拡散源となる膜を電流狭窄部の上に形成し、前記p型不純物を固相拡散させることを特徴とする請求項1又は2に記載の半導体素子の製造方法。

20

【請求項 4】

基板と、

前記基板の上方に形成されたp型層と、前記p型層の上方に形成された活性層と、前記活性層の上方に形成されたn型層と、を有するメサ部と、

前記メサ部の左右にp型電流ブロック層とn型電流ブロック層とを有する電流狭窄部と、を備え、

前記n型層は前記活性層よりも幅が小さいことを特徴とする半導体素子。

30

【請求項 5】

前記n型層の幅は前記活性層の幅より100nm以上小さいことを特徴とする請求項4に記載の半導体素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば光通信などに用いられる半導体素子の製造方法と、その製造方法で製造された半導体素子に関する。

【背景技術】

【0002】

通信系レーザはサイリスタ構造の電流狭窄層を備える。この電流狭窄層はBH構造と呼ばれたり、電流ブロック層と呼ばれたりすることがある。電流狭窄層を形成したことによってn型クラッド層と電流狭窄層のn型領域が繋がらないようにすべきである。n型クラッド層と電流狭窄層のn型領域が繋がらなことを、「nつながり」という。nつながりを抑制するために、電流狭窄層中の不純物濃度を最適化したり、成長中にエッチング性ガスを導入して電流狭窄層の形状を制御したりすることがある。

40

【0003】

特許文献1には、p型の電流ブロック層中の高濃度不純物をn型の電流ブロック層に拡散させることによって、n型の電流ブロック層のメサ部近傍の一部領域をp型に反転させる技術が開示されている。

50

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開昭63-202985号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

電流狭窄層の成長中のエッチングが不十分である場合、又はメサ部若しくは選択成長マスク近傍にて結晶の異常成長が生じた場合、「nつながり」が発生することがある。電流狭窄層の形成中にエッチング性ガスを導入する場合、エッチング性ガスの導入量がばらついたり、エッチングが困難な部分が生じたりすると、nつながりを確実に解消できない。また、電流ブロック層のp型不純物濃度を高くする場合、p型不純物が活性層に拡散して素子特性を悪化させたり、p型不純物がn型電流ブロック層に拡散して電流リークの抑制効果を損なったりする。弊害なくnつながりを抑制する方法は見出されていなかった。

10

【0006】

本発明は、上述のような課題を解決するためになされたもので、弊害なくnつながりを抑制できる半導体素子の製造方法と、その方法で製造された半導体素子を提供することを目的とする。

【課題を解決するための手段】

【0007】

20

本願の発明に係る半導体素子の製造方法は、基板の上方に、p型層と、該p型層の上方の活性層と、該活性層の上方のn型層と、を有するメサ部を形成するメサ部形成工程と、該メサ部の左右に、p型電流ブロック層と、該p型電流ブロック層の上方のn型電流ブロック層と、該n型電流ブロック層の上方のi型又はp型の電流ブロック層と、を有する電流狭窄部を形成する電流狭窄部形成工程と、該i型又はp型の電流ブロック層と、該n型電流ブロック層の上側の部分と、該n型層の左右の部分にp型不純物を気相拡散又は固相拡散させて、該n型電流ブロック層の上側の部分と、該n型クラッド層の左右の部分と、p型半導体とするp型化工程と、を備えたことを特徴とする。

【0008】

本願の発明に係る半導体素子は、基板と、該基板の上方に形成されたp型層と、該p型層の上方に形成された活性層と、該活性層の上方に形成されたn型層と、を有するメサ部と、該メサ部の左右にp型電流ブロック層とn型電流ブロック層とを有する電流狭窄部と、を備え、該n型層は該活性層よりも幅が小さいことを特徴とする。

30

【発明の効果】

【0009】

本発明によれば、p型不純物を気相拡散又は固相拡散させてnつながりを解消するので、弊害なくnつながりを抑制できる。

【図面の簡単な説明】

【0010】

40

【図1】実施の形態に係る半導体素子の断面図である。

【図2】基板の上に複数の層を形成したことを示す図である。

【図3】メサ部を形成したことを示す図である。

【図4】電流狭窄部を形成したことを示す図である。

【図5】nつながりを解消したことを示す図である。

【図6】コンタクト層を形成したことを示す図である。

【発明を実施するための形態】

【0011】

本発明の実施の形態に係る半導体素子の製造方法と半導体素子について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

50

【0012】

実施の形態。

図1は、実施の形態に係る半導体素子の断面図である。この半導体素子は、Znがドーブされたp型InPを材料とする基板1の上に、メサ部と、メサ部を埋め込む電流狭窄部とを形成した半導体レーザ素子である。メサ部は、基板1の上方に形成されたp型層2と、p型層2の上方に形成された活性層3と、活性層3の上方に形成されたn型層4と、を有する。メサ部は、リッジ導波路を提供する。

【0013】

p型層2は例えばp型クラッド層であるが、バッファ層又は光ガイド層などを備えても良い。n型層4は例えばn型クラッド層であるが、バッファ層又は光ガイド層などを備えても良い。n型層4は活性層3よりも幅が小さい。n型層4の幅は活性層3の幅より例えば100nm以上小さい。

10

【0014】

電流狭窄部は、メサ部の左右にp型電流ブロック層6とn型電流ブロック層5とを有する。p型電流ブロック層6はメサ部に接するが、n型電流ブロック層5はメサ部に接しない。n型電流ブロック層5とメサ部の間にはp型電流ブロック層6がある。メサ部と電流狭窄部の上にはコンタクト層7が形成されている。

【0015】

図2-6を参照して、本発明の実施の形態に係る半導体素子の製造方法を説明する。半導体素子を構成する各半導体層は有機金属気相成長法又は分子線エピタキシャル成長法などを用いて形成することができる。

20

【0016】

1. メサ部形成工程

まず、図2に示す構造を作成する。すなわち、基板1の上に、有機金属気相成長法を用いp型層2A、活性層3A及びn型層4Aを順次形成する。p型層2Aは、例えば、成長温度550~700で、厚みが0.5~2.0 μm となり、キャリア濃度が $0.05 \sim 2.5 \times 10^{18} \text{cm}^{-3}$ になるように形成する。p型層2Aは例えば、Znがドーブされたp型InPクラッド層である。

【0017】

活性層3Aは、例えば厚み0.05~0.2 μm のInGaAsPである。n型層4Aは、例えば、Sがドーブされた厚みが0.5~2 μm のn型InPクラッド層である。n型層4Aのキャリア濃度は例えば $0.05 \sim 5.0 \times 10^{18} \text{cm}^{-3}$ とする。

30

【0018】

次いで、エッチングにより図3に示すメサ部を形成する。メサ部を形成するとき、まずは、スパッタ装置を用いてn型層4Aの上にSiO₂マスク10を形成する。そして、ICP装置によるエッチングで、基板1が露出する程度までエッチングし、高さ1.5~4.0 μm のメサ部を形成する。メサ部は、基板1の上方に、p型層2と、p型層2の上方の活性層3と、活性層3の上方のn型層4Bとを有する。メサ部を形成する工程をメサ部形成工程という。

【0019】

2. 電流狭窄部形成工程

次いで、図4に示す電流狭窄部を形成する。この工程では、メサ部の左右に、有機金属気相成長法により、p型電流ブロック層6Aと、p型電流ブロック層6Aの上方のn型電流ブロック層5Aと、n型電流ブロック層5Aの上方のi型の電流ブロック層6Bと、を有する電流狭窄部を形成する。成長温度は例えば550~700程度である。なおi型とはアンドープということである。

40

【0020】

p型電流ブロック層6Aは、例えば、厚さが0.1~0.5 μm であり、キャリア濃度を $0.5 \sim 2.0 \times 10^{18} \text{cm}^{-3}$ に設定した、Znがドーブされたp型InP層である。n型電流ブロック層5Aは、例えば、厚さが0.5~2.0 μm で、キャリア濃度を5.

50

$0 \sim 10.0 \text{ E } 18 \text{ cm}^{-3}$ に設定した、S がドーパされた n 型 InP 層である。i 型の電流ブロック層 6 B は、例えば厚さ $0.5 \sim 2.0 \mu\text{m}$ の i-InP 層である。このように、電流狭窄部を形成する工程を電流狭窄部形成工程という。なお、i 型の電流ブロック層 6 B の代わりに、p 型のドーパントをドーピングした層を形成しても良い。

【0021】

電流狭窄部形成工程の直後においては、図 4 に示されるように、n 型電流ブロック層 5 A が薄い延長部 5 a を含んでいる。この延長部 5 a はメサ部の近くに形成される unnecessary 部分である。この延長部 5 a により、n 型電流ブロック層 5 A と n 型層 4 B がつながっている。このような現象を「n つながり」という。

【0022】

3. p 型化工程

次いで、有機金属気相成長装置にて例えば Zn などの p 型不純物を気相拡散させ、i 型の電流ブロック層 6 B と、n 型電流ブロック層 5 A の上側の部分と、n 型層 4 B の左右の部分と、p 型半導体とする。より具体的に言えば、i 型の電流ブロック層 6 B と、n 型電流ブロック層 5 A の上側の部分と、n 型層 4 B の左右の部分に p 型不純物を気相拡散させて、少なくとも n 型電流ブロック層 5 A の上側の部分と、n 型層 4 B の左右の部分と、p 型半導体とする。この工程を p 型化工程という。図 5 には、p 型化工程後の半導体素子の断面図が示されている。n 型電流ブロック層 5 A の上側の部分は、p 型化され、p 型化された部分は図 5 では破線で示されている。n 型層 4 B の左右の部分は p 型化され、p 型化された部分は図 5 では破線で示されている。p 型化工程により、図 4 の延長部 5 a は p 型化し「n つながり」は解消する。また、n 型層 4 B の左右が p 型化された結果、n 型層 4 の幅は活性層 3 の幅より小さくなる。

【0023】

p 型化工程では、気相拡散に代えて、固相拡散で p 型不純物を拡散させてもよい。固相拡散の場合、p 型不純物の拡散源となる膜を電流狭窄部の上に形成し、p 型不純物を固相拡散させる。拡散源となる膜は、例えば ZnO などの酸化膜である。

【0024】

4. コンタクト層形成工程

次いで、 SiO_2 マスク 10 を除去し、有機金属気相成長法を用いコンタクト層を形成する。図 6 には、メサ部と電流狭窄部の上に形成されたコンタクト層 7 が示されている。コンタクト層 7 は、例えば、成長温度 $550 \sim 700$ で、キャリアである S の濃度が $1.0 \sim 15.0 \text{ E } 18 \text{ cm}^{-3}$ となるように形成した、S ドープ n 型 InP 層である。コンタクト層 7 の厚さは例えば $1.0 \sim 3.0 \mu\text{m}$ である。

【0025】

上述した各工程を実施することで、図 1 に示す半導体素子が完成する。本発明の実施の形態に係る半導体素子の製造方法によれば、「n つながり」を抑制するために、p 型化工程で、図 4 の延長部 5 a を p 型化させる。これにより n つながりを解消することができる。

【0026】

ところで、図 4 の構造を形成した段階又は n 型電流ブロック層 5 A を形成した段階で、n つながりを解消するために、HCl などのエッチングガスを導入し延長部 5 a を除去することも考えられる。しかし、エッチング性ガスの導入量のばらつき及びメサ加工時の表面荒れによりエッチングが困難な成長面が現れることにより、n つながりを解消できないことがある。また、エッチング性ガスにより SiO_2 マスク 10 がダメージを受けると、電流狭窄層の成長異常などの問題があった。

【0027】

また、図 4 の p 型電流ブロック層 6 A 又は i 型の電流ブロック層 6 B に、n 型電流ブロック層 5 A の不純物濃度より十分高い p 型不純物をドーピングしておくことも考えられる。この場合、p 型電流ブロック層 6 A 又は i 型の電流ブロック層 6 B の p 型不純物が、n 型電流ブロック層 5 A に拡散することで延長部 5 a の解消が期待できる。しかし、この場合、

10

20

30

40

50

後続のコンタクト層形成工程において印加される熱により、p型電流ブロック層6A又はi型の電流ブロック層6Bのp型不純物が活性層3に拡散してレーザ発光効率を低下させるおそれがある。また、p型電流ブロック層6A又はi型の電流ブロック層6Bのp型不純物濃度を、n型電流ブロック層5Aの不純物濃度より十分高くすると、n型電流ブロック層5Aのn型キャリアが補償されて、電流狭窄部における電流リーク抑制効果が損なわれてしまう。

【0028】

これに対し、本発明の実施の形態に係る半導体素子の製造方法では、p型不純物の気相拡散又は固相拡散によりnつながりを解消するので、エッチングガスで延長部5aを除去する場合に生じる弊害はない。また、p型電流ブロック層6A又はi型の電流ブロック層6Bのp型不純物濃度を、n型電流ブロック層5Aの不純物濃度より十分高くする必要もないので、レーザ発光効率の低下及び電流リーク抑制効果の毀損はない。

10

【0029】

このように本発明の実施の形態に係る半導体素子の製造方法によれば、弊害なくnつながりを抑制することができる。さらに、p型化工程では、n型層4Bの左右の部分をp型化させるので、電流狭窄効果を向上する効果を得ることができる。

【0030】

本発明の実施の形態に係る半導体素子の製造方法は、その特徴を失わない範囲で様々な変形をなし得る。例えば、SiO₂膜の形成には熱CVDなどの酸化膜形成装置を用いてもよいし、メサ部の形成にRIE装置でのドライエッチング又は薬液によるウェットエッチングを用いることも可能である。p型化工程におけるZnの不純物拡散には熱拡散炉を用いてもよいし固相拡散を用いることも可能である。

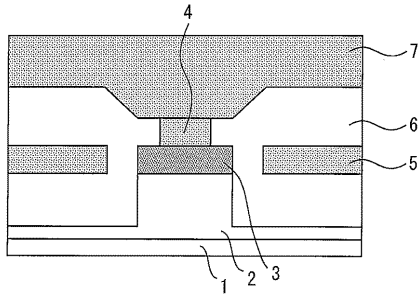
20

【符号の説明】

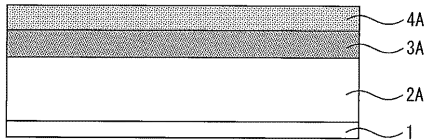
【0031】

- 1 基板、
- 2 p型層、
- 3 活性層、
- 4 n型層、
- 5 n型電流ブロック層、
- 6 p型電流ブロック層

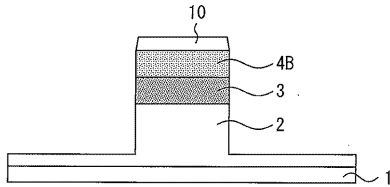
【図 1】



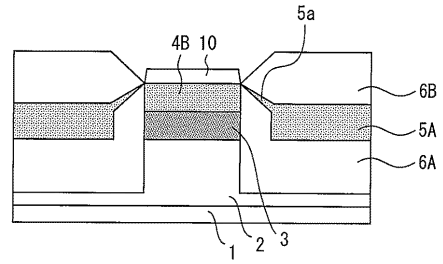
【図 2】



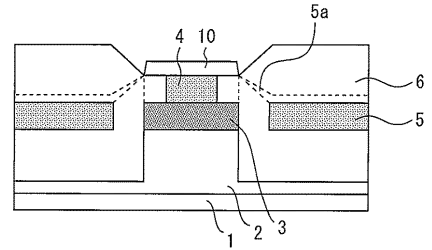
【図 3】



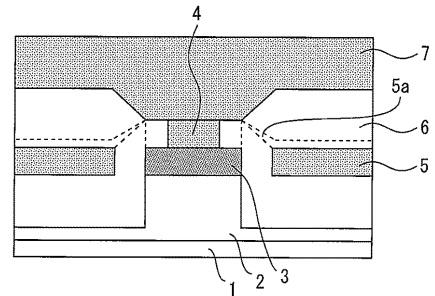
【図 4】



【図 5】



【図 6】



【手続補正書】

【提出日】平成29年8月2日(2017.8.2)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本願の発明に係る半導体素子の製造方法は、基板の上方に、p型層と、該p型層の上方の活性層と、該活性層の上方のn型層と、を有するメサ部を形成するメサ部形成工程と、該メサ部の左右に、p型電流ブロック層と、該p型電流ブロック層の上方のn型電流ブロック層と、該n型電流ブロック層の上方のi型又はp型の電流ブロック層と、を有する電流狭窄部を形成する電流狭窄部形成工程と、該i型又はp型の電流ブロック層と、該n型電流ブロック層の上側の部分と、該n型層の左右の部分にp型不純物を気相拡散又は固相拡散させて、該n型電流ブロック層の上側の部分と、該n型層の左右の部分と、をp型半導体とするp型化工程と、を備えたことを特徴とする。

フロントページの続き

(72)発明者 中井 栄治

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

Fターム(参考) 5F173 AA26 AA48 AF92 AF98 AH14 AP33 AP52 AP53 AP60 AR24