(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03H 17/00

(45) 공고일자 1999년07월15일
(11) 등록번호 10-0209670
(24) 등록일자 1999년04월22일

(21) 출원번호 10-1996-0002626
(22) 출원일자 1996년02월03일
(65) 공개번호 특1997-0063925
(43) 공개일자 1997년09월12일

(73) 특허권자 엘지전자주식회사 구자홍
서울특별시 영등포구 여의도동 20번지
(72) 발명자 곽흥식
경기도 성남시 분당구 서현동 우성아파트 228동 1703호
(74) 대리인 김용인, 심창섭

심사관 : 김재문

(54) 자동계수갱신기능을 갖는 디지탈 필터

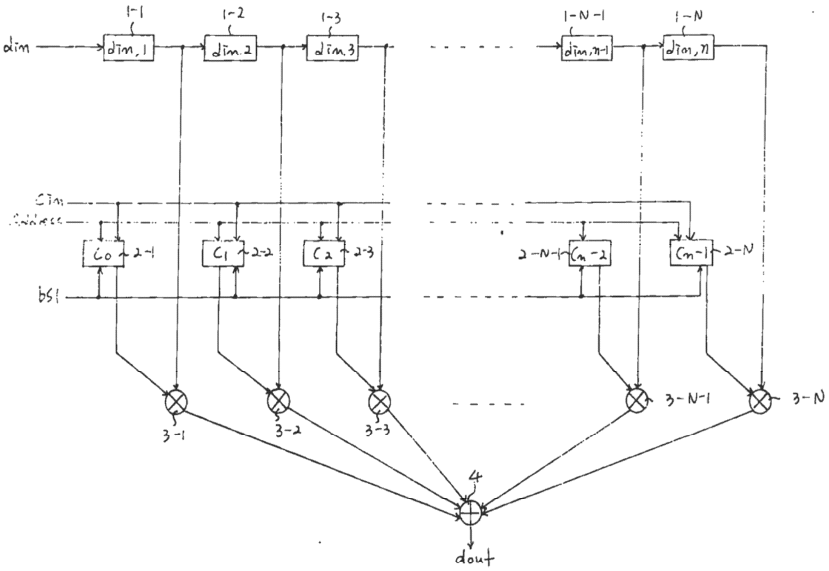
요약

본 발명은 외부의 제어없이 필터의 계수를 자동으로 갱신하는 기능을 내장한 자동계수 갱신 기능을 갖는 디지탈 필터에 관한 것이다.

본 발명은 종래의 외부에서 주어진 필터계수값들을 이용하여 동작하므로 외부에 계수를 저장하는 메모리가 별도로 필요하고, 또 이를 필터내부에 다운 로드하기 위한 제어블럭이 별도로 있어야 하며, 계수갱신이 실시간으로 동작하지 못하던 점을 감안하여 자체적으로 필터 계수를 갱신하는 계수갱신블럭을 필터내부에 내장함으로써 모터외부에 계수를 저장하는 별도의 메모리 및 갱신된 계수를 필터내부로 다운 로드하기 위한 제어부 등의 회로가 필요없도록 하며, 계수갱신도 실시간으로 동작할 수 있도록 하여 전체적으로는 실시간 적응 필터링이 가능토록 한 것이다.

그리고 본 발명은 음성신호처리 및 디지탈 통신분야에 적용가능하다.

대표도



명세서

[발명의 명칭]

자동계수갱신기능을 갖는 디지탈 필터

[도면의 간단한 설명]

제1도는 일반적인 디지탈 필터의 구성도.

제2도는 제1도의 계수용 메모리의 구성도.

제3도는 본 발명에 따른 자동계수갱신기능을 갖는 디지탈 필터의 제1실시예도.

제4도는 제3도의 계수 갱신부의 구성도.

제5도는 본 발명에 따른 자동계수갱신기능을 갖는 디지탈 필터의 제2실시예도.

제6도는 제5도의 계수 갱신부의 구성도.

제7도는 본 발명의 제2실시예의 계수 갱신부의 동작모드를 나타낸 표.

* 도면의 주요부분에 대한 부호의 설명

5-1 ~ 5-N, 10-1 ~ 10-N : 데이타용 메모리 6, 13 : 딜레이용 메모리

7-1 ~ 7-N, 14-1 ~ 14-N : 계수 갱신부 7a : 곱셈기

7b : 쉬프터 7c, 14a : 초기화부

7d, 14b : 계수저장 메모리 7e, 14c, 9, 16 : 가산기

8-1 ~ 8-N, 15-1 ~ 15-N : 곱셈기

[발명의 상세한 설명]

본 발명은 디지탈 필터에 관한 것으로, 특히 외부의 제어없이 필터의 계수를 자동으로 갱신하는 기능을 내장한 자동계수갱신기능을 갖는 디지탈 필터에 관한 것이다. 일반적으로 많이 사용되고 있는 디지탈 필터는 제1도에 나타낸 바와 같이 리니어 시스템으로 모델링하고 사용하고 있다.

그리고 이와 같이 모델링 된 디지탈 필터는 데이타를 8비트, 필터 계수를 10비트로 할 때 288탭에 이르는 거대한 크기가 1칩으로 구현되고 있다.

그리고 제1도는 대표적인 디지탈 필터인 FIR(Dinite Impulse Response)필터를 나타낸 것으로, 입력 데이타(din)는 연속된 플립플롭으로 이루어진 데이타용 메모리(1-1 ~ 1-N)에 입력되어 시스템 클럭이 전이(Transition)될 때마다 계속 오른쪽의 화살표 방향으로 쉬프트된다.

그리고 상기 데이타용 메모리(1-1 ~ 1-N)에 저장되어 있는 데이타($din_{,1}$, $din_{,2}$, …… $din_{,n}$)와 계수용 메모리(2-1 ~ 2-N)에 저장되어 있는 필터 계수(C_0, C_1, …… C_{n-1})는 곱셈기(3-1 ~ 3-N)에서 곱해진 후, 전체 n개의 필터 탭에 대해 가산기(4)에서 더해진 후 출력되어진다.

이때, 상기 계수용 메모리(2-1 ~ 2-N)에 필터 계수(Cin)의 값을 로딩하기 위해 외부에서 계수용 메모리(2-1 ~ 2-N)중에서 몇번째 탭인가를 나타내는 어드레스 신호(Address)와 계수(Cin)값을 입력하도록 되어 있다. 즉, 디지탈 필터는 계수(Cin)와 어드레스를 사용하여 외부에서 입력한 각 탭의 필터 계수(C_0, C_1, …… C_{n-1})와 각 탭 별로 쉬프트되어져 있는 데이타($din_{,1}$, $din_{,2}$, …… $din_{,n}$)를 곱한 후, 전체 탭의 결과를 가산하는 동작을 수행한다.

한편, 적응필터링을 위해서는 상기 계수용 메모리(2-1 ~ 2-N)를 제2도와 같이 2개로 병렬로 구성한 후, 뱅크선택신호(Bank Select Signal)(bs1)를 사용하여 워킹 뱅크(Working Bank)와 섀도우 뱅크(Shadow Bank)로 나누어 처리하고 있다.

즉, 현재 메모리(2a)에 저장된 계수(Ck1)가 뱅크선택신호(bs1)에 의해 멀티플렉서(MUX1)를 통해 출력되고 있으면 메모리(2b)는 섀도우 뱅크로 정의되어 어드레스와 계수(Cin)에 의해 외부에서 업데이트 가능하며, 이때 상기 메모리(2a), (2b)는 어드레스 디코더(2c)를 통하여 어드레스를 입력받는다.

그리고 전체 n탭에 대하여($C_{1,\ 2}$, $C_{2,\ 2}$, …… $C_{n-1,\ 2}$)의 계수가 새로운 계수로 바뀌었으면 뱅크선택신호(bs1)를 반전시켜 워킹 뱅크와 섀도우 뱅크를 바꾸어준다.

즉, 이번에는 메모리(2b)가 워킹 뱅크가 되어 메모리(2b)에 저장된 계수(Ck, 2)가 뱅크선택신호(bs1)에 의해 멀티플렉서(MUX1)를 통해 출력되고, 메모리(2a)는 섀도우 뱅크가 되어 외부에서 새로운 계수($C_{1,\ 1}$, $C_{2,\ 1}$, …… $C_{n-1,\ 1}$)로 업데이트 가능해진다. 이와 같이 하여 현재의 필터동작에 영향을 주지 않고 필터계수를 업데이트할 수 있고, 업데이트가 완료되면 계수 뱅크를 바꾸어 새로운 계수를 이용하여 필터를 동작시킨다.

그러나 상기와 같은 종래의 필터는 외부에서 주어진 필터계수값들을 이용하여 동작하므로 적응 필터링의 용도에는 부적합하였다. 왜냐하면 적응필터링시에는 외부에서 필터계수를 갱신하는 기능을 사용하게 되는데, 이때 외부에서도 필터내부에 저장되어 있는 계수를 동일하게 저장하고 있다가 새로운 필터 계수가 갱신되면 이를 필터 내부로 로딩하여야만 하며, 이와 같이 되면 외부에 계수를 저장하는 메모리가 별도로 필요하고, 또 이를 필터 내부에 다운 로드하기 위한 제어블럭이 별도로 있어야 하며, 계수갱신이 실시간(Real Time)으로 동작하지 못하기 때문에 발생하는 문제를 없애기 위한 블록이 필요하는 등 회로의 크기가 매우 커지며, 그러면서도 전체적으로는 실시간 적응 필터링 동작을 수행하지 못하는 단점이 있었다.

본 발명은 이러한 문제점을 해결하기 위한 것으로, 본 발명의 목적은 자체적으로 필터 계수를 갱신하는 계수갱신블럭을 필터내부에 내장함으로써 필터외부에 계수를 저장하는 별도의 메모리 및 갱신된 계수를 필터내부로 다운 로드하기 위한 제어블럭 등의 회로가 필요없도록 하며, 계수갱신도 실시간으로 동작할 수 있도록 하여 전체적으로는 실시간 적응 필터링이 가능토록 한 자동계수갱신기능을 갖는 디지탈 필터를 제공함에 있다.

이러한 목적을 달성하기 위한 본 발명의 특징은 입력 데이타가 순차적으로 저장되는 데이타용 제1-제N 메모리와, 상기 입력 데이타를 외부에서 에러신호 계산시의 지연 클럭만큼 지연시켜 사용하기 위한 딜레이용 메모리와, 상기 딜리이용 메모리의 데이타 출력과 외부에서 입력되는 에러신호 및 어드레스신호를 이용하여 계수 갱신을 행하는 제1 - 제N계수 갱신부와, 상기 제1-제N 계수 갱신부에 의해 갱신된 계수와

상기 제1-제N 데이타용 메모리의 해당 출력 데이타를 곱하는 제1-제N 곱셈기와, 상기 제1-제N 곱셈기의 출력을 가산하는 가산기로 구성되는 자동계수갱신기능을 갖는 디지탈 필터에 있다.

본 발명의 다른 특징은 입력 데이타가 순차적으로 저장되는 제1-제N 데이타용 메모리와, 입력 데이타의 데이타 정보가 입력되는 정보 검출부와, 상기 정보 검출부의 출력이 상기 제1-제N 데이타용 메모리의 해당 데이타와 같은 위치로 순차적으로 쉬프트되는 제1-제N 정보 저장부와, 상기 제1-제N 정보 저장부의 출력을 외부에서의 에러신호 계산과정의 지연클럭 만큼 지연시키기 위한 딜레이용 메모리와, 상기 딜레이용 메모리로부터의 딜레이된 데이타 정보와 외부에서 입력되는 에러신호가 음수인지 또는 양수인지와 그 크기가 일정크기보다 작은가 큰가의 에러신호정보 및 어드레스신호를 이용하여 계수를 갱신하는 제1-제N 계수 갱신부와, 상기 제1-제N 계수 갱신부에 의해 얻어지는 계수와 상기 제1-제N 데이타용 메모리의 해당 출력 데이타를 곱하는 제1-제N 곱셈기와, 상기 제1-제N 곱셈기의 출력을 가산하는 가산기로 구성되는 자동계수갱신기능을 갖는 디지탈 필터에 있다.

이하, 본 발명의 실시예를 첨부도면을 참조로 하여 상세히 설명한다.

제3도는 본 발명에 따른 자동 계수 갱신 기능을 갖는 디지탈 필터의 제1실시예도를 도시한 것으로, 입력 데이타가 순차적으로 저장되는 데이타용 메모리(5-1 ~ 5-N)와, 상기 입력 데이타를 에러신호 계산시의 지연 클럭만큼 지연시켜 사용하기 위한 딜레이용 메모리(6)와 상기 딜레이용 메모리(6)의 데이타 출력과 외부에서 입력되는 에러신호(error) 및 어드레시신호를 이용하여 계수 갱신을 행하는 계수 갱신부(7-1 ~ 7-N)와, 상기 계수 갱신부(7-1 ~ 7-N)에 의해 갱신된 계수와 상기 데이타용 메모리(5-1 ~ 5-N)의 해당 출력 데이타를 곱하는 곱셈기(8-1 ~ 8-N)와, 상기 각 곱셈기(8-1 ~ 8-N)의 출력을 가산하는 가산기(9)로 구성된다.

그리고 상기 각 계수 갱신부(7-1 ~ 7-N)는 제4도에 도시한 바와 같이 상기 딜레이용 메모리(6)의 출력과 에러신호를 곱하는 곱셈기(7a)와, 상기 곱셈기(7a)의 출력을 지정된 스텝 사이즈(△)만큼 쉬프트시키는 쉬프터(7b)와, 입력되는 초기화신호가 액티브시 어드레스신호에 의해 지정된 탭만 계수가 1.0이 되도록 초기화하고 나머지 지정되지 않은 탭은 계수를 0.0으로 하는 초기화부(7c)와, 현재 탭의 계수가 저장되어 있으며 현재 탭으로부터 계산될 새로운 탭의 계수가 저장되어 있으며 현재 탭으로부터 계산될 새로운 탭의 계수가 저장될 계수저장 메모리(7d)와 상기 쉬프터(7b)의 출력과 계수저장 메모리(7d)에 저장되어 있는 현재 탭의 계수를 가산하여 새로운 탭의 계수로 갱신하여 출력함과 동시에 상기 초기화부(7c)를 통해 상기 계수저장 메모리(7d)에 저장하는 가산기(7e)로 구성된다.

상기와 같이 구성된 본 발명에서 입력 데이타(din)는 데이타용 메모리(5-1 ~ 5-N)에 입력되어 시스템 클럭이 입력될 때마다 화살표 방향으로 쉬프트되며, 입력 데이타(din)는 상기 데이타용 메모리(5-1 ~ 5-N)를 거쳐 딜레이용 메모리(6)에 저장된다. 이때, 상기 입력 데이타들을 딜레이용 메모리(6)에 저장하는 것은 후술될 계수 갱신부(7-1 ~ 7-N)에서 계수 갱신에 이용되는 에러신호의 계산과정에서 발생하는 시간 지연 만큼 해당 입력 데이타를 지연시켜 사용하기 위해서이다.

그리고 상기 계수 갱신부(7-1 ~ 7-N)는 필터 외부에 입력되는 에러신호와 현재의 탭으로부터 m번째 뒤의 탭에 저장되어 있는 데이타 즉, 딜레이용 메모리(6)의 출력 데이타를 이용하여 새로운 필터 계수를 계산한다.

이때, 적응필터링 분야에서는 구현해야 되는 하드웨어의 크기와 이때의 크기대비 성능을 고려하면 일반적으로 LMS(Least Mean Square)알고리즘이 우수하므로 이 알고리즘을 사용하며, LMS 알고리즘에서 필터의 계수를 갱신할 때 사용되는 식은 다음의 (1)식과 같다.

$$C_k^{j+1} = C_k^j + \triangle \cdot error \cdot din_{,k+1} \quad \cdots\cdots (1)식$$

여기서, C_k는 필터의 K+1번째 탭의 계수이고, △는 필터 계수를 갱신할 때 사용하는 인자(Factor)인 스텝 사이즈이고, error는 외부에서 입력한 에러신호이며, din_{k+1}는 k+1번째 탭에 저장되어 있는 데이타이다.

그리고 상기 error는 적응 필터링 알고리즘 마다 차이가 있으나 일반적으로 기준신호와 필터의 출력과의 차이로 구한다.

그런데 하드웨어로 상기 (1)식의 수식을 구현하게 되면 필터의 출력을 계산하고 또 이 결과로부터 에러를 계산하는 등 계산량이 매우 방대하므로 최소한 1클럭 이상의 지연시간이 필요하다.

따라서 본 발명에서는 (1)식의 수식을 계산하기까지 걸리는 지연시간을 m이라고 할 경우 하드웨어의 구현을 위해 상기 (1)식을 다음의 (2)식과 같이 수정한다.

$$C_k^{j+1} = C_k^j + \triangle \cdot error \cdot din_{,k+m} \quad \cdots\cdots (2)식$$

그리고 상기 (2)식은 상기 딜레이용 메모리(6)을 거쳐 m딜레이된 심볼을 이용하여 계수 갱신부(7)를 동작시켜 구현하게 된다.

여기서, 상기 m이라는 딜레이의 의미를 구체적으로 살펴보면 데이타용 메모리(5-1 ~ 5-N)의 데이타와 필터 계수를 곱셈기(8)에서 곱한 후, 가산기(9)에 의해 전체 n탭의 결과를 더하는 과정의 지연시간과, 필터의 외부에서 적응 필터링의 에러를 계산하는 알고리즘에 의해 필터의 출력 데이타(dout)를 이용하여 에러를 구한 후에 본 발명의 필터에 입력하는데까지 걸리는 지연 시간을 심볼단위로 환산한 숫자이다.

그리고 상기 계수 갱신부(7)에 입력되는 어드레스 신호의 전체 필터 탭 중에서 중앙(Center) 탭의 위치

를 결정하여 주게 되는데, 초기화(Initialize) 신호가 액티브되면 어드레스 신호에 의해 지정된 탭은 필터 탭의 계수가 1.0에 해당하도록 초기화하고, 그외 지정되지 않은 탭은 필터 탭의 계수를 0.0에 해당하도록 초기화부(7c)에 의해 초기화한다.

그리고 곱셈기(7a)에서 상기 딜레이용 메모리(6)의 출력 데이타인 (m+k)딜레이된 데이타와 외부에서 입력된 에러신호의 곱을 구하고, 곱해진 결과를 쉬프터(7b)를 이용하여 지정된 스텝 사이즈(△)만큼 쉬프트하여 스케일 다운한다.

이와 같이 계산된 결고는 계수저장 메모리(7d)에 저장되어 있는 현재 탭의 계수와 가산기(7e)에서 가산되어 새로운 탭의 계수로 갱신되어져 출력됨과 동시에 다음 탭의 계수 계산을 위해 계수 저장 메모리(7d)에 저장된다.

여기서, 상기 계수 갱신부(7)는 디지탈 필터링을 위해 s개의 비트를 필터 계수로 사용하더라도 계수를 갱신할 때의 안정도와 필터링의 정확도를 위해 p비트의 계수를 LMS쪽에 확장하여 사용한다. 즉, 계수갱신을 위해 사용하는 전체 비트수는 s+p비트이다.

제5도는 본 발명에 따른 자동 계수 갱신 기능을 갖는 디지탈 필터의 제2실시예도를 도시한 것으로, 필터 계수갱신식을 에러신호의 크기정보 및 음수양수정보와 데이타의 크기정보와 음수 또는 양수 정보를 이용하여 보다 간략화함으로써 상기 제1실시에 비해 간략화된 계수갱신회로를 구현한 것이다.

이는 입력 데이타가 순차적으로 저장되는 데이타용 메모리(10-1 ~ 10-N)와, 입력 데이타가 음수인지 양수인지와 그 크기가 일정크기보다 큰가 작은가의 데이타 정보가 입력되는 정보 검출부(11)와, 상기 정보 검출부(11)의 출력이 상기 데이타용 메모리(10-1 ~ 10-N)의 해당 데이타와 같은 위치로 순차적으로 쉬프트되는 정보 저장부(12-1 ~ 12-N)와 상기 정보 저장부(12-1 ~ 12-N)의 출력을 외부에서의 에러신호 계산과정의 지연클럭 만큼 지연시키기 위한 딜레이용 메모리(13)와, 상기 딜레이용 메모리(13)로부터의 딜레이된 데이타 정보와 외부에서 입력되는 에러신호가 음수인지 또는 양수인지와 그 크기가 일정크기보다 작은가 큰가의 에러신호정보 및 어드레스 신호를 이용하여 계수를 갱신하는 계수 갱신부(14-1 ~ 14-N)와, 상기 계수 갱신부(14-1 ~ 14-N)에 의해 얻어지는 계수와 상기 데이타용 메모리(10-1 ~ 10-N)의 해당 출력 데이타를 곱하는 곱셈기(15-1 ~ 15-N)와, 상기 각 곱셈기(15-1 ~ 5-N)의 출력을 가산하는 가산기(16)로 구성된다.

그리고 상기 계수 갱신부(14-1 ~ 14-N)는 제6도에 도시한 바와 같이 상기 에러신호정보와 딜레이용 메모리(13)에 의해 딜레이된 데이타정보에 따라 +1 또는 0 또는 -1을 선택하여 출력하는 멀티플렉서(MUX2)와, 입력되는 초기화신호가 액티브시 어드레스신호에 의해 지정된 탭만 계수가 1.0이 되도록 초기화하고 나머지 지정되지 않은 탭은 계수를 0.0으로 하는 초기화부(14a)와, 현재 탭의 계수가 저장되어 있으며 현재 탭으로부터 계산되는 새로운 탭의 계수가 저장될 계수저장 메모리(14b)와, 상기 멀티플렉서(MUX2)의 출력과 계수저장 메모리(14b)에 저장되어 있는 현재 탭의 계수를 가산하여 새로운 탭의 계수로 갱신하여 출력함과 동시에 상기 초기화부(17a)를 통해 상기 계수저장 메모리(14b)에 저장하는 가산기(14c)로 구성된다.

상기와 같이 구성된 본 발명의 제2실시예는 상기 제1실시예에 나타낸 (2)식과 같이 하드웨어를 구현할 경우 $\triangle \cdot error \cdot din_{,k+m}$의 계산량이 매우 많으므로 이를 다음의 (3)식과 같이 간략화하여 적응필터링을 수행한다.

$$C_k^{j+1} = C_k^j \quad \cdots\cdots ①$$

$$C_k^{j+1} = C_k^j + 1 \quad \cdots\cdots ②$$

$$C_k^{j+1} = C_k^j - 1 \quad \cdots\cdots ③ \quad \cdots\cdots (3)식$$

여기서, 상기 (3)식의 ①의 경우는 외부에서 입력한 적응 필터링 오차(error)의 크기가 일정크기보다 작거나 $din_{,k+m}$의 크기가 일정크기보다 작은 경우로 (2)식의 $\triangle \cdot error \cdot din_{,k+m}$의 결과를 0으로 근사화한 경우이다.

그리고 상기 (3)식의 ②의 경우는 에러와 $din_{,k+m}$의 크기가 모두 일정크기 보다 크면서 부호가 동일한 경우로 $\triangle \cdot error \cdot din_{,k+m}$의 결과를 1로 근사화한 경우이다.

또한, 상기 (3)식의 ③의 경우는 ②의 경우와 크기가 동일하나 에러와 $din_{,k+m}$의 부호가 서로 다르기 때문에 $\triangle \cdot error \cdot din_{,k+m}$의 결과를 -1로 근사화한 경우이다.

즉, 입력되는 에러신호정보 및 데이타정봐에 따라 상기 (3)식의 제7도의 표와 같이 나타낼 수 있다.

그리고 위와 같이 동작하기 위해 필터의 외부에서는 계수 갱신부(14-1 ~ 14-N)로 에러가 일정 크기보다 큰가 또는 작은가와 에러가 양수인가 또는 음수인가의 에러신호정보를 2비트로 입력하며, 정보 검출부(11)에 입력되는 데이타의 크기가 일정크기 보다 큰가 작은가와 음수인가 양수인가의 2비트의 데이타정보를 입력하여야 한다. 그리고 상기 정보 검출부(11)의 출력은 정보 저장부(12-1 ~ 12-N)를 통하여 데이타용 메모리(10-1 ~ 10-N)의 해당 데이타와 같은 위치로 순차적으로 쉬프트되어 딜레이용 메모리(13)에 저장된다.

이때, 상기 딜레이용 메모리(13)가 사용된 것은 계수 갱신부(14-1 ~ 14-N)에 입력될 에러신호정보 입력을 위한 에러신호의 계산클럭만큼 해당 데이타 정보를 지연시키기 위함이다.

그리고 상기 에러신호정보와 데이타정보는 계수 갱신부(14-1 ~ 14-N)에 입력되어 계수값 갱신을 위한 계수값 계산에 이용되게 되며, 상기 계수 갱신부(14-1 ~ 14-N)의 계수 갱신 동작은 다음과 같다.

우선, 초기화부(14a)에는 어드레스신호 및 초기화신호가 입력되는데, 상기 어드레스신호는 전체 필터 탭 중에서 중앙 탭의 위치를 결정하여 주게 되며, 초기화신호가 액티브되면 어드레스에 의해 지정된 탭은 필터 탭의 계수가 1.0에 해당되도록 초기화되고, 나머지 지정되지 않은 탭은 계수가 0.0에 해당되도록 초기화한다.

그리고 멀티플렉서(MUX2)는 입력되는 에러정보 및 딜레이된 데이타 정보에 따라 제7도에 나타낸 표와 같이 동작되도록 +1 또는 0 또는 -1을 선택하여 출력한다.

이에 따라 가산기(14c)는 상기 멀티플렉서(MUX2)의 출력과 계수저장 메모리(14b)의 현재 탭의 계수 출력을 가산하여 새로운 탭의 계수로 출력함과 동시에 이를 초기화부(14a)를 통하여 상기 계수저장 메모리(14b)에 다음 탭의 계수 계산을 위해 저장한다.

그리고 상기 계수 갱신부(14)는 디지탈 필터링을 위해 s개의 비트를 필터 계수로 사용하더라도 계수를 갱신할 때의 안정도와 필터링의 정확도를 위해 p비트의 계수를 LMS쪽에 확장하여 사용한다.

한편, 상기와 같이 구해진 계수는 곱셈기(15-1 ~ 15-N)에서 데이타용 메모리(10-1 ~ 10-N)의 해당 데이타 출력과 곱해진 후, 가산기(16)에서 가산되어 최종 필터 출력으로 출력된다.

이상에서 살펴본 바와 같이 본 발명은 계수갱신기능을 필터내부에 내장함으로써 적응필터링의 동작속도의 한계성을 뛰어넘어 이론상의 속도인 입력 데이타와 같이 속도의 실시간 필터 탭 계수 갱신이 가능토록 되며, 이에 따라 실시간 적응필터링이 가능케 된다.

또한, 필터 계수 갱신부가 필터내부에 내장되므로 종래와 같이 필터 외부에 계수를 저장하는 메모리나 갱신된 계수를 필터 내부로 다운 로드하기 위한 복잡한 제어블럭 등이 필요없게 된다.

(57) 청구의 범위

청구항 1

입력되는 데이타를 순차적으로 시프트하여 저장하는 복수의 제1저장부(5-1, ……, 5-N)와, 상기 입력되는 데이타를 외부에서의 에러신호 계산시에 지연된 클럭만큼 순차적으로 지연한 후 저장시키는 제2저장부(6)와, 상기 제2저장부로부터의 데이타 및 외부에러신호를 사용하여 계수갱신을 각각 수행하는 복수의 계수갱신부(7-1, ……, 7-N)와, 상기 복수의 계수갱신부에 의해 갱신된 계수와 상기 제1저장부의 해당 출력데이타를 각각 곱하는 복수의 곱셈부(8-1, ……, 8-N)와, 상기 복수의 곱셈부의 출력을 가산하는 가산부(9)를 포함하여 구성됨을 특징으로 하는 자동계수갱신기능을 갖는 디지탈 필터.

청구항 2

제1항에 있어서, 상기 복수의 계수갱신부(5-1, ……, 5-N)는, 상기 제2저장부(6)의 출력과 상기 에러신호를 곱하는 곱셈기(7a)와, 상기 곱셈기(7a)의 출력을 지정된 스텝 사이즈만큼 쉬프트시키는 쉬프터(7b)와, 입력되는 초기화신호가 액티브시 어드레스신호에 의해 탭의 계수를 초기화하는 초기화부(7c)와, 현재 탭의 계수가 저장되어 있으며 현재 탭으로부터 계산될 새로운 탭의 계수가 저장되는 계수저장 메모리(7d)와, 상기 쉬프터의 출력과 계수저장 메모리에 저장되어 있는 현재 탭의 계수를 가산하여 출력함과 동시에 상기 초기화부를 통해 상기 계수저장 메모리에 저장하는 가산기(7e)로 구성됨을 특징으로 하는 자동계수갱신기능을 갖는 디지탈 필터.

청구항 3

제2항에 있어서, 상기 계수갱신부(7-1, ……, 7-N)는, 디지탈 필터링을 위해 S개의 비트로 된 하나의 계수를 필요로 하여도, 상기 계수저항메모리의 LMS쪽에 확정된 비트계수와 함께 상기 S개 비트를 사용할 수 있도록 구성됨을 특징으로 하는 자동계수갱신기능을 갖는 디지탈 필터.

청구항 4

입력되는 데이타로 순차적으로 저장하는 복수의 데이타용 메모리(10-1, ……, 10-N)와, 입력되는 데이타로부터 필요한 정보를 검출하는 정보 검출부(11)와, 상기 정보 검출부에서 검출된 정보를 상기 데이타용 메모리의 해당 데이타와 같은 위치로 순차적으로 쉬프트시키는 복수의 정보 저장부(12-1, ……, 12-N)와, 상기 복수의 정보 저장부(12-1, ……, 12-N)의 출력을 외부에서의 에러신호 계산과정의 지연클럭만큼 지연시키기 위한 딜레이용 메모리(13)와, 상기 딜레이용 메모리(13)로부터의 딜레이된 정보와 외부에서 입력되는 에러신호 및 어드레스신호를 이용하여 계수를 갱신하는 복수의 계수갱신부(14-1, ……, 14-N)와, 상기 복수의 계수갱신부(14-1, ……, 14-N)에 의해 얻어지는 계수와 상기 복수의 데이타용 메모리(10-1, ……, 10-N)의 해당 출력 데이타를 곱하는 복수의 곱셈부(15-1, ……, 15-N)와, 상기 복수의 곱셈부의 출력을 가산하는 가산부(16)를 구비하여 구성됨을 특징으로 하는 자동계수갱신기능을 갖는 디지탈 필터.

청구항 5

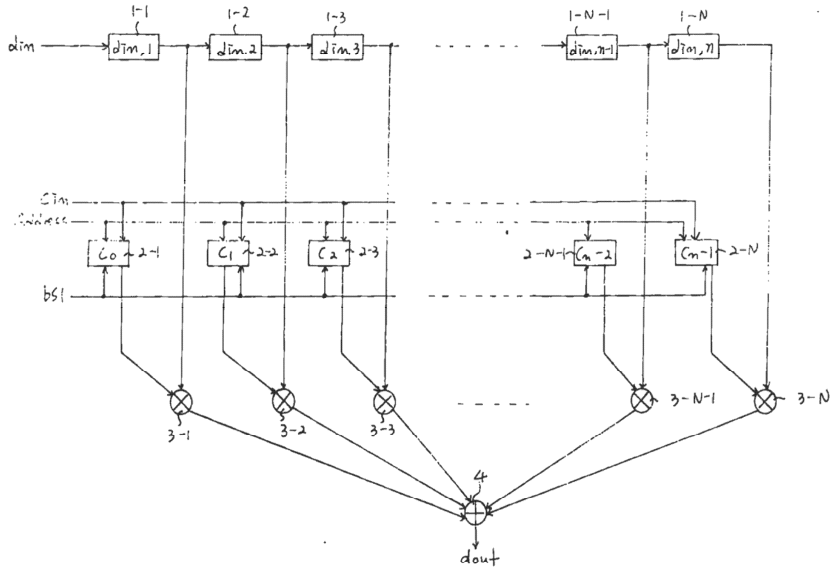
제9항에 있어서, 상기 정보는 입력되는 데이타는 양수 또는 음수인가와 그 크기가 기 설정된 크기보다 큰가 작은가를 결정하는데 사용되고 상기 에러신호는 외부에서 입력되는 에러신호가 양수 또는 음수인가와 그 크기가 기 설정된 크기보다 큰가 작은가를 결정하는데 사용되는 정보임을 특징으로 하는 자동계수갱신기능을 갖는 디지탈 필터.

청구항 6

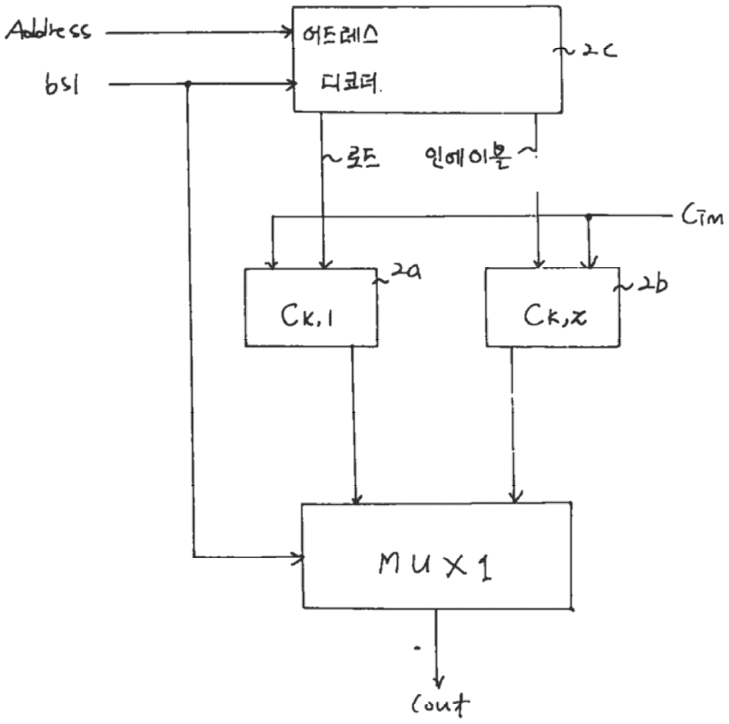
제4항에 있어서, 상기 복수의 계수갱신(14-1, ……, 14-N)은, 상기 에러신호와 상기 딜레이용 메모리(13)에 의해 딜레이된 정보에 따라 임의의 값을 선택하여 출력하는 멀티플렉서(MUX2)와, 입력되는 초기화신호가 액티브시 어드레스신호에 의해 탭의 계수를 초기화하는 초기화부(14a)와, 현재 탭의 계수가 저장되어 있으며 현재 탭으로부터 계산되는 새로운 탭의 계수가 저장되는 계수저장 메모리(14b)와, 상기 멀티플렉서(MUX2)의 출력과 계수저장 메모리(14b)에 저장되어 있는 현재 탭의 계수를 가산하여 출력함과 동시에 상기 초기화부(14a)를 통해 상기 계수 저장메모리(14b)에 저장하는 가산기(14c)로 구성됨을 특징으로 하는 자동계수갱신기능을 갖는 디지탈 필터.

도면

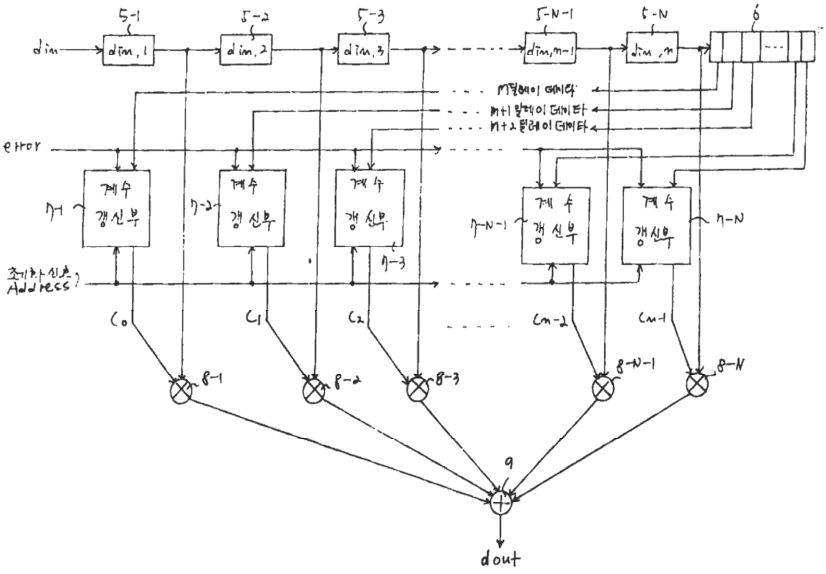
도면1



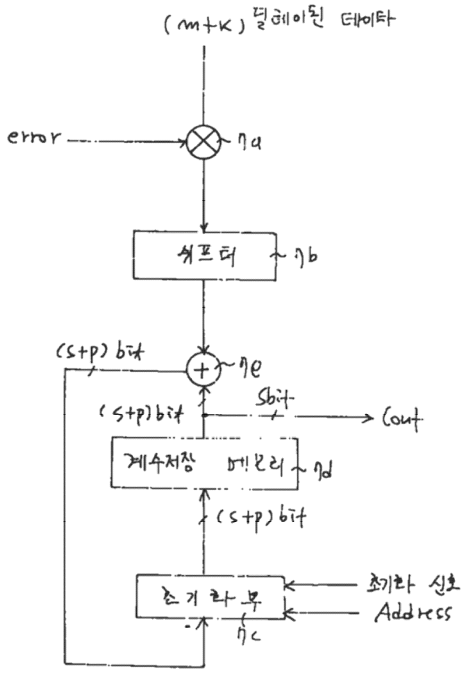
도면2



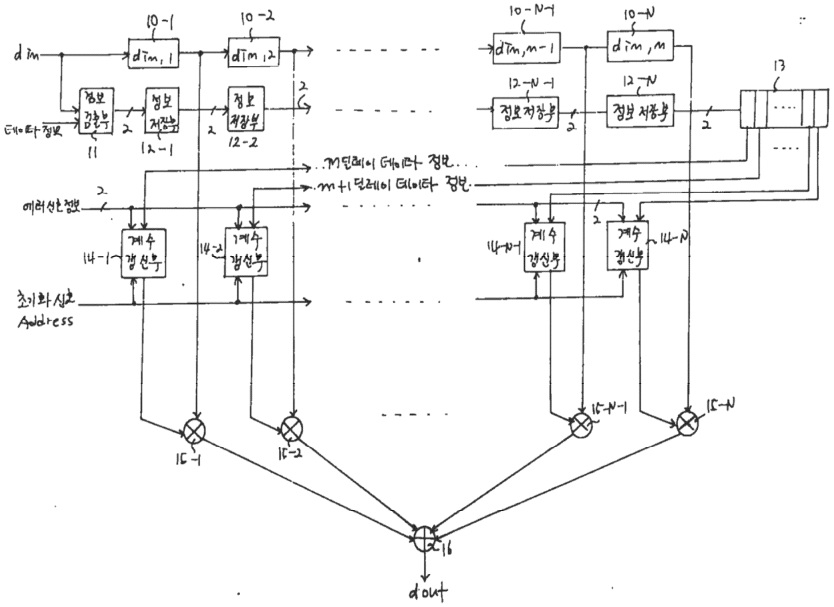
도면3


error
계수 갱신부
초기화신호 Address
dout

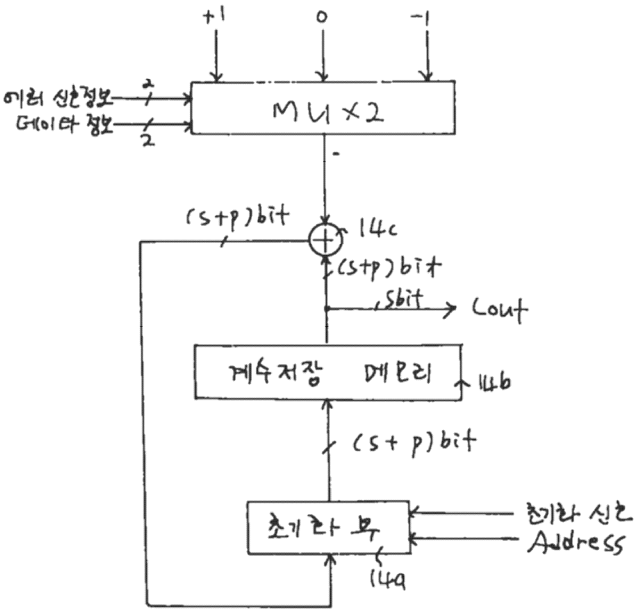
도면4


(m+K) 딜레이된 데이터
error
쉬프터
(S+P) bit
Sbit
Cout
계수저장 메모리
초기화 신호
Address

도면5



도면6



도면7

		에 러	
		인정 크기 보다 작다	인정 크기 보다 크다
데이타	인정 크기 보다 작다	$C^{j+1} = C^j$	$C^{j+1} = C^j$
	인정 크기 보다 크다	$C^{j+1} = C^j$	부호동일 $C^{j+1} = C^j + 1$ 부호반대 $C^{j+1} = C^j - 1$