

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P61481PP

※申請日期：P6-12-17

※IPC 分類：G02F 1/136 (2006.01)

H01L 29/1786 (2006.01)

## 一、發明名稱：(中文/英文)

畫素結構、顯示面板、光電裝置及其製造方法 / PIXEL  
STRUCTURE, DISPLAY PANEL, ELECRO-OPTICAL  
APPARATUS, AND METHOD THEREROF

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

友達光電股份有限公司/AU OPTRONICS CORPORATION

代表人：(中文/英文) 李焜耀 / LEE, KUEN-YAO

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行二路一號/NO. 1, LI-HSIN RD. II,  
SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.

國籍：(中文/英文) 中華民國/TW

## 三、發明人：(共 4 人)

姓名：(中文/英文)

1. 陳柏林 / CHEN, PO-LIN

2. 林俊男 / LIN, CHUN-NAN

3. 吳淑芬 / WU, SHU-FENG

4. 蔡文慶 / TSAI, WEN-CHING

國籍：(中文/英文) 1-4 中華民國/TW

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種顯示裝置，且特別是有關於一種具有銅電極的液晶顯示裝置。

### 【先前技術】

針對多媒體社會之急速進步，多半受惠於半導體元件或人機顯示裝置的飛躍性進步。就顯示裝置而言，具有高畫質、空間利用效率佳、低消耗功率、無輻射等優越特性之平面顯示裝置已逐漸成為市場之主流。而在各種平面顯示裝置中，薄膜電晶體液晶顯示裝置(Thin Film Transistor Liquid Crystal Display, LCD)又為目前技術最為成熟的平面顯示裝置。特別是，在薄膜電晶體液晶顯示器之大尺寸以及高解析度的需求下，薄膜電晶體液晶顯示器在製作時，高品質的電極導線技術是影響薄膜電晶體元件特性的關鍵。

在眾多電極導線的材料中，銅具有低阻抗(Resistivity)、低熱膨脹係數、高熔點(Melting Point)、高導熱率以及高抗電致遷移能力等優點，而且銅導線可以改善薄膜電晶體元件的效能，相較於鋁導線，銅導線可以提高約兩倍的效能，利用銅作為導線之材料不但可以降低 RC 延遲，還可以降低導線之間的靜電容量，因此銅成為近來用以作為電極以及導線之一種重要導電材料。

在習知之一種以銅作為導線材料的畫素結構製程中，由於銅在大氣環境中無法形成自我保護氧化層，因此容易

使得銅導線面臨被氧化和腐蝕的問題。此外，以銅作為電極的薄膜電晶體常因銅的一些特性造成薄膜電晶體劣化。舉例而言，銅電極與基板的附著力不佳、銅和矽在低溫時就會反應生成矽化物以及銅於介電層中具有高擴散係數等，使得以銅作為電極或導線的畫素結構面臨實用化的挑戰。

一般而言，當銅金屬作為薄膜電晶體之源極以及汲極的材料使用時，為了避免銅金屬與主動層、歐姆接觸層以及介電層(即閘極絕緣層)直接接觸，一種使用銅金屬作為電極之習知畫素結構被提出。在此畫素結構的薄膜電晶體中，通常在銅金屬層與主動層之間及銅金屬層與介電層之間配置一氧化銅層，用以作為阻擋銅金屬擴散至主動層之阻障層，並且氧化銅層可以提升銅金屬層與基板之間的附著力。必需說明的是，在此畫素結構的儲存電容之上電極亦是使用銅金屬，且在銅金屬層與介電層之間配置一氧化銅層，用以作為阻擋銅金屬擴散至主動層之阻障層，並且氧化銅層可以提升銅金屬層與基板之間的附著力。

然而，在上述畫素結構的後續製程中，氧化銅層因與介電層直接接觸，而使得接觸介電層界面處的氧化銅及界面處附近的氧化銅容易受後續製程中的反應氣體影響而被還原，造成銅金屬層剝落或產生氣泡，如圖 1A 與圖 1B 所示，更甚者，於薄膜電晶體中，反應氣體除了從接觸介電層界面處的氧化銅及界面處附近的氧化銅容易受後續製程中的反應氣體影響而被還原外，更可能擴散至接觸主動層

及/或歐姆接觸層界面處的氧化銅及界面處附近的氧化銅，而造成整片銅金屬層剝落或產生氣泡，其中後續製程例如是使用化學氣相沉積來形成氮化矽膜的保護層製程，而上述製程中所使用之氣體具有反應氣體(如：含矽源氣體、含氮源氣體)及運送氣體，例如：含矽源氣體包含甲矽烷(silane)、乙矽烷(disilane)、丙矽烷(trisilane)、四乙基矽烷(tetraethyl orthosilane; TEOS)、丁矽烷(tetra-silane)、或其它氣體、或上述之組合。含氮源氣體包含：氮氣、氨氣、或其它氣體、或上述之組合。運送氣體包含氮氣、氧氣、氫氣、氟氣、氫氣、氫氣、氫氣、氫氣、或其它氣體、或上述之氣體。必需說明是，不同材質的保護層會有不同的反應氣體及運送氣體，皆會造成上述之問題。圖 1A 為上述畫素結構的部分區域於光學顯微鏡下所觀察到銅金屬層產生氣泡的現象，請參照圖 1A，以銅金屬作為材料的銅電極 12 在後續製程中產生氣泡。圖 1B 為上述畫素結構的部分區域在電子顯微鏡下所觀察到銅金屬層剝落的現象，請參照圖 1B，銅電極 22 自底層 21 而剝落，使得位於銅電極 22 上的上層薄膜 23 隨之剝落。請參照圖 1A，作為導線的銅電極 12 在後續製程中，發生氣泡 B 而剝落的現象。因此，應用於畫素結構中的銅電極以及銅導線在製程上面臨一重大考驗。

#### 【發明內容】

本發明關於一種畫素結構，其具有附著力良好的含銅、銅合金或上述之組合之金屬層。

本發明關於一種畫素結構之製作方法，其可避免含銅、銅合金或上述之組合的金屬層剝落。

本發明關於一種顯示面板，其具有本發明所述之畫素結構。

本發明關於一種光電裝置，其具有本發明所述之液晶顯示裝置。

本發明關於一種顯示面板之製作方法，其中之畫素結構之製作方法可避免含銅、銅合金或上述之組合的金屬層剝落。

本發明關於一種光電裝置之製作方法，其中之畫素結構之製作方法可避免含銅、銅合金或上述之組合的金屬層剝落。

為具體描述本發明之內容，在此提出一種畫素結構。此畫素結構配置於一基板上，畫素結構包括一薄膜電晶體、一下電容電極、一介電層、一上電容電極、一保護層以及一畫素電極。薄膜電晶體具有一源/汲極，且薄膜電晶體與下電容電極配置於基板上。介電層配置於下電容電極上。上電容電極包括半導體層、阻障層以及金屬層。半導體層配置於下電容電極上方之介電層上。阻障層配置於半導體層上。金屬層配置於阻障層上，且其材質包含銅、銅合金或上述之組合。保護層覆蓋薄膜電晶體與上電容電極，保護層具有一暴露出源/汲極之第一開口。畫素電極藉由第一開口與薄膜電晶體電性連接。

本發明另提出一種畫素結構的製作方法包括：提供一第

一基板。形成一閘極以及一下電容電極於基板上。形成一介電層於基板上，以覆蓋閘極以及下電容電極。形成一半導體層於介電層上。圖案化半導體層，以於閘極上方之介電層上形成一通道層，且於下電容電極上方之介電層上形成一圖案化半導體層。依序形成一阻障層以及一導電層於通道層、介電層以及圖案化半導體層上，且導電層之材質包含銅及其合金。圖案化阻障層以及導電層，以於閘極兩側的通道層上形成一源極與一汲極，且於圖案化半導體層上形成一含銅疊層，閘極、通道層、源極以及汲極構成一薄膜電晶體，圖案化半導體層與含銅疊層形成一上電容電極。形成一保護層於薄膜電晶體與上電容電極上，其中保護層具有一暴露出源/汲極之第一開口。形成一畫素電極，畫素電極藉由第一開口與薄膜電晶體電性連接。

本發明另提出一種畫素結構，配置於一基板上，畫素結構包括一薄膜電晶體、一保護層以及一畫素電極。薄膜電晶體具有一閘極、一介電層、一通道層及一源/汲極，並依序配置於基板上，以使得源/汲極位於部分半導體層上，其中源/汲極具有一阻障層以及一金屬層，阻障層配置於部分半導體層上，金屬層配置於阻障層上，且阻障層接觸於半導體層以及金屬層，其中阻障層之材質包含銅、銅合金或上述之組合。保護層覆蓋薄膜電晶體與介電層上，且具有一暴露出汲極之第一開口。畫素電極配置保護層上，且藉由第一開口與薄膜電晶體電性連接。

本發明另提出一種畫素結構的製作方法包括：提供一第

一基板。依序配置一閘極、一介電層、一半導體層及一源/汲極，一於基板上以形成一薄膜電晶體，並使得源/汲極位於部分半導體層上，其中源/汲極具有一阻障層以及一金屬層，阻障層配置於部分半導體層上，金屬層配置於阻障層上，且阻障層接觸於半導體層以及金屬層，其中阻障層之材質包含銅、銅合金或上述之組合。覆蓋一保護層於薄膜電晶體與介電層上，保護層具有一暴露出汲極之第一開口。配置一畫素電極保護層上，且畫素電極藉由第一開口與薄膜電晶體電性連接。

本發明另提出一種顯示面板，其包含本發明實施例所述之畫素結構。

本發明另提出一種光電裝置，其包含本發明實施例所述之畫素結構。

本發明另提出一種顯示面板的製作方法，此製作方法包含本發明實施例所述之畫素結構的製作方法。

本發明另提出一種光電裝置的製作方法，此製作方法包含本發明實施例所述之畫素結構的製作方法。

#### 【實施方式】

圖 2A 為本發明之一種畫素結構示意圖。請參照圖 2A，畫素結構 200 配置於一基板 210 上，畫素結構 200 包括一薄膜電晶體 220、一下電容電極 230、一介電層 240、一上電容電極 250、一保護層 260 以及一畫素電極 270。薄膜電晶體 220 與下電容電極 230 配置於基板 210 上。保護層 260 覆蓋薄膜電晶體 220 與上電容電極 250，保護層 260



具有一暴露出源/汲極 220D 之至少一第一開口 H1，畫素電極 270 藉由第一開口 H1 與薄膜電晶體 220 電性連接。另外，在本實施例中，較佳地，保護層 260 具有一暴露出上電容電極 250 之至少一第二開口 H2，而畫素電極 270 藉由第二開口 H2 與上電容電極 250 電性連接，但不限於此，保護層 260 亦可不具有第二開口 H2，而不暴露出上電容電極 250。

請參照圖 2A，介電層 240 配置於下電容電極 230 上，且在本實施例中，介電層 240 的材料與閘絕緣層 220I 的材料實質上相同，但不限於此，亦可實質上不同。特別的是，上電容電極 250 包括半導體層 252、阻障層 254 以及金屬層 256。半導體層 252 配置於下電容電極 230 上方之介電層 240 上，其中半導體層 252 可以是材質非晶矽、單晶矽、微晶矽、多晶矽、或上述晶格之 N 型摻雜矽化物、或上述晶格之 P 型摻雜矽化物、或上述晶格之矽化鍺、或其它材質、或上述之組合，而半導體層 252 的結構可以是單層結構或者是多層結構，本發明並不以此為限。舉例而言，半導體層 252 可以是由非晶矽及/或 N 型重摻雜非晶矽所組成的單層結構，也可以是由非晶矽以及 N 型重摻雜非晶矽所組成的雙層結構，其上述之結構排列，可為水平排列及/或垂直排列，在本實施例中半導體層 252 是以 N 型重摻雜非晶矽(亦稱為歐姆接觸層)所組成的單層結構為實施範例，且半導體層 252 的厚度，較佳地，實質上介於 10 奈米至 300 奈米之間為實施範例，但不以此為限。

請繼續參照圖 2A，阻障層 254 配置於半導體層 252 上，且其材質包含氧化銅，其中氧化銅之組成例如含有鉬、鈦、鋳、鈦、鎂、鎳、鉛、鎢、鉭、釩、錫、錳元素或上述之組合，而氧化銅中的氧濃度實質上介於 3% 至 30% 之間為實施範例，但不以此為限，阻障層之材質包含耐火金屬（如：鈦、鉭、鎢、鉑、鋁、銀、鈮、鈾、鉍、鎳、鈷、鉻等金屬）、或其合金、或上述之組合。此外，在本實施例中，阻障層 254 的厚度，較佳地，介於 3 奈米至 50 奈米之間，但不限於此。金屬層 256 可為單層或多層結構配置於阻障層 254 上，且其材質包含銅、銅合金或上述之組合，其中的上述之組合包含多層結構或單層結構（例如：銅合金混入銅中、銅混入銅合金中、或其它方式）。詳言之，金屬層 256 的組成例如含有鉬、鈦、鋳、鈦、鎂、鎳、鉛、鎢、鉭、釩、錫或錳等元素之銅合金。此外，本實施例中，上電容電極 250 之金屬層 256 藉由保護層 260 之第二開口 H2 與畫素電極 270 電性連接為範例。換言之，在畫素結構 200 中，上電容電極 250 與畫素電極 270 實質上等電位，使得下電容電極 230、介電層 240 以及上電容電極 250 形成儲存電容 C，用以維持畫素結構 200 的資料電壓。

值得一提的是，材質包含銅、銅合金或上述之組合的金屬層 256 以及阻障層 254 藉由半導體層 252 附著於介電層 240 上，而半導體層 252 有助於穩定含銅、銅合金或上述之組合的金屬層 256 以及阻障層 254 的結構免於後續製程的破壞。詳言之，保護層 260 之材質包含無機材質（如氮

化矽、氮氧化矽、氧化矽、或其它材質、或上述之組合)、其它介電材質(如：氟矽玻璃(fluorinated oxide, FSG)、benzocyclobutene (BCB)、polyarylene ether (PAE)、parylene、氟化聚合物(fluoro-polymer)、black diamond、hydrogen silsesquioxane (HSQ)、methylsilsesquioxane (MSQ)、聚甲丙醯酸甲酯、氧化鋅、氧化鉛、或其它材質、或上述之組合)、或上述之組合，若保護層 260 之材質例如為氮化矽或氧化矽之無機材質為範例，而其形成之方法例如是以電漿化學氣相沈積法全面性地沈積在基板 210 上，之後再將保護層 260 圖案化，以形成至少一第一開口 H1 與至少一第二開口 H2。然而，實務上利用電漿化學氣相沈積法沉積保護層 260 時，電漿中具有高反應性的自由基以及高還原性的反應氣體(例如：矽烷、氮氣)，容易對銅、銅合金或上述之組合的金屬層 256 以及阻障層 254 造成破壞，產生氣泡或剝落的現象。特別的是，本發明之半導體層 252 能夠作為銅、銅合金或上述之組合的金屬層 256 與阻障層 254 的底部緩衝層，有效阻擋電漿對銅、銅合金或上述之組合金屬層 256 以及阻障層 254 的攻擊。若保護層 260 之材質為其它介電材質，可視其後續是否有額外之保護層形成步驟或流程，而可選擇性地使用非電漿化學氣相沈積法(如：塗佈或旋轉塗佈方式)、電漿化學氣相沈積法或上述之組合。

再者，圖 2A 所述的薄膜電晶體 220，較佳地，以源極 220S 與汲極 220D 中之金屬層 256 與阻障層 254 位於半

導體層 252 之投影面積內，例如：遠離閘極 220G 之源極 220S 與汲極 220D 中之金屬層 256 與阻障層 254 之側邊與遠離閘極 220G 之半導體層 252 之側邊切齊或遠離閘極 220G 之源極 220S 與汲極 220D 中之金屬層 256 與阻障層 254 之側邊位於遠離閘極 220G 之半導體層 252 之側邊內，易言之，阻障層 254 之底面接觸半導體層 252 之上表面為實施範例，但不限於此，源極 220S 與汲極 220D 中之金屬層 256 與阻障層 254 之一部份位於半導體層 252 之內，而源極 220S 與汲極 220D 中之金屬層 256 與阻障層 254 之另一部份位於介電層 240 之上，如圖 2B 所示，圖 2B 為上述之一種實施例，阻障層 254 之底部同時接觸半導體層 252 之上表面及其至少一側邊與介電層 240 之上表面且源極 220S 與汲極 220D 中之金屬層 256 覆蓋阻障層 254 之上表面及其至少一側邊，或是源極 220S 與汲極 220D 中之金屬層 256 與阻障層 254 覆蓋半導體層 252 之上表面及其至少一側邊。必需說明的是，於圖 2B 中此時位於介電層 240 之上的部份阻障層 254 仍被金屬層 256 所包覆，而使得阻障層 254 不會被後續製程中的反應氣體影響且亦不被還原。然而，此時金屬層 256 之上表面所自然生成之物質可能會被後續製程中的反應氣體影響且被還原或反應，但仍不影響金屬層 256 之結構。

圖 3 為本發明之一種畫素結構於光學顯微鏡下觀察的部分區域圖。請參照圖 3，含銅、銅合金或上述之組合的金屬層 256 在經過後續製程之後，並未如習知產生氣泡或

剝落的現象，相較於習知之銅電極 12（繪示於圖 1A）與銅電極 22（繪示於圖 1B），本發明之半導體層 252 能有效阻擋後續製程對銅、銅合金或上述之組合的金屬層 256 與阻障層 254 的破壞，進而增加畫素結構 200 的良率以及增進畫素結構 200 的效能。

此外，請參照圖 2A，薄膜電晶體 220 包括閘極 220G、閘絕緣層 220I、通道層 220C、源極 220S 以及汲極 220D，值得注意的是，在本實施例中，源極 220S 與汲極 220D 的材料與上電容電極 250 的材料實質上相同。換言之，本實施例之源極 220S 與汲極 220D 的材料是以半導體層 252、含氧化銅之阻障層 254 以及含銅、銅合金或上述之組合的金屬層 256 為例，其中半導體層 252 之材質以 N 型重摻雜非晶矽所組成的單層結構為實施範例，而氧化銅以及銅合金之組成如上述，不再贅述。當然，在其他的實施例中，薄膜電晶體 220 的源極 220S 與汲極 220D 也可以是由其他導電材料（例如：鋁、鈾、鈦、鈷、金、銅、鉻、銀、鈮、錫、鐵、或上述之合金、或其他材料、或上述之組合）形成單層結構或多層結構，因此本發明並不限定薄膜電晶體 220 的結構。此外，通道層 220C 之材質可以是非晶矽、單晶矽、微晶矽、多晶矽、或上述晶格之 N 型輕摻雜矽化物、或上述晶格之 P 型輕摻雜矽化物、或上述晶格之矽化鍺、或其它材質、或上述之組合，通道層 220C 之材質屬於一種半導體材料，並且由圖 2A 與圖 2C 可知，通道層 220C 與半導體層 252 可以一同視為半導體疊層的多層結構，本

發明並不以此為限。在本實施例中通道層 220C 是以非晶矽所組成的單層結構為實施範例。再者，半導體層 252 及通道層 220C 之設置方式，除了本實施例之垂直排列的半導體疊層結構為範例外，尚可運用於單層結構且水平排列或上述之組合。易言之，一層膜層同時具有重摻雜半導體材料、輕摻雜半導體材料及/或非摻雜半導體材料。此外，圖 4 為本發明之另一種畫素結構 300。請參照圖 4，畫素結構 300 之薄膜電晶體 320 更包括一蝕刻終止層 310，配置於通道層 320C 上方，其中蝕刻終止層 310 可為單層結構或多層結構，且其材質例如是氮化矽，但不限於此，亦可使用其它材質，而其他構件與畫素結構 200 相似，不再贅述。

再者，圖 4 所述的薄膜電晶體 320，較佳地，以源極 220S 與汲極 220D 中之金屬層 256 與阻障層 254 位於半導體層 252 之投影面積內，例如：遠離閘極 220G 之源極 220S 與汲極 220D 中之金屬層 256 與阻障層 254 之側邊與遠離閘極 220G 之半導體層 252 之側邊切齊或遠離閘極 220G 之源極 220S 與汲極 220D 中之金屬層 256 與阻障層 254 之側邊位於遠離閘極 220G 之半導體層 252 之側邊內，易言之，即阻障層 254 之底面接觸半導體層 252 之上表面為實施範例，但不限於此，源極 220S 與汲極 220D 中之金屬層 256 與阻障層 254 之一部份位於半導體層 252 之內，而源極 220S 與汲極 220D 中之金屬層 256 與阻障層 254 之另一部份位於介電層 240 之上，亦即阻障層 254 之底部同時接觸

半導體層 252 之上表面及其至少一側邊與介電層 240 之上表面且源極 220S 與汲極 220D 中之金屬層 256 覆蓋阻障層 254 之上表面及其至少一側邊，或是源極 220S 與汲極 220D 中之金屬層 256 與阻障層 254 覆蓋半導體層 252 之上表面及其側邊。

圖 5A~圖 5F 為本發明之一種畫素結構的製作方法。請先參照圖 5A，提供一基板 410，基板 410 之材質例如為透明材質(如：玻璃、石英、或其它材質)、不透明材質(如：矽片、陶瓷、或其它材質)、可撓性材質(如：薄化玻璃、塑膠、橡膠、聚烯類、聚酮類、聚烷類、聚醇類、聚酯類、聚脂類、聚苯類、聚環氧烷類、聚環烷、聚炔類、聚醯類、聚亞醯類、聚醚類、聚醛類、聚酚類、或其它聚合物類別、或上述之衍生物、或上述之組合)、或上述之組合。接著，形成一閘極 420G 以及一下電容電極 430 於基板 410 上，而形成閘極 420G 以及下電容電極 430 的方法例如先形成一導電層於基板 410 上，之後再圖案化以形成閘極 420G 以及下電容電極 430，其中導電層可為單層結構或多層結構，且其例如是藉由濺鍍、蒸鍍或是其他薄膜沈積技術所形成，但不限於此，亦可圖案化及膜層沈積同時形成，如：網版印刷、塗佈、能量源處理等。

之後，請參照圖 5B，形成一介電層 440 於基板 410 上，以覆蓋閘極 420G 以及下電容電極 430，其中介電層 440 例如是藉由化學氣相沈積法 (chemical vapor deposition, CVD) 或其他合適的薄膜沈積技術所形成，但

不限於此，亦可圖案化及膜層沈積同時形成，如：網版印刷、塗佈、能量源處理等，而介電層 440 可為單層結構或多層結構，且其材質包含無機材質(如：氮化矽、氮氧化矽、氧化矽、或其它材質、或上述之組合)、其他介電材質(如：氟矽玻璃 (fluorinated oxide, FSG)、benzocyclobutene (BCB)、polyarylene ether (PAE)、parylene、氟化聚合物 (fluoro-polymer)、black diamond、hydrogen silsesquioxane (HSQ)、methylsilsesquioxane (MSQ)、聚甲丙醯酸甲酯、氧化鋅、氧化鉛、或其它材質、或上述之組合)、或上述之組合，本發明以氧化矽、氮化矽或氮氧化矽等介電材料為實施範例。接著，請繼續參照圖 5B，形成一半導體層 451 於介電層 440 上，其中半導體層 451 例如是非晶矽及/或 N 型摻雜非晶矽所組成的單層結構或多層結構，其上述之結構排列，可為水平排列及/或垂直排列。在本實施例中，半導體層 451 是以非晶矽層 451A 以及 N 型摻雜非晶矽層 451B 所組成的雙層結構為實施範圍，但不以此為限。

之後，請參照圖 5C，圖案化半導體層 451，以於閘極 420G 上方之介電層 440 上形成一通道層 420C 及歐姆接觸層 452C，這裡要說明的是，在本實施例中，通道層 420C 與歐姆接觸層 452C 屬於摻雜濃度不同的半導體層 451。詳言之，通道層 420C 例如是利用半導體層 451 經過一低濃度摻雜製程後，再圖案化低濃度摻雜半導體層所形成的，或是不經過摻雜製程，直接圖案化非摻雜半導體層所形成，而歐姆接觸層 452C 例如是利用半導體層 451 經過一



高濃度摻雜製程後，再圖案化高濃度摻雜半導體層所形成的，其中通道層 420C 與歐姆接觸層 452C 的圖案化製程例如是同時進行，但不限於此，亦可不同時進行。此外，請繼續參照圖 5C，於下電容電極 430 上方之介電層 440 上形成一圖案化半導體層 452，這裡的圖案化半導體層 452 是由圖案化非晶矽層 452A 以及圖案化 N 型摻雜非晶矽層 452B 所組成，且圖案化例如是藉由藉由微影蝕刻製程來進行，但不限於此，亦可圖案化及膜層沈積同時形成，如：網版印刷、塗佈、能量源處理等。

接著，請參照圖 5D，依序形成一阻障層 454 以及一導電層 456 於通道層 420C、介電層 440 以及圖案化半導體層 452 上，且阻障層 454 可為單層結構或多層結構，且其材質包含氧化銅為範例，但不限於此，而導電層 456 可為單層結構或多層結構，且其材質包含銅或其合金，其中氧化銅之組成例如含有鉬、鈹、鋯、鈦、鎂、鎳、鉛、鎢、鉭、釩、錫、錳元素或上述之組合，而氧化銅中的氧濃度例如是實質上介於 3% 至 30% 之間，但不限於此。導電層 456 的組成例如含有鉬、鈹、鋯、鈦、鎂、鎳、鉛、鎢、鉭、釩、錫或錳等元素之銅合金。此外，阻障層 454 以及導電層 456 例如是藉由化學氣相沈積法、濺鍍(sputtering)、蒸鍍(evaporation)或是其他薄膜沈積技術所形成，但不限於此，亦可圖案化及膜層沈積同時形成，如：網版印刷、塗佈、能量源處理等。

之後，請參照圖 5E，圖案化阻障層 454 以及導電層

456，以於閘極 420G 兩側的通道層 420C 上形成一源極 420S 與一汲極 420D，且於圖案化半導體層 452 上形成一含銅疊層 458，這裡要說明的是，源極 420S 與汲極 420D 例如分別是由歐姆接觸層 452C、圖案化阻障層 454 以及導電層 456 所組成。閘極 420G、通道層 420C、源極 420S 以及汲極 420D 構成一薄膜電晶體 420，圖案化半導體層 452 與含銅疊層 458 形成一上電容電極 450。因此上電容電極 450、介電層 440 以及下電容電極 430 形成一儲存電容 C，用以維持畫素結構 400（繪示於圖 5G）的資料電壓。此外，圖 5E 所述的薄膜電晶體 420，較佳地，以源極 420S 與汲極 420D 中之金屬層 456 與阻障層 454 位於半導體層 452 之投影面積內，例如：遠離閘極 420G 之源極 420S 與汲極 420D 中之金屬層 456 與阻障層 454 之側邊與遠離閘極 420G 之半導體層 452 之側邊切齊或遠離閘極 420G 之源極 420S 與汲極 420D 中之金屬層 456 與阻障層 454 之側邊位於遠離閘極 420G 之半導體層 452 之側邊內，易言之，阻障層 454 之底面接觸半導體層 452 之上表面為實施範例，但不限於此，源極 420S 與汲極 420D 中之金屬層 456 與阻障層 454 之一部份位於半導體層 452 之內，而源極 420S 與汲極 420D 中之金屬層 456 與阻障層 454 之另一部份位於介電層 440 之上，亦即阻障層之底部同時接觸半導體層 452 之上表面及其至少一側邊與介電層 440 之上表面且源極 420S 與汲極 420D 中之金屬層 456 覆蓋阻障層 454 之上表面及其至少一側邊，或是源極 420S 與汲極 420D 中

之金屬層 456 與阻障層 454 覆蓋半導體層 452 之上表面及其至少一側邊。

接著，請參照圖 5F，形成一保護層 460 於薄膜電晶體 420 與上電容電極 450 上，其中保護層 460 具有一暴露出汲極 420D 之至少一第一開口 H1，在本實施例中，保護層 460 更包括一暴露出上電容電極 450 之至少一第二開口 H2，但不限於此，亦可不包括此第二開口 H2，其中保護層 460 可為單層結構或多層結構，且其材質包含無機材質(如氮化矽、氮氧化矽、氧化矽、或其它材質、或上述之組合)、其它介電材質(如：氟矽玻璃(fluorinated oxide, FSG)、benzocyclobutene (BCB)、polyarylene ether (PAE)、parylene、氟化聚合物(fluoro-polymer)、black diamond、hydrogen silsesquioxane (HSQ)、methylsilsesquioxane (MSQ)、聚甲丙醯酸甲酯、氧化鋅、氧化鉛、或其它材質、或上述之組合)、或上述之組合，若保護層 460 之材質例如為氮化矽或氧化矽之無機材質為範例，而其形成之方法例如是以電漿化學氣相沈積法全面性地沈積在基板 410 上，之後再將保護層 460 圖案化，以形成至少一第一開口 H1 與至少一第二開口 H2 或僅有至少一第一開口 H1。特別的是，圖案化半導體層 452 可以作為含銅疊層 458 的底部緩衝層，有效阻擋後續製程(例如：電漿化學氣相沈積)中的電漿對含銅疊層 458 的攻擊，使含銅疊層 458 免於形成氣泡而自介電層 440 上剝落。

之後，請參照圖 5G，形成一畫素電極 470，形成畫素

電極 470 的方法例如是藉由濺鍍形成於保護層 460 上，並進行一圖案化製程以形成畫素電極 470，但不限於此，亦可圖案化及膜層沈積同時形成，如：網版印刷、塗佈、能量源處理等。畫素電極 470 可為單層結構或多層結構，且其材質包含透明材質(如：銦錫氧化物、銦鋅氧化物、銦錫鋅氧化物、鋁錫氧化物、鋁鋅氧化物、鎘錫氧化物、鎘鋅氧化物、氧化鉛、或其它材質、或上述之組合)、非透明材質(如：金、銀、銅、鐵、錫、鉛、鋁、鉬、鈦、鈮、鎢、鉻、鎳、鈷、鈳、或其它材質、或上述之氧化物、或上述之氮化物、或上述之氮氧化物、或上述之組合)、或上述之組合。本實施例是以透明材質之銦錫氧化物及/或銦鋅氧化物為實施範例，但不限於此。畫素電極 470 藉由至少一第一開口 H1 與薄膜電晶體 420 電性連接。若保護層 460，更具有至少一第二開口 H2，則畫素電極 470 更藉由第二開口 H2 與上電容電極 450 電性連接。值得說明的是，在其他實施例中，畫素結構 400 的製作方法更包括於形成阻障層 454 之前，形成一蝕刻終止層於通道層上(未繪示)，且其可為單層結構或多層結構。

再者，必需說明的是在其它實施例中，源極 220S 與汲極 220D 的材料與上電容電極 250 的材料可以實質上不相同。例如，較佳地，若採用本發明之圖 2A 所述之薄膜電晶體結構為範例，且畫素結構中的儲存電容 C 為一般模式。然而本發明並不用以限定儲存電容 C 的結構，亦即，儲存電容 C 也可以不存在半導體層 252、阻障層 254 及金

屬層 256 其中至少一者，舉例而言，不存在半導體層 252、阻障層 254 及金屬層 256 其中至少一者的儲存電容 C 之架構尚可如圖 6A、圖 6B 以及圖 6C 所示。於圖 6A 中，儲存電容 C1 之下電容電極 230 的組成與閘極 220G 相同，並以畫素電極 270 作為儲存電容 C1 之上電容電極 250，且在下電容電極 230 與畫素電極 270 之間夾有介電層 230 以及保護層 260，構成儲存電容 C1。當然，在下電容電極 230 與畫素電極 270 之間亦可選擇介電層 230 與保護層 260 的其中至少一者，本發明並不以此為限。此外，本實施例之薄膜電晶體結構亦可採用本發明之之圖 2B 所述之薄膜電晶體結構。

請繼續參照圖 6B，儲存電容 C2 之下電容電極 230 的組成與閘極 220G 相同，而儲存電容 C2 之上電容電極 250 中之組成不存在半導體層 252、阻障層 254 及金屬層 256 其中至少一者，圖 6B 中的上電容電極 250 的組成是以阻障層 254 及金屬層 256 的疊層為例，此外在下電容電極 230 與畫素電極 270 之間配置介電層 230，構成儲存電容 C2。為了防止習知問題，較佳地，本實施例之介電層 230 為富矽介電層，如：富矽氧化物、富矽氮化物、富矽氮氧化物、或其它材料、或上述之組合。此外，在本實施例中，保護層 460 更包括一暴露出上電容電極 450 之至少一第二開口 H2，但不限於此，亦可不包括此第二開口 H2。

請繼續參照圖 6C 繪示為另一種儲存電容的變形例。請參照圖 6C，儲存電容 C3 之下電容電極 230 的例如是為除

銅以外的單層或多層結構之金屬層 480 所構成，並以畫素電極 270 作為儲存電容 C3 之上電容電極 250，且在下電容電極 230 與畫素電極 270 之間配置保護層 260，構成儲存電容 C3。較佳地，儲存電容 C3 之下電容電極 230 是接觸基板 210 且其材質為除銅以外的單層或多層金屬所構成，但不限於此。再者，圖 6A~6B 之儲存電容之下電極及/或下電極之材質亦可與薄膜電晶體中之源極/汲極完全不同，即薄膜電晶體中之源極/汲極具有含銅、銅合金之金屬層及阻障層，而儲存電容之上電極及/或下電極之材質可不含上述之銅疊層。易言之，薄膜電晶體中之源極/汲極與儲存電容之上電極/或下電極可不同時形成或同時形成。此外，上述之實施例的儲存電容 C 之類型，可為電容在共用線上(Cs on common line)、電容在閘極線上(Cs on gate line)、或上述之組合。換句話說，儲存電容 C 之下電極可為共用線、閘極之一部份、閘極線之一部份、與源極/汲極同時形成之電極、或上述之組合。上述之儲存電容 C 之結構亦可為金屬-介電層-畫素電極(metal-insulator-ITO, MII)、金屬-介電層-金屬(metal-insulator-metal, MIM)、或上述之組合。另，上述實施例皆以一薄膜電晶體及一儲存電容為範例，但不限於此，亦可薄膜電晶體及儲存電容其中至少一者為多個為實施例。

必需說明的是上述實施例，除了使用到之金屬層及阻障層可以一次形成或多次形成之外，圖案化半導體、圖案化金屬層及阻障層亦可一次形成或多次形成或其它製造過

程。

圖 7 為本發明之一種光電裝置示意圖。請參照圖 7，包含上述實施例所述之畫素結構 P 的顯示面板 510 可以跟電子元件 520 電性連接而組合成一光電裝置 500。這裡要說明的是，電子元件 520 包括如：控制元件、操作元件、處理元件、輸入元件、記憶元件、驅動元件、發光元件、保護元件、感測元件、偵測元件、或其它功能元件、或前述之組合。而光電裝置 500 之類型包括可攜式產品（如手機、攝影機、照相機、筆記型電腦、遊戲機、手錶、音樂播放器、電子信件收發器、地圖導航器、數位相片、或類似之產品）、影音產品（如影音放映器或類似之產品）、螢幕、電視、戶外/戶內看板、投影機內之面板等。

此外，顯示面板 510 之成品至少包含一具有上述實施例所述之畫素結構 P 的畫素陣列基板、另一基板相對於上述實施例之畫素陣列基板，且其具有一透明電極、及一設置於畫素陣列基板與另一基板之間的顯示介質。當顯示介質為液晶材料時，顯示面板稱為液晶顯示面板（如：穿透型顯示面板、半穿透型顯示面板、反射型顯示面板、彩色濾光片於主動層上（color filter on array）之顯示面板、主動層於彩色濾光片上（array on color filter）之顯示面板、垂直配向型（VA）顯示面板、水平切換型（IPS）顯示面板、多域垂直配向型（MVA）顯示面板、扭曲向列型（TN）顯示面板、超扭曲向列型（STN）顯示面板、圖案垂直配向型（PVA）顯示面板、超級圖案垂直配向型（S-PVA）

顯示面板、先進大視角型 (ASV) 顯示面板、邊緣電場切換型 (FFS) 顯示面板、連續焰火狀排列型 (CPA) 顯示面板、軸對稱排列微胞型 (ASM) 顯示面板、光學補償彎曲排列型 (OCB) 顯示面板、超級水平切換型 (S-IPS) 顯示面板、先進超級水平切換型 (AS-IPS) 顯示面板、極端邊緣電場切換型 (UFS) 顯示面板、高分子穩定配向型顯示面板、雙視角型 (dual-view) 顯示面板、三視角型 (triple-view) 顯示面板、三維顯示面板 (three-dimensional) 或其它型面板、或上述之組合), 亦稱為非自發光顯示面板。若顯示介質為電激發光材料, 則稱為電激發光顯示面板 (如: 磷光電激發光顯示面板、螢光電激發光顯示面板、或上述之組合), 亦稱為自發光顯示面板, 且其電激發光材料可為有機材料、無機材料、或上述之組合, 再者, 上述材料之分子大小包含小分子、高分子、或上述之組合。若, 顯示介質同時包含液晶材料及電激發光材料, 則此顯示面板稱之為混合式 (hybrid) 顯示面板或半自發光顯示面板。

再者, 本發明另提出一種顯示面板的製作方法, 此製作方法包含如圖 5A~圖 5G 之製作流程, 以形成畫素陣列基板, 之後將畫素陣列基板與另一具有透明電極之基板組立, 並將一顯示介質設置於上述二基板中, 以形成顯示面板 510。此外, 本發明另提出一種光電裝置的製作方法, 製作方法包含如圖 5A~圖 5G 之製作流程而形成顯示面板。之後, 再將一電子元件 520 與顯示面板 510 作電性連



接（未繪示），以形成如圖 7 所示之光電裝置 500。

綜上所述，本發明所提出之畫素結構與其製作方法至少具有下列優點：

1. 本發明之半導體層可以作為含銅、銅合金或上述之組合的金屬層以及阻障層之底部緩衝層，使其不受後續製程影響而剝離或產生氣泡，以保有元件（例如：儲存電容或薄膜電晶體）的功效，並維持畫素的正常操作。

2. 畫素結構之製作方法與現有製程相容，因此不需額外增加設備，即可使得含銅、銅合金或上述之組合的金屬層作為畫素結構中之電極或導線，進而增加畫素結構中之薄膜電晶體元件的效能，或儲存電容的效能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

圖 1A 為習知之一種畫素結構於光學顯微鏡下所觀察到的部分區域圖。

圖 1B 為習知之一種畫素結構於電子顯微鏡下所觀察到的部分區域圖。

圖 2A 為本發明之一種畫素結構示意圖。

圖 2B 為本發明之一種畫素結構示意圖。

圖 3 為本發明之一種畫素結構於光學顯微鏡下觀察的

部分區域圖。

圖 4 為本發明之另一種畫素結構示意圖。

圖 5A~圖 5G 為本發明之一種畫素結構的製作方法。

圖 6A 為本發明之一種畫素結構示意圖。

圖 6B 為本發明之一種畫素結構示意圖。

圖 6C 為本發明之一種畫素結構示意圖。

圖 7 為本發明之一種光電裝置示意圖。

#### 【主要元件符號說明】

110：液晶顯示面板

12、22：銅電極在後續製程中產生氣泡。

21：底層

23：上層薄膜

200、300、400、P：畫素結構

210、410：基板

220、320、420：薄膜電晶體

220C、320C、420C：通道層

220D、420D：汲極

220G、420G：閘極

220I：閘絕緣層

220S、420S：源極

230、430：下電容電極

240、440：介電層

250、450：上電容電極

252、451：半導體層

- 254、454：阻障層
- 256：金屬層
- 260、460：保護層
- 270、470：畫素電極
- 310：蝕刻終止層
- 451A：非晶矽層
- 451B：N型摻雜非晶矽層
- 452：圖案化半導體層
- 452A：圖案化非晶矽層
- 452B：圖案化N型摻雜非晶矽層
- 456：導電層
- 452：圖案化半導體層
- 458：含銅疊層
- 480：金屬層
- 500：光電裝置
- 510：顯示面板
- 520：電子元件
- C：儲存電容
- H1：第一開口
- H2：第二開口

## 五、中文發明摘要：

一種畫素結構配置於一基板上，畫素結構包括一薄膜電晶體、一下電容電極、一介電層、一上電容電極、一保護層以及一畫素電極。具有一源/汲極之薄膜電晶體與下電容電極配置於基板上。介電層配置於下電容電極上。上電容電極包括半導體層、阻障層以及金屬層。半導體層配置於下電容電極上方之介電層上。阻障層配置於半導體層上。金屬層配置於阻障層上，且其材質包含銅、銅合金或上述之組合。保護層覆蓋薄膜電晶體與上電容電極，保護層具有一暴露出源/汲極之第一開口。畫素電極藉由第一開口與薄膜電晶體電性連接。

## 六、英文發明摘要：

A pixel structure disposed on a substrate including a thin film transistor, a bottom capacitor electrode, a dielectric layer, an upper capacitor electrode, a passivation layer, and a pixel electrode. The thin film transistor having a source/drain and the bottom capacitor electrode are disposed on the substrate. The dielectric layer is disposed on the bottom capacitor electrode. The upper capacitor electrode has a semiconductor layer, a barrier layer, and a metal layer, wherein the semiconductor layer is disposed on the dielectric layer above the bottom capacitor electrode. The barrier layer is disposed on the semiconductor layer. The metal layer is disposed on the semiconductor layer. The metal layer

whose material includes copper, copper alloy or combinations thereof is disposed on the barrier layer. The passivation layer has a first opening exposed the drain and is cover the thin film transistor and the upper capacitor electrode. The pixel electrode is electrically connected to the thin film transistor through the first opening.

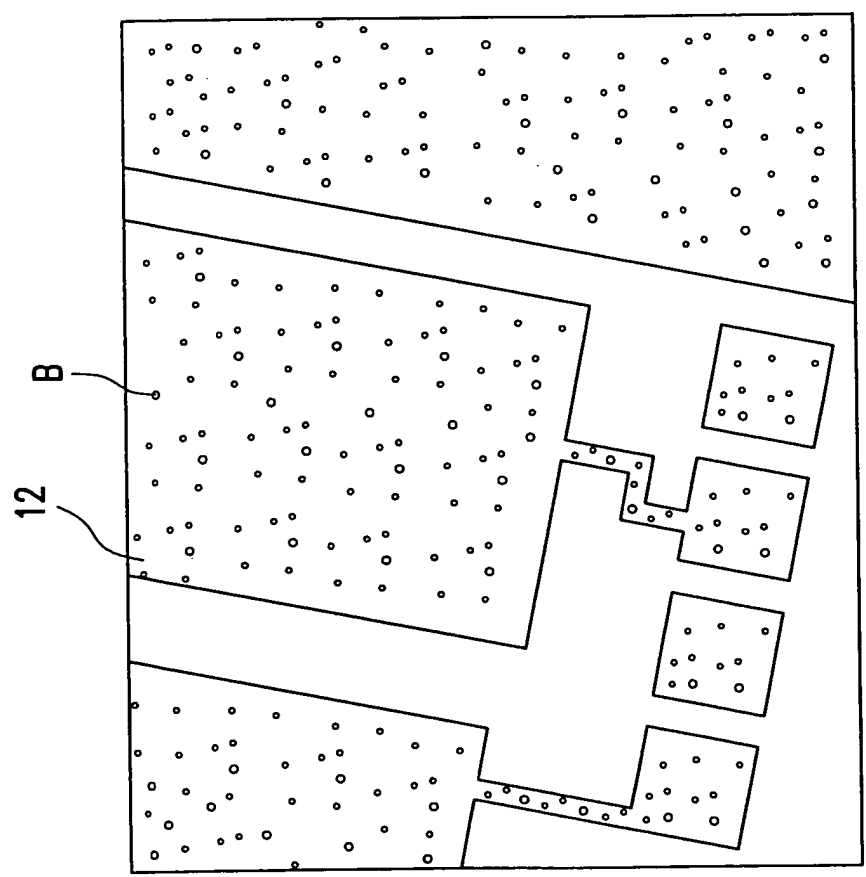


圖 1A

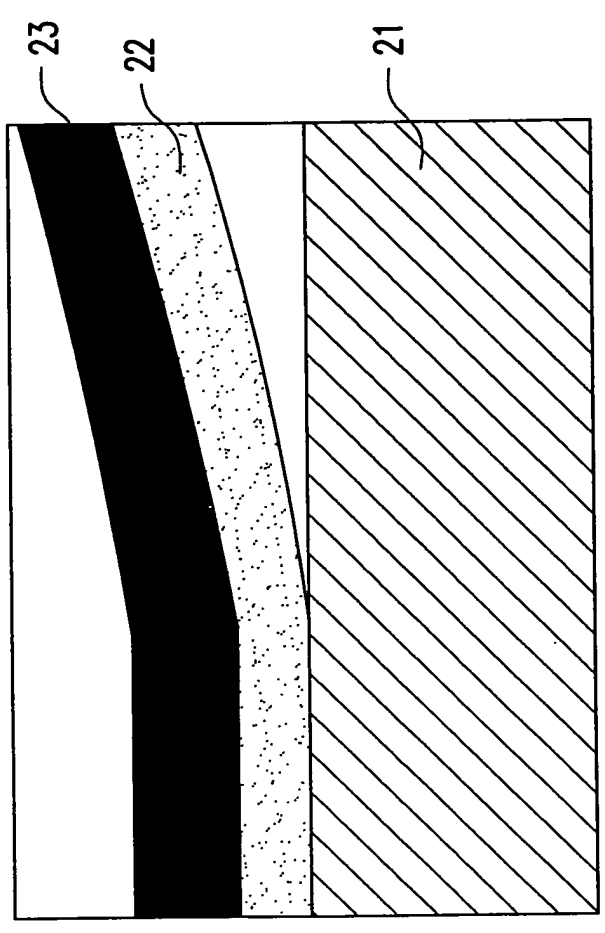


圖 1B

25437TW\_J

25437TW\_J

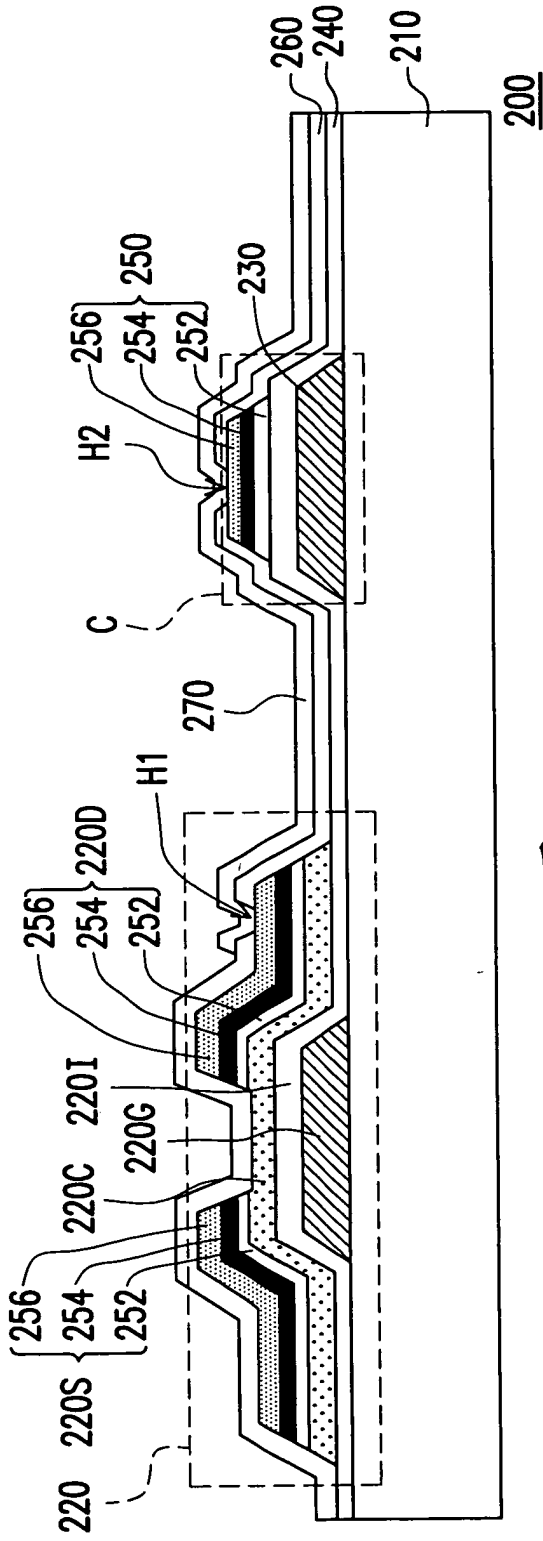


圖 2A

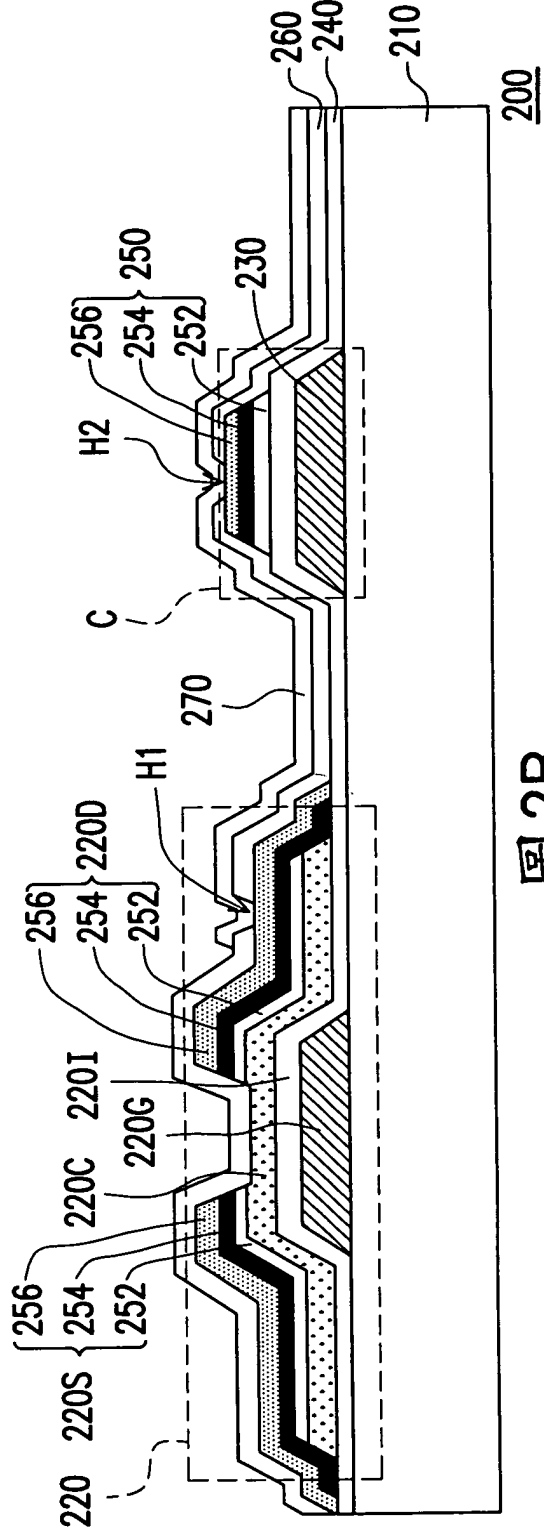


圖 2B

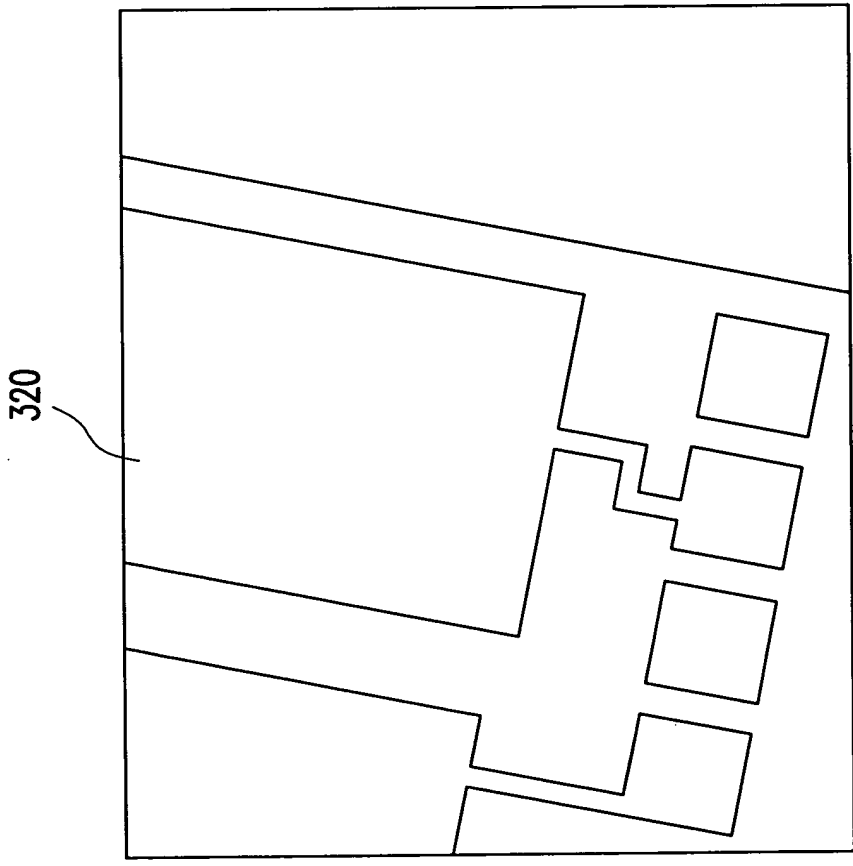


圖 3



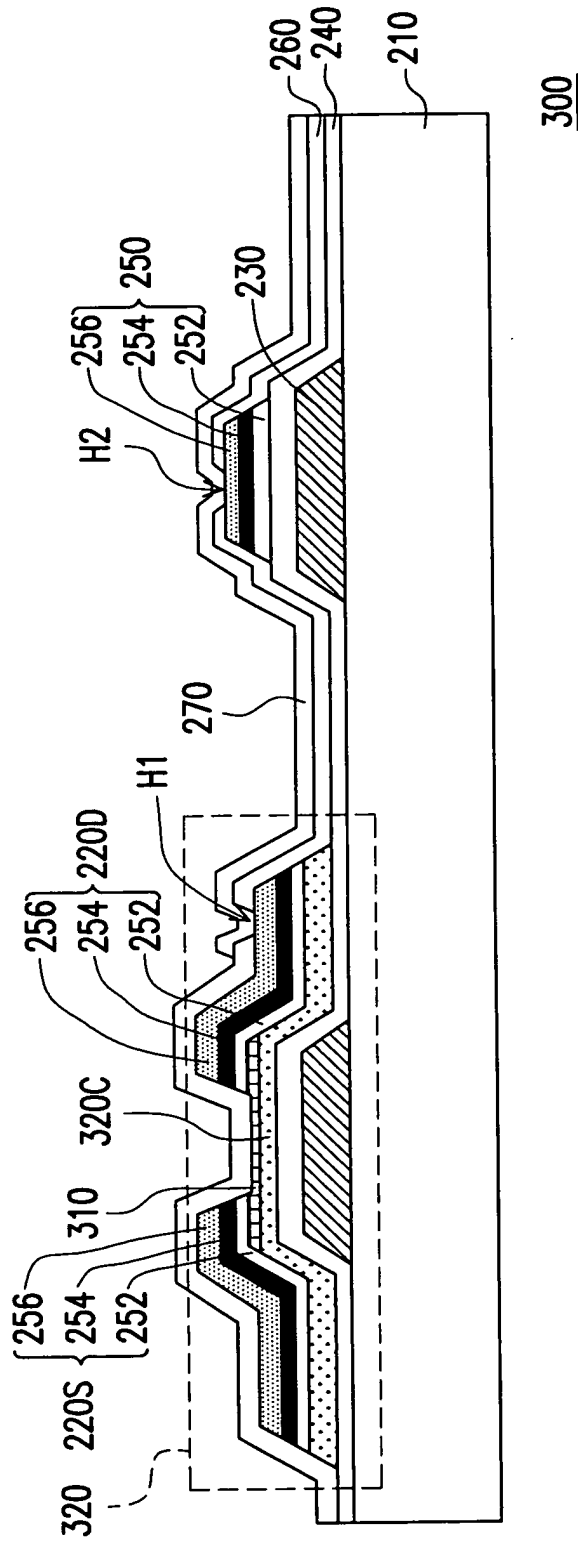


圖 4

25437TW\_J

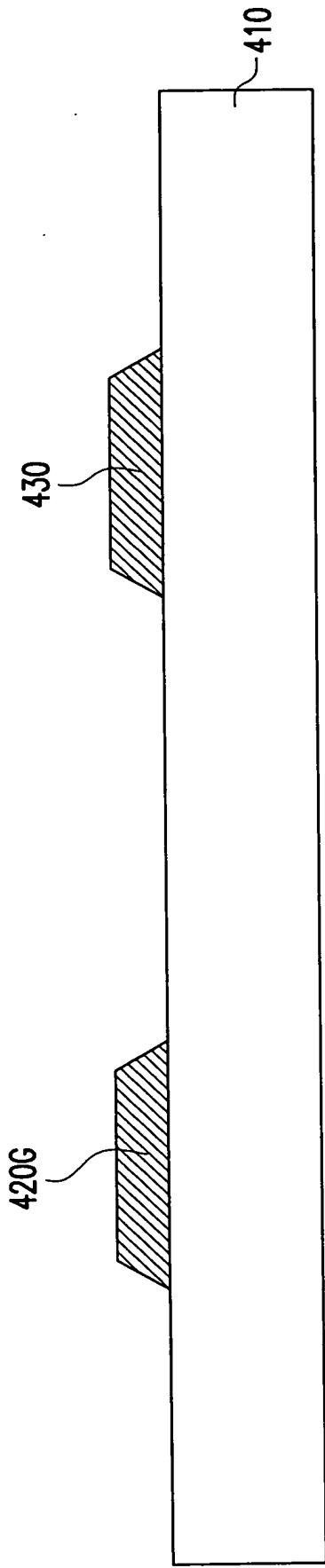


圖 5A

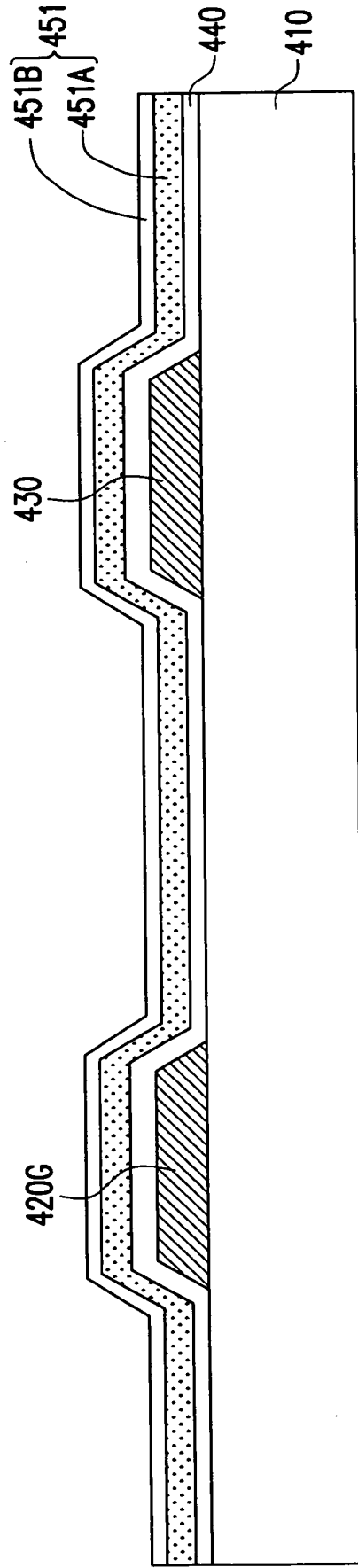


圖 5B

25437TW\_J

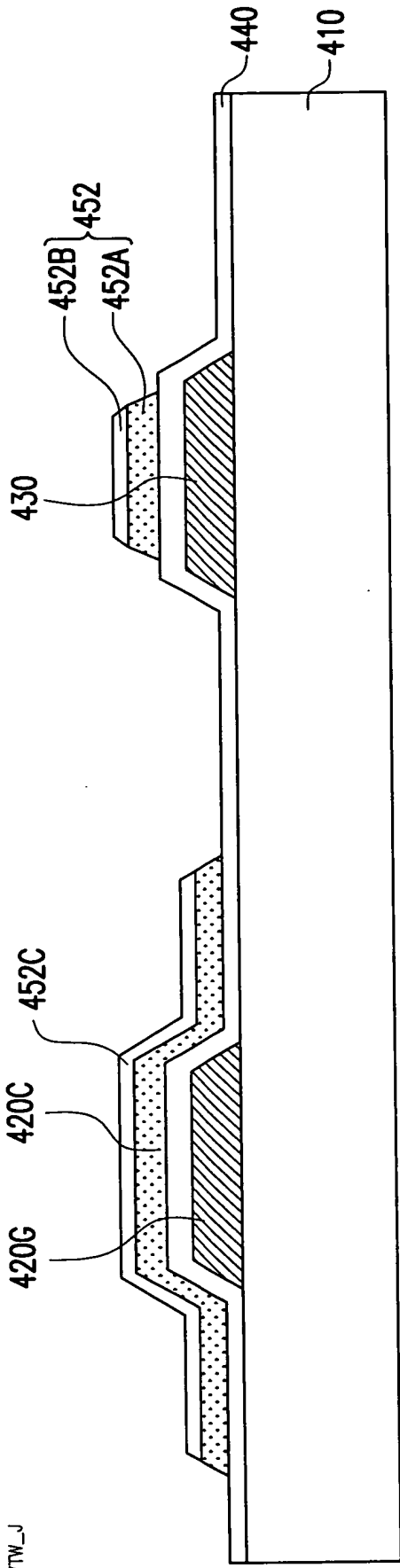


圖 5C

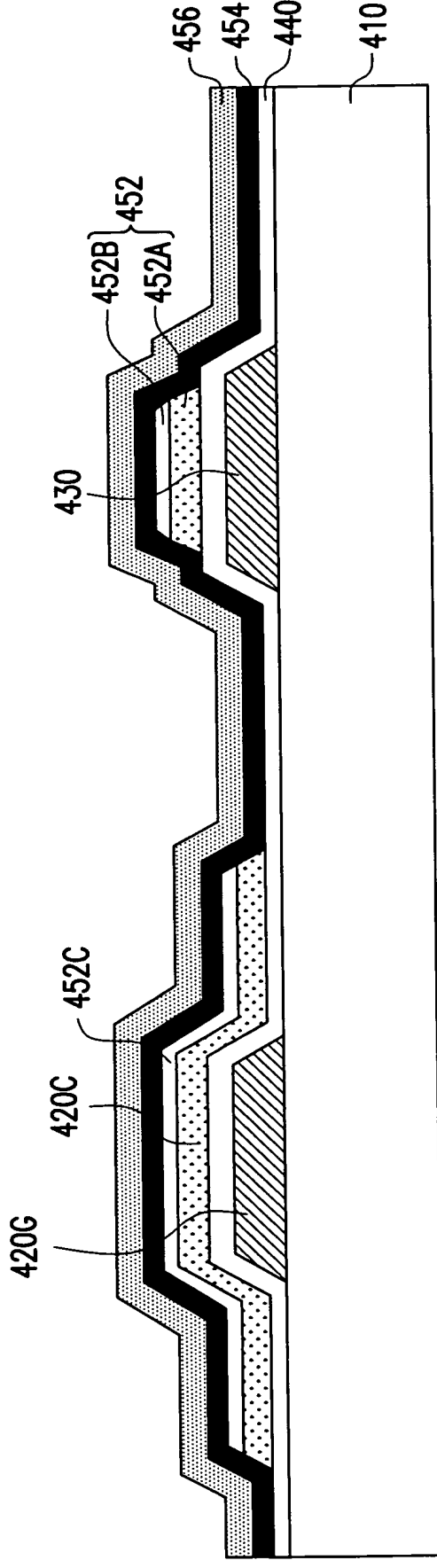


圖 5D

25437TW\_J

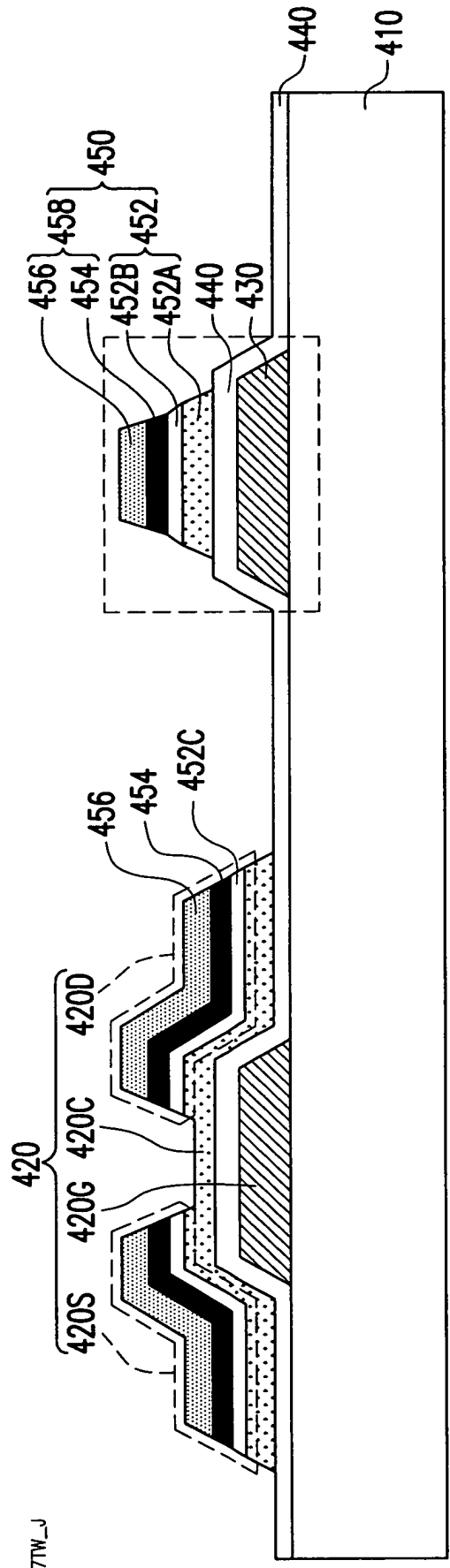


圖 5E

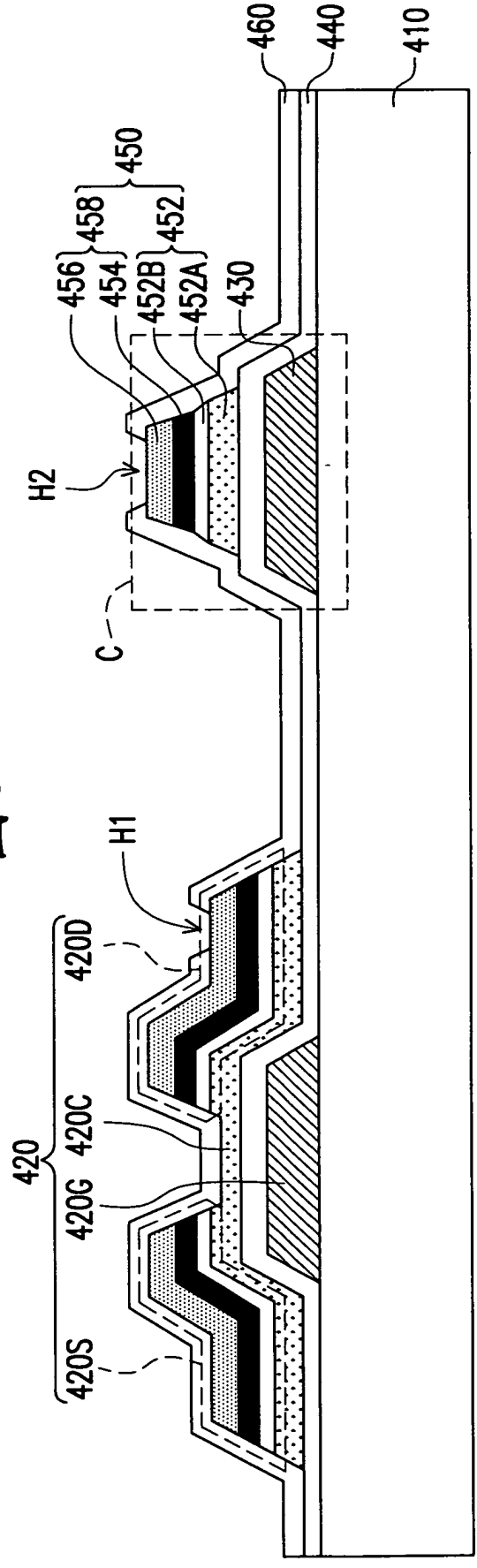


圖 5F

25437TW\_J

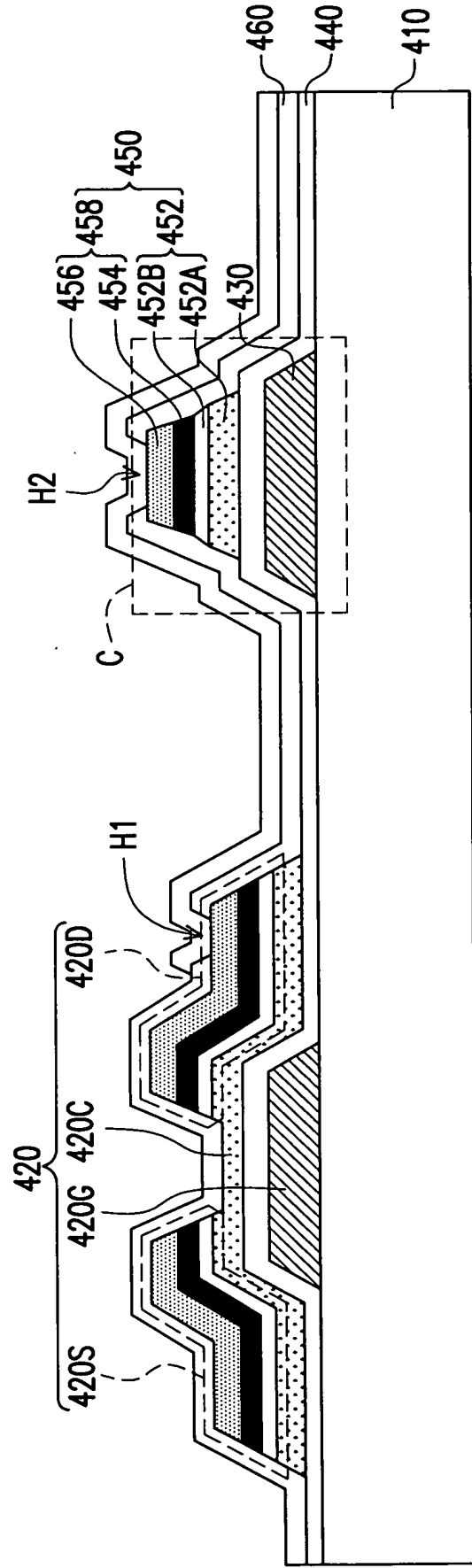


圖 5G

25437TW\_J

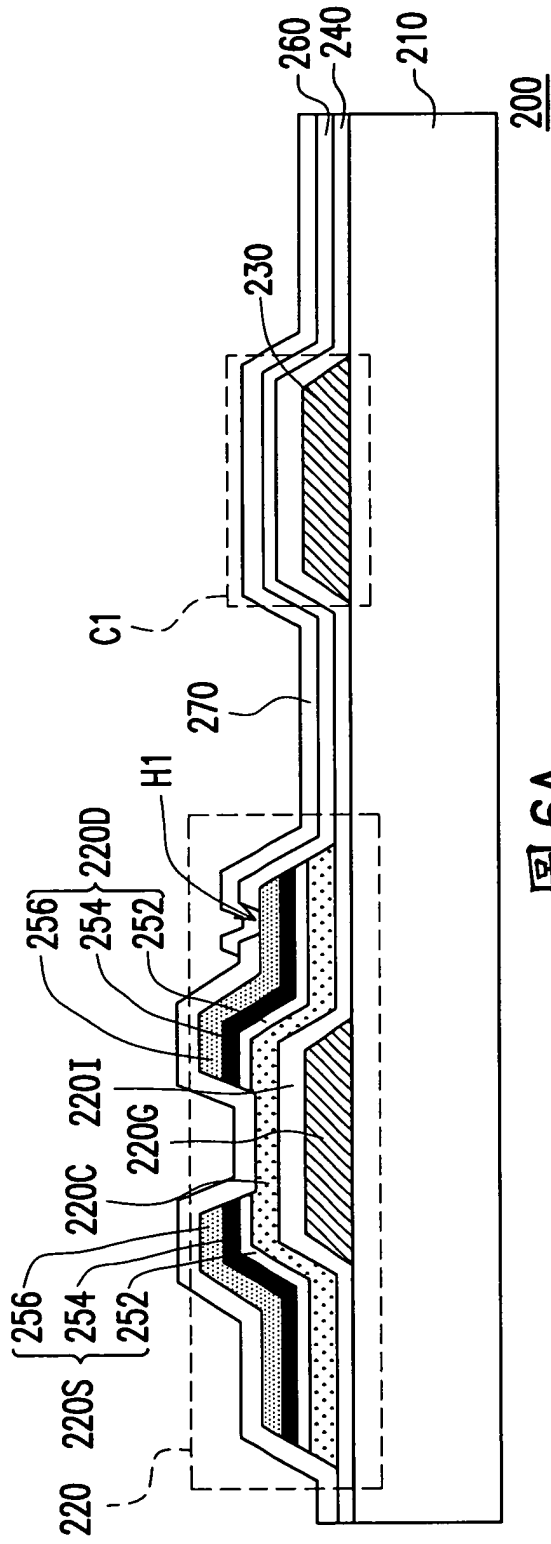


圖 6A

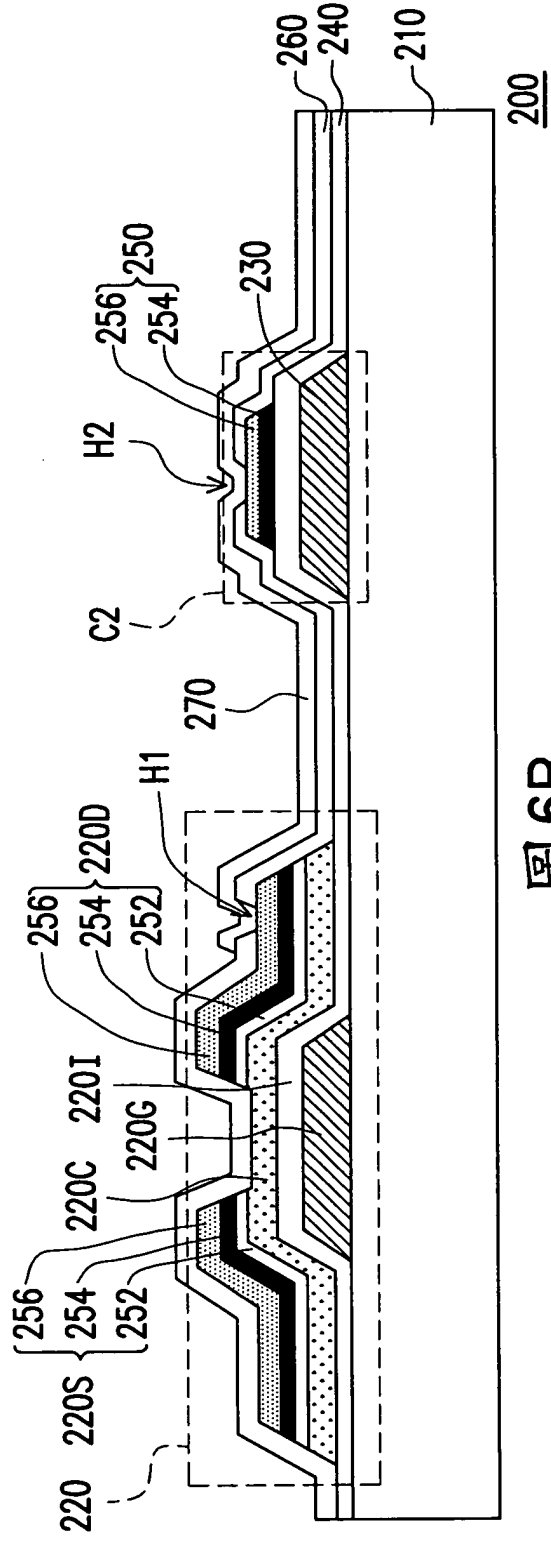


圖 6B

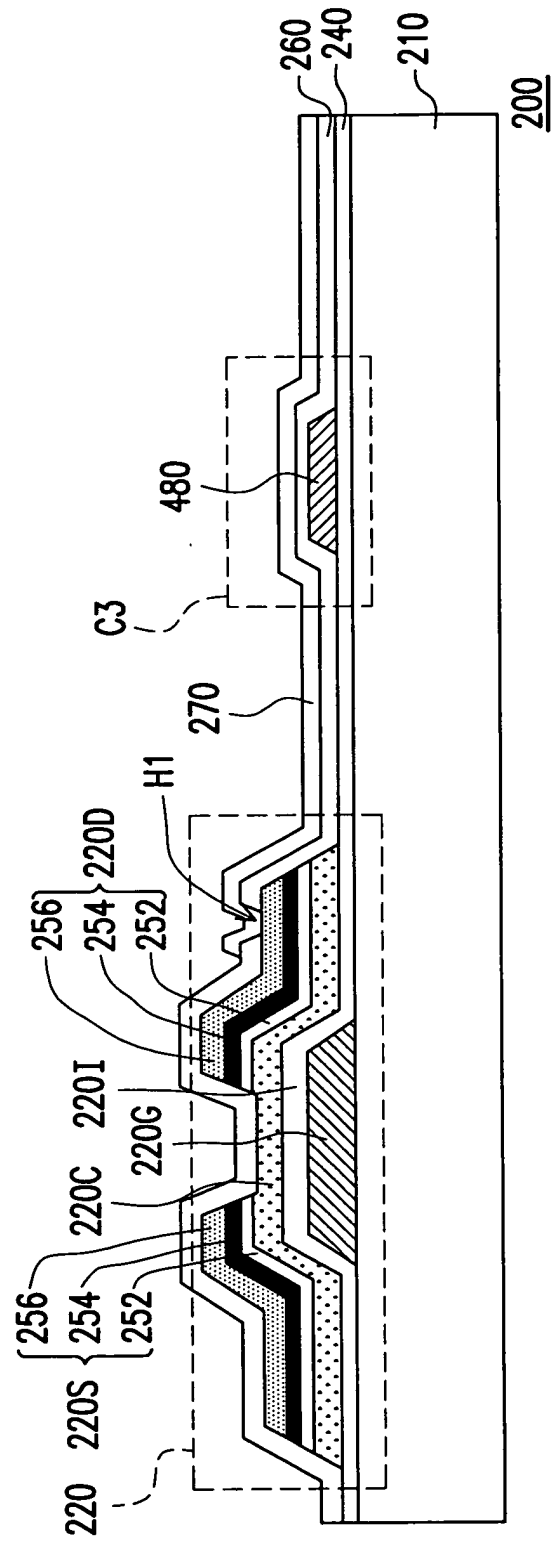
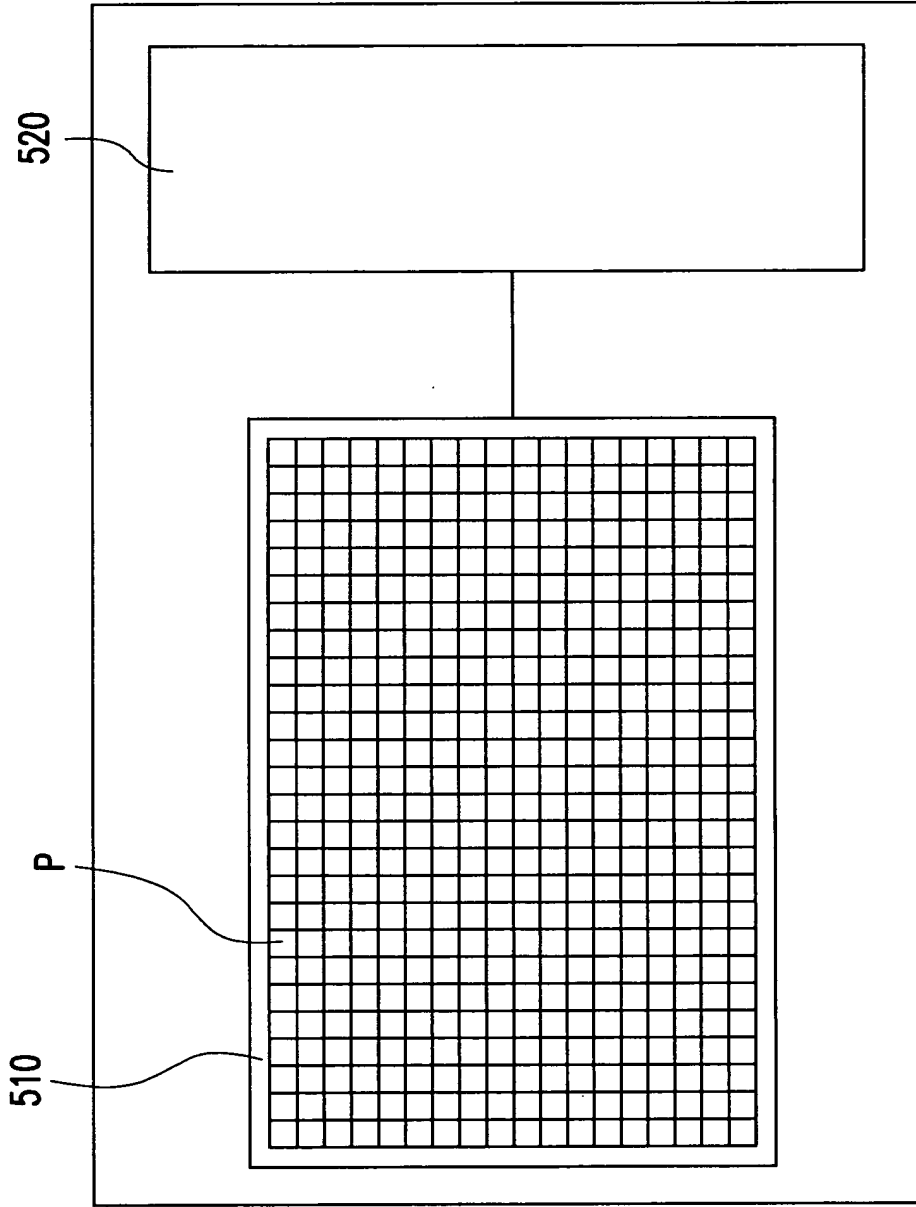


圖 6C



500

圖 7



**七、指定代表圖：**

(一)本案指定代表圖為：圖(2)。

(二)本代表圖之元件符號簡單說明：

- 200：畫素結構
- 210：基板
- 220：薄膜電晶體
- 220C：通道層
- 220D：汲極
- 220G：閘極
- 220I：閘絕緣層
- 220S：源極
- 230：下電容電極
- 240：介電層
- 250：上電容電極
- 252：半導體層
- 254：阻障層
- 256：金屬層
- 260：保護層
- 270：畫素電極
- C：儲存電容
- H1：第一開口
- H2：第二開口

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無**

## 十、申請專利範圍：

1. 一種畫素結構，配置於一基板上，該畫素結構包括：
  - 一薄膜電晶體，具有一通道層以及一源/汲極，並配置於該基板上；
  - 一下電容電極，配置於該基板上；
  - 一介電層，配置於該下電容電極上；
  - 一上電容電極，包括：
    - 一半導體層，配置於該下電容電極上方之該介電層上，其中該半導體與該通道層為不同膜層；
    - 一阻障層，配置於該半導體層上；
    - 一金屬層，配置於該阻障層上，且其材質包含銅、銅合金或上述之組合；
  - 一保護層，覆蓋該薄膜電晶體與該上電容電極，該保護層具有一暴露出該汲極之第一開口；以及
  - 一畫素電極，該畫素電極藉由該第一開口與該薄膜電晶體電性連接。
2. 如申請專利範圍第 1 項所述之畫素結構，其中該薄膜電晶體包括一閘極、一閘絕緣層、一通道層、一源極以及該汲極，其中該源極與該汲極的材料與該上電容電極的材料實質上相同。
3. 如申請專利範圍第 2 項所述之畫素結構，其中該薄膜電晶體更包括一蝕刻終止層，配置於該通道層上方。
4. 如申請專利範圍第 1 項所述之畫素結構，其中該保護層更具有一暴露出該上電容電極之第二開口，該畫素電

極藉由該第二開口與該上電容電極電性連接。

5. 如申請專利範圍第 1 項所述之畫素結構，其中，該阻障層之材質包含氧化銅，該氧化銅之組成包括含有鉬、釹、鋳、鈦、鎂、鎳、鉛、鎢、鉭、鈳、錫、錳元素或上述之組合。

6. 如申請專利範圍第 1 項所述之畫素結構，其中，該阻障層之材質包含氧化銅，該氧化銅中的氧濃度介於 3% 至 30% 之間。

7. 如申請專利範圍第 1 項所述之畫素結構，其中該金屬層的組成包括含有鉬、釹、鋳、鈦、鎂、鎳、鉛、鎢、鉭、鈳、錫或錳等元素之銅合金。

8. 一種畫素結構的製作方法，包括：

提供一基板；

形成一閘極以及一下電容電極於該基板上；

形成一介電層於該基板上，以覆蓋該閘極以及該下電容電極；

形成一通道層於該閘極上方之該介電層上，且於該下電容電極上方之介電層上形成一圖案化半導體層，該半導體與該通道層為不同膜層；

依序形成一阻障層以及一導電層於該通道層、該介電層以及該圖案化半導體層上，且該導電層之材質包含銅及其合金；

圖案化該阻障層以及該導電層，以於該閘極兩側的該通道層上形成一源極與一汲極，且於該圖案化半導體層上形

成一含銅疊層，該閘極、該通道層、該源極以及該汲極構成一薄膜電晶體，該圖案化半導體層與該含銅疊層形成一上電容電極；

形成一保護層於該薄膜電晶體與該上電容電極上，其中該保護層具有一暴露出該汲極之第一開口；以及

形成一畫素電極，該畫素電極藉由該第一開口與該薄膜電晶體電性連接。

9. 如申請專利範圍第 8 項所述之畫素結構的製作方法，其中該保護層更包括一暴露出該上電容電極之第二開口，該畫素電極藉由該第二開口與該上電容電極電性連接。

10. 如申請專利範圍第 8 項所述之畫素結構的製作方法，更包括於形成該阻障層之前，形成一蝕刻終止層於該通道層上。

11. 一種畫素結構，配置於一基板上，該畫素結構包括：

一薄膜電晶體，具有一閘極、一介電層、一通道層、一半導體層及一源/汲極，並依序配置於該基板上，以使得該源/汲極位於部分該通道層上的該半導體層上，其中該半導體與該通道層為不同膜層，該源/汲極具有一阻障層以及一金屬層，該阻障層配置於部分該半導體層上，該金屬層配置於該阻障層上，且該阻障層接觸於該半導體層以及該金屬層，其中該阻障層之材質包含銅、銅合金或上述之組合；

一保護層，覆蓋該薄膜電晶體與該介電層上，該保護層具有一暴露出該汲極之第一開口；以及

一畫素電極，配置該保護層上，且該畫素電極藉由該第一開口與該薄膜電晶體電性連接。

12.如申請專利範圍第 11 項所述之畫素結構，其中，該阻障層之材質包含氧化銅，該氧化銅之組成包括含有鉬、鈹、鋯、鈦、鎂、鎳、鉛、鎢、鉭、釩、錫、錳元素或上述之組合。

13.如申請專利範圍第 11 項所述之畫素結構，其中，該阻障層之材質包含氧化銅，該氧化銅中的氧濃度介於 3% 至 30%之間。

14.如申請專利範圍第 11 項所述之畫素結構，其中該薄膜電晶體更包括一蝕刻終止層，配置於該通道層上方。

15.一種畫素結構之製造方法，該方法包含：

提供一基板；

依序配置一閘極、一介電層、一通道層、一半導體層及一源/汲極，以形成一薄膜電晶體，並使得該源/汲極位於部分該通道層上的該半導體層上，其中該半導體與該通道層為不同膜層，該源/汲極具有一阻障層以及一金屬層，該阻障層配置於部分該半導體層上，該金屬層配置於該阻障層上，且該阻障層接觸於該半導體層以及該金屬層，其中該阻障層之材質包含銅、銅合金或上述之組合；

覆蓋一保護層，於該薄膜電晶體與該介電層上，該保護層具有一暴露出該汲極之第一開口；以及

配置一畫素電極，於該保護層上，且該畫素電極藉由該第一開口與該薄膜電晶體電性連接。

16.如申請專利範圍第 15 項所述之畫素結構的製作方法，更包括於形成該阻障層之前，形成一蝕刻終止層於該半導體層上。

17.一種顯示面板，包含：

一畫素陣列基板，包含多個如申請專利範圍第 1 項或第 11 項所述之畫素結構；

一對向基板，相對設置於該畫素陣列基板的對向；以及一顯示介質，位於該畫素陣列基板與該對向基板之間。

18.一種光電裝置，包含：

一如申請專利範圍第 17 項所述之顯示面板；以及一電子元件，與該顯示面板電性連接。

19.一種顯示面板之製造方法，包含：

以如申請專利範圍第 8 項或第 15 項所述之畫素結構的製造方法形成一畫素陣列基板；

於該畫素陣列基板的對向形成一對向基板；以及於該畫素陣列基板與該對向基板之間形成一顯示介質。

20.一種光電裝置之製造方法，包含：

以如申請專利範圍第 19 項所述之顯示面板的製造方法形成一顯示面板；以及

提供一電子元件，與該顯示面板電性連接。