



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월27일
(11) 등록번호 10-1842237
(24) 등록일자 2018년03월20일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2017.01) H01L 21/8247 (2006.01)
(21) 출원번호 10-2011-0036353
(22) 출원일자 2011년04월19일
심사청구일자 2016년03월29일
(65) 공개번호 10-2012-0118765
(43) 공개일자 2012년10월29일
(56) 선행기술조사문헌
KR1020110035525 A*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
채수두
경기도 용인시 수지구 푸른솔로 56, 현대홈타운
4차 2단지 521동 603호 (죽전동)
황기현
경기도 성남시 분당구 내정로 94, LG아파트 202동
604호 (정자동, 한솔마을)
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 9 항

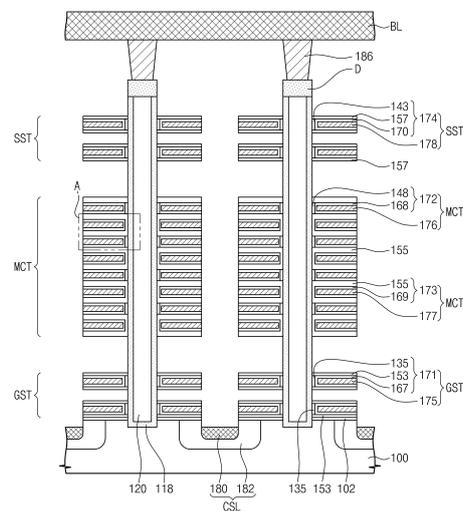
심사관 : 고연화

(54) 발명의 명칭 3차원 반도체 메모리 소자 및 이를 제조하는 방법

(57) 요약

3차원 반도체 메모리 소자 및 이를 제조하는 방법을 제공한다. 3차원 반도체 메모리 소자는, 기판 상에 제1 게이트 패턴 및 제2 게이트 패턴이 번갈아 적층된 적층 구조물, 적층 구조물을 관통하는 수직 활성 패턴, 제1 게이트 패턴들 및 수직 활성 패턴 사이에 개재된 제1 유전 패턴들 및 제2 게이트 패턴들과 수직 활성 패턴 사이에 개재되는 제1 부분 및 제1 부분으로부터 인접한 제1 및 제2 게이트 패턴들 사이로 연장되는 제2 부분을 각각 포함하는 제2 유전 패턴들 포함한다. 인접한 제1 및 제2 게이트 패턴들 이격 거리는 제2 부분의 두께의 2배보다 실질적으로 작다.

대표도 - 도2a



(72) 발명자

최한메

서울특별시 서초구 서초중앙로 206, 삼호가든 F동
1102호 (반포동)

임승현

경기도 용인시 수지구 풍덕천로 75 703동 1303호
(풍덕천동, 공무원아파트)

(56) 선행기술조사문헌

JP2010093269 A

US20100163968 A1

US20100155818 A1

US20110147824 A1

KR1020100095900 A

KR1020100074543 A

JP2010171185 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관 상에 제1 게이트 패턴 및 제2 게이트 패턴이 번갈아 적층된 적층 구조물;

상기 적층 구조물을 관통하는 수직 활성 패턴;

상기 제1 게이트 패턴들 및 상기 수직 활성 패턴 사이에 개재된 제1 유전 패턴들; 및

상기 제2 게이트 패턴들과 상기 수직 활성 패턴 사이에 개재되는 제1 부분 및 상기 제1 부분으로부터 인접한 제1 및 제2 게이트 패턴들 사이로 연장되는 제2 부분을 각각 포함하는 제2 유전 패턴들 포함하되,

상기 인접한 제1 및 제2 게이트 패턴들 이격 거리는 상기 제2 부분의 두께의 2배보다 작고,

각각의 제1 유전 패턴들은,

상기 수직 활성 패턴에 인접한 제1 터널 절연막;

상기 각 제1 게이트 패턴에 인접한 제1 장벽 유전막; 및

상기 제1 터널 절연막 및 상기 제1 장벽 유전막 사이에 배치된 제1 전하 저장막을 포함하며,

상기 제1 및 제2 부분들은 연속적인 구조체를 정의하는 3차원 반도체 메모리 소자.

청구항 2

제1항에 있어서,

상기 인접한 제1 및 제2 게이트 패턴들의 이격 거리는 상기 제2 부분의 두께와 동일한 3차원 반도체 메모리 소자.

청구항 3

제1항에 있어서,

상기 제2 유전 패턴들의 적어도 하나는,

상기 제1 부분의 두께가 상기 제2 부분의 두께보다 작은 3차원 반도체 메모리 소자.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 제1 유전 패턴은,

상기 제1 장벽 유전막 및 상기 제1 게이트 패턴 사이에 개재된 제1 금속 유전막을 더 포함하되,

상기 제1 금속 유전막은 상기 제1 게이트 패턴의 상부면 및 하부면으로 연장되는 3차원 반도체 메모리 소자.

청구항 6

제1항에 있어서,

각각의 제2 유전 패턴들은,

상기 수직 활성 패턴에 인접한 제2 터널 절연막;

각 제2 게이트 패턴에 인접한 제2 장벽 유전막; 및

상기 제2 터널 절연막 및 상기 제2 장벽 유전막 사이에 배치된 제2 전하 저장막을 포함하되,

상기 제2 터널 절연막, 상기 제2 전하 저장막 및 상기 제2 장벽 유전막 각각은 상기 제2 게이트 패턴의 상부면 및 하부면으로 연장되는 3차원 반도체 메모리 소자.

청구항 7

제6항에 있어서,

상기 제2 유전 패턴은,

상기 제2 장벽 유전막 및 상기 제2 게이트 패턴 사이에 개재된 제2 금속 유전막을 더 포함하되,

상기 제2 금속 유전막은 상기 제2 게이트 패턴의 상부면 및 하부면으로 연장되는 3차원 반도체 메모리 소자.

청구항 8

제1항에 있어서,

상기 수직 활성 패턴과 상기 제1 및 제2 게이트 패턴들 사이에 개재되는 정보 저장막을 더 포함하되,

상기 정보 저장막은 상기 수직 활성 패턴의 외측면을 따라 연장하는 3차원 반도체 메모리 소자.

청구항 9

제8항에 있어서,

상기 제1 및 제2 유전 패턴들은 각각 금속 유전물을 포함하는 3차원 반도체 메모리 소자.

청구항 10

기관 상에 제1 막 및 제2 막이 번갈아 적층된 적층 구조물을 관통하는 수직 활성 패턴을 형성하는 단계;

상기 제1 막들을 제거하여 제1 리세스들을 형성하는 단계;

상기 제1 리세스들에 의해 노출된 수직 활성 패턴의 측면에 제1 유전 패턴들을 형성하는 단계;

상기 제1 유전 패턴들이 형성된 제1 리세스들을 매립하는 제1 물질 패턴들을 형성하는 단계;

상기 제2 막들을 제거하여 제2 리세스들을 형성하는 단계;

상기 제2 리세스들에 의해 노출된 수직 활성 패턴의 측면, 상기 제1 물질 패턴들의 상부면들 및 하부면들에 컨포멀하게 제2 유전 패턴들을 형성하는 단계; 및

상기 제2 유전 패턴들이 형성된 제2 리세스들을 매립하는 제2 물질 패턴들을 형성하는 단계를 포함하는 3차원 반도체 메모리 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 3차원 반도체 메모리 소자 및 이를 제조하는 방법에 관한 것으로서, 더욱 상세하게는 복수의 박막들이 연속적으로 적층된 3차원 반도체 장치 및 이를 제조하는 방법에 관련된 것이다.

배경 기술

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 메모리 장치의 집적도를 증가시키는 것이 요구되고 있다. 반도체 메모리 장치의 경우, 그 집적도는 제품의 가격을 결정하는 중요한 요인이기 때문에, 특히 증가된 집적도가 요구되고 있다. 종래의 2차원 또는 평면적 반도체 메모리 장치의 경우, 그 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 반도체 메모리 장치의 집적도는 증가하고는 있지만 여전히 제한적이다.

[0003] 이러한 한계를 극복하기 위한, 3차원적으로 배열되는 메모리 셀들을 구비하는 3차원 반도체 메모리 장치들이 제안되고 있다. 그러나, 3차원 반도체 메모리 장치의 대량 생산을 위해서는, 비트당 제조 비용을 2차원 반도체 메모리 장치의 그것보다 줄일 수 있으면서 신뢰성 있는 제품 특성을 구현할 수 있는 공정 기술이 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 일 기술적 과제는 신뢰성 및 생산성이 향상된 3차원 반도체 메모리 소자를 제공하는 데 있다.

[0005] 본 발명의 이루고자 하는 일 기술적 과제는 상기 3차원 반도체 메모리 소자를 제조하는 방법을 제공하는 데 있다.

[0006] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 본 발명의 개념에 따른 일 실시예는 3차원 반도체 메모리 소자를 제공한다. 상기 3차원 반도체 메모리 소자는, 기판 상에 제1 게이트 패턴 및 제2 게이트 패턴이 번갈아 적층된 적층 구조물, 상기 적층 구조물을 관통하는 수직 활성 패턴, 상기 제1 게이트 패턴들 및 상기 수직 활성 패턴 사이에 개재된 제1 유전 패턴들 및 상기 제2 게이트 패턴들과 상기 수직 활성 패턴 사이에 개재되는 제1 부분 및 상기 제1 부분으로부터 인접한 제1 및 제2 게이트 패턴들 사이로 연장되는 제2 부분을 각각 포함하는 제2 유전 패턴들을 포함한다. 상기 인접한 제1 및 제2 게이트 패턴들 이격 거리는 상기 제2 부분의 두께의 2배보다 실질적으로 작다.

[0008] 본 발명의 일 실시예에 따르면, 상기 인접한 제1 및 제2 게이트 패턴들의 이격 거리는 상기 제2 부분의 두께와 실질적으로 동일할 수 있다.

[0009] 본 발명의 다른 실시예에 따르면, 상기 제2 유전 패턴들의 적어도 하나는, 상기 제1 부분의 두께가 상기 제2 부분의 두께보다 실질적으로 작을 수 있다.

[0010] 본 발명의 또 다른 실시예에 따르면, 각각의 제1 유전 패턴들은, 상기 수직 활성 패턴에 인접한 제1 터널 절연막, 상기 각 제1 게이트 패턴에 인접한 제1 장벽 유전막 및 상기 제1 터널 절연막 및 상기 제1 장벽 유전막 사이에 배치된 제1 전하 저장막을 포함할 수 있다.

[0011] 본 발명의 또 다른 실시예에 따르면, 상기 제1 유전 패턴은, 상기 제1 장벽 유전막 및 상기 제1 게이트 패턴 사이에 개재된 제1 금속 유전막을 더 포함할 수 있다. 상기 제1 금속 유전막은 상기 제1 게이트 패턴의 상부면 및 하부면으로 연장될 수 있다.

[0012] 본 발명의 또 다른 실시예에 따르면, 각각의 제2 유전 패턴들은, 상기 수직 활성 패턴에 인접한 제2 터널 절연막, 각 제2 게이트 패턴에 인접한 제2 장벽 유전막 및 상기 제2 터널 절연막 및 상기 제2 장벽 유전막 사이에 배치된 제2 전하 저장막을 포함할 수 있다. 상기 제2 터널 절연막, 상기 제2 전하 저장막 및 상기 제2 장벽 유전막 각각은 상기 제2 게이트 패턴의 상부면 및 하부면으로 연장될 수 있다.

[0013] 본 발명의 또 다른 실시예에 따르면, 상기 제2 유전 패턴은, 상기 제2 장벽 유전막 및 상기 제2 게이트 패턴 사이에 개재된 제2 금속 유전막을 더 포함할 수 있다. 상기 제2 금속 유전막은 상기 제2 게이트 패턴의 상부면 및 하부면으로 연장될 수 있다.

[0014] 본 발명의 또 다른 실시예에 따르면, 상기 3차원 반도체 메모리 소자는, 상기 수직 활성 패턴과 상기 제1 및 제2 게이트 패턴들 사이에 개재되는 정보 저장막을 더 포함할 수 있다. 상기 정보 저장막은 상기 수직 활성 패턴의 외측면을 따라 연장할 수 있다.

[0015] 본 발명의 또 다른 실시예에 따르면, 상기 제1 및 제2 유전 패턴들은 각각 금속 유전물을 포함할 수 있다.

[0016] 본 발명의 개념에 따른 다른 실시예는 3차원 반도체 메모리 소자의 제조 방법을 제공한다. 상기 3차원 반도체 메모리 소자의 제조 방법은, 기판 상에 제1 막 및 제2 막이 번갈아 적층된 적층 구조물을 관통하는 수직 활성 패턴을 형성하는 단계, 상기 제1 막들을 제거하여 제1 리세스들을 형성하는 단계, 상기 제1 리세스들에 의해 노출된 수직 활성 패턴의 측면에 제1 유전 패턴들을 형성하는 단계, 상기 제1 유전 패턴들이 형성된 제1 리세스들

을 매립하는 제1 물질 패턴들을 형성하는 단계, 상기 제2 막들을 제거하여 제2 리세스들을 형성하는 단계, 상기 제2 리세스들에 의해 노출된 수직 활성 패턴의 측면, 상기 제1 물질 패턴들의 상부면들 및 하부면들에 컨포멀하게 제2 유전 패턴들을 형성하는 단계 및 상기 제2 유전 패턴들이 형성된 제2 리세스들을 매립하는 제2 물질 패턴들을 형성하는 단계를 한다.

발명의 효과

[0017] 본 발명의 개념에 따른 실시예들에 따르면, 인접한 게이트 패턴들 사이를 절연 패턴으로 이격하지 않고 유전 패턴들을 이용하여 이격시킴으로써, 상기 인접한 게이트 패턴들 사이의 거리를 좁힐 수 있다. 따라서, 3차원 반도체 메모리 소자의 집적도를 향상시킬 수 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 일 실시예에 따른 3차원 반도체 메모리 소자의 간략 회로도이다.
 도 2a 및 도 2b는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 소자를 설명하기 위한 단면도이다.
 도 3a 및 도 3b는 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 소자를 설명하기 위한 단면도이다.
 도 4a 내지 도 4o는 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도들이다.
 도 5a 내지 도 5i는 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도들이다.
 도 6a는 본 발명의 실시예들에 따른 3차원 메모리 소자를 구비한 메모리 카드를 설명하기 위한 블록도이다.
 도 6b는 본 발명의 실시예들에 따른 3차원 메모리 소자를 응용한 정보 처리 시스템을 설명하기 위한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0020] 본 명세서에서, 어떤 구성 요소가 다른 구성 요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 구성요소들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.

[0021] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다. 본 명세서의 다양한 실시예들에서 제1, 제2 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 실시예들은 그것의 상보적인 실시예들도 포함한다.

[0022] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다 (comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소는 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.

- [0023] 이하, 도면들을 참조하여, 본 발명의 실시예들에 대해 상세히 설명하기로 한다.
- [0024] **(3차원 반도체 메모리 소자의 셀 어레이)**
- [0025] 도 1은 본 발명의 일 실시예에 따른 3차원 반도체 메모리 소자의 셀 어레이를 나타내는 간략 회로도이다.
- [0026] 도 1을 참조하면, 3차원 반도체 메모리 소자의 셀 어레이는, 공통 소스 라인(CSL), 복수 개의 비트 라인들(BL) 및 상기 공통 소스 라인(CSL)과 상기 비트 라인들(BL) 사이에 배치되는 복수 개의 셀 스트링들(CSTR)을 포함할 수 있다.
- [0027] 상기 비트 라인들(BL)은 2차원적으로 배열되고, 그 각각은 상기 복수 개의 셀 스트링들(CSTR)이 병렬로 연결된다. 상기 셀 스트링들(CSTR)은 상기 공통 소스 라인(CSL)에 공통으로 연결될 수 있다. 즉, 상기 복수의 비트 라인들(BL)과 하나의 공통 소스 라인(CSL) 사이에 상기 복수의 셀 스트링들(CSTR)이 배치될 수 있다. 본 발명의 일 실시예에 따르면, 상기 공통 소스 라인들(CSL)은 복수 개가 2차원적으로 배열될 수 있다. 여기서, 상기 공통 소스 라인들(CSL)에는 전기적으로 동일한 전압이 인가될 수 있으며, 또는 상기 공통 소스 라인들(CSL) 각각이 전기적으로 제어될 수도 있다.
- [0028] 상기 셀 스트링들(CSTR) 각각은 상기 공통 소스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 상기 비트 라인(BL)에 접속하는 스트링 선택 트랜지스터(SST), 및 상기 접지 및 스트링 선택 트랜지스터들(GST, SST) 사이에 배치되는 복수 개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 그리고, 상기 접지 선택 트랜지스터(GST), 상기 스트링 선택 트랜지스터(SST) 및 상기 메모리 셀 트랜지스터들(MCT)은 직렬로 연결될 수 있다.
- [0029] 상기 공통 소스 라인(CSL)은 상기 접지 선택 트랜지스터들(GST)의 소스들에 공통으로 연결될 수 있다. 이에 더하여, 상기 공통 소스 라인(CSL)과 상기 비트 라인들(BL) 사이에 배치되는, 접지 선택 라인(GSL), 복수 개의 워드 라인들(WL0-WL3) 및 복수 개의 스트링 선택 라인들(SSL)이 접지 선택 트랜지스터(GST), 메모리 셀 트랜지스터들(MCT) 및 스트링 선택 트랜지스터들(SST)의 게이트 패턴들로서 각각 사용될 수 있다. 또한, 상기 메모리 셀 트랜지스터들(MCT) 각각은 데이터 저장 요소(data storage element)를 포함한다.
- [0030] 상기 비트 라인들(BL)은 2차원적으로 배열되고, 그 각각은 상기 복수 개의 셀 스트링들(CSTR)에 병렬로 연결된다. 이에 따라 상기 셀 스트링들(CSTR)은 상기 공통 소스 라인(CSL) 상에 2차원적으로 배열된다.
- [0031] 상기 셀 스트링들(CSTR) 각각은, 상기 공통 소스 라인(CSL)과 비트 라인들(BL) 사이에 배치되는 복수 개의 접지 선택 라인들(GSL), 복수 개의 워드 라인들(WL0-WL3) 및 복수 개의 스트링 선택 라인들(SSL)을 포함한다.
- [0032] 또한, 상기 셀 스트링들(CSTR) 각각은 상기 공통 소스 라인(CSL)으로부터 수직하게 연장되어 상기 비트 라인(BL)에 접속하는 수직 활성 패턴들(도 2a 참조)을 포함할 수 있다. 상기 수직 활성 패턴들은 상기 접지 선택 라인들(GSL), 상기 워드 라인들(WL0-WL3) 및 상기 스트링 선택 라인들(SSL)을 관통하도록 형성될 수 있다. 상기 워드 라인들(WL0-WL3)과 상기 수직 활성 패턴들 사이에는 유전 패턴들(도 2a 참조)이 배치될 수 있다.
- [0033] 상기 접지 선택 라인들(GSL)과 상기 수직 활성 패턴들 사이 또는 상기 스트링 선택 라인들(SSL)과 상기 수직 활성 패턴들 사이에는, 트랜지스터의 게이트 절연막으로 사용되는 유전막이 배치될 수 있다.
- [0034] 이와 같은 구조에서, 상기 수직 활성 패턴들은, 상기 접지 선택 라인들(GSL), 상기 워드 라인들(WL0-WL3) 및 상기 스트링 선택 라인들(SSL)과 함께, 상기 수직 활성 패턴들을 채널 영역으로 사용하는 모스 전계 효과 트랜지스터(MOSFET)를 구성할 수 있다. 이와 달리, 상기 수직 활성 패턴들은, 상기 접지 선택 라인들(GSL), 상기 워드 라인들(WL0-WL3) 및 상기 스트링 선택 라인들(SSL)과 함께, 상기 모스 커패시터(MOS capacitor)를 구성할 수 있다.
- [0035] 이러한 경우, 상기 접지 선택 라인들(GSL), 상기 복수 개의 워드 라인들(WL0-WL3) 및 상기 복수 개의 스트링 선택 라인들(SSL)은 선택 트랜지스터 및 셀 트랜지스터의 게이트 패턴들로서 각각 사용될 수 있다. 그리고, 상기 접지 선택 라인들(GSL), 상기 워드 라인들(WL0-WL3) 및 스트링 선택 라인들(SSL)에 인가되는 전압으로부터의 기생 전계(fringe field)에 의해 수직 활성 패턴들에 반전 영역들(inversion regions)이 형성될 수 있다. 여기서, 반전 영역의 최대 거리(또는 폭)는 반전 영역을 생성시키는 상기 워드 라인들(WL) 또는 상기 선택 라인들(GSL)의 두께보다 클 수 있다. 이에 따라, 상기 반도체 기둥(PL)에 형성되는 반전 영역들은 수직적으로 중첩되어, 상기 공통 소스 라인(CSL)으로부터 선택된 상기 비트 라인을 전기적으로 연결하는 전류 통로를 형성한다.

- [0036] 즉, 상기 셀 스트링(CSTR)은 상기 하부 및 상부 선택 라인들(GSL, SSL)에 의해 구성되는 상기 접지 및 스트링 트랜지스터들과 워드 라인들(WL0-WL3)에 의해 구성되는 메모리 셀 트랜지스터들(MCT)이 직렬 연결된 구조를 가질 수 있다.
- [0037] 도 1을 참조하여 설명된 3차원 반도체 메모리 소자의 동작에 대해 간단히 설명하면 다음과 같다. 본 발명의 실시예들에 따른 3차원 반도체 메모리 소자의 동작 방법은 이에 제한되지 않으며 다양하게 변형될 수 있다.
- [0038] 먼저, 메모리 셀들에 데이터를 기입하는 프로그램 동작에 대해 설명한다. 동일층에 위치하는 워드 라인들(WL0-WL3)에 동일한 전압이 인가되며, 서로 다른 층에 위치하는 워드 라인들(WL0-WL3)에는 서로 다른 전압들이 인가될 수 있다. 그리고, 선택된 메모리 셀을 포함하는 층의 워드 라인들(WL0-WL3)에는 프로그램 전압(V_{PGM})이 인가되고, 비선택된 층의 워드 라인들(WL0-WL3)에는 패스 전압(V_{PASS})이 인가된다. 여기서, 프로그램 전압(V_{PGM})은 약 10~20V의 고전압이며, 패스 전압(V_{PASS}) 전압은 메모리 셀 트랜지스터들을 턴-온시킬 수 있는 전압이다. 또한, 선택된 메모리 셀 트랜지스터와 연결된 비트 라인(BL)에는 0V가 인가되며, 다른 비트 라인들(BL)에는 V_{CC} 전압(즉, 전원 전압)이 인가된다. 그리고, 접지 선택 라인들(GSL)에는 0V(즉, 접지 전압)가 인가되어, 접지 선택 트랜지스터들 모두 턴-오프된다. 나아가, 선택된 스트링 선택 라인(SSL)에는 V_{CC} 전압이 인가되고, 비선택된 스트링 선택 라인(SSL)에는 0V가 인가된다. 이와 같은 전압 조건에서, 선택된 스트링 선택 트랜지스터(SST)와 선택된 셀 스트링(CSTR)에 포함된 메모리 셀 트랜지스터들(MCT)이 턴 온될 수 있다. 그러므로, 선택된 셀 스트링(CSTR)에 포함된 메모리 셀 트랜지스터들(MCT)의 채널은 선택된 비트 라인(BL)과 등전위(즉, 0V)를 갖는다. 이때, 선택된 메모리 셀 트랜지스터(MCT)의 워드 라인(WL0-WL3)에 고전압의 프로그램 전압(V_{PGM})이 인가되기 때문에, F-N 터널링 현상이 발생하여 선택된 메모리 셀 트랜지스터에 데이터가 기입될 수 있다.
- [0039] 이어서, 메모리 셀들에 기입된 데이터를 독출하는 읽기 동작에 대해 설명한다. 동일층에 위치하는 워드 라인들(WL0-WL3)에 동일한 전압이 인가되며, 서로 다른 층에 위치하는 워드 라인들(WL0-WL3)에는 서로 다른 전압들이 인가될 수 있다. 구체적으로, 읽기 동작을 위해, 선택된 메모리 셀 트랜지스터(MCT)와 연결된 워드 라인(WL0-WL3)에 0V가 인가되며, 다른 층에 위치하는 비선택된 메모리 셀 트랜지스터들(MCT)의 워드 라인들(WL0-WL3)에는 읽기 전압(V_{read})이 인가된다. 여기서, 읽기 전압(V_{read})은 비선택된 메모리 셀 트랜지스터들을 턴-온시킬 수 있는 전압이다. 그리고, 선택된 비트 라인(BL)에는 약 0.4 ~ 0.9V의 비트 라인 전압이 인가될 수 있으며, 다른 비트 라인들(BL)에는 0V가 인가된다. 그리고, 공통 소스 라인(CSL)에는 0V가 인가되고, 접지 선택 라인들(GSL)에 읽기 전압(V_{read})이 인가되어, 선택된 메모리 셀 트랜지스터(MCT)의 채널이 공통 소스 라인(CSL)과 연결될 수 있다. 또한, 선택된 스트링 선택 라인(SSL)에 읽기 전압(V_{read})이 인가되고, 비선택된 스트링 선택 라인(SSL)에 0V가 인가된다. 이와 같은 전압 조건에서, 선택된 메모리 셀에 데이터(0 또는 1)에 따라 선택된 메모리 셀 트랜지스터(MCT)가 턴-온 또는 턴-오프될 수 있다. 선택된 메모리 셀 트랜지스터(MCT)가 턴-온되면, 셀 스트링(CSTR)에는 전류 흐름이 발생할 수 있으며, 셀 스트링(CSTR)에 흐르는 전류 변화를 선택된 비트 라인(BL)을 통해 검출할 수 있다.
- [0040] 예를 들어, 선택된 메모리 셀 트랜지스터(MCT)에 전자들이 저장된 경우에, 선택된 메모리 셀 트랜지스터(MCT)는 턴-오프되고, 선택된 비트 라인(BL)의 전압이 공통 소스 영역(CSL)으로 전달되지 않는다. 이와는 달리, 선택된 메모리 셀 트랜지스터(MCT)에 전자들이 저장되지 않은 경우, 선택된 메모리 셀은 읽기전압에 의하여 턴-온되고, 비트 라인(BL)의 전압은 공통 소스 라인(CSL)으로 전달될 수 있다.
- [0041] 다음으로, 3차원 반도체 소자의 소거 동작에 대하여 설명한다. 일 실시예에 따르면, 메모리 셀 트랜지스터(MCT)에 저장된 전하를 수직 활성 패턴으로 방출하여 소거할 수 있다. 다른 실시예에 따르면, 정보 저장막에 저장된 전하와 반대 타입의 전하를 정보 저장막에 주입하여 소거할 수도 있다. 또 다른 실시예에 따르면, 메모리 셀 트랜지스터들 중에서 하나를 선택하여 소거하거나, 블록 단위의 메모리 셀 트랜지스터들(MCT)을 동시에 소거할 수도 있다.
- [0042] **(3차원 반도체 메모리 소자_제1 실시예)**
- [0043] 도 2a 및 도 2b는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 소자를 설명하기 위한 단면도들이다. 도 2b는 도 2a의 A부분을 설명하기 위한 확대 단면도이다.
- [0044] 도 2a 및 도 2b를 참조하면, 3차원 반도체 메모리 소자는, 공통 소스 라인(CSL), 수직 활성 패턴(118), 접지 선택 트랜지스터(GST), 메모리 셀 트랜지스터들(MCT), 스트링 선택 트랜지스터(SST) 및 비트 라인(BL)을 포함할

수 있다.

- [0045] 상기 공통 소스 라인(CSL)은 기판(100)에 배치될 수 있다. 상기 기판(100)은 실리콘 기판, 게르마늄 기판 또는 실리콘-게르마늄 기판 동일 수 있다. 본 발명의 일 측면에 따르면, 상기 공통 소스 라인(CSL)은 기판(100) 표면 에 형성된 불순물 영역일 수 있다. 상기 공통 소스 라인(CSL)은 제1 방향으로 연장할 수 있다.
- [0046] 상기 수직 활성 패턴(118)은 상기 기판(100) 표면으로부터 수직 방향 연장할 수 있다. 본 발명의 일 실시예에 따르면, 상기 수직 활성 패턴(118)은 하면이 폐쇄된 중공의 실린더 형상을 가질 수 있다. 상기 수직 활성 패턴(118) 내부에는 매립 절연 패턴(120)이 채워질 수 있다.
- [0047] 상기 접지 선택 트랜지스터(GST), 상기 메모리 셀 트랜지스터들(MCT) 및 상기 스트링 선택 트랜지스터(SST)가 서로 이격되어 순차적으로 배치될 수 있다. 상기 접지 선택 트랜지스터(GST)는 상기 기판(100)에 인접하게 배치 되고, 상기 스트링 선택 트랜지스터(SST)는 상기 비트 라인(BL)에 인접하게 배치되며, 상기 메모리 셀 트랜지스터들(MCT)은 상기 접지 트랜지스터(GST) 및 상기 스트링 선택 트랜지스터(SST) 사이에 배치될 수 있다. 일 측면 에 따르면, 상기 기판(100) 및 상기 접지 선택 트랜지스터(GST) 사이에는 버퍼 절연막이 더 개재될 수 있다.
- [0048] 상기 접지 선택 트랜지스터(GST)는 도전 패턴(178) 및 상기 도전 패턴(178)과 상기 수직 활성 패턴(118) 사이에 개재된 유전 패턴들(174)을 포함할 수 있다. 상기 접지 선택 트랜지스터(GST)의 각 유전 패턴(174)은 다층 구조 를 가질 수 있다. 예컨대, 상기 접지 선택 트랜지스터(GST)의 유전 패턴(174)은 산화막, 질화막 및 산화막이 적 층된 구조를 가질 수 있다.
- [0049] 상기 메모리 셀 트랜지스터들(MCT)은 서로 이격되어 수직 방향으로 적층될 수 있다. 상기 메모리 셀 트랜지스터 들(MCT) 각각은 게이트 패턴들(176, 177) 및 유전 패턴들(172, 173)을 포함할 수 있다. 상기 메모리 셀 트랜지 스테터들(MCT)에 대한 상세한 설명은 이후에 하기로 한다.
- [0050] 상기 스트링 선택 트랜지스터(SST)는 도전 패턴(178) 및 상기 도전 패턴(178)과 상기 수직 활성 패턴(118) 사이 에 개재된 유전 패턴들(174)을 포함할 수 있다. 상기 스트링 선택 트랜지스터(SST)의 각 유전 패턴(174)은 다층 구조를 가질 수 있다. 예컨대, 상기 스트링 선택 트랜지스터(SST)의 유전 패턴(174)은 산화막, 질화막 및 산화 막이 적층된 구조를 가질 수 있다.
- [0051] 상기 3차원 반도체 메모리 소자는, 상기 수직 활성 패턴(118)의 상단에 배치된 상기 공통 소스 라인(CSL)에 대 응하는 불순물 영역(예컨대, 드레인 영역, D)을 더 포함할 수 있다.
- [0052] 상기 비트 라인(BL)은 상기 불순물 영역(D)과 전기적으로 연결될 수 있다. 예컨대, 상기 불순물 영역(D) 및 상 기 비트 라인(BL)은 콘택 플러그(186)에 의해 전기적으로 연결될 수 있다. 또한, 상기 비트 라인(BL)은 상기 제 1 방향과 수직인 제2 방향으로 연장할 수 있다.
- [0053] 이하에서는, 본 발명의 실시예에 따른 메모리 셀 트랜지스터들(MCT)에 대하여 설명하기로 한다.
- [0054] 상기 메모리 셀 트랜지스터들(MCT)은 제1 게이트 패턴(176) 및 제2 게이트 패턴(177)이 번갈아 적층된 적층 구 조물을 포함할 수 있다. 설명을 용이하게 하기 위하여, 이하에서는 상기 제1 게이트 패턴들(176)을 포함하는 메 모리 셀 트랜지스터들(MCT)은 제1 메모리 셀 트랜지스터들(MCT1)이라 하고, 상기 제2 게이트 패턴들(177)을 포 함하는 메모리 셀 트랜지스터들(MCT)은 제2 메모리 셀 트랜지스터들(MCT2)이라 한다. 상기 제1 메모리 셀 트랜 지스터들(MCT1) 및 제2 메모리 셀 트랜지스터들(MCT2)은 서로 이격되고 번갈아 가며, 상기 수직 활성 패턴(11 8)의 측면에 배치될 수 있다.
- [0055] 도 2b를 참조하면, 각 제1 메모리 셀 트랜지스터(MCT1)는 상기 제1 게이트 패턴(176) 및 상기 제1 게이트 패턴 (176)과 상기 수직 활성 패턴(118) 사이에 개재되는 제1 유전 패턴(172)을 포함할 수 있다. 상기 제1 유전 패턴 (172)은 제1 터널 절연막(148a), 제1 전하 저장막(148b) 및 제1 장벽 유전막(148c)을 포함할 수 있다. 본 발명 의 일 실시예에 따르면, 상기 제1 터널 절연막(148a)은 상기 수직 활성 패턴(118)에 인접하게 배치되고, 상기 제1 장벽 유전막(148c)은 상기 제1 게이트 패턴(176)에 인접하게 배치될 수 있다. 상기 제1 전하 저장막(148b) 은 상기 제1 터널 절연막(148a) 및 상기 제1 장벽 유전막(148c) 사이에 개재될 수 있다. 본 발명의 다른 실시예 에 따르면, 상기 제1 유전 패턴(148)은 상기 제1 게이트 패턴(176) 및 상기 제1 장벽 유전막(148c) 사이에 개재 되는 제1 금속 유전막(168)을 더 포함할 수 있다. 상기 제1 금속 유전막(168)은 상기 제1 게이트 패턴(176) 및 상기 제1 장벽 유전막(148c) 사이에 개재되며, 상기 제1 게이트 패턴(176)의 상부면 및 하부면을 덮으며 연장할 수 있다.
- [0056] 각 제2 메모리 셀 트랜지스터(MCT2)는 상기 제2 게이트 패턴(177) 및 상기 제2 게이트 패턴(177)과 상기 수직

활성 패턴(118) 사이에 개재되는 제2 유전 패턴(173)을 포함할 수 있다. 상기 제2 유전 패턴(173)은 상기 제2 게이트 패턴(177) 및 상기 수직 활성 패턴(118) 사이에 개재되는 제1 부분 및 상기 제1 부분으로부터 상기 제2 게이트 패턴(177)의 상부면 및 하부면으로 연장하는 제2 부분을 포함할 수 있다.

[0057] 또한, 상기 제2 유전 패턴(173)은 제2 터널 절연막(155a), 제2 전하 저장막(155b) 및 제2 장벽 유전막(155c)을 포함할 수 있다. 본 발명의 일 실시예에 따르면, 상기 제2 터널 절연막(155a)은 상기 수직 활성 패턴(118)에 인접하게 배치되고, 상기 제2 장벽 유전막(155c)은 상기 제2 게이트 패턴(177)에 인접하게 배치될 수 있다. 상기 제2 전하 저장막(155b)은 상기 제2 터널 절연막(155a) 및 상기 제2 장벽 유전막(155c) 사이에 개재될 수 있다. 본 발명의 다른 실시예에 따르면, 상기 제2 유전 패턴(173)은 상기 제2 게이트 패턴(177) 및 상기 제2 장벽 유전막(155c) 사이에 개재되는 제2 금속 유전막(168)을 더 포함할 수 있다.

[0058] 메모리 셀 트랜지스터들(MCT)이 상기의 구조를 가짐으로써, 인접한 제1 및 제2 메모리 셀 트랜지스터들(MCT1, MCT2)은 상기 제2 유전 패턴들(173)의 제2 부분들에 의해 이격될 수 있다. 본 발명의 일 실시예에 따르면, 상기 인접한 제1 및 제2 메모리 셀 트랜지스터들(MCT1, MCT2) 이격 거리(Wt)는, 상기 제2 유전 패턴(173)의 상기 제2 부분의 두께(Wd)와 실질적으로 동일할 수 있다. 다른 실시예에 따르면, 상기 인접한 제1 및 제2 메모리 셀 트랜지스터들(MCT1, MCT 2) 이격 거리는, 상기 제2 유전 패턴(173)의 상기 제2 부분의 두께(Wd)의 약 두 배보다 실질적으로 작을 수 있다.

[0059] 본 발명의 실시예들에 따르면, 상기 메모리 셀 트랜지스터들(MCT) 사이를 이격시키고 절연시키기 위하여, 별도의 절연 물질층이 배치되지 않는다. 상기 메모리 셀 트랜지스터들(MCT) 사이를 유전 패턴들에 의해 이격시키고 절연시킴으로써, 상기 메모리 셀 트랜지스터들(MCT) 간 거리를 감소시킬 수 있다. 따라서, 본 발명의 실시예들에 따른 메모리 셀 트랜지스터들(MCT)을 적용한 3차원 반도체 메모리 소자는 그 집적도가 향상될 수 있다.

[0060] **(3차원 반도체 메모리 소자_제2 실시예)**

[0061] 도 3a 및 도 3b는 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 소자를 설명하기 위한 단면도들이다. 도 3b는 도 3a의 B부분을 설명하기 위한 확대 단면도이다.

[0062] 도 3a 및 도 3b를 참조하면, 3차원 반도체 메모리 소자는, 공통 소스 라인(GSL), 수직 활성 패턴(220), 접지 선택 트랜지스터(GST), 메모리 셀 트랜지스터들(MCT), 스트링 선택 트랜지스터(SST) 및 비트 라인(BL)을 포함할 수 있다. 또한, 상기 3차원 반도체 메모리 소자는, 버퍼 절연막(202) 및 드레인 영역(D)을 더 포함할 수 있다.

[0063] 상기 메모리 셀 트랜지스터들(MCT)은 제1 메모리 셀 트랜지스터들(MCT1) 및 제2 메모리 셀 트랜지스터들(MCT2)을 포함할 수 있다. 상기 제1 메모리 셀 트랜지스터들(MCT1) 및 제2 메모리 셀 트랜지스터들(MCT2)은 서로 이격되고 번갈아 가며, 상기 수직 활성 패턴(220)의 측면에 배치될 수 있다.

[0064] 각 제1 메모리 셀 트랜지스터(MCT1)는 상기 제1 게이트 패턴(270) 및 상기 제1 게이트 패턴(270)과 상기 수직 활성 패턴(220) 사이에 개재되는 제1 유전 패턴(260)을 포함할 수 있다. 상기 제1 유전 패턴(260)은 공통 터널 절연막(218a), 공통 전하 저장막(218b), 공통 장벽 유전막(218c), 제1 금속 유전막(250)을 포함할 수 있다. 상기 공통 터널 절연막(218a), 상기 공통 전하 저장막(218b) 및 상기 공통 장벽 유전막(218c)은 상기 수직 활성 패턴(220)의 외측면을 따라 연장하며 배치될 수 있다. 본 발명의 일 실시예에 따르면, 상기 제1 금속 유전막(50)은 상기 공통 장벽 유전막(218c) 및 상기 제1 게이트 패턴(270) 사이에 개재될 수 있다.

[0065] 각 제2 메모리 셀 트랜지스터(MCT2)는 상기 제2 게이트 패턴(272) 및 상기 제2 게이트 패턴(272)과 상기 수직 활성 패턴(220) 사이에 개재되는 제2 유전 패턴(262)을 포함할 수 있다. 상기 제2 유전 패턴(262)은 상기 공통 터널 절연막(218a), 상기 공통 전하 저장막(218b), 상기 공통 장벽 유전막(218c) 및 제2 금속 유전막(255)을 포함할 수 있다. 본 발명의 일 실시예에 따르면, 상기 제2 금속 유전막(255)은 상기 공통 장벽 유전막(218c) 및 상기 제2 게이트 패턴(272) 사이에 개재되며, 상기 제2 게이트 패턴(272)의 상부면 및 하부면을 덮으며 연장될 수 있다.

[0066] 메모리 셀 트랜지스터들(MCT)이 상기의 구조를 가짐으로써, 인접한 제1 및 제2 메모리 셀 트랜지스터들(MCT1, MCT2)은 상기 제2 유전 패턴들(262)의 제2 금속 유전막(255)에 의해 이격될 수 있다. 본 발명의 일 실시예에 따르면, 상기 인접한 제1 및 제2 메모리 셀 트랜지스터들(MCT1, MCT2) 이격 거리는, 상기 제2 금속 유전막(255) 두께와 실질적으로 동일할 수 있다.

[0067] 본 발명의 실시예들에 따르면, 상기 메모리 셀 트랜지스터들(MCT) 사이를 이격시키고 절연시키기 위하여, 별도

의 절연 물질층이 배치되지 않는다. 상기 메모리 셀 트랜지스터들(MCT) 사이를 유전 패턴들에 의해 이격시키고 절연시킴으로써, 상기 메모리 셀 트랜지스터들(MCT) 간 거리를 감소시킬 수 있다. 따라서, 본 발명의 실시예들에 따른 메모리 셀 트랜지스터들(MCT)을 적용한 3차원 반도체 메모리 소자는 그 집적도가 향상될 수 있다.

[0068] 본 실시예에서 상세하게 설명되지 않은 공통 소스 라인(GST), 수직 활성 패턴(220), 접지 선택 트랜지스터(GST), 스트링 선택 트랜지스터(SST), 비트 라인(BL), 버퍼 절연막(202) 및 드레인 영역(D)은 도 2a 및 도 2b에서 설명된 공통 소스 라인(CSL), 수직 활성 패턴(220), 접지 선택 트랜지스터(GST), 스트링 선택 트랜지스터(SST), 비트 라인(BL), 버퍼 절연막(202) 및 드레인 영역(D)의 설명과 동일하여 생략하기로 한다.

[0069] **(3차원 반도체 메모리 소자의 제조 방법_제1 실시예)**

[0070] 도 4a 내지 도 4o는 3차원 반도체 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도들이다.

[0071] 도 4a를 참조하면, 기판(100)에 버퍼 절연막(102), 제1 막구조물(104), 제2 막구조물(108), 제3 막구조물(112), 제1 층간 절연막(106), 제2 층간 절연막(110) 및 제3 층간 절연막(114)을 적층할 수 있다.

[0072] 더욱 상세하게 설명하면, 상기 버퍼 절연막(102)은 상기 기판(100)을 열 산화 공정 또는 화학 기상 증착 공정에 의해 형성할 수 있다. 또한, 상기 버퍼 절연막(102)은 실리콘 산화물을 포함할 수 있다.

[0073] 상기 제1 막구조물(104)은 제1 막(104a), 제2 막(104b) 및 제1 막(104a)이 순차적으로 적층된 구조를 가질 수 있다. 상기 제1 막(104a)은 상기 제2 막(104b)과 일 에천트에 대해 식각 선택비를 갖는 물질을 포함할 수 있다.

[0074] 상기 제2 막구조물(108)은 다수의 제3 막들(108a) 및 제4 막들(108b)을 포함하며, 상기 제3 및 제4 막들(108a, 108b)이 서로 번갈아가며 적층될 수 있다. 상기 제3 및 제4 막들(108a, 108b)의 적층 수는 셀 메모리 트랜지스터의 수량에 따라 변경될 수 있다.

[0075] 상기 제3 막들(108a) 각각은 상기 제4 막들(108b) 각각과 일 에천트에 대해 식각 선택비를 갖는 물질을 포함할 수 있다.

[0076] 상기 제3 막구조물(112)은 제5 막(112a), 제6 막(112b) 및 제5 막(112a)이 순차적으로 적층된 구조를 가질 수 있다. 상기 제5 막(112a)은 상기 제6 막(112b)과 일 에천트에 대해 식각 선택비를 갖는 물질을 포함할 수 있다.

[0077] 본 발명의 일 실시예에 따르면, 상기 제2, 제4 및 제6 막들(104b, 108b, 112b)은 일 에천트에 의해 동일한 식각 속도를 갖는 물질을 포함할 수 있다. 상기 제2, 제4 및 제6 막들(104b, 108b, 112b)은 실질적으로 동일한 물질, 예컨대 실리콘 질화물과 같은 질화물을 포함할 수 있다.

[0078] 상기 제1 층간 절연막(106)은 상기 제1 및 제2 막구조물(108)들 사이에 형성될 수 있다. 상기 제2 층간 절연막(110)은 상기 제2 및 제3 막구조물(108, 112)들 사이에 형성될 수 있다. 상기 제3 층간 절연막(114)은 상기 제3 막구조물(112) 상에 형성될 수 있다.

[0079] 상기 제1 내지 제3 층간 절연막들(106, 110, 114)은 상기 제1 내지 제3 막구조물들(104, 108, 112)과 일 에천트에 대해 식각 선택비를 갖는 물질을 포함할 수 있다.

[0080] 도 4b를 참조하면, 상기 버퍼 절연막(102), 상기 제1 내지 제3 막구조물들(104, 108, 112) 및 상기 제1 내지 제3 층간 절연막들(106, 110, 114)을 관통하는 수직 활성 패턴(118)을 형성할 수 있다.

[0081] 일 실시예에 따르면, 상기 제1 내지 제3 층간 절연막들(106, 110, 114), 상기 제1 내지 제3 막구조물들(104, 108, 112) 및 상기 버퍼 절연막(102)을 식각하여, 상기 기판(100)을 노출시키는 관통 홀(116)을 형성할 수 있다. 상기 관통 홀(116)은 상기 기판(100)의 표면 일부를 과식각하여 형성될 수 있다.

[0082] 상기 관통 홀(116)이 형성된 상기 제1 내지 제3 층간 절연막들(106, 110, 114), 상기 제1 내지 제3 막구조물들(104, 108, 112) 및 상기 버퍼 절연막(102) 상에 컨포멀하게 제1 도전막(도시되지 않음)을 형성할 수 있다. 이때, 상기 제1 도전막은 상기 관통 홀(116)을 매립하지 않으며 형성될 수 있다. 상기 제1 도전막이 형성된 관통 홀(116)을 매립하는 매립 절연막(도시되지 않음)을 형성할 수 있다.

[0083] 상기 제3 층간 절연막(114)의 상부면이 노출되도록 상기 매립 절연막 및 제1 도전막을 식각하여, 상기 관통 홀(116) 내에 상기 수직 활성 패턴(118) 및 매립 절연 패턴(120)을 형성할 수 있다. 상기 수직 활성 패턴(118)은 하부가 폐쇄된 중공의 실린더 형상을 가질 수 있으나, 본 발명에서 수직 활성 패턴(118)의 구조를 한정하는 것

을 아니다.

- [0084] 도 4c를 참조하면, 상기 제1 내지 제3 층간 절연막들(106, 110, 114), 상기 제1 내지 제3 막구조물들(104, 108, 112) 및 버퍼 절연막(102)을 식각하여, 상기 기판(100) 표면을 노출시키며 일 방향으로 연장하는 트렌치(122)를 형성할 수 있다. 상기 트렌치(122)는 상기 기판(100) 표면의 일부를 과식각하여 형성될 수 있다.
- [0085] 도 4d를 참조하면, 상기 제1, 제3 및 제5 막들(104a, 108a, 112a)을 제거하여, 제1 리세스들(124), 제2 리세스들(126) 및 제3 리세스들(128)을 형성할 수 있다.
- [0086] 일 실시예에 따르면, 상기 제1 리세스들(124)은 후속 공정에서 접지 선택 트랜지스터가 배치되는 공간일 수 있다. 상기 제2 리세스들(126) 후속 공정에서 메모리 셀 트랜지스터들이 배치되는 공간일 수 있다. 상기 제3 리세스들(128) 후속 공정에서 스트링 선택 트랜지스터가 배치되는 공간일 수 있다.
- [0087] 도 4e를 참조하면, 상기 기판(100) 상에 상기 트렌치(122) 및 상기 제1 내지 제3 리세스들(128)이 형성된 상기 기판(100), 상기 제1 내지 제3 층간 절연막들(106, 110, 114) 상기 제1 내지 제3 막구조물들(104, 108, 112) 상에, 제1 유전막(130) 및 제1 물질막(132)을 형성할 수 있다.
- [0088] 일 실시예에 따르면, 상기 제1 유전막(130)은 상기 수직 활성 패턴(118)의 측면에 형성된 부분과, 상기 제2, 제4 및 제6 막들(104b, 108b, 112b)의 상부면들 및 하부면들에 형성된 부분의 두께가 실질적으로 상이할 수 있다. 즉, 상기 수직 활성 패턴(118)의 측면에 형성된 부분의 두께가 상기 제2, 제4 및 제6 막들(104b, 108b, 112b) 상부면들 및 하부면들에 형성된 부분의 두께보다 실질적으로 작을 수 있다. 다른 실시예에 따르면, 상기 제1 유전막(130)은 상기 수직 활성 패턴(118)의 측면에 형성된 부분의 두께와, 상기 제2, 제4 및 제6 막들(104b, 108b, 112b) 상부면들 및 하부면들에 형성된 부분들의 두께가 실질적으로 동일할 수 있다.
- [0089] 도 4f는 도 4e의 C부분을 확대한 단면도이다. 도 4e 및 도 4f를 참조하면, 상기 제1 유전막(130)은 제1 터널 절연막(130a), 제1 전하 저장막(130b) 및 제1 장벽 유전막(130c)을 순차적으로 형성함으로써 구현될 수 있다. 예컨대, 상기 제1 터널 절연막(130a)은 실리콘 산화물과 같은 산화물을 포함하고, 상기 제1 전하 저장막(130b)은 실리콘 질화물과 같은 질화물을 포함하고, 상기 제1 장벽 유전막(130c)은 실리콘 산화물과 같은 산화물을 포함할 수 있다.
- [0090] 상기 제1 물질막(132)은 언-도프트 실리콘(un-doped silicon), 도프트 실리콘(doped silicon), 금속 또는 금속 화합물을 포함할 수 있다. 그러나 본 발명에서는 상기 제1 물질막(132)은 상기 제2, 제4 및 제6 막들(104b, 108b, 112b) 및 제1 내지 제3 층간 절연막들(106, 110, 114)과 일 에천트에 대하여 식각 선택비를 갖는 물질로 이루어지지만 하면 족한다.
- [0091] 도 4g를 참조하면, 상기 제1 내지 제3 층간 절연막들(106, 110, 114) 및 상기 제2, 제4 및 제6 막들(104b, 108b, 112b)의 측면이 노출되도록 상기 제1 유전막(130) 및 제1 물질막(132)을 식각하여, 예비 제1 내지 제3 유전 패턴들(134, 138, 142) 및 제1 내지 제3 물질 패턴들(136, 140, 142)을 형성할 수 있다. 또한, 상기 식각 공정에 의해 상기 트렌치(122)가 다시 생성될 수 있다.
- [0092] 상기 예비 제1 유전 패턴들(134) 및 상기 제1 물질 패턴들(136)은 상기 제1 리세스들(124) 내부에 형성될 수 있다. 상기 예비 제2 유전 패턴들(138) 및 상기 제2 물질 패턴들(140)은 상기 제2 리세스들(126) 내부에 형성될 수 있다. 상기 예비 제3 유전 패턴들(142) 및 상기 제3 물질 패턴들(144)은 상기 제3 리세스들(128) 내부에 형성될 수 있다.
- [0093] 도 4h를 참조하면, 상기 제4 막들(108b)을 제거하여, 제4 리세스들(146)을 형성할 수 있다.
- [0094] 일 실시예에 따르면, 상기 제2 및 제6 막들(104b, 108b, 112b)은 상기 제4 막들(108b)과 실질적으로 상이한 물질을 포함할 수 있다. 따라서, 상기 제4 막들(108b)이 제거되는 동안 상기 제2 및 제6 막들(104b, 108b, 112b)을 제거되지 않을 수 있다.
- [0095] 본 발명의 일 실시예에 따르면, 제4 막들(108b)이 실리콘 산화물을 포함하는 경우, 상기 제4 막들(108b)을 제거하는 동안 상기 제1 내지 제3 물질 패턴들(136, 140, 142)의 상부면 및 하부면에 형성된 예비 제1 내지 제3 유전 패턴들(134, 138, 142)의 일부가 식각될 수 있다.
- [0096] 상기 제4 막들(108b)의 제거 및 상기 예비 제1 내지 제3 유전 패턴들(134, 138, 142) 일부의 식각은 인산, 불산 또는 희석된 산소(buffered oxide etch; BOE)를 이용하는 습식 식각이나 건식 식각을 이용할 수 있다. 상기 식각 공정으로 상기 수직 활성 패턴(118) 및 상기 제1 내지 제3 물질 패턴들(136, 140, 142) 사이에 제1 내지 제3

유전 패턴들(135, 148, 143)이 각각 형성될 수 있다. 상기 제1 물질 패턴들(136)의 상부 및 하부와, 상기 제3 물질 패턴들(144)의 상부 및 하부에 공간이 형성될 수 있다.

- [0097] 도 4i를 참조하면, 상기 트렌치(122), 상기 제4 리세스들(146) 및 공간에 형성된 기관(100) 상에 제2 유전막(150) 및 제2 물질막(152)을 형성할 수 있다.
- [0098] 상기 제2 유전막(150)은 상기 트렌치(122) 및 상기 제4 리세스들(146)을 매립하지 않도록 형성할 수 있으며, 상기 제2 물질막(152)은 상기 제2 유전막(150)이 형성된 제4 리세스들(146)을 매립하며 형성될 수 있다. 일 측면에 따르면, 상기 공간은 그 폭이 작아 상기 제2 유전막(150)에 의해 매립될 수 있다.
- [0099] 일 측면에 따르면, 상기 제2 유전막(150)은 수직 활성 패턴(118)의 측면에 형성된 부분의 두께가 상기 제2 물질 패턴들(140)의 상부면들 및 하부면들에 형성된 부분의 두께가 실질적으로 상이할 수 있다. 예컨대, 상기 수직 활성 패턴(118)의 측면에 형성된 부분의 제2 유전막(150) 두께가 상기 제2 물질 패턴들(140)의 상부면들 및 하부면들에 형성된 부분의 두께보다 실질적으로 작을 수 있다. 다른 측면에 따르면, 상기 제2 유전막(150)은 상기 수직 활성 패턴(118)의 측면에 형성된 부분의 두께와 상기 제2 물질 패턴들(140)의 상부면들 및 하부면들에 형성된 부분의 두께가 실질적으로 동일할 수 있다.
- [0100] 도 4j는 도 4i의 D 부분을 확대한 단면도이다. 도 4i 및 도 4j를 참조하면, 상기 제2 유전막(150)은 제2 터널 절연막(150a), 제2 전하 저장막(150b) 및 제2 장벽 유전막(150c)을 순차적으로 형성함으로써 구현될 수 있다. 예컨대, 상기 제2 터널 절연막(150a)은 실리콘 산화물과 같은 산화물을 포함하고, 상기 제2 전하 저장막(150b)은 실리콘 질화물과 같은 질화물을 포함하고, 상기 제2 장벽 유전막(150c)은 실리콘 산화물과 같은 산화물을 포함할 수 있다.
- [0101] 상기 제2 물질막(152)은 언-도프트 실리콘, 도프트 실리콘, 금속 또는 금속 화합물을 포함할 수 있다. 상기 제2 물질막(152)은 상기 제1 물질막(132)에 포함된 물질과 실질적으로 동일한 물질을 포함할 수 있다. 그러나 본 발명에서는 상기 제2 물질막(152)은 상기 제1 물질 패턴들(136) 및 상기 제1 내지 제3 층간 절연막들(106, 110, 114)과 일 에칭트에 대하여 식각 선택비를 갖는 물질로 이루어지기만 하면 족한다.
- [0102] 도 4k를 참조하면, 상기 제1 내지 제3 층간 절연막들(106, 110, 114) 및 상기 제1 내지 제3 물질 패턴들(136, 140, 144)의 측면이 노출되도록 상기 제2 유전막(150) 및 상기 제2 물질막(152)을 식각하여, 제4 내지 제6 유전 패턴들(153, 155, 157) 및 제4 물질 패턴들(156)을 형성할 수 있다. 상기 식각 공정에 의해 상기 트렌치(122)가 다시 생성될 수 있다.
- [0103] 상기 제4 유전 패턴들(153)은 상기 제1 물질 패턴들(136) 상부면 및 하부면에 형성될 수 있다. 상기 제6 유전 패턴들(157)은 상기 제3 물질 패턴들(144) 상부면 및 하부면에 형성될 수 있다.
- [0104] 상기 제5 유전 패턴들(155) 각각은, 상기 수직 활성 패턴(118)과 상기 제4 물질 패턴들(156) 사이에 개재되는 제1 부분과, 상기 제1 부분으로부터 연장되어 상기 제4 물질 패턴(156)의 상부면 및 하부면을 덮으며 형성되는 제2 부분을 포함할 수 있다.
- [0105] 도 4l를 참조하면, 상기 제1 내지 제4 물질 패턴들(136, 140, 144, 156)을 제거하여, 제5 내지 제7 리세스들(160, 161, 162)을 형성할 수 있다.
- [0106] 상기 제1 물질 패턴들(136)을 제거하여 상기 제5 리세스들(160)을 형성할 수 있다. 상기 제5 리세스들(160)은 후속 공정에서 접지 선택 트랜지스터가 배치되는 공간일 수 있다. 상기 제2 및 제4 물질 패턴들(140, 156)을 제거하여 상기 제6 리세스들(161)을 형성할 수 있다. 상기 제6 리세스들(161)은 후속 공정에서 메모리 셀 트랜지스터들이 배치되는 공간일 수 있다. 상기 제3 물질 패턴들(144)을 제거하여 상기 제7 리세스들(162)을 형성할 수 있다. 상기 제7 리세스들(162)은 후속 공정에서 스트링 선택 트랜지스터가 배치되는 공간일 수 있다.
- [0107] 본 발명의 일 실시예에 따르면, 상기 제1 내지 제4 물질 패턴들(136, 140, 144, 156)이 실리콘으로 이루어진 경우, 상기 제1 내지 제4 물질 패턴들(136, 140, 144, 156)은 염소 가스(Cl_2) 및 산소 가스(O_2)를 이용하는 건식 식각으로 제거될 수 있다.
- [0108] 도 4m를 참조하면, 상기 트렌치(122), 제5 내지 제7 리세스들(160, 161, 162)이 형성된 제1 내지 제6 유전 패턴들(135, 148, 143, 153, 155, 147) 상에 금속 유전막(164) 및 제2 도전막(166)을 형성할 수 있다.
- [0109] 상기 금속 유전막(164)은 상기 제5 내지 제7 리세스들(160, 161, 162)을 매립하지 않도록 형성될 수 있으며, 상기 제2 도전막(166)은 상기 금속 유전막(164)이 형성된 제5 내지 제7 리세스들(160, 161, 162)을 매립하며 형성

될 수 있다.

- [0110] 일 측면에 따르면, 상기 금속 유전막(164)은 상기 수직 활성 패턴(118)의 측면에 인접하게 형성된 부분과, 상기 제4 내지 제6 유전 패턴들(153, 155, 157)의 상부면 및 하부면에 형성된 부분의 두께가 실질적으로 상이할 수 있다. 즉, 상기 수직 활성 패턴(118)의 측면에 인접하게 형성된 금속 유전막(164) 두께가 상기 제4 내지 제6 유전 패턴들(153, 155, 156)의 상부면 및 하부면에 형성된 부분의 두께보다 실질적으로 작을 수 있다.
- [0111] 다른 측면에 따르면, 상기 금속 유전막(164)은 상기 수직 활성 패턴(118)의 측면에 인접하게 형성된 부분과, 상기 제4 내지 제6 유전 패턴들(153, 155, 156)의 상부면 및 하부면에 형성된 부분의 두께가 실질적으로 동일할 수 있다.
- [0112] 상기 금속 유전막(164)이 형성된 제5 내지 제7 리세스들(160, 161, 162)을 매립하는 제2 도전막(166)을 형성할 수 있다. 상기 제2 도전막(166)은 폴리실리콘, 금속 실리사이드, 금속, 금속 화합물을 포함할 수 있다. 예컨대, 상기 제2 도전막(166)은 니켈 실리사이드(NiSi), 티탄 질화물(TiN), 텅스텐 질화물(WN), 텅스텐(W), 알루미늄(Al) 또는 구리(Cu)를 포함할 수 있다. 일 예로, 상기 제2 도전막(166)은 선택적 에피택시얼 성장(selective epitaxial growth) 공정으로 형성될 수 있다. 이 경우, 상기 제2 도전막(166)은 불순물이 도핑된 폴리실리콘, 불순물 도핑이 안된 폴리실리콘, 레이저를 이용한 재결정된 실리콘(laser recrystallized silicon) 또는 실리콘 게르마늄을 포함할 수 있다.
- [0113] 일 측면에 따르면, 상기 제2 도전막(166)을 형성하기 전에, 상기 금속 유전막(164)이 형성된 제5 내지 제7 리세스들(160, 161, 162) 내에 컨포멀하게 베리어 막(barrier layer, 도시되지 않음)을 더 형성할 수 있다.
- [0114] 도 4n를 참조하면, 상기 제1 내지 제3 층간 절연막들(106, 110, 114) 및 상기 제4 내지 제6 유전 패턴들(153, 155, 157)의 측면이 노출되도록 상기 금속 유전막(164) 및 제2 도전막(166)을 식각하여, 제1 내지 제3 금속 유전 패턴들(167, 169, 170), 제1 내지 제3 도전 패턴들(175, 176, 178)을 형성할 수 있다. 또한, 상기 식각 공정에 의해 트렌치(122)가 다시 생성될 수 있다.
- [0115] 상기 버퍼 절연막(102) 및 상기 제1 층간 절연막(106) 사이에, 상기 제1 및 제4 유전 패턴들(135, 153), 상기 제1 금속 유전 패턴들(167) 및 상기 제1 도전 패턴들(175)을 포함하는 접지 선택 트랜지스터(GST)를 형성할 수 있다. 상기 제1 및 제4 유전 패턴들(135, 153)과 상기 제1 금속 유전 패턴들(167)은 상기 접지 선택 트랜지스터(GST)의 게이트 절연막(171)으로 기능하며, 상기 제1 도전 패턴들(175)은 상기 접지 선택 트랜지스터(GST)의 게이트 전극을 기능할 수 있다.
- [0116] 상기 제1 및 제2 층간 절연막들(106, 110) 사이에, 상기 제2 및 제5 유전 패턴들(148, 155), 상기 제2 금속 유전 패턴들(168, 169) 및 상기 제2 도전 패턴들(176, 177)을 포함하는 셀 트랜지스터들(MCT1, MCT2)을 형성할 수 있다. 상기 메모리 셀 트랜지스터들(MCT1, MCT2)은 상기 제2 유전 패턴(148), 상기 제2 금속 유전 패턴(168) 및 상기 제2 도전 패턴(176)을 포함하는 제1 메모리 셀 트랜지스터(MCT1)와, 상기 제5 유전 패턴(155), 상기 제2 금속 유전 패턴(169) 및 상기 제2 도전 패턴(177)을 포함하는 제2 메모리 셀 트랜지스터(MCT2)를 포함할 수 있다.
- [0117] 상기 제2 및 제3 층간 절연막들(106, 110) 사이에, 상기 제3 및 제6 유전 패턴들(143, 157), 상기 제3 금속 유전 패턴들(170) 및 상기 제3 도전 패턴들(178)을 포함하는 스트링 선택 트랜지스터(SST)를 형성할 수 있다. 상기 제3 및 제6 유전 패턴들(143, 157)과 상기 제2 금속 유전 패턴들(170)은 상기 스트링 선택 트랜지스터(SST)의 게이트 절연막(174)으로 기능하며, 상기 제2 도전 패턴들(178)은 상기 스트링 선택 트랜지스터(SST)의 게이트 전극으로 기능할 수 있다.
- [0118] 도 4o를 참조하면, 상기 트렌치(122)에 의해 노출된 기관(100)에 공통 소스 라인(GSL), 드레인 영역(D) 및 비트 라인(BL)을 형성할 수 있다.
- [0119] 일 실시예에 따르면, 상기 공통 소스 라인(GST)은 상기 노출된 기관(100)에 이온을 주입 공정을 통해 형성될 수 있다. 또한, 상기 공통 소스 라인(GST)은 불순물 영역 및 공통 소스 실리사이드 영역을 포함할 수 있다.
- [0120] 상기 트렌치(122)를 매립하는 절연막(184)을 형성할 수 있다. 상기 절연막(184)은 산화물, 질화물 또는 산질화물을 포함할 수 있다.
- [0121] 상기 드레인 영역(D)은 상기 수직 활성 패턴(118)의 상단에 불순물을 이온 주입 공정을 통해 형성될 수 있다.
- [0122] 상기 드레인 영역(D)과 전기적으로 연결되는 비트 라인(BL)을 형성할 수 있다. 상기 비트 라인(BL)은 콘택 플러

그(186)에 의해 전기적으로 연결될 수 있다.

[0123] (3차원 반도체 메모리 소자의 제조 방법_제2 실시예)

- [0124] 도 5a 내지 도 5i는 본 발명의 일 실시예에 따른 3차원 반도체 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.
- [0125] 도 5a를 참조하면, 기판(200)에 버퍼 절연막(202), 제1 막구조물(204), 제2 막구조물(208), 제3 막구조물(212), 제1 층간 절연막(206), 제2 층간 절연막(210) 및 제3 층간 절연막(214)을 적층할 수 있다.
- [0126] 도 5b를 참조하면, 상기 버퍼 절연막(202), 상기 제1 내지 제3 막구조물들(204, 208, 212) 및 상기 제1 내지 제3 층간 절연막들(216, 210, 214)을 관통하는 정보 저장 패턴(218) 및 수직 활성 패턴(220)을 형성할 수 있다.
- [0127] 일 실시예에 따르면, 상기 제1 내지 제3 층간 절연막들(216, 210, 214), 상기 제1 내지 제3 막구조물들(204, 208, 212) 및 상기 버퍼 절연막(202)을 식각하여, 상기 기판(200)을 노출시키는 관통 홀(216)을 형성할 수 있다.
- [0128] 상기 관통 홀(216)이 형성된 상기 제1 내지 제3 층간 절연막들(216, 210, 214), 상기 제1 내지 제3 막구조물들(204, 208, 212) 및 상기 버퍼 절연막(202) 상에 컨포멀하게 정보 저장막(도시되지 않음)을 형성할 수 있다. 이때, 상기 정보 저장막은 상기 관통 홀(216)을 매립하지 않을 수 있다.
- [0129] 상기 정보 저장막 상에 컨포멀하게 제1 도전막(도시되지 않음)을 형성할 수 있다. 이때, 상기 제1 도전막은 상기 관통 홀(216)을 매립하지 않을 수 있다. 이어서, 상기 정보 저장막 및 제1 도전막이 형성된 관통 홀(216)을 매립하는 매립 절연막을 형성할 수 있다.
- [0130] 상기 제3 층간 절연막(214)의 상부면이 노출되도록 상기 매립 절연막(도시되지 않음), 상기 제1 도전막 및 상기 정보 저장막을 식각하여, 상기 관통 홀(216) 내에 매립 절연 패턴(222), 수직 활성 패턴(220) 및 정보 저장 패턴(218)을 각각 형성할 수 있다. 상기 수직 활성 패턴(220) 및 상기 정보 저장 패턴(218)은 각각 하부가 폐쇄된 중공의 실린더 형상을 가질 수 있다. 또한, 상기 정보 저장 패턴(218)이 상기 수직 활성 패턴(220)을 감싸는 구조를 가질 수 있다.
- [0131] 도 5c는 도 5b의 E부분을 확대한 단면도이다. 도 5c를 참조하면, 상기 정보 저장 패턴(218)은 터널 절연막(218a), 전하 저장막(218b) 및 장벽 유전막(218c)을 순차적으로 적층하여 형성할 수 있다.
- [0132] 도 5d를 참조하면, 상기 제1 내지 제3 층간 절연막들(216, 210, 214), 상기 제1 내지 제3 막구조물들(204, 208, 212) 및 버퍼 절연막(202)을 식각하여, 상기 기판(200) 표면을 노출시키며 일 방향으로 연장하는 트렌치(224)를 형성할 수 있다.
- [0133] 도 5e를 참조하면, 상기 제1, 제3 및 제5 막들(204a, 208a, 212a)을 제거하여 제1 내지 제3 리세스들(226, 228, 230)을 형성한 후, 제1 금속 유전막(232) 및 제1 물질막(234)을 형성할 수 있다.
- [0134] 일 실시예에 따르면, 상기 제1 리세스들(226)은 후속 공정에서 접지 선택 트랜지스터가 배치되는 공간일 수 있다. 상기 제2 리세스들(228) 후속 공정에서 메모리 셀 트랜지스터들이 배치되는 공간일 수 있다. 상기 제3 리세스들(230) 후속 공정에서 스트링 선택 트랜지스터가 배치되는 공간일 수 있다.
- [0135] 상기 제1 금속 유전막(232)은 상기 제1 내지 제3 층간 절연막들(216, 210, 214)과, 상기 제1 내지 제3 리세스들(226, 228, 230)을 갖는 상기 제1 내지 제3 막구조물들 상에 컨포멀하게 형성될 수 있다. 상기 제1 금속 유전막(232)은 상기 제1 내지 제3 리세스들(226, 228, 230)을 매립하지 않도록 형성될 수 있다. 상기 제1 물질막(234)은 상기 제1 금속 유전막(232)이 형성된 제1 내지 제3 리세스들(226, 228, 230)을 매립하도록 형성될 수 있다.
- [0136] 도 5f를 참조하면, 상기 제1 내지 제3 층간 절연막들(216, 210, 214) 및 상기 제2, 제4 및 제6 막들(204b, 208b, 212b)의 측면이 노출되도록 상기 제1 금속 유전막(232) 및 제1 물질막(234)을 식각하여, 예비 제1 내지 제3 금속 유전 패턴들(226, 240, 244) 및 제1 내지 제3 물질 패턴들(238, 242, 246)을 각각 형성할 수 있다.
- [0137] 상기 예비 제1 금속 유전 패턴들(226) 및 상기 제1 물질 패턴들(238)은 상기 제1 리세스들(226) 내부에 형성될 수 있다. 상기 예비 제2 금속 유전 패턴들(240) 및 상기 제2 물질 패턴들(242)은 상기 제2 리세스들(228) 내부에 형성될 수 있다. 상기 예비 제3 금속 유전 패턴들(244) 및 상기 제3 물질 패턴들(246)은 상기 제3 리세스들

(230) 내부에 형성될 수 있다.

- [0138] 도 5g를 참조하면, 상기 제4 막들(208b)을 제거하여 제4 리세스들(248)을 형성한 후, 제2 금속 유전막(252) 및 제2 물질막(254)을 형성할 수 있다.
- [0139] 본 발명의 일 실시예에 따르면, 상기 제4 막들(208b)이 실리콘 산화물을 포함하는 경우, 상기 제4 막들(208b)을 제거하는 동안 상기 제1 내지 제3 물질 패턴들(238, 242, 246)의 상부면 및 하부면에 형성된 예비 제1 내지 제3 유전 패턴들(226, 240, 244)의 일부가 식각될 수 있다. 상기 식각 공정으로 상기 수직 활성 패턴(220) 및 상기 제1 내지 제3 물질 패턴들(238, 242, 246) 사이에 제1 내지 제3 유전 패턴들이 각각 형성될 수 있다. 상기 제1 물질 패턴들(238)의 상부 및 하부와, 상기 제3 물질 패턴들(246)의 상부 및 하부에 공간이 형성될 수 있다.
- [0140] 상기 제2 금속 유전막(252)은 상기 공간 및 제4 리세스들(248)을 갖는 제1 내지 제3 물질 패턴들(238, 242, 246) 상에 컨포멀하게 형성될 수 있다. 상기 제2 금속 유전막(252)은 상기 제4 리세스들(248)을 매립하지 않도록 형성될 수 있다.
- [0141] 상기 제2 물질막(254)은 상기 제2 금속 유전막(252)이 형성된 제4 리세스들(248)을 매립하며 형성될 수 있다.
- [0142] 도 5h를 참조하면, 상기 제1 내지 제3 층간 절연막들(216, 210, 214) 및 상기 제1 내지 제3 물질 패턴들(238, 242, 246)의 측면이 노출되도록 상기 제2 금속 유전막(255) 및 상기 제2 물질막(266)을 식각하여, 제4 내지 제6 금속 절연 패턴들(253, 255, 256) 및 제4 물질 패턴들(266)을 형성할 수 있다.
- [0143] 도 5i를 참조하면, 상기 제1 내지 제4 물질 패턴들(253, 242, 246, 250)을 제거하여 제5 내지 제7 리세스들(도시되지 않음)을 형성한 후, 상기 제5 내지 제7 리세스들을 매립하는 제1 내지 제3 도전 패턴들(263, 270, 274)을 각각 형성할 수 있다.
- [0144] 더욱 상세하게 설명하면, 상기 제1 물질 패턴들(253)을 제거하여 상기 제5 리세스들을 형성할 수 있다. 상기 제5 리세스들은 후속 공정에서 접지 선택 트랜지스터가 배치되는 공간일 수 있다. 상기 제2 및 제4 물질 패턴들(242, 250)을 제거하여 상기 제6 리세스들을 형성할 수 있다. 상기 제6 리세스들은 후속 공정에서 메모리 셀 트랜지스터들이 배치되는 공간일 수 있다. 상기 제3 물질 패턴들(246)을 제거하여 상기 제7 리세스들을 형성할 수 있다. 상기 제7 리세스들은 후속 공정에서 스트링 선택 트랜지스터가 배치되는 공간일 수 있다.
- [0145] 이어서, 상기 제5 내지 제7 리세스들을 매립하도록 상기 기판(200) 상에 제2 도전막을 형성할 수 있다. 상기 제1 내지 제3 층간 절연막(206, 210, 214)의 측면이 노출되도록 상기 제2 도전막을 식각하여, 상기 제5 내지 제7 리세스들을 각각 매립하는 제1 내지 제3 도전 패턴들(263, 270, 274)을 형성할 수 있다.
- [0146] 상기 버퍼 절연막(202) 및 상기 제1 층간 절연막(206) 사이에, 상기 정보 저장 패턴(218), 제1 및 제4 금속 유전 패턴들(237, 253) 및 제1 도전 패턴들(268)을 포함하는 접지 선택 트랜지스터(GST)를 형성할 수 있다. 상기 정보 저장 패턴(218), 제1 및 제4 금속 유전 패턴들(237, 253)은 상기 접지 선택 트랜지스터(GST)의 게이트 절연막(258)으로 기능하며, 상기 제1 도전 패턴들(268)은 상기 접지 선택 트랜지스터(GST)의 게이트 전극으로 기능할 수 있다.
- [0147] 상기 제1 및 제2 층간 절연막들(206, 210) 사이에, 상기 정보 저장 패턴(218), 제2 및 제5 금속 유전 패턴들(250, 255) 및 상기 제2 도전 패턴들(270)을 포함하는 메모리 셀 트랜지스터들(MCT1, MCT2)을 형성할 수 있다. 상기 메모리 셀 트랜지스터들(MCT1, MCT2)은 상기 정보 저장 패턴(218), 상기 제2 금속 유전 패턴들(250) 및 상기 제2 도전 패턴들(270)을 포함하는 제1 메모리 셀 트랜지스터들(MCT1)과, 상기 정보 저장 패턴(218), 상기 제5 금속 유전 패턴들(255) 및 상기 제2 도전 패턴들(272)을 포함하는 제2 메모리 셀 트랜지스터들(MCT2)을 포함할 수 있다.
- [0148] 상기 제2 및 제3 층간 절연막들(210, 214) 사이에, 상기 정보 저장 패턴(218), 상기 제3 및 제6 금속 유전 패턴들(245, 256) 및 제3 도전 패턴들(274)을 포함하는 스트링 선택 트랜지스터(SST)를 형성할 수 있다. 상기 정보 저장 패턴(218), 상기 제2 및 제6 금속 유전 패턴들(245, 256)은 상기 스트링 선택 트랜지스터(SST)의 게이트 절연막(264)으로 기능하며, 상기 제3 도전 패턴들(274)은 상기 스트링 선택 트랜지스터(SST)의 게이트 전극으로 기능할 수 있다.
- [0149] 상세하게 도시되어 있지는 않지만, 공통 소스 라인, 드레인 영역 및 비트 라인을 더 형성할 수 있다. 이에 대한 상세한 공정은 도 4a에서 설명한 것과 동일하여 생략하기로 한다.

[0150] (응용예)

[0151] 도 6a는 본 발명의 실시예에 따른 메모리 소자를 구비한 메모리 카드를 도시한 블록도이다.

[0152] 도 6a를 참조하면, 상술한 본 발명의 실시예에 따른 3차원 메모리 소자는 메모리 카드(300)에 응용될 수 있다. 일례로, 메모리 카드(300)는 호스트와 반도체 메모리(310) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(320)를 포함할 수 있다. 에스램(322)은 중앙처리장치(324)의 동작 메모리로서 사용될 수 있다. 호스트 인터페이스(326)는 메모리 카드(300)와 접속되는 호스트의 데이터 교환 프로토콜을 구비할 수 있다. 오류 수정 코드(328)는 반도체 메모리(310)로부터 독출된 데이터에 포함되는 오류를 검출 및 정정할 수 있다. 메모리 인터페이스(330)는 반도체 메모리(310)와 인터페이싱한다. 중앙처리장치(324)는 메모리 컨트롤러(320)의 데이터 교환을 위한 제반 제어 동작을 수행한다.

[0153] 메모리 카드(300)에 응용된 반도체 메모리(310)가 본 발명의 실시예에 따른 3차원 메모리 소자으로써, 집적도가 향상된 메모리 소자를 적용할 수 있다.

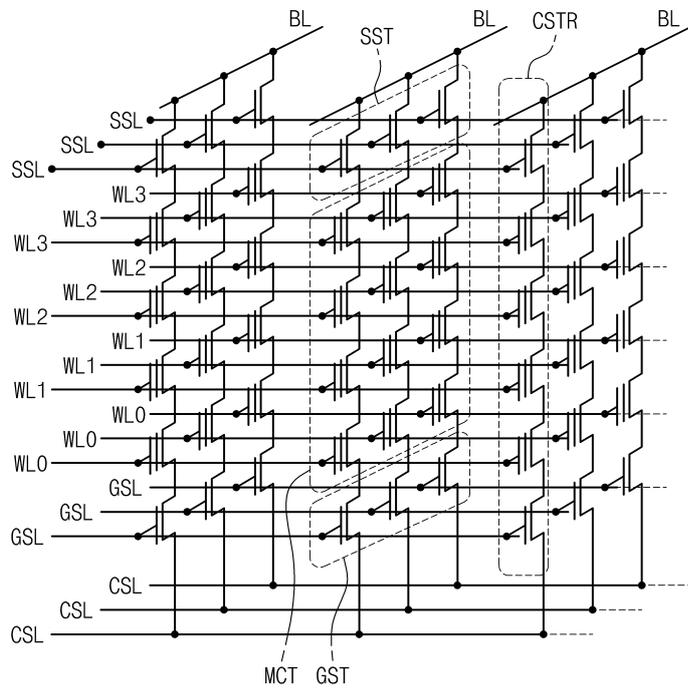
[0154] 도 6b는 본 발명의 실시예에 따른 메모리 장치를 응용한 정보 처리 시스템을 도시한 블록도이다.

[0155] 도 5b를 참조하면, 정보 처리 시스템(400)은 본 발명의 실시예에 따른 반도체 메모리 소자, 가령 3차원 메모리 소자를 구비한 메모리 시스템(410)을 포함할 수 있다. 정보 처리 시스템(400)은 모바일 기기나 컴퓨터 등을 포함할 수 있다. 일례로, 정보 처리 시스템(400)은 메모리 시스템(410)과 각각 시스템 버스(460)에 전기적으로 연결된 모뎀(420), 중앙처리장치(430), 램(440), 유저인터페이스(450)를 포함할 수 있다. 메모리 시스템(410)에는 중앙처리장치(430)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장될 수 있다. 메모리 시스템(410)은 메모리(412)와 메모리 컨트롤러(414)를 포함할 수 있으며, 도 6a를 참조하여 설명한 메모리 카드(300)와 실질적으로 동일하게 구성될 수 있다. 정보 처리 시스템(400)은 메모리 카드, 반도체 디스크 장치(Solid State Disk), 카메라 이미지 프로세서(Camera Image Sensor) 및 그 밖의 응용 칩셋(Application Chipset)으로 제공될 수 있다. 일례로, 메모리 시스템(410)은 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(400)은 대용량의 데이터를 메모리 시스템(410)에 안정적으로 그리고 신뢰성 있게 저장할 수 있다.

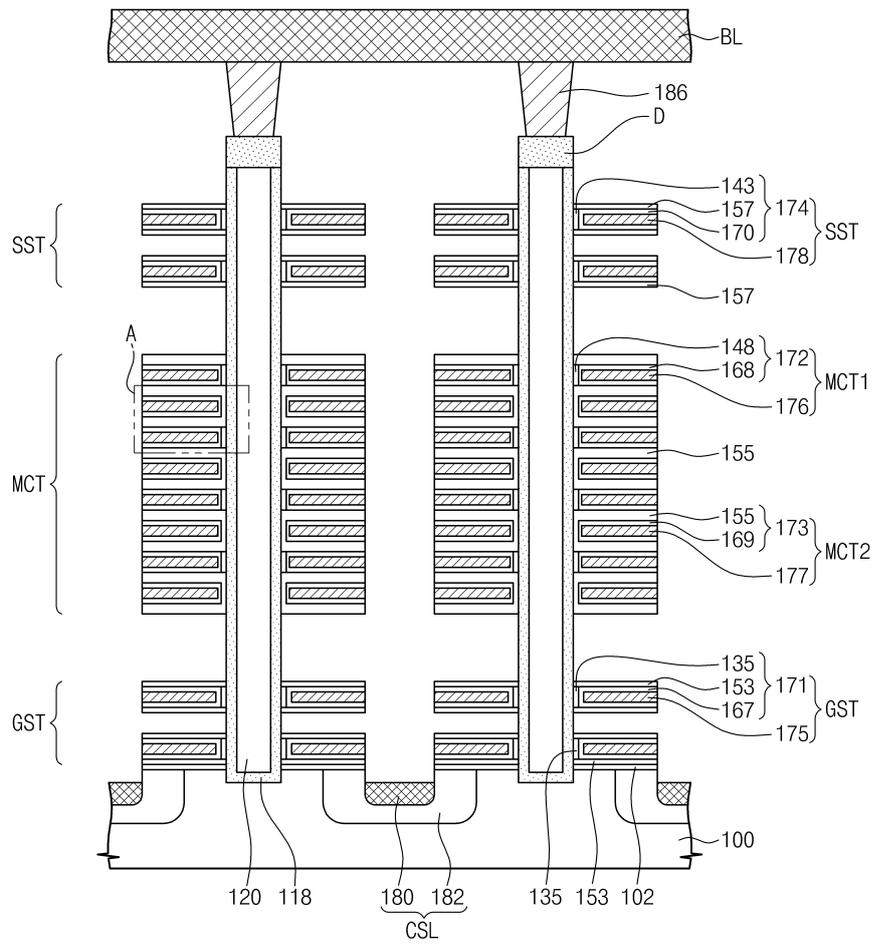
[0156] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징으로 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

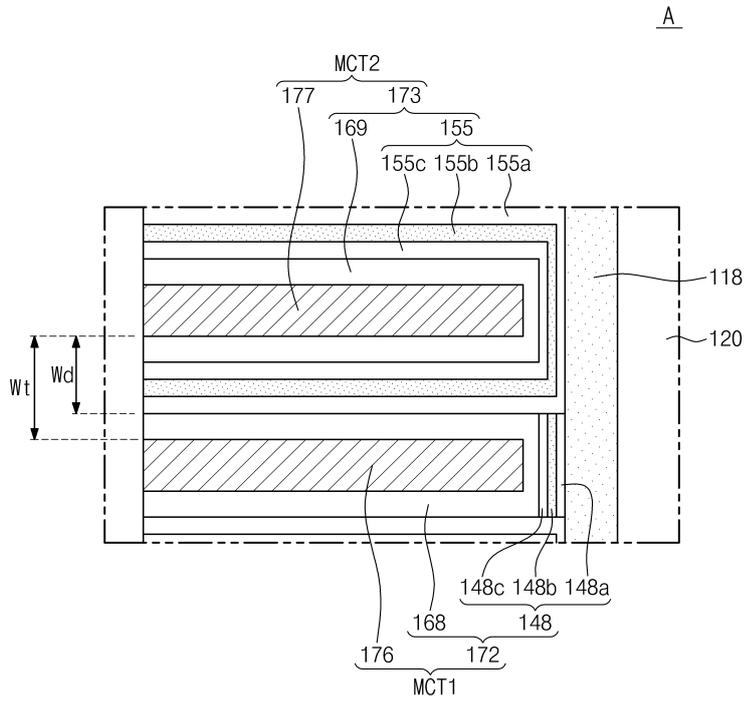
도면1



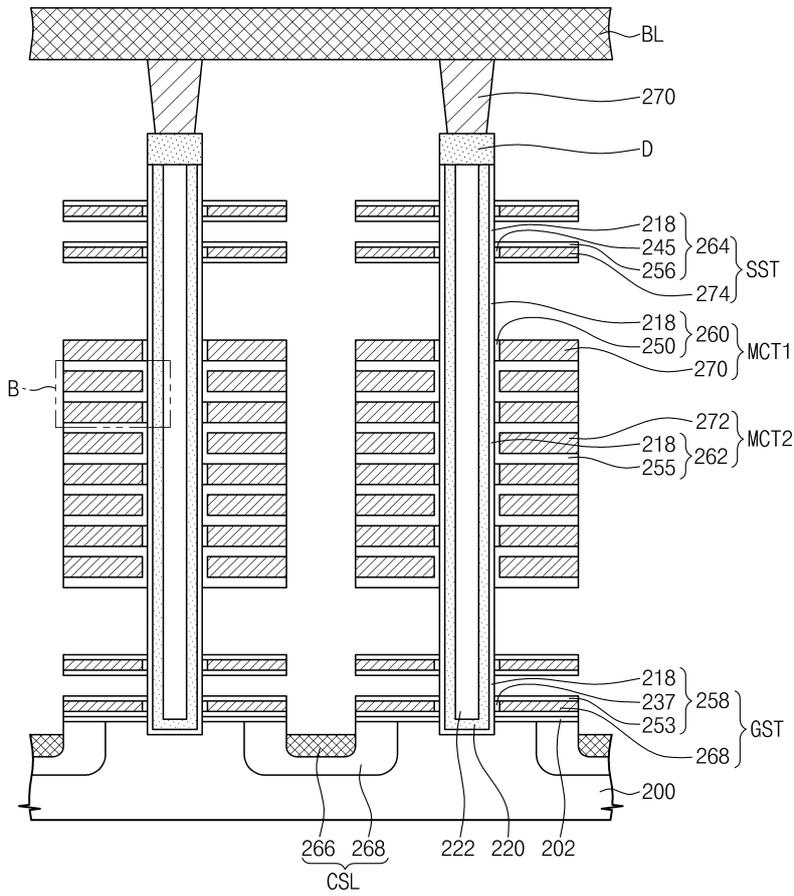
도면2a



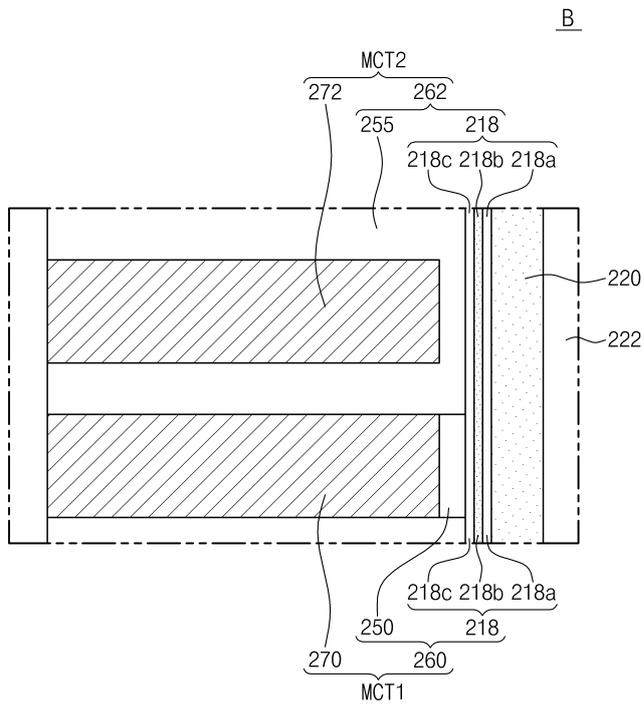
도면2b



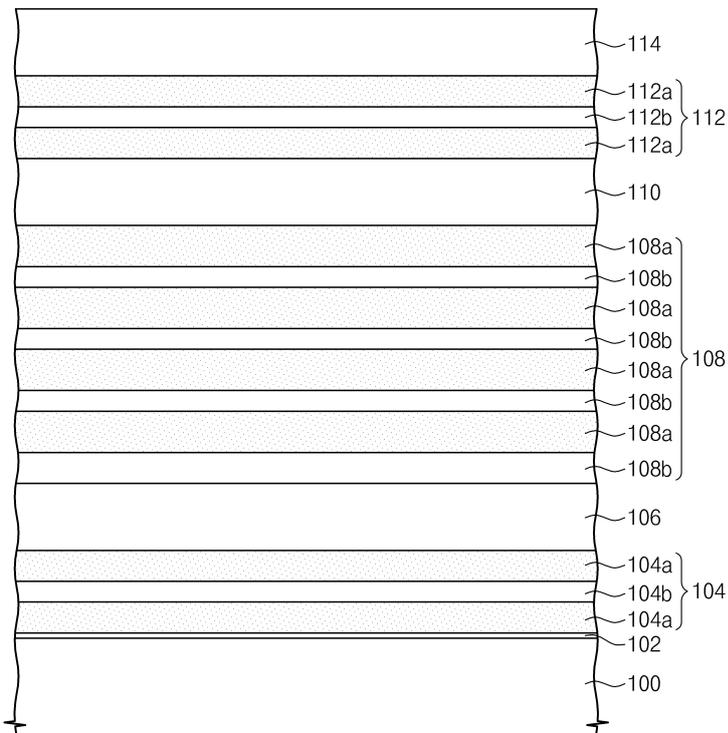
도면3a



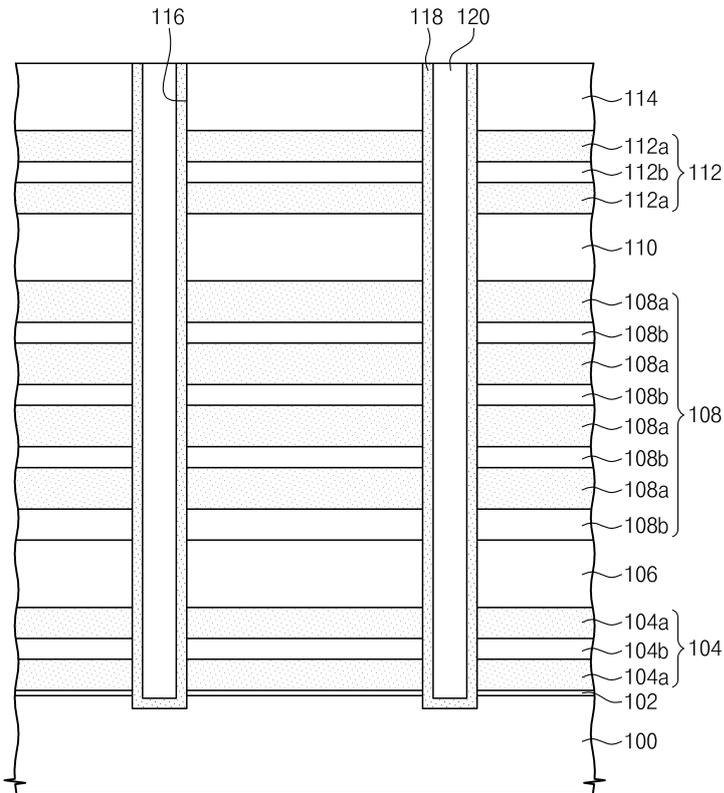
도면3b



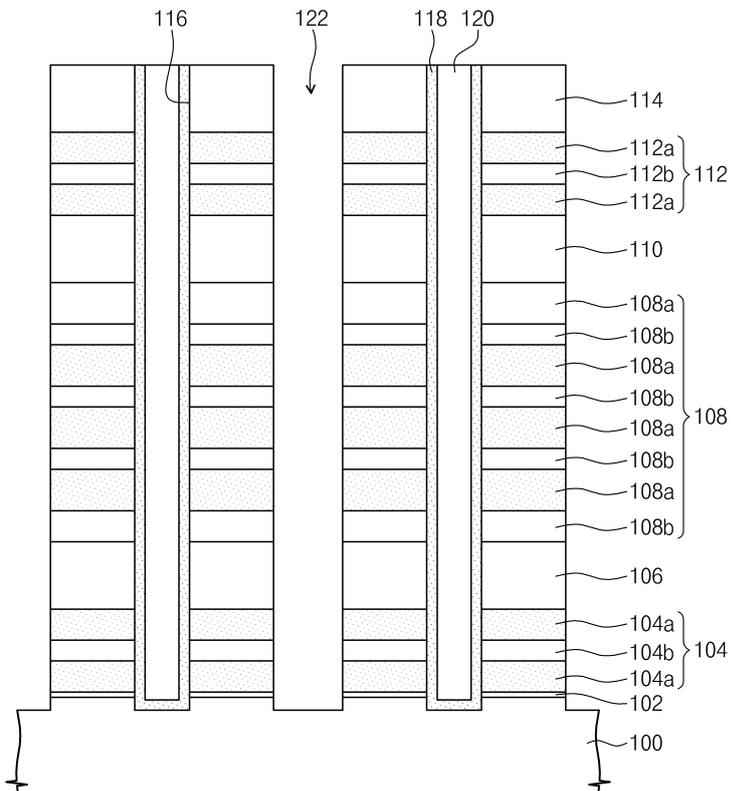
도면4a



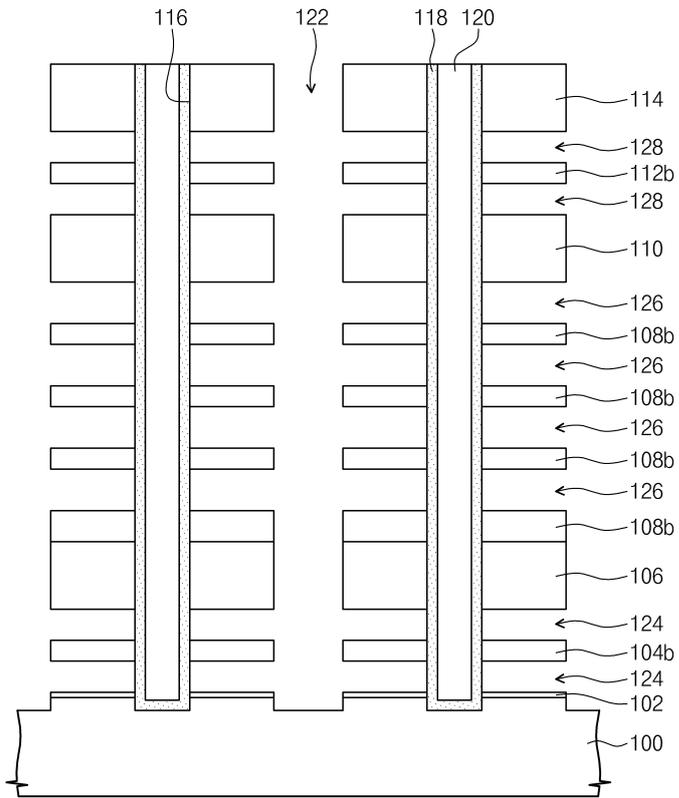
도면4b



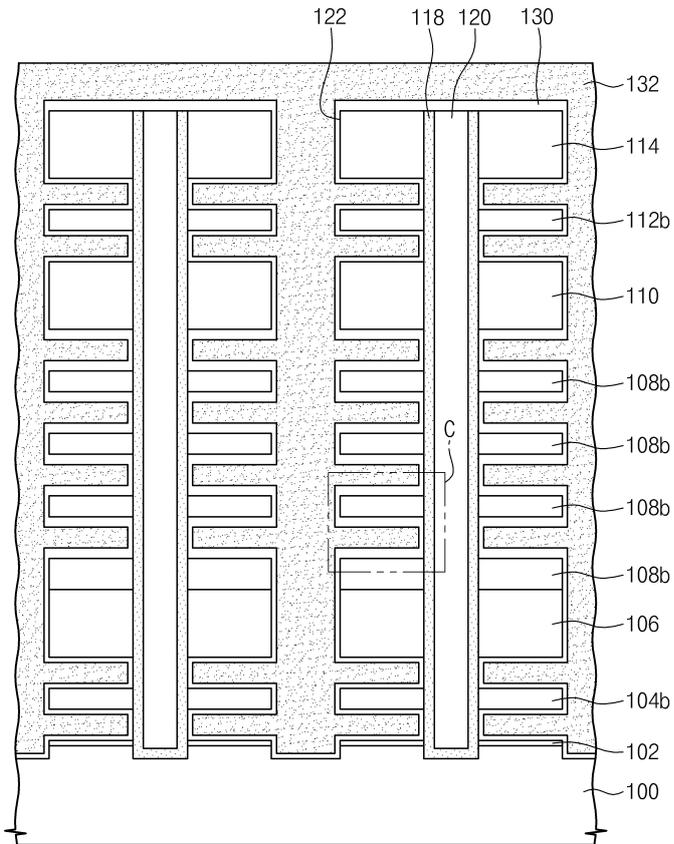
도면4c



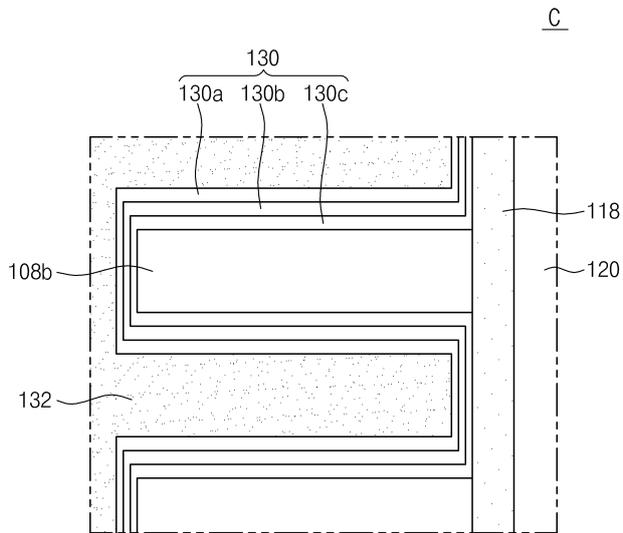
도면4d



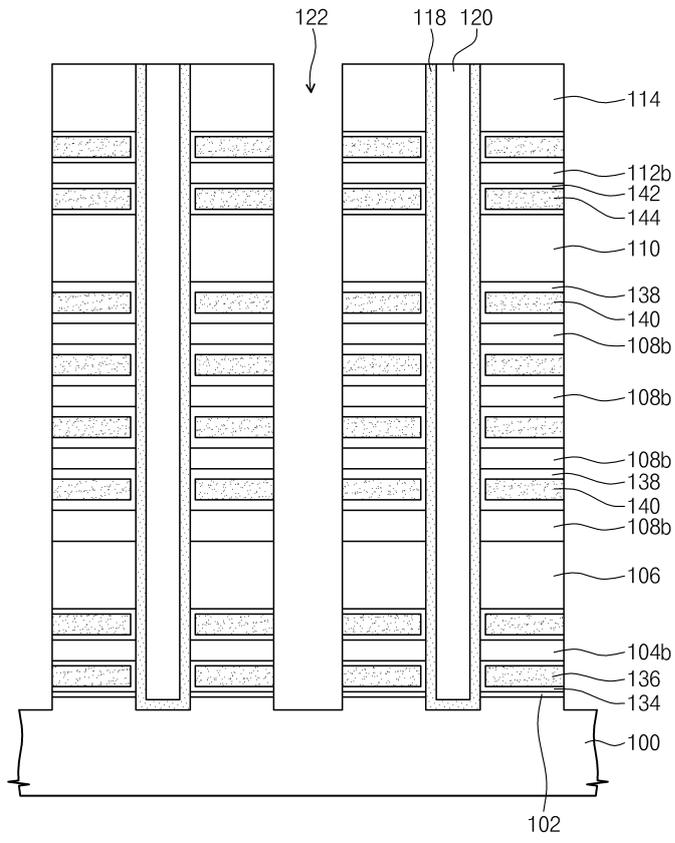
도면4e



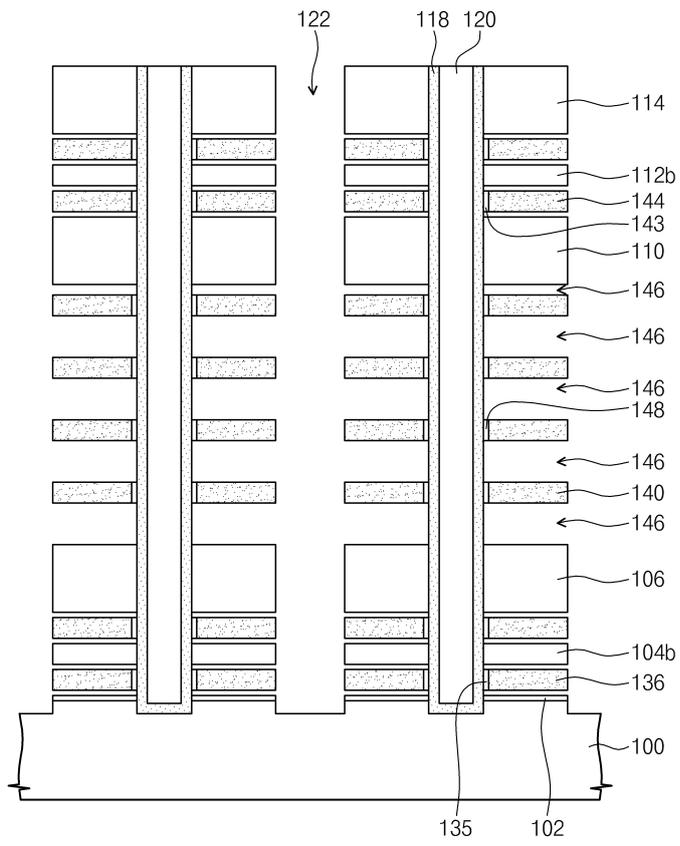
도면4f



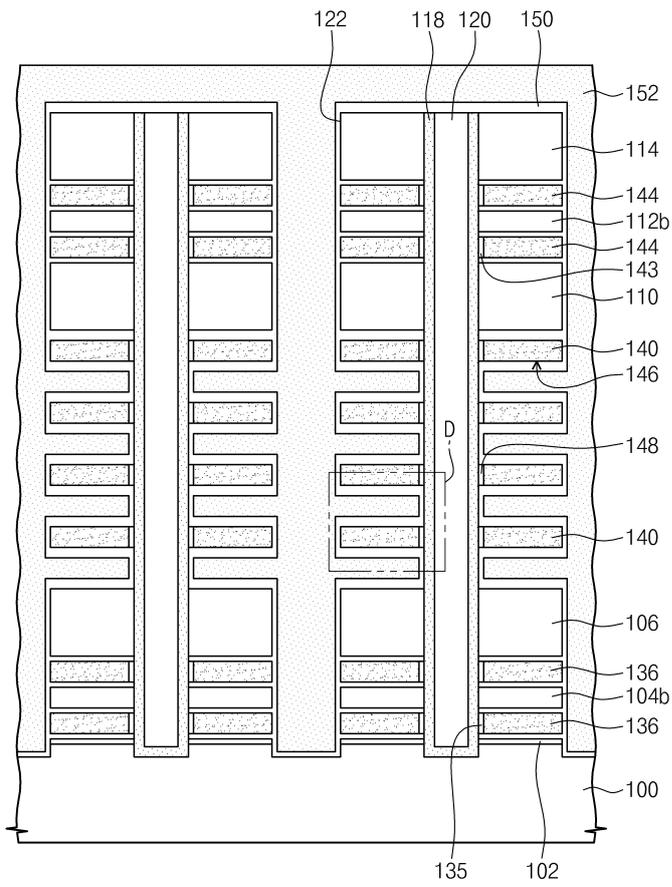
도면4g



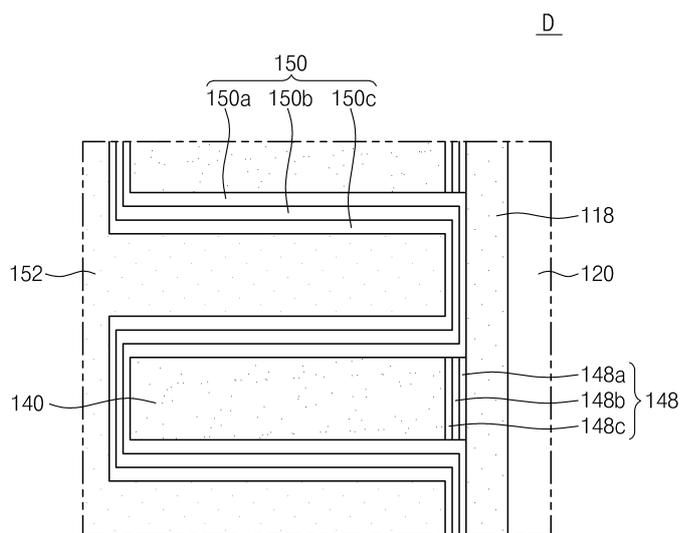
도면4h



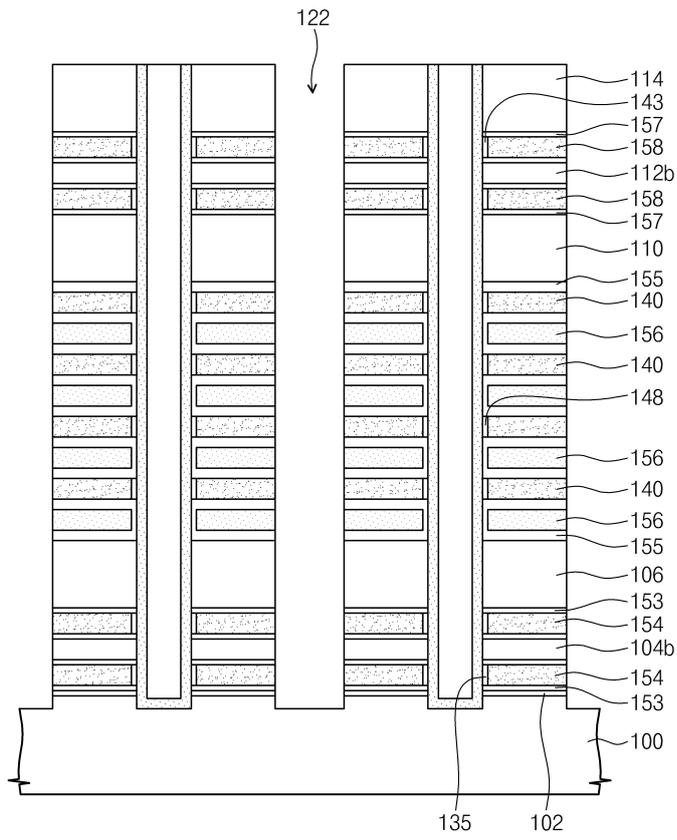
도면4i



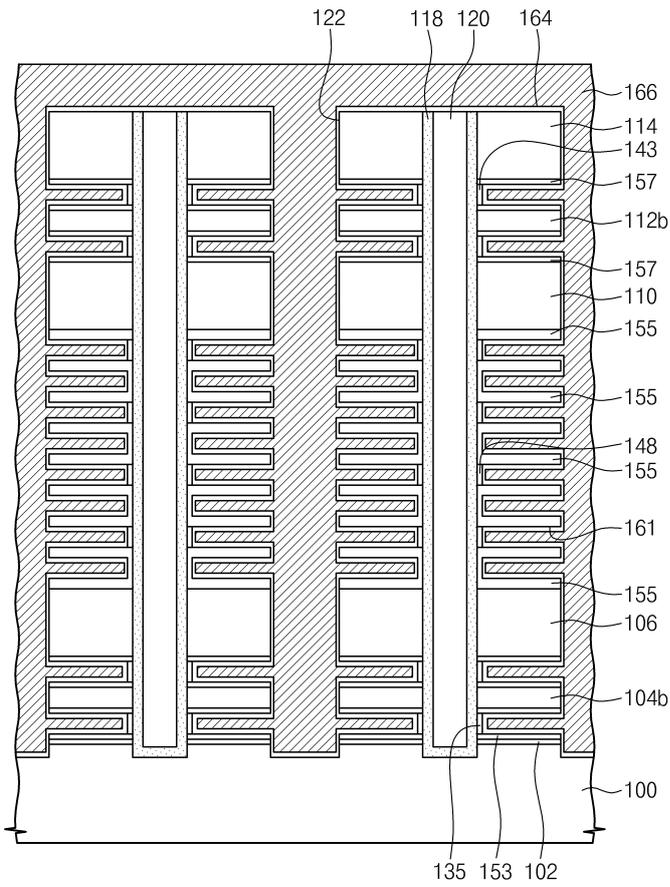
도면4j



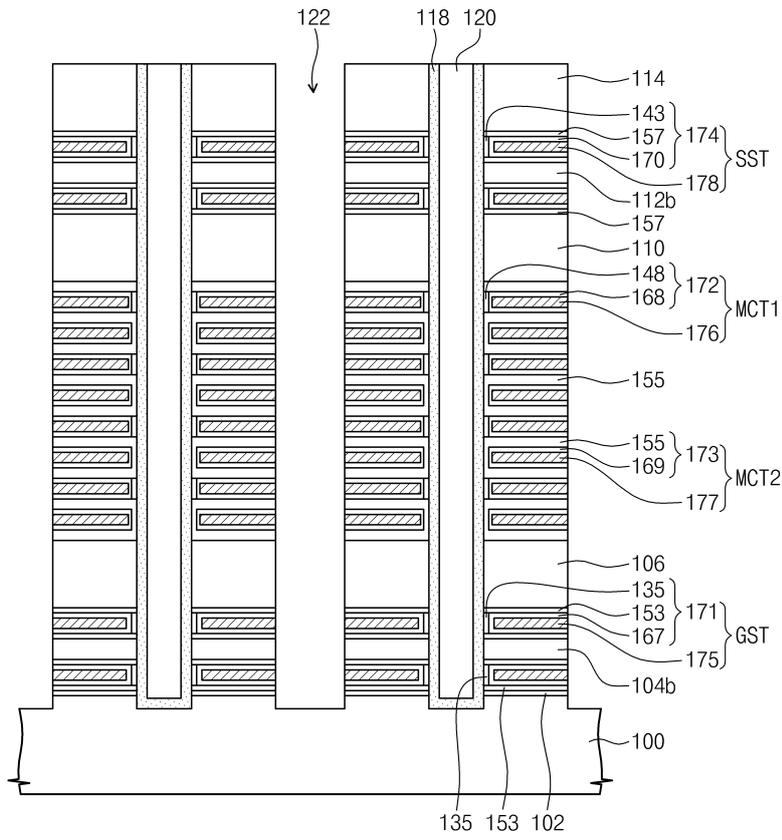
도면4k



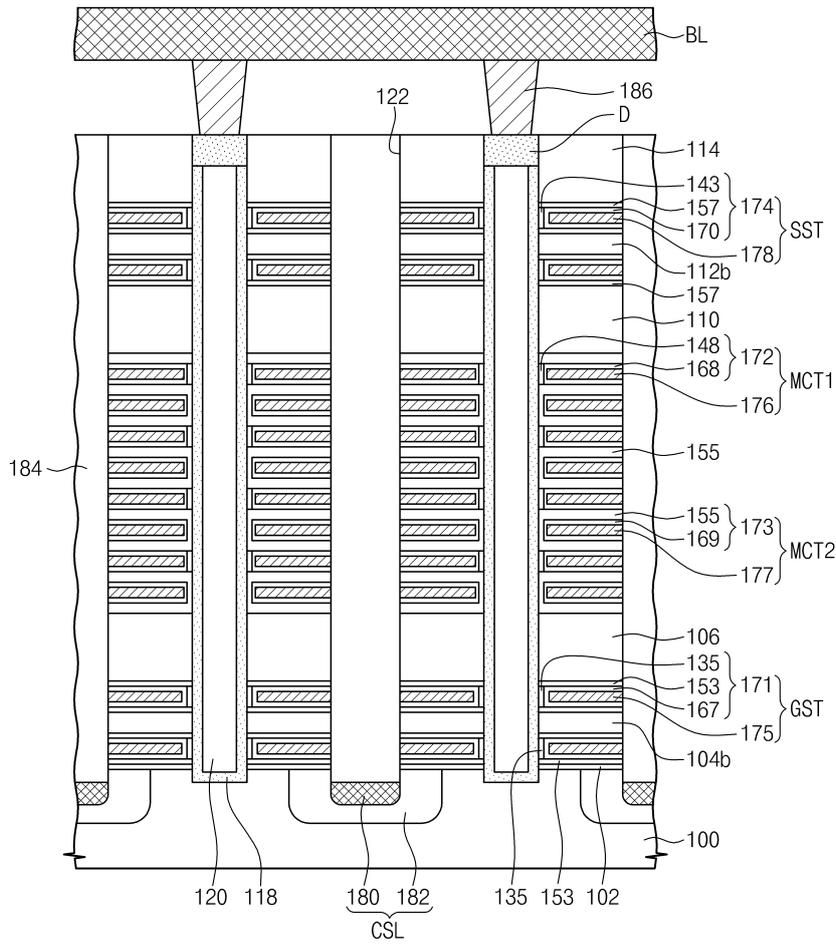
도면4m



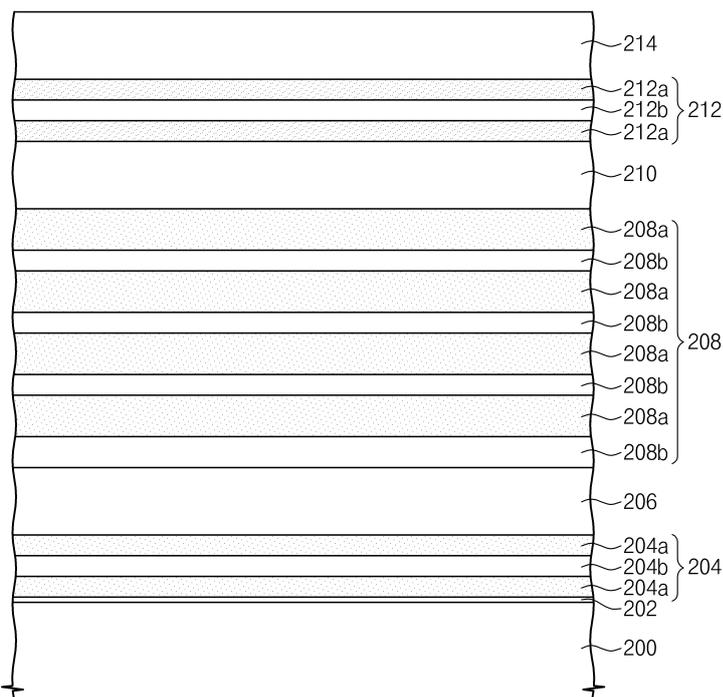
도면4n



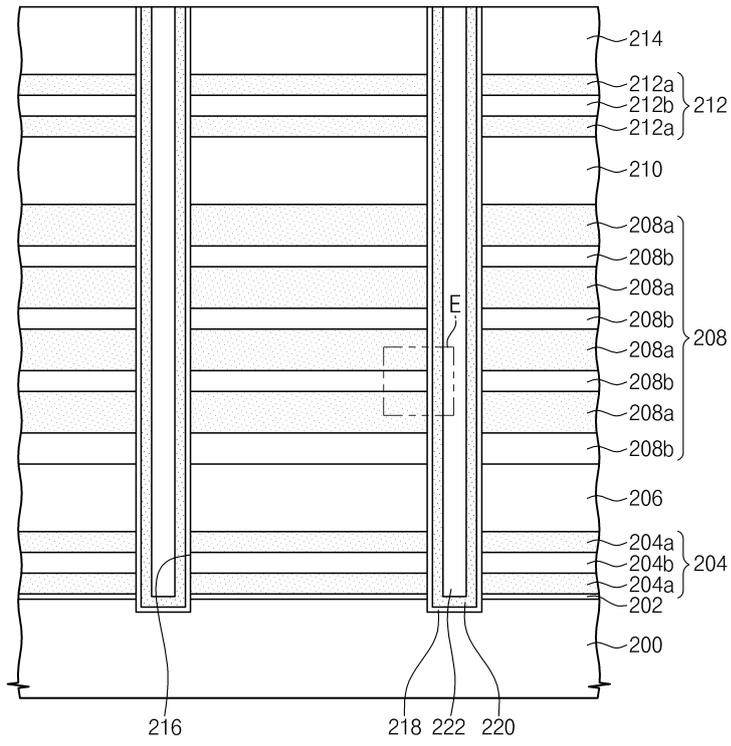
도면40



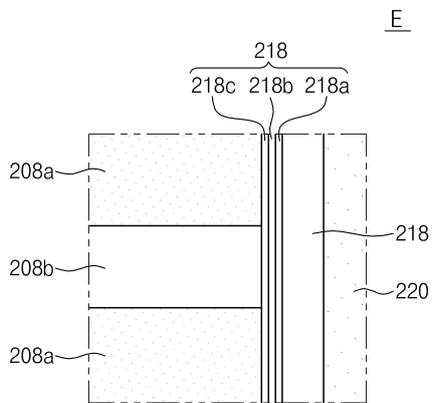
도면5a



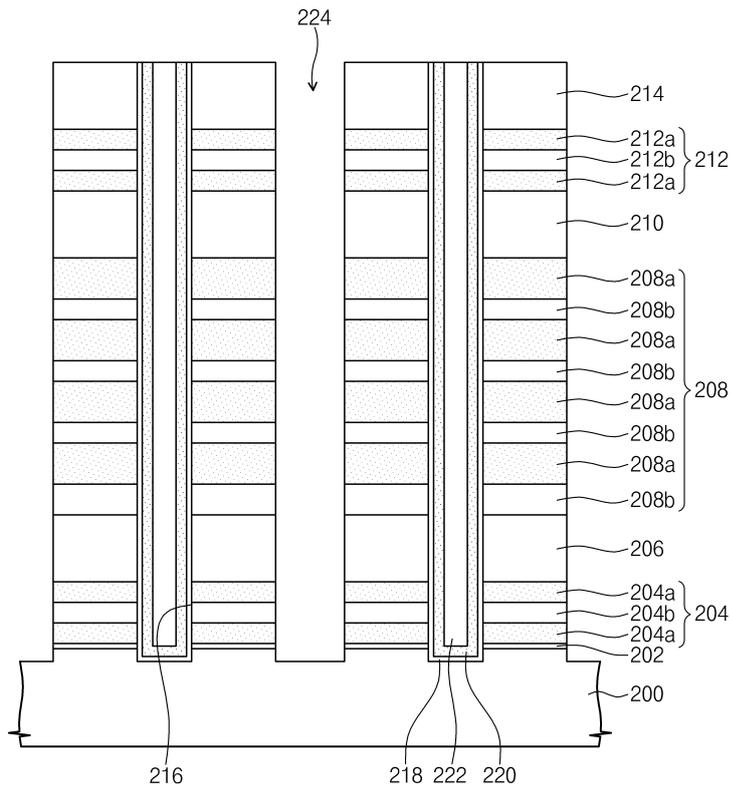
도면5b



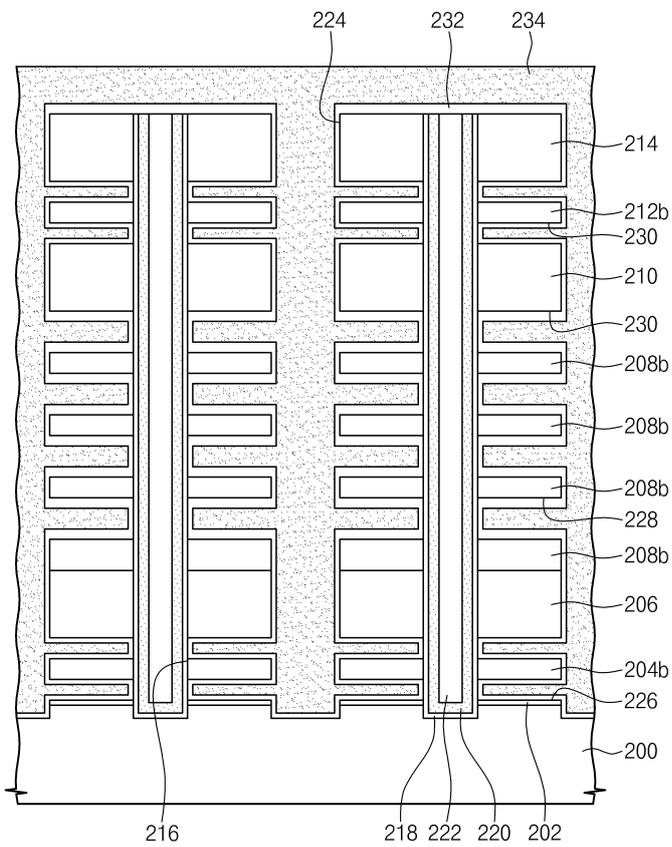
도면5c



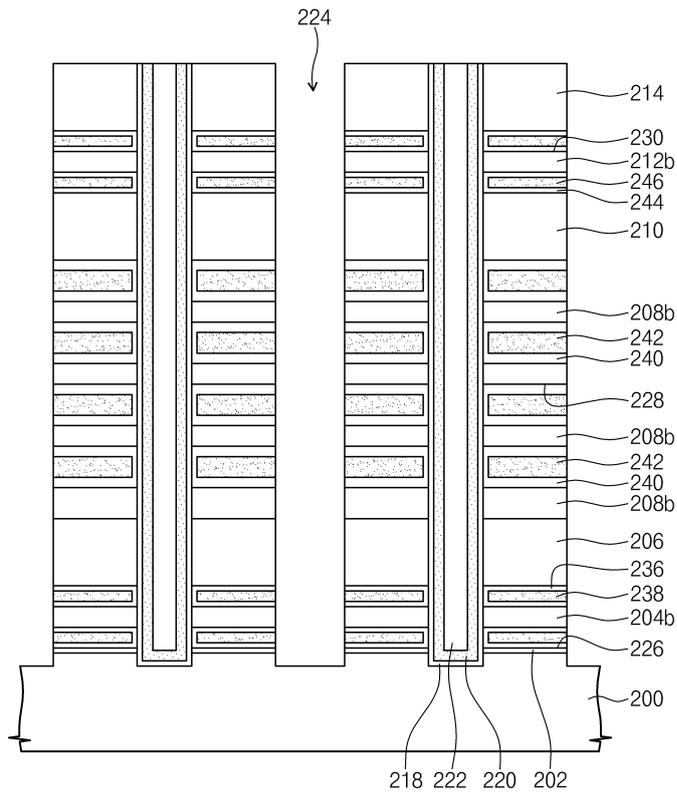
도면5d



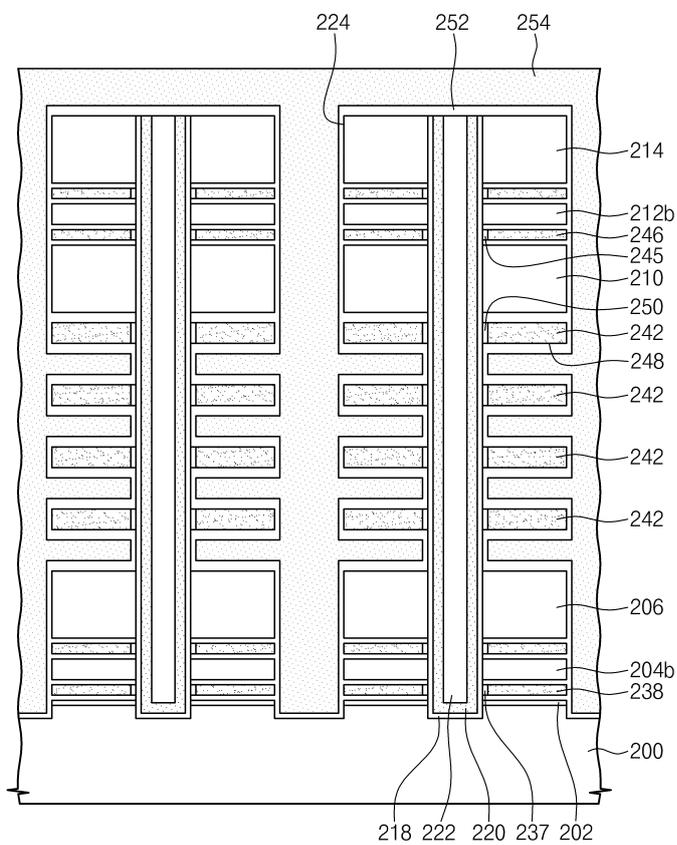
도면5e



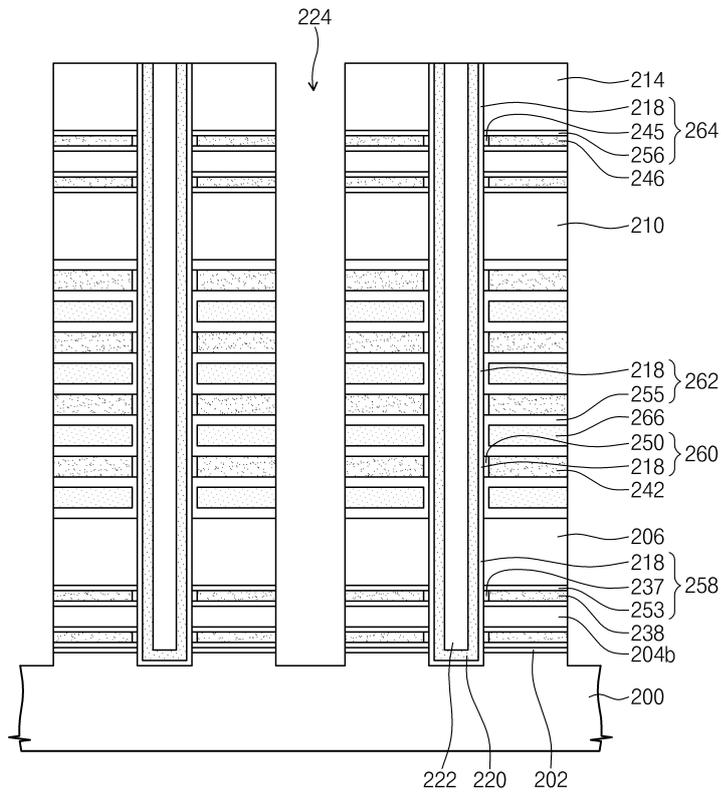
도면5f



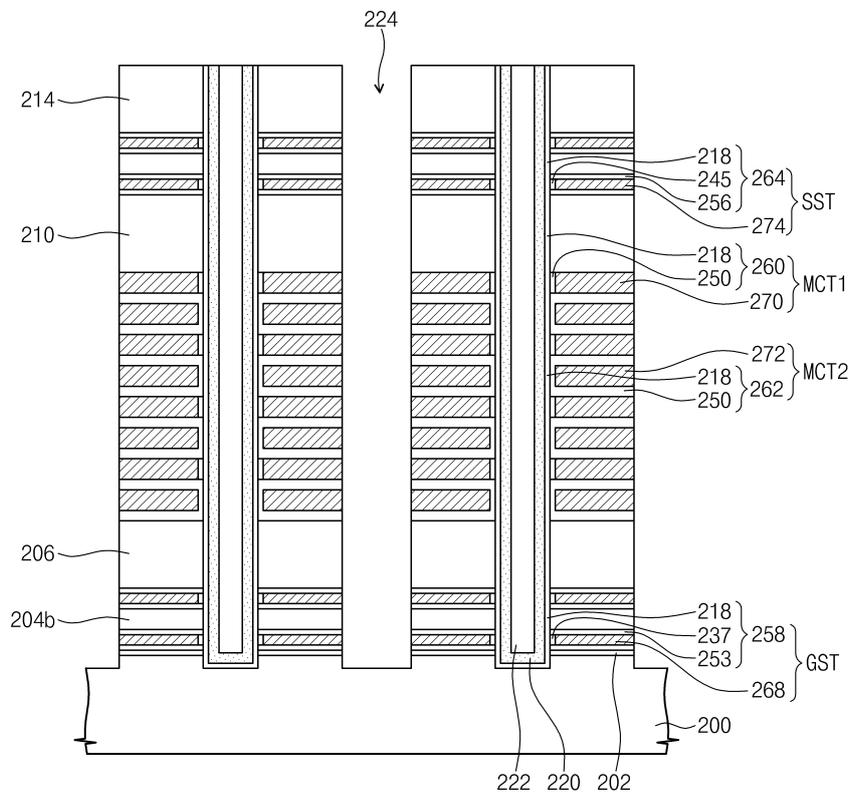
도면5g



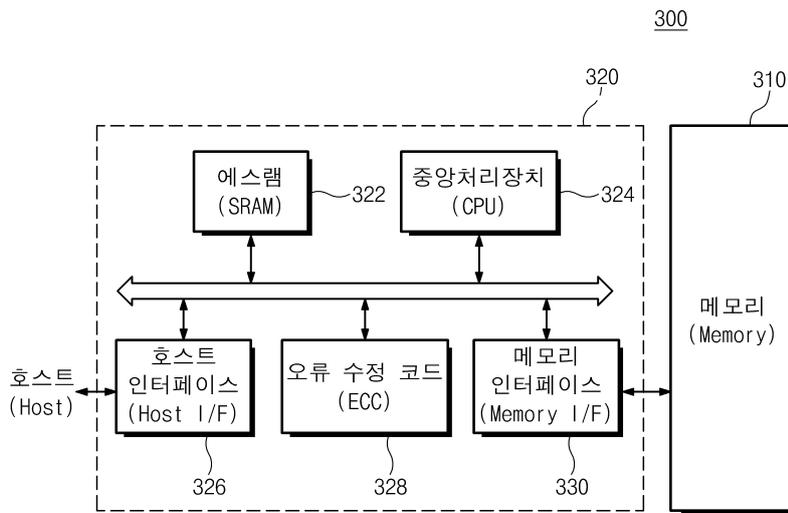
도면5h



도면5i



도면6a



도면6b

