



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0047097  
(43) 공개일자 2008년05월28일

- |   |  |
|---|--|
| <p>(51) Int. Cl.<br/>G11C 11/405 (2006.01) G11C 11/4091 (2006.01)<br/>G11C 11/4094 (2006.01)</p> <p>(21) 출원번호 10-2006-0117007<br/>(22) 출원일자 2006년11월24일<br/>심사청구일자 없음</p> | <p>(71) 출원인<br/>삼성전자주식회사<br/>경기도 수원시 영통구 매탄동 416</p> <p>(72) 발명자<br/>박덕하<br/>경기 수원시 영통구 망포동 벽산아파트 113동 1803호<br/>송기환<br/>서울 강남구 도곡동 동신아파트 가동 1202호<br/>김진영<br/>서울 도봉구 방학동 삼성래미안아파트 202-704</p> <p>(74) 대리인<br/>박상수</p> |
|---|--|

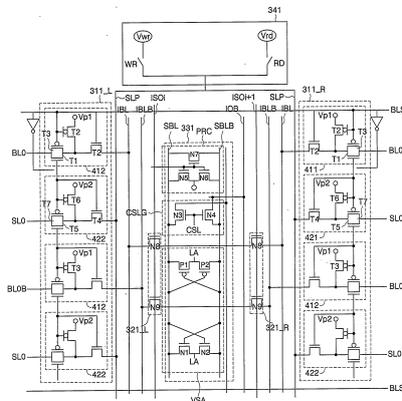
전체 청구항 수 : 총 28 항

**(54) 커패시터리스 동적 반도체 메모리 장치 및 그 동작 방법**

**(57) 요약**

트윈셀구조의 커패시터리스(capacitor-less) 동적 반도체 메모리 장치가 제공된다. 이 장치는 플로팅 바디 트랜지스터들을 이용한 트윈셀 구조의 메모리 블록과 메모리 블록의 비트라인쌍들과, 비트라인쌍들에 대응하는 소스라인들에 연결되고, 비트라인 선택신호에 응답해서 비트라인쌍들 중 적어도 하나의 비트라인쌍을 선택하고 전압감지증폭기의 제 1입력과 제 2입력에 각각 연결하고 선택된 비트라인쌍에 대응하는 소스라인에 동작 조건에 따라 적당한 소스전압을 인가하는 비트라인 및 소스라인 선택부를 포함한다.

대표도 - 도4



**특허청구의 범위**

**청구항 1**

워드 라인들 각각에 연결된 게이트와 비트 라인에 연결된 제1전극과 제1소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 데이터를 저장하는 트루 셀 그룹과 상기 워드 라인들 각각에 연결된 게이트와 반전 비트 라인에 연결된 제2전극과 제2소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 상기 데이터와 반대 위상의 데이터를 저장하는 반전 셀 그룹을 구비하는 트윈 셀 그룹을 구비하는 메모리 블록;

비트라인 선택신호에 응답해서 상기 비트 라인과 상기 비트 라인에 대응하는 반전 비트 라인으로 이루어진 비트 라인쌍을 선택하고, 상기 비트 라인쌍 및 상기 소스 라인에 전압을 인가하고, 상기 비트 라인쌍과 센스 비트 라인쌍사이의 연결을 제어하는 상기 트윈 셀 그룹에 대하여 구비된 비트 라인 및 소스 라인 선택부; 및

상기 센스 비트 라인쌍의 전압 차를 감지하여 증폭하는 상기 소정 개수의 트윈 셀 그룹들에 대하여 구비된 센스 증폭부를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 2**

제 1항에 있어서, 상기 동적 반도체 메모리 장치는

블록 선택신호에 응답하여 상기 비트 라인쌍과 상기 센스 비트 라인쌍을 연결하는 블록선택 스위치부를 추가적으로 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 3**

제 1항에 있어서, 상기 비트라인 및 소스라인 선택부는

상기 비트라인 선택신호에 응답해서 선택된 상기 비트라인쌍과 상기 센스 비트 라인쌍을 연결하는 비트라인 선택기; 및

상기 비트라인 선택신호에 응답해서 상기 선택된 비트라인쌍에 대응하는 소스라인에 소스 전압을 인가하는 소스 라인 선택기를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 4**

제 3항에 있어서, 상기 비트라인 선택기는

상기 비트 라인 선택신호에 응답하여 선택되지 않으면 상기 비트라인쌍을 제1프리차지 전압으로 프리차지하는 제1프리차지부와, 상기 비트 라인 선택신호에 응답하여 선택되면 상기 비트라인쌍과 상기 센스 비트 라인쌍을 연결하는 제1전송 트랜지스터를 포함하고,

상기 소스라인 선택기는

상기 비트 라인 선택신호에 응답하여 선택되지 않으면 상기 소스 라인을 제2프리차지 전압으로 프리차지하는 제2프리차지부와, 상기 비트 라인 선택신호에 응답하여 선택되면 상기 소스 라인으로 상기 소스 전압을 공급하는 제2전송 트랜지스터 를 포함하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 5**

제4항에 있어서, 상기 제1프리차지 전압과 제2프리차지 전압이 실질적으로 동일한 크기인 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 6**

제3항에 있어서, 상기 커패시터리스 동적 반도체 메모리 장치는

소스전압 공급부를 더 구비하고,

상기 소스전압 공급부는 상기 동작조건이 쓰기 동작인 경우와 읽기 동작인 경우에 각각 다른 전압크기를 갖는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 7**

제1항에 있어서, 상기 비트 라인들과 상기 소스 라인들이 서로 평행하게 배치되는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 8**

제1항에 있어서, 상기 비트 라인 및 소스 라인 선택부는

프리차지 동작시에 상기 비트 라인쌍으로 프리차지 전압을 인가하고,

쓰기 동작시에 상기 워드 라인들중 선택된 워드 라인으로 제1전압이 인가되면, 제1기간에 상기 비트 라인 선택 신호에 응답하여 상기 선택된 비트 라인쌍에 대응하는 상기 소스 라인으로 제2전압을 인가하여 상기 선택된 비트 라인쌍과 상기 선택된 워드 라인사이에 연결된 셀에 게이트 유도 드레인 누설 현상에 의해서 상기 비트 라인쌍의 하나의 라인으로 전송되는 “하이” 레벨의 데이터를 저장하도록 하고, 상기 선택된 워드 라인으로 제3전압이 인가되면, 상기 쓰기 동작시의 제2기간에 상기 비트 라인 선택신호에 응답하여 상기 선택된 비트 라인쌍에 대응하는 상기 소스 라인으로 제4전압을 인가하여 상기 비트 라인쌍의 다른 하나의 라인으로 전송되는 “로우” 레벨의 데이터를 저장하도록 하도록 하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 9**

제8항에 있어서, 상기 제1전압은 부전압이고, 상기 제2 및 제3전압은 상기 제1전압보다 높은 전압이고, 상기 제4전압은 상기 제3전압보다 높은 전압인 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 10**

제8항에 있어서, 상기 제1전압은 부전압이고, 상기 제2전압은 상기 제1전압보다 높은 전압이고, 상기 제3전압과 상기 제4전압은 상기 제2전압보다 높은 전압인 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 11**

제8항에 있어서, 상기 “로우” 레벨의 데이터는

상기 선택된 비트 라인쌍과 상기 선택된 워드 라인사이에 연결된 셀들중 다른 하나의 셀의 커플링 현상에 의한 순방향 바이어스에 의해서 저장되는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 12**

제8항에 있어서, 상기 “로우” 레벨의 데이터는

상기 선택된 비트 라인쌍과 상기 선택된 워드 라인사이에 연결된 셀들중 다른 하나의 셀의 커플링 현상에 의한 순방향 바이어스와 채널 전류에 의해서 저장되는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 13**

제8항에 있어서, 상기 동적 반도체 메모리 장치는

상기 제2전압과 상기 제4전압이 동일한 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 14**

제8항에 있어서, 상기 비트 라인 및 소스 라인 선택부는

상기 프리차지 동작 후에 상기 선택된 워드 라인으로 제5전압이 인가되면 리드 동작시에 상기 비트 라인 선택 신호에 응답하여 상기 선택된 비트 라인쌍에 대응하는 상기 소스 라인으로 제6전압을 인가하여 상기 선택된 비트 라인쌍들사이에 전압 차를 발생하도록 하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 15**

워드 라인들 각각에 연결된 게이트와 비트 라인에 연결된 제1전극과 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 데이터를 저장하는 복수개의 트루 셀 그룹들과 상기 워드 라인들 각각에 연결된 게이트와 반전

비트 라인에 연결된 제2전극과 상기 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 상기 데이터와 반대 위상의 데이터를 저장하는 복수개의 반전 셀 그룹을 구비하는 복수개의 트윈 셀 그룹을 구비하는 메모리 블록;

비트 라인 선택신호에 응답하여 상기 메모리 블록의 상기 비트 라인과 상기 비트 라인에 대응하는 반전 비트 라인으로 이루어진 비트 라인쌍들중 짝수번째 비트라인쌍들과 상기 짝수번째 비트라인쌍들에 대응하는 상기 소스 라인들에 전압을 인가하고, 상기 짝수번째 비트 라인쌍들과 제1센스 비트 라인쌍사이의 연결을 제어하는 상기 트윈 셀 그룹에 대하여 구비된 제1비트 라인 및 소스 라인 선택부 ;

상기 비트 라인 선택신호에 응답하여 상기 비트라인쌍들중 홀수번째 비트라인쌍들과 상기 홀수번째 비트라인쌍들에 대응하는 상기 소스라인들에 전압을 인가하고, 상기 홀수번째 비트라인쌍들과 제2센스 비트 라인쌍사이의 연결을 제어하는 상기 트윈 셀 그룹에 대하여 구비된 제2비트라인 및 소스라인 선택부; 및

상기 제1센스 비트 라인쌍사이 및 상기 제2센스 비트 라인쌍사이의 전압 차를 증폭하는 전압 센스 증폭부를 구비하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 16**

제 15항에 있어서, 상기 동적 반도체 메모리 장치는

블록 선택신호에 응답하여 상기 짝수번째 비트 라인쌍들과 상기 제1센스 비트 라인쌍을 연결하는 제1블록선택 스위치부; 및

상기 블록 선택신호에 응답하여 상기 홀수번째 비트 라인쌍들과 상기 제2센스 비트 라인쌍을 연결하는 제2블록선택 스위치부를 추가적으로 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 17**

제 15항에 있어서, 상기 제1비트라인 및 소스라인 선택부는

상기 비트라인 선택신호에 응답해서 선택된 상기 짝수번째 비트라인쌍과 상기 제1센스 비트 라인쌍을 연결하는 비트라인 선택기; 및

상기 비트라인 선택신호에 응답해서 상기 선택된 짝수번째 비트라인쌍에 대응하는 상기 소스라인에 소스 전압을 인가하는 소스라인 선택기를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 18**

제 15항에 있어서, 상기 제2비트라인 및 소스라인 선택부는

상기 비트라인 선택신호에 응답해서 선택된 상기 홀수번째 비트라인쌍과 상기 제2센스 비트 라인쌍을 연결하는 비트 라인 선택기; 및

상기 비트라인 선택신호에 응답하여 상기 선택된 짝수번째 비트라인쌍에 대응하는 상기 소스라인에 상기 소스 전압을 인가하는 소스 라인 선택기를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 19**

제 17항에 있어서, 상기 비트라인 선택기는

상기 비트 라인 선택신호에 응답하여 선택되지 않으면 상기 짝수번째 비트라인쌍을 제1프리차지 전압으로 프리차지하는 제1프리차지부와, 상기 비트 라인 선택신호에 응답하여 선택되면 상기 짝수번째 비트라인쌍과 상기 제1센스 비트 라인쌍을 연결하는 제1전송 트랜지스터를 포함하고,

상기 소스라인 선택기는

상기 비트 라인 선택신호에 응답하여 선택되지 않으면 상기 소스 라인을 제2프리차지 전압으로 프리차지하는 제2프리차지부와, 상기 비트 라인 선택신호에 응답하여 선택되면 상기 소스 라인으로 상기 소스 전압을 공급하는 제2전송 트랜지스터를 포함하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 20**

제 18항에 있어서, 상기 비트라인 선택기는

상기 비트 라인 선택신호에 응답하여 선택되지 않으면 상기 홀수번째 비트라인쌍을 제1프리차지 전압으로 프리차지하는 제1프리차지부와, 상기 비트 라인 선택신호에 응답하여 선택되면 상기 홀수번째 비트라인쌍과 상기 제2센스 비트 라인쌍을 연결하는 제1전송 트랜지스터를 포함하고,

상기 소스라인 선택기는

상기 비트 라인 선택신호에 응답하여 선택되지 않으면 상기 소스 라인을 제2프리차지 전압으로 프리차지하는 제2프리차지부와, 상기 비트 라인 선택신호에 응답하여 선택되면 상기 소스 라인으로 상기 소스 전압을 공급하는 제2전송 트랜지스터를 포함하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 21**

제 15항에 있어서, 상기 제1 및 제2비트 라인 및 소스라인 선택기 각각은

상기 소스전압을 전달하는 소스전압라인에 연결되어 쓰기 동작시와 읽기 동작시에 각각 다른 전압을 인가하는 소스 전압 공급부를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

**청구항 22**

플로팅바디 트랜지스터들을 가지는 트윈셀 구조의 커패시터리스 동적 반도체 메모리 장치의 쓰기 동작 방법에 있어서,

다수의 비트라인쌍과 상기 다수의 비트라인쌍에 대응하는 소스라인들을 제 1프리차지전압으로 프리차지하는 단계;

워드라인에 부전압을 인가하여 워드라인을 활성화하는 단계;

비트라인선택신호에 응답해서 다수의 비트라인쌍중에서 적어도 하나의 비트라인쌍과 상기 적어도 하나의 비트라인쌍에 대응하는 소스라인을 선택하고 상기 선택된 소스라인에만 제 1 소스전압을 인가하고, 선택되지 않은 비트라인쌍과 이에 대응하는 소스라인들에 상기 제1 프리차지 전압을 계속 인가하는 단계; 및

상기 활성화된 워드 라인과 상기 선택된 비트라인쌍에 연결된 트윈셀 중 하나에 GIDL현상을 이용하여 데이터 “1” 을 저장하는 단계를 포함하는 커패시터리스 동적 반도체 메모리 장치의 쓰기 동작 방법.

**청구항 23**

제 22항에 있어서,

데이터 “1” 을 저장 후에 상기 워드라인에 상기 부전압보다 높은 전압을 인가하고, 상기 선택된 비트라인쌍에 대응하는 상기 소스라인에 상기 제 1소스전압보다 높은 제 2 소스전압을 인가하는 단계 및

상기 활성화된 워드 라인과 상기 선택된 비트라인쌍에 연결된 트윈 셀 중 다른 하나에 데이터 “0” 을 저장하는 단계를 추가적으로 포함하는 커패시터리스 동적 반도체 메모리 장치의 쓰기 동작 방법.

**청구항 24**

제 23항에 있어서, 상기 제 1소스전압은 상기 제 2소스전압보다 크기가 작은 것이 특징인 커패시터리스 동적 반도체 메모리 장치의 쓰기 동작 방법.

**청구항 25**

제 23항에 있어서, 상기 데이터 “0” 을 저장하는 단계는

커플링현상에 의한 순방향 바이어스를 이용하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치의 쓰기 동작 방법.

**청구항 26**

제 23항에 있어서, 상기 데이터 “0” 을 저장하는 단계는

커플링현상에 의한 순방향 바이어스와 함께채널 전류를 이용하는 것을 특징으로 하는 커패시터리스 동적 반도체

체 메모리 장치의 쓰기 동작 방법.

**청구항 27**

플로팅바디 트랜지스터들의 트윈셀 구조의 커패시터리스 동적 반도체 메모리 장치의 읽기 동작 방법에 있어서, 워드라인에 연결된 플로팅바디 트랜지스터들이 턴 온 되도록 워드라인을 활성화하는 단계;

비트라인선택신호에 응답해서 다수의 비트라인쌍중에서 적어도 하나의 비트라인쌍을 선택하고 상기 적어도 하나의 비트라인쌍에 대응하는 소스라인에 상기 프리차지 전압보다 높은 소스전압을 인가하는 단계; 및

상기 선택된 하나의 비트라인쌍의 전압 차를 감지하고 증폭하는 단계를 포함하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치의 읽기 동작 방법.

**청구항 28**

제 27항에 있어서, 상기 전압 차는

상기 트윈 셀의 트루 셀과 반전 셀의 문턱전압 차와 실질적으로 동일한 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치의 읽기 동작 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <9> 본 발명은 동적 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 플로팅바디 트랜지스터를 가지는 커패시터리스 메모리 셀을 구비하는 커패시터리스 동적 반도체 메모리 장치 및 이 장치의 동작 방법에 관한 것이다.
- <10> 종래의 일반적인 동적 반도체 메모리 장치는 하나의 액세스 트랜지스터와 하나의 커패시터가 하나의 단위 메모리 셀을 구성한다. 하지만 계속적인 메모리 장치의 고집적화(high integrity) 및 고용량화(high density)의 요구에 따라 커패시터를 가지는 단위 메모리 셀 구조는 필요한 정전용량(Capacitance)을 확보할 수 없는 문제점을 나타내게 되었다.
- <11> 상기와 같은 문제점을 극복하기 위해, 최근 플로팅바디 트랜지스터를 동적 메모리 셀로써 사용하는 기술들이 소개되었다. IEEE에서 2002년에 소개된 논문 제목 “커패시터리스 동적 반도체 메모리 장치”에서는 플로팅바디 트랜지스터의 바디에 다수 캐리어를 축적하거나 다수 캐리어를 방출하는 방법으로 데이터 “1” 또는 “0”을 저장하는 기술이 개시되어 있다. (Takashi Ohsawa et al., [Memory Design Using a One-Transistor Gain Cell on SOI,] IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 37, NO. 11, NOV. 2002.)
- <12> 도 1은 일반적인 NMOS 플로팅 바디 트랜지스터의 구조 및 쓰기 동작 전압을 나타낸다. 도 1을 참조하면, SOI 기판은 실리콘 기판(Si) 및 절연층(buried oxide)를 포함하고, 플로팅바디 트랜지스터는 SOI(Silicon On Insulator) 기판상에 형성되며, SOI 기판의 상부에 비트라인(미도시)과 연결되는 드레인(D), 소스라인(미도시)에 연결되는 소스(S), 드레인(D)과 소스(S)사이의 영역의 상부에 절연층과 함께 위치하며 워드라인(미도시)과 연결되는 게이트(G), 및 게이트(G) 아래에 형성되고 전기적으로 플로팅(floating)된 바디(B)를 포함한다.
- <13> 먼저 상기 플로팅바디 트랜지스터에 데이터 “1”을 쓰기 위해서는 게이트(G)와 드레인(D)에 게이트 유도 드레인 누설(GIDL; Gate Induced Drain Leakage)현상이 일어날 수 있는 전압관계, 즉, 각각 게이트(G)에 부전압(-1.5V)과 드레인(D)에 양전압(1.5V)을 인가하여 바디(B)에 홀(hole)을 축적하는 방법과, 게이트(G)와 드레인(D)에 각각 양의 전압(1.5V)을 인가하여 임팩트 이온화(impact ionization) 현상을 이용해서 바디(B)에 홀(hole)을 축적하는 방법이 있다. 즉, 바디(B)에 홀(hole)이 축적됨에 따라 플로팅바디 트랜지스터의 바디전압이 상승하게 되고 이는 문턱전압(Vth1)를 낮추게 하며, 이 상태를 데이터 “1”을 저장한 상태로 정의한다. 또한 GIDL 현상을 이용한 방법이 임팩트 이온화 현상을 이용한 방법보다 쓰기 전류가 작다는 장점을 가지고 있다.
- <14> 다음으로, 플로팅바디 트랜지스터(FBT)에 데이터 “0”을 쓰기 위해서는 바디(B)와 드레인(D) 사이에 순방향 바이어스 조건이 일어나도록 게이트(G)와 드레인(D)에 각각 양전압(1.5V)과 부전압(-1.5V)을 인가하여 바디(B)의 홀

을 드레인(D)으로 방출하여 바디전압을 낮아지게 되고 이는 문턱전압(Vth0)을 높이게 되며, 이 상태를 데이터 “0”을 저장한 상태로 정의한다. 또한 데이터 “0”을 쓰는 방법은 게이트(G)와 소스(S)에 인가되는 전압을 이용해 커플링(Coupling)효과에 의해 바디의 홀을 방출할 수도 있다.

<15> 도 2A는 종래 커패시터리스 동적 반도체 메모리 장치의 회로도를 나타내고, 도 2B는 도 2A의 전류 감지 증폭기의 상세회로도를 나타낸다. 도 2A 및 도 2B의 커패시터리스 동적 반도체 메모리 장치(200)는 미국특허번호 제 6,567,330에 개시되어 있다. 도 2A와 도 2B를 참고하면, 종래 커패시터리스 동적 반도체 메모리 장치(200)는 복수의 비트라인들(BL0~BL3)이 하나의 전류 감지 증폭기(4a)를 공유하는 구조로 칩사이즈 증가를 최소화하였다. 또한 메모리 장치(200)은 전류 감지증폭기(4a)의 기준 전류를 만들기 위해 더미 메모리 셀들(DMC)을 포함한다. 즉, 종래의 커패시터리스 동적 반도체 메모리 장치는 전류 감지증폭기(4a)를 사용하므로 도 2B의 전류 미러들(4a, 6)과 같은 복잡하고 민감한 회로들을 사용하고 또한 이들을 위한 레이아웃(layout) 면적도 많이 소요되는 문제점을 가지고 있다.

**발명이 이루고자 하는 기술적 과제**

<16> 본 발명이 이루고자 하는 기술적 과제는, 다수의 비트라인들이 전압감지증폭기를 공유하는 트윈셀 구조의 커패시터리스 동적 반도체 메모리 장치를 제공함에 있다.

<17> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 커패시터리스 동적 반도체 메모리 장치의 동작 방법을 제공함에 있다.

<18> 본 발명의 기술적 과제는 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**발명의 구성 및 작용**

<19> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 커패시터리스 동적 반도체 메모리 장치는 워드 라인들 각각에 연결된 게이트와 비트 라인에 연결된 제1전극과 제1소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 데이터를 저장하는 트루 셀 그룹과 상기 워드 라인들 각각에 연결된 게이트와 반전 비트 라인에 연결된 제2전극과 제2소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 상기 데이터와 반대 위상의 데이터를 저장하는 반전 셀 그룹을 구비하는 트윈 셀 그룹을 구비하는 메모리 블록, 비트라인 선택신호에 응답해서 상기 비트 라인과 상기 비트 라인에 대응하는 반전 비트 라인으로 이루어진 비트 라인쌍을 선택하고, 상기 비트 라인쌍 및 상기 소스 라인에 전압을 인가하고, 상기 비트 라인쌍과 센스 비트 라인쌍사이의 연결을 제어하는 상기 트윈 셀 그룹에 대하여 구비된 비트 라인 및 소스 라인 선택부, 및 상기 센스 비트 라인쌍의 전압 차를 감지하여 증폭하는 상기 소정 개수의 트윈 셀 그룹들에 대하여 구비된 센스 증폭부를 구비하는 것을 특징으로 한다.

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 커패시터리스 동적 반도체 메모리 장치는 워드 라인들 각각에 연결된 게이트와 비트 라인에 연결된 제1전극과 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 데이터를 저장하는 복수개의 트루 셀 그룹들과 상기 워드 라인들 각각에 연결된 게이트와 반전 비트 라인에 연결된 제2전극과 상기 소스 라인에 연결된 제2전극을 가진 플로팅 바디를 가지며 상기 데이터와 반대 위상의 데이터를 저장하는 복수개의 반전 셀 그룹을 구비하는 복수개의 트윈 셀 그룹을 구비하는 메모리 블록, 비트 라인 선택신호에 응답하여 상기 메모리 블록의 상기 비트 라인과 상기 비트 라인에 대응하는 반전 비트 라인으로 이루어진 비트 라인쌍들중 짝수번째 비트라인쌍들과 상기 짝수번째 비트라인쌍들에 대응하는 상기 소스라인들에 전압을 인가하고, 상기 짝수번째 비트 라인쌍들과 제1센스 비트 라인쌍사이의 연결을 제어하는 상기 트윈 셀 그룹에 대하여 구비된 제1비트 라인 및 소스 라인 선택부, 상기 비트 라인 선택신호에 응답하여 상기 비트라인쌍들중 홀수번째 비트라인쌍들과 상기 홀수번째 비트라인쌍들에 대응하는 상기 소스라인들에 전압을 인가하고, 상기 홀수번째 비트라인쌍들과 제2센스 비트 라인쌍사이의 연결을 제어하는 상기 트윈 셀 그룹에 대하여 구비된 제2비트라인 및 소스라인 선택부, 및 상기 제1센스 비트 라인쌍사이 및 상기 제2센스 비트 라인쌍사이의 전압 차를 증폭하는 전압 센스 증폭부를 구비하는 것을 특징으로 한다.

<21> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 트윈셀 구조의 커패시터리스 동적 반도체 메모리 장치의 쓰기 동작 방법은 플로팅바디 트랜지스터들을 가지는 트윈셀 구조의 커패시터리스 동적 반도체 메모리 장치의 쓰기 동작에 있어서, 다수의 비트라인쌍과 상기 다수의 비트라인쌍에 대응하는 소스라인들을 제 1 프리차지전압으로 프리차지하는 단계, 워드라인에 부전압을 인가하여 워드라인을 활성화하는 단계, 비트라인선

택신호에 응답해서 다수의 비트라인쌍중에서 적어도 하나의 비트라인쌍과 상기 적어도 하나의 비트라인쌍에 대응하는 소스라인을 선택하고 상기 선택된 소스라인에만 제 1 소스전압을 인가하고, 선택되지 않은 비트라인쌍과 이에 대응하는 소스라인들에 상기 제1 프리차지 전압을 계속 인가하는 단계, 및 상기 활성화된 워드 라인과 상기 선택된 비트라인쌍에 연결된 트윈셀 중 하나에 GIDL현상을 이용하여 데이터 “1”을 저장하는 단계를 포함하는 것을 특징으로 한다. 상기 다른 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 트윈셀 구조의 커패시터리스 동적 반도체 메모리 장치의 읽기 동작 방법은 플로팅바디 트랜지스터들의 트윈셀 구조의 커패시터리스 동적 반도체 메모리 장치의 읽기 동작에 있어서, 워드라인에 연결된 플로팅바디 트랜지스터들이 턴온 되도록 워드라인을 활성화하는 단계, 비트라인선택신호에 응답해서 다수의 비트라인쌍중에서 적어도 하나의 비트라인쌍을 선택하고 상기 적어도 하나의 비트라인쌍에 대응하는 소스라인에 상기 프리차지 전압보다 높은 소스전압을 인가하는 단계, 및 상기 선택된 하나의 비트라인쌍의 전압 차를 감지하고 증폭하는 단계를 포함하는 것을 특징으로 한다.

- <22> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <23> 이하 도면을 참조하면서 본 발명의 실시예를 자세하게 설명한다.
- <24> 도 3은 본 발명에 따른 트윈셀 구조의 커패시터리스 동적 반도체 메모리 장치의 회로도를 나타낸다.
- <25> 이하 도 3을 참고하면, 메모리 장치(300)는 메모리블럭(311), 비트라인 및 소스라인 선택부(311\_L, 311\_R), 블록선택스위치(321\_L, 321\_R) 및 전압감지 증폭부(331, 332)들을 포함한다.
- <26> 메모리 블록(311)은 복수의 워드라인들(WL~WLn), 상기 워드라인들과 교차하는 복수개의 비트라인쌍들((BL0, BLOB) ~ (BLn, BLnB))과 상기 복수의 비트라인쌍들과 각각 대응하는 소스라인쌍((SLO, SLOB) ~ (SLn, SLnB))을 포함한다. 상기 워드라인들과 각각의 비트라인들이 교차하는 영역에는 각각 워드라인을 게이트에 비트라인을 드레인에 그리고 상기 비트라인에 대응하는 소스라인이 소스에 각각 연결되는 플로팅바디 트랜지스터가 형성된다.
- <27> 비트라인들(BL0~BLn)에 연결된 플로팅바디 트랜지스터들을 트루셀(true cell, FN), 반전비트라인들(BLOB, ~, BLnB)에 연결된 플로팅바디 트랜지스터들을 반전셀(complementary cell, FNB)이라 정의한다. 트윈셀 구조란 하나의 외부 데이터를 저장하기 위해 트루셀에는 외부데이터와 동일한 값의 데이터를 저장하고 반전셀에는 외부데이터와 상반되는 데이터를 저장한다. 즉, 트루셀과 반전셀에는 항상 서로 상반되는 데이터값이 저장되게 된다.
- <28> 또한 상기 메모리 장치는 다수의 메모리 블록들(312, 313)을 포함할 수 있는 것은 당업자에게는 당연한 사실이다.
- <29> 비트라인 및 소스라인 선택부(311\_L, 311\_R)은 각각 메모리블럭(311)과 블록선택스위치(321\_L, 321\_R) 사이에 위치한다. 상기 블록선택스위치(311\_L)은 상기 메모리블럭(311)의 홀수번째 비트라인쌍들((BL1, BL1B), (BL3, BL3B) ~ (BLn, BLnB))과 연결되며, 비트라인선택신호(BLS0~BLS((n-1)/2))에 응답해서 하나의 비트라인쌍과 이에 대응하는 소스라인을 선택한다. 마찬가지로 블록선택스위치(311\_R)은 상기 메모리블럭(311)의 짝수번째 비트라인쌍들((BL0, BLOB), (BL2, BL2B) ~ (BL(n-1), BL(n-1)B))과 연결되며 상기 비트라인선택신호(BLS0 ~ BLS((n-1)/2))에 응답해서 하나의 비트라인쌍과 이에 대응하는 소스라인을 선택한다. 상기 비트라인 및 소스라인 선택부에서 선택된 비트라인쌍은 블록선택스위치(321\_L, 321\_R)에 연결된다. 후술하겠지만, 상기 비트라인 및 소스라인 선택부에서 선택된 소스라인들은 동작조건에 따라 소스전압라인을 통해 적당한 전압을 인가 받는다.
- <30> 블록선택스위치(321\_L, 321\_R)는 해당 메모리블럭(311)의 메모리셀이 선택되면 활성화되는 블럭선택신호(IS0i)에 응답해서 상기 비트라인 및 소스라인 선택부(311L, 311R)에서 각각 선택된 비트라인쌍을 전압감지 증폭부(331, 332)에 각각 연결한다.
- <31> 전압감지증폭부(331, 332) 각각은 상기 블록선택스위치(321\_L, 321\_R)를 통해 입력되는 비트라인쌍의 전압차를 감지하고 증폭하여 데이터라인으로 출력하거나 데이터 라인으로부터 입력데이터를 선택된 비트라인쌍에 전달한다.

- <32> 즉, 본 발명에 따른 이며 메모리 장치는 트윈셀 구조를 갖는 메모리 블록내의 다수의 비트라인쌍들이 하나의 전압감지증폭기를 공유하며, 선택된 비트라인쌍과 대응하는 소스라인에 동작조건에 따라 적당한 전압을 인가할 수 있도록 구성된다.
- <33> 도 4는 도 3의 비트라인 및 소스라인 선택부와 전압감지증폭부의 연결을 나타내는 구체 회로도이다. 도 4는 하나의 비트라인쌍(BL0, BLOB)만을 보여주고 있으나 이는 설명의 명확화를 위함이고 더 많은 비트라인쌍들이 비트라인 및 소스라인 선택부를 통해 전압감지증폭부에 연결될 수 있음은 자명하다.
- <34> 도 4를 참고하면, 비트라인 및 소스라인 선택부(311\_R, 312\_L) 각각은 비트라인 선택기(411, 412)와 소스라인 선택기(421, 422)를 포함한다. 비트라인 선택기(411, 412) 각각은 비트라인쌍(BL0, BLOB)과 중간 비트라인쌍(IBL, IBLB)사이에 위치하며, 비트라인 선택신호(BLS0)에 응답해서 상기 비트라인쌍(BL0, BLOB)을 상기 중간 비트라인쌍(IBL, IBLB)에 연결하는 트랜지스터들(T0, T1)과 비트라인에 프리차지전압(Vp1)을 인가하는 트랜지스터들(T2, T3)을 포함한다. 상기에서 중간 비트라인(IBL)에는 메모리블록의 짝수번째 비트라인들(BL2 ~ BL(n-1))이, 반전 중간 비트라인(IBLB)에는 메모리블록의 짝수번째 반전 비트라인들(BL2B ~ BL(n-1)B)가 추가로 연결될 수 있다.
- <35> 마찬가지로, 소스라인선택기(421, 422)도 소스라인(SL)과 소스전압라인 (SPL)사이에 위치하며, 비트라인 선택신호(BLS0)에 응답해서 상기 소스라인(SL)을 소스전압라인(SLP)에 연결하는 트랜지스터들(T4, T5)과 소스라인에 프리차지전압(Vp2)을 인가하는 트랜지스터들(T6, T7) 포함한다. 상기 소스전압라인(SPL)에는 쓰기 동작 또는 읽기 동작에 따라 적당한 전압이 연결되며 상기 소스라인에 상기 트랜지스터들(T4, T5)를 통해 인가된다. 또한 상기 비트라인 프리차지전압(Vp1)과 소스라인 프리차지전압(Vp2)은 동일한 크기를 갖는 것이 바람직하다.
- <36> 상기 소스전압라인은 동작 조건, 즉 쓰기 동작(WR) 또는 읽기 동작(RD)에 따라 적당한 크기의 전압을 공급하는 소스전압공급부(341)과 연결된다.
- <37> 즉, 비트라인 선택신호(BLS0)가 활성화되어 하이(high)레벨을 가지면 비트라인(BL0)과 반전비트라인(BLOB)은 각각 중간비트라인(IBL)과 반전중간비트라인(IBLB)에 연결되고, 소스라인(SL)들은 소스전압라인(SPL)에 연결된다. 상기 소스라인에는 쓰기 또는 읽기동작에 따라 상기 소스전압공급부에서 인가되는 적당한 전압을 상기 소스전압라인을 통해 인가 받는다. 반대로 비트라인 선택신호(BLS0)가 비활성화되어 로우(low)레벨을 가지면 비트라인쌍(BL0, BLOB)과 반전비트라인 및 소스라인(SL)들에는 각각 상기 프리차지 전압(Vp1, Vp2)이 인가된다.
- <38> 블록선택스위치(321\_L, 321\_R) 각각은 블록선택신호(ISOi, ISO(i+1)) 각각에 응답하는 트랜지스터들(N8, N9)을 포함하며, BL과 BLB과 연결된 중간 비트라인들(IBL, IBLB)을 전압감지증폭부(331)에 연결한다.
- <39> 전압감지증폭부(331)는 전압감지증폭기(VSA), 컬럼선택스위치(CSLG) 및 감지비트라인 프리차지기(PRC)를 포함하고, 전압 감지 증폭기(VSA)는 NMOS트랜지스터들(N1, N2)로 구성된 NMOS센스 증폭기와 PMOS트랜지스터(P1, P2)로 구성된 PMOS센스 증폭기로 구성되고, 컬럼선택스위치(CSLG)는 NMOS트랜지스터들(N3, N4)로 구성되고, 프리차지기(PRC)는 NMOS트랜지스터들(N5, N6, N7)로 구성되어 있다. 상기 전압감지증폭기(VSA)는 블록 선택신호(ISO(i+1))가 활성화되었으면 상기 블록선택스위치(321\_R)을 통해 비트라인 및 소스라인 선택부(311\_R)의 중간 비트라인(IBL)로부터 감지비트라인(SBL)에 제 1입력을, 중간비트라인(IBLB)로부터 감지 반전 비트라인(SBLB)에 제 2입력을 입력 받고, 블록 선택신호(ISOi)가 활성화되었으면 상기 블록선택스위치(321\_L)을 통해 비트라인 및 소스라인 선택부(311\_L)을 통해 비트라인 및 소스라인 선택부(311\_L)의 중간 비트 라인(IBL)에 제 1입력을, 중간비트라인(IBLB)로부터 감지 반전비트라인(SBLB)에 제 2입력을 입력 받고, 센싱인에이블 신호인 LA와 LAB에 응답해서 상기 제 1입력 및 제 2입력의 전압차를 감지증폭 한 후 컬럼선택신호(CSL)에 응답해서 데이터라인쌍(IO, IOB)으로 데이터를 출력하거나 입력받는다. 상기 전압감지증폭기는 통상의 일반적인 래치형식의 전압감지증폭기이므로 자세한 동작 설명은 생략한다.
- <40> 상술한 바와 같이 본 발명의 커패시터리스 동적 반도체 메모리 장치는 인에이블된 워드 라인에 연결된 메모리 셀들중 실제 데이터를 쓰고 읽는 비트 라인에 연결된 메모리 셀을 제외한 나머지 비트 라인들에 연결된 메모리 셀들이 쓰고 읽는 동작을 수행하지 않게 된다. 따라서, 쓰고 읽는 동작시에 메모리 셀들을 통하여 흐르는 전류 소모를 줄일 수 있다.
- <41> 도 5A는 도 3의 커패시터리스 동적 반도체 메모리 장치의 동작에 따른 메모리셀의 상태를 나타낸다. 도 5B와 도 5C 각각은 도 5A 쓰기 동작에 따른 타이밍도와 도 5A의 메모리 셀들의 전압조건을 나타내는 테이블이다.
- <42> 도 5A 및 도 5C에서 W1은 데이터 “1” 이 저장되는 트루셀을, W0은 데이터 “0” 이 저장되는 반전셀을, U1은 위

드라인에는 비활성화 전압이 비트라인에는 데이터 “1” 이 인가되는 메모리 셀을, U0는 워드라인에는 비활성화 전압이 비트라인에는 데이터 “0” 이 인가되는 메모리 셀을, SW는 워드라인만 활성화되는 메모리 셀을, NO는 워드라인과 비트라인이 모두 비활성화되는 메모리 셀을 각각 나타낸다.

- <43> 도 5B 및 도 5C를 참고하면서 쓰기 동작을 설명한다. 프리차지상태(PRG)에서는 모든 워드라인에는 -0.5V가, 모든 비트라인들과 소스라인들에는 비트라인 및 소스라인선택부의 트랜지스터들(T0, T1, T4, T5)을 통해 프리차지 전압(Vp1, Vp2) 0.75V가 인가된다. 즉, 프리차지상태에서는 플로팅바디 트랜지스터가 비활성화 상태에 있는 전압조건이 각 라인들에 인가된다.
- <44> 메모리블럭내의 하나의 워드라인이 선택되고 선택된 워드라인(WL)에 부전압(-1.5V)이 인가된다.
- <45> 먼저, GIDL현상을 이용해 W1셀에 데이터 “1” 을 쓰는 방법을 설명하면 다음과 같다. 소스전압공급부(341)은 쓰기신호에 응답해서 소스전압라인에 0V의 전압을전달한다.
- <46> 비트라인선택신호(BLS0)가 “하이” 레벨로 활성화되어 선택된 소스라인(SL)에는 소스라인선택기를 통해 소스전압라인의 0V가 인가되고, 비선택된 소스라인에는 상기 프리차지 전압이 계속 인가된다. 또한 선택된 비트라인쌍(BL0, BLOB)은 중간 비트라인쌍(IBL, IBLB)에 연결되고 비선택된 비트라인쌍들에는 상기 프리차지 전압이 계속 인가된다.
- <47> 블록선택신호(ISOi)가 “하이” 레벨로 활성화되어 중간 비트라인쌍(IBL, IBLB)은 블록선택스위치(321R, 321L)를 통해 전압감지증폭부의 감지비트라인쌍(SBL, SBLB)에 각각 연결된다.
- <48> 이와 함께 데이터라인(IO, IOB)을 통해 데이터가 입력되고 비트라인(BL0)에는 1.5V가 반전비트라인(BLOB)에는 0V가 각각 전달된다.
- <49> 이때 W1셀의 소스, 게이트 및 드레인 각각에는 0V, -1.5V와 1.5V가 인가되므로 GIDL현상이 발생하고 데이터 “1” 이 쓰이게 된다. 하지만 W1셀에 데이터 “1” 이 저장되는 동안 나머지 메모리 셀들(W0, U1, U0, SW, NO)에는 GIDL 조건이 발생하지 않게 되므로 데이터 “1” 이 쓰이지 않게 된다.
- <50> 다음으로, 커플링 현상을 이용해 W0셀에 데이터 “0” 을 쓰는 방법을 설명하면 다음과 같다.
- <51> 데이터 “1” 의 쓰기 동작 후에 W0셀에 데이터 “0” 을 쓰기위해 소스 전압공급부는 소스전압라인에 인가된 0V를 1.5V로 변화하여 인가한다. 이에 따라 선택된 소스라인(SL)에 1.5V가 전달된다. 또한 이와 함께 선택된 워드라인(WL)의 전압도 -1.5V에서 0V로 상승한다.
- <52> 즉, W0셀의 플로팅바디 트랜지스터는 소스 전압과 게이트 전압의 상승에 따른 커플링 영향으로 바디전압이 상승하게 된다. 이에 따라 W0셀의 바디와 0V가 인가된 반전비트라인(BLOB)과 연결된 드레인이 순방향 바이어스 조건이 되어 바디의 홀이 드레인으로 방출되게 되어 W0셀에 데이터 “0” 이 쓰이게 된다. 하지만 W0셀에 데이터 “0” 이 저장되는 동안 나머지 메모리 셀들(W1, U1, U0, SW, NO)에는 커플링에 의한 순방향 바이어스 조건이 발생하지 않게 되므로 데이터 “0” 이 쓰이지 않게 된다.
- <53> 즉, 본 발명에 따른 커패시터리스 동적 반도체 메모리 장치는 워드라인 전압과 선택된 비트라인들에 대응하는 소스라인의 전압을 각각 제어하여 데이터 “1” 과 “0” 을 따로 순차적으로 트윈셀에 저장한다.
- <54> 다음으로 도 5C를 참고로 메모리블럭(311)의 메모리셀 W1과 W0로부터 데이터 읽기 동작을 설명한다.
- <55> 먼저 프리차지상태(PRG)에서 비트라인 및 소스라인 선택부는 모든 비트라인들과 모든 소스라인들을 프리차지 전압(0.75V)으로 프리차지 한다. 먼저, 메모리블럭의 선택되는 워드라인(WL)에 플로팅바디 트랜지스터가 턴온될 수 있을 크기의 전압(1.5V)를 인가하고, 소스전압공급부에서 상기 프리차지 전압보다 높은 전압(1.5V)을 소스전압라인에 공급한다. 비트라인선택신호(BLS0)를 “하이” 로 활성화하여 소스라인선택기에서 소스라인(SL0)에 1.5V를 인가하고, 비트라인과 반전비트라인에는 상기 프리차지 전압을 차단한다.
- <56> 이에 따라, 데이터 “1” 이 저장된 메모리 셀(W1)과 연결된 비트라인(BL0)에는 게이트 전압에서 데이터 “1” 의 문턱전압(Vth1)을 뺀크기의 전압 즉, 1.5V-Vth1이 생성되고, 데이터 “0” 이 저장된 메모리 셀(W0)과 연결된 비트라인(BLOB)에는 게이트 전압에서 데이터 “0” 의 문턱전압(Vth0)을 뺀크기의 전압 즉, 1.5V-Vth0의 전압이 생성된다. 비트라인의 1.5V-Vth1과 반전비트라인의 1.5V-Vth0은 중간비트라인쌍을 거쳐 블록선택스위치를 통해 각각 감지비트라인과 반전감지비트라인에 연결된다. 이후에 전압감지증폭기는 센싱동작에 의해 상기 Vth를 감지하고 증폭하여 데이터 라인(IO, IOB)으로 출력한다.

- <57> 즉, 본 발명에 따른 커패시터리스 동적 반도체 메모리 장치는 트윈셀을 이루는 플로팅바디 트랜지스터들의 문턱 전압차를 감지하고 증폭하여 읽기 동작을 한다.
- <58> 도 6A와 도 6B는 각각 도 3의 메모리 장치의 다른 쓰기 및 읽기 동작을 나타내는 타이밍도 및 테이블이다.
- <59> 도 6A의 타이밍도와 도 5B의 타이밍도와 비교하면, 데이터 “0”을 쓸 때 워드라인전압 즉, 게이트 전압이 더 큰 것(1.5V)이 다른 점이다. 이는 도 5B에서 바디와 드레인의 순방향 바이어스 조건으로만 데이터 “0”을 쓸 때보다는 높은 게이트 전압에 따른 채널을 통한 전류가 더 흐르게 되어 쓰기 속도가 빨라지는 장점이 있다.
- <60> 도 7A와 도 7B는 각각 도 3의 메모리 장치의 또 다른 쓰기 및 읽기 동작을 나타내는 타이밍도 및 테이블이다.
- <61> 도 7A의 타이밍도에서 알 수 있듯이 쓰기 동작 동안에 소스라인 전압을 일정한 전압(1V)으로 유지하고 게이트에 인가되는 워드라인 전압만 제어하는 방법으로 그 제어가 간편하다는 장점이 있다.
- <62> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**발명의 효과**

- <63> 상술한 바와 같이 본 발명의 커패시터리스 동적 반도체 메모리 장치는 플로팅바디 트랜지스터를 이용한 트윈셀 구조를 갖는 메모리 블록의 소정 개수의 비트라인쌍들에 대하여 공유 비트라인 전압감지 증폭기를 구비하므로 레이아웃 면적 증가를 방지할 수 있다. 또한, 인에이블된 워드 라인과 선택된 비트 라인 사이에 연결된 메모리 셀들에 대해서만 데이터를 쓰고 읽는 동작이 수행되기 때문에 메모리 셀들을 통하여 흐르는 전류 소모를 줄일 수 있다.

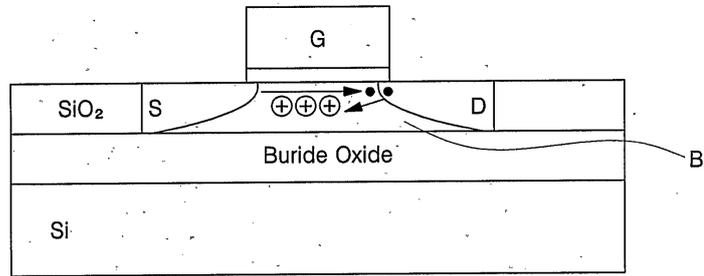
<64>

**도면의 간단한 설명**

- <1> 도 1은 일반적인 NMOS 플로팅 바디 트랜지스터의 쓰기 동작 전압을 나타낸다.
- <2> 도 2A는 종래 커패시터리스 동적 반도체 메모리 장치의 코어영역을 나타내는 도면이다.
- <3> 도 2B는 도 2A의 전류 감지 증폭기의 상세회로도이다.
- <4> 도 3는 본 발명의 바람직한 실시예에 따른 커패시터리스 동적 반도체 메모리 장치의 회로도이다.
- <5> 도 4는 도 3의 비트라인 및 소스라인 선택부와 전압감지증폭부의 구체 회로도이다.
- <6> 도 5A, 5B 및 5C는 각각 도 3의 커패시터리스 동적 반도체 메모리 장치의 메모리 셀 상태도, 쓰기 동작 타이밍도 및 쓰기 및 읽기 동작에서 전압조건의 테이블이다.
- <7> 도 6A 및 6B는 각각 도 3의 커패시터리스 동적 반도체 메모리 장치의 다른 쓰기 동작 타이밍도 및 쓰기 및 읽기 동작에서 전압조건의 테이블이다.
- <8> 도 7A 및 7B는 각각 도 3의 커패시터리스 동적 반도체 메모리 장치의 또 다른 쓰기 동작 타이밍도 및 쓰기 및 읽기 동작에서 전압조건의 테이블이다.

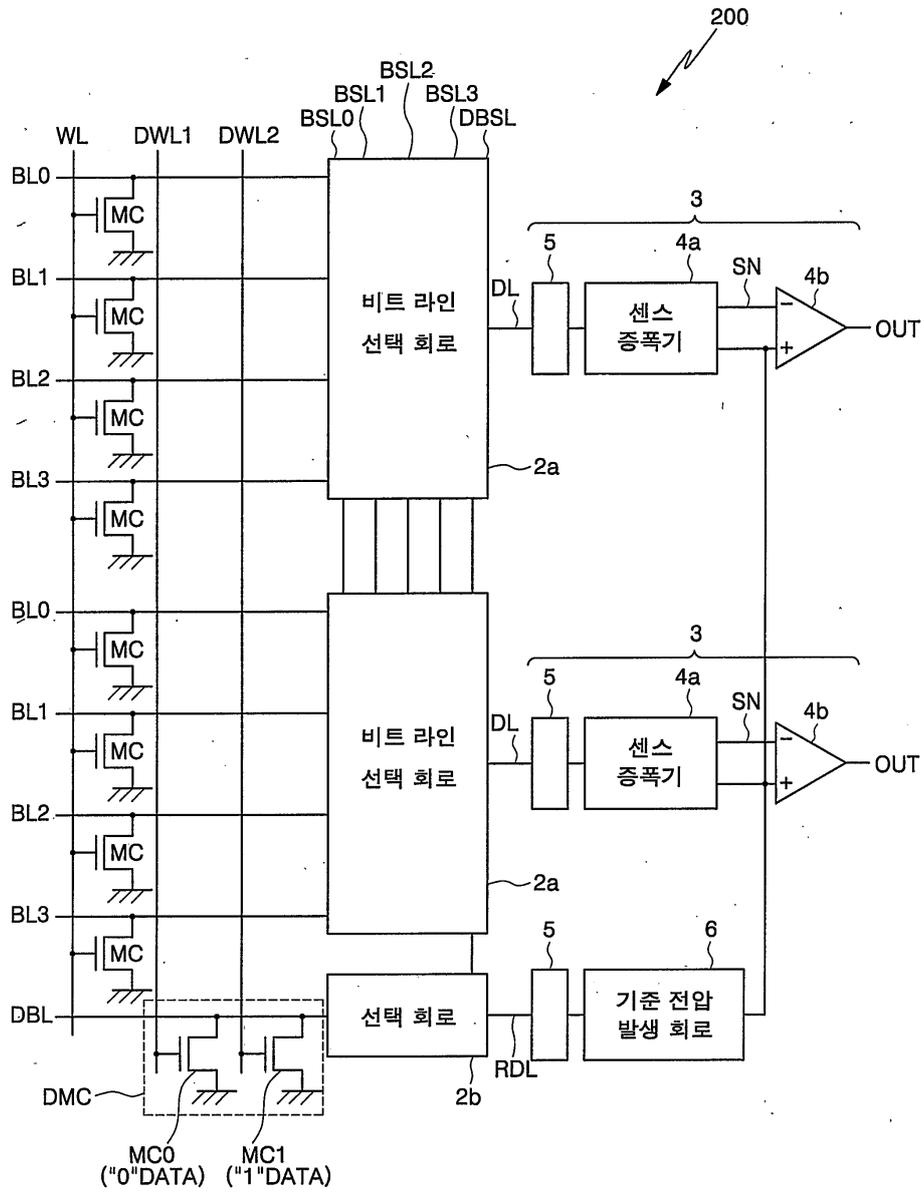
도면

도면1

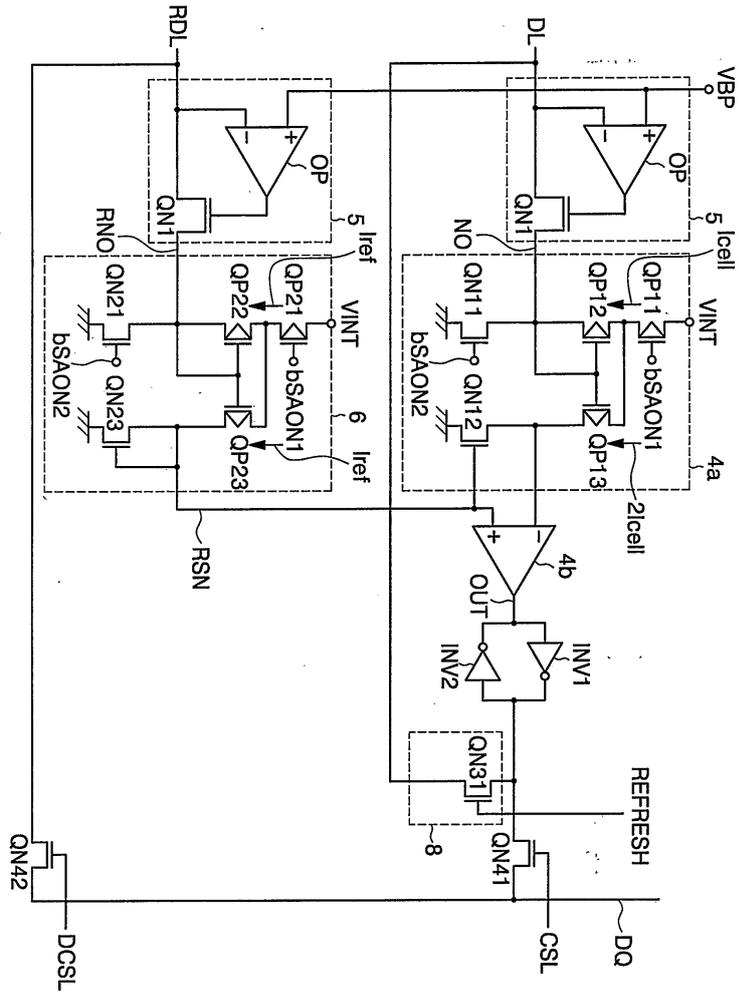


	Vg	Vd	Vs
데이터 "1" 쓰기	-1.5V	1.5V	0V
	1.5V	1.5V	0V
데이터 "0" 쓰기	1.5V	1.5V	0V

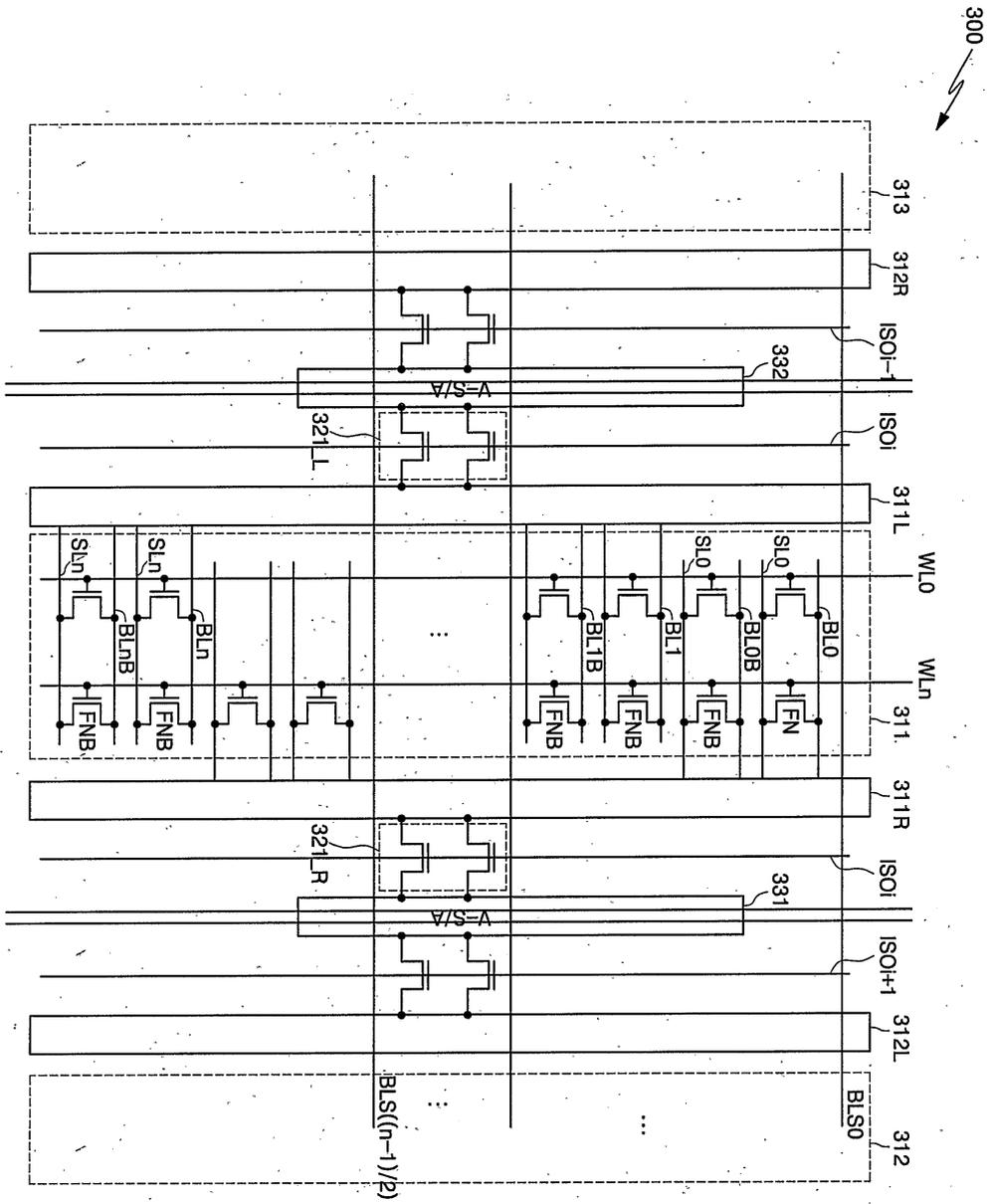
도면2a



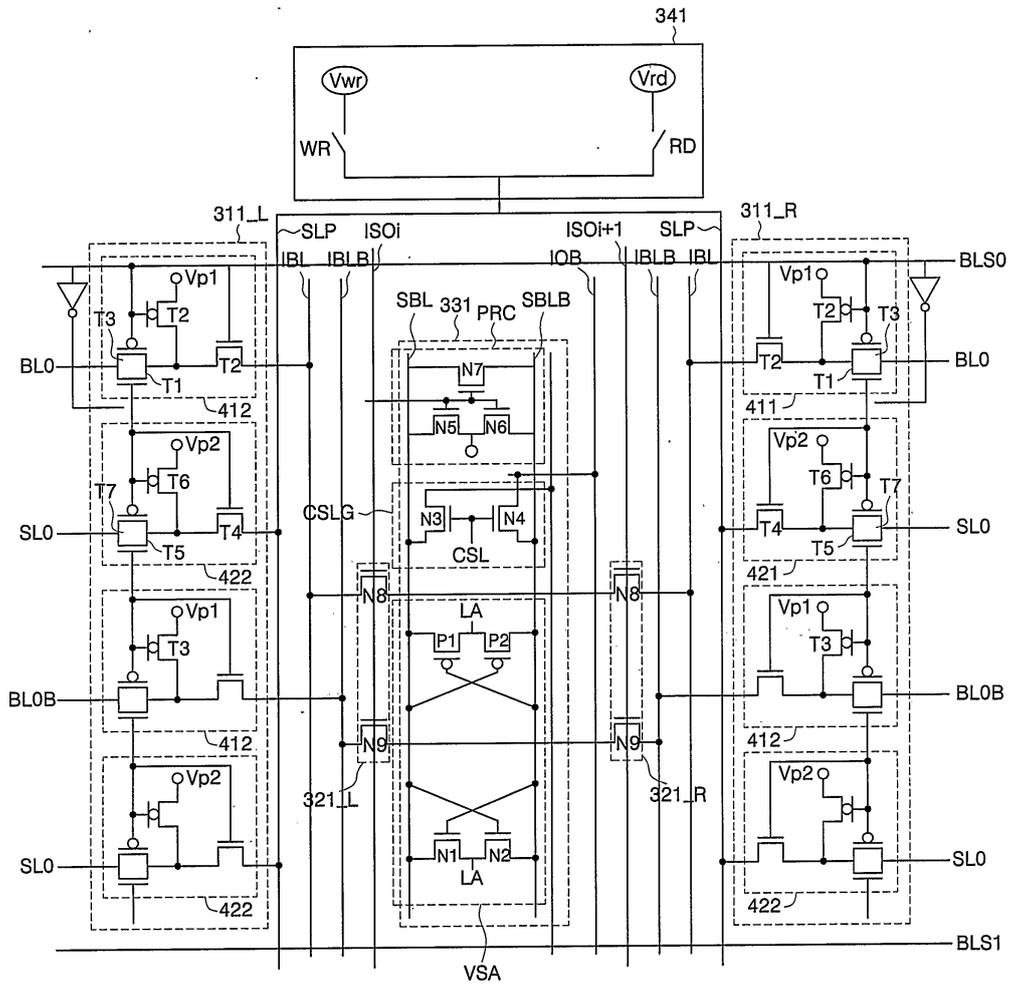
도면2b



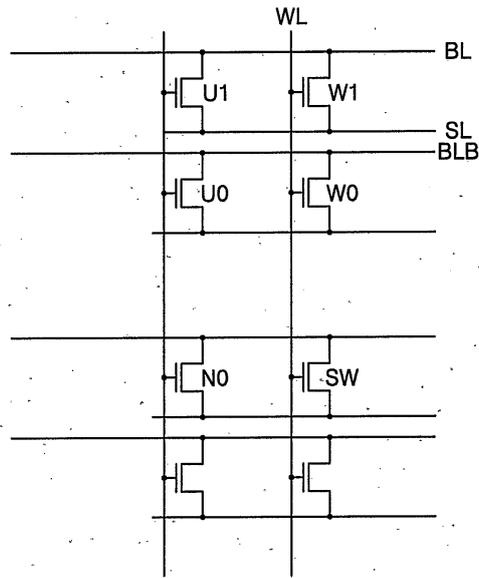
도면3



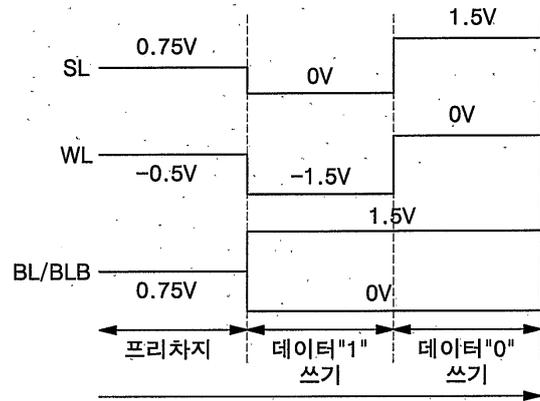
도면4



도면5a



도면5b



도면5c

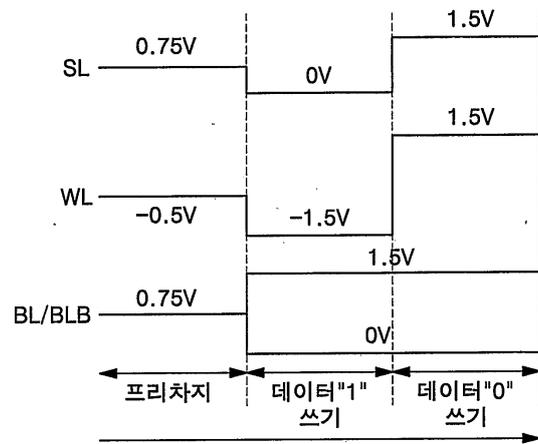
쓰기 동작 조건

메모리 셀	S(SL)	G(WL)	D(BL, BLB)	동작조건
W "1"	0V → 1.5V	-1.5V → 0V	1.5V	GIDL 현상에 의해 데이터 "1"이 저장됨
W "0"	0V → 1.5V	-1.5V → 0V	0V	커패시터 효과에 의해 데이터 "0"이 저장됨
W "1"	0V → 1.5V	-0.5V	1.5V	비트라인에만 데이터 "1"이 인가되는 메모리 셀
W "0"	0V → 1.5V	-0.5V	0V	비트라인에만 데이터 "0"이 인가되는 메모리 셀
SW	0.75V	-1.5V → 0V	0.75V	워드라인만 활성화되는 메모리 셀
NO	0.75V	-0.5V	0.75V	워드라인과 비트라인이 모두 비활성화되는 메모리 셀

읽기 동작 조건

메모리 셀	S(SL)	G(WL)	D(BL, BLB)	
W "1"	1.5V	1.5V	D(BL, BLB)	V <sub>bI</sub> 로 프리차지 후 데이터에 따른 전압 생성됨  ΔV <sub>bI</sub> = V <sub>th0</sub> - V <sub>th1</sub>
W "0"	1.5V	1.5V		
나머지 메모리 셀의 소스라인과 비트라인은 V <sub>bI</sub> 로 프리차지 상태임				

도면6a



도면 6b

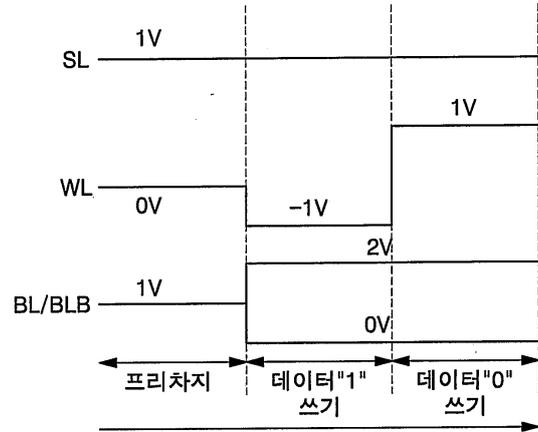
쓰기 동작 조건

메모리 셀	S(SL)	G(WL)	D(BL)	동작조건
W "1"	0V -> 1.5V	-1.5V -> 1.5V	1.5V	GIDL 현상에 의해 데이터 "1"이 저장됨
W "0"	0V -> 1.5V	-1.5V -> 1.5V	0V	커패시턴스 효과와 채널전류에 의해 데이터 "0"이 저장됨
W "1"	0V -> 1.5V	-0.5V	1.5V	비트라인에만 데이터 "1"이 인가되는 메모리 셀
W "0"	0V -> 1.5V	-0.5V	0V	비트라인에만 데이터 "0"이 인가되는 메모리 셀
SW	0.75V	-1.5V -> 1.5V	0.75V	워드라인만 활성화되는 메모리 셀
NO	0.75V	-0.5V	0.75V	워드라인과 비트라인이 모두 비 활성화되는 메모리 셀

읽기 동작 조건

메모리 셀	S(SL)	G(WL)	D(BL)	읽기 동작 조건
W "1"	1.5V	1.5V	D(BL)	Vbi로 프리차지 후 데이터에 따른 전압 생성됨
W "0"	1.5V	1.5V		
나머지 메모리 셀의 소스라인과 비트라인쌍은 Vbi로 프리차지 상태임				
$\Delta V_{bi} = V_{th0} - V_{th1}$				

도면7a



도면7b

쓰기 동작 조건

메모리 셀	S(SL)	G(WL)	D(BL, BLB)
W "1"	1V	-1V - > 1V	2V
W "0"	1V	-1V - > 1V	0V
W "1"	1V	0V	2V
W "0"	1V	0V	0V
SW	1V	-1V - > 1V	1V
NO	1V	0V	1V

읽기 동작 조건

메모리 셀	S(SL)	G(WL)	D(BL)	
W "1"	2V	2V	Vbi(=1V)로 프리차지 후 데이터에 따른 전압 생성됨	$\Delta V_{bi} = V_{th0} - V_{th1}$
W "0"	2V	2V		

나머지 메모리 셀의 소스라인과 비트라인은 Vbi(=1V)로 프리차지 상태임