



(21)申請案號：100109666

(22)申請日：中華民國 100 (2011) 年 03 月 22 日

(51)Int. Cl. : *H01L23/492 (2006.01)**H05K3/46 (2006.01)*

(71)申請人：南亞電路板股份有限公司 (中華民國) NAN YA PCB CORP. (TW)

桃園縣蘆竹市南崁路 1 段 338 號

(72)發明人：傅維達 FU, WEI TA (TW)；林賢傑 LIN, HSIEN CHIEH (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

TW 201108877A

審查人員：張靖輝

申請專利範圍項數：18 項 圖式數：6 共 0 頁

(54)名稱

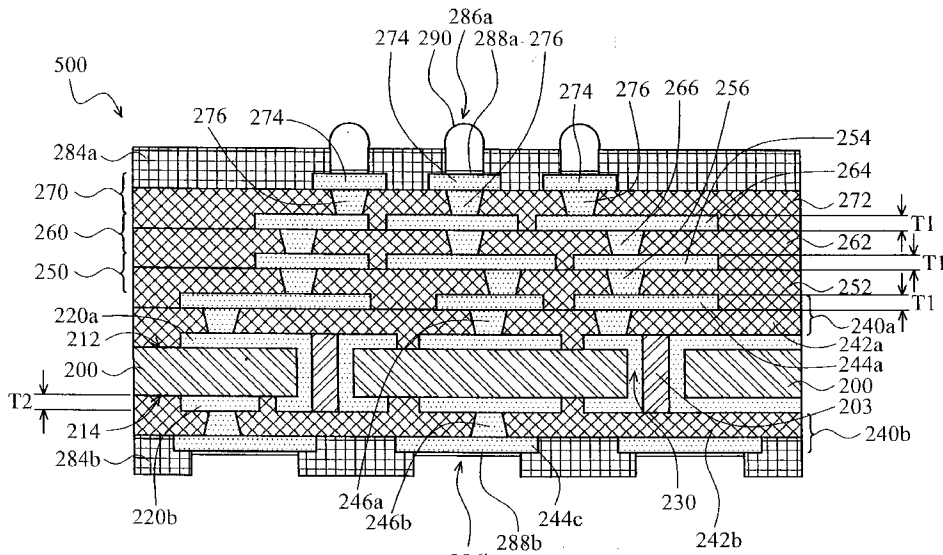
封裝載板及其製造方法

PACKAGE SUBSTRATE AND METHOD FOR FABRICATING THE SAME

(57)摘要

本發明提供一種封裝載板及其製造方法，封裝載板包括核心板，其具有相對的第一表面和第二表面。第一線路增層結構，設置於第一表面上，第一線路增層結構包括絕緣層和第一圖案化線路層。第二線路增層結構，設於第二表面上，第二線路增層結構包括絕緣層和第二圖案化線路層。複數個第三線路增層結構，設置於第一線路增層結構上，每一個第三線路增層結構包括絕緣層和第三圖案化線路層，第三圖案化線路層的最小間距小於第二圖案化線路層的最小間距，且第一線路增層結構、第二線路增層結構和每一個第三線路增層結構的絕緣層為相同材質。

The invention provides a package substrate and a method for fabricating the same. The package substrate comprises a core substrate having a first surface and an opposite second surface. A first additional circuit structure is disposed on the first surface, the first additional circuit structure comprises an insulating layer and a first patterned circuit layer. A second additional circuit structure disposed on the second surface, the second additional circuit structure comprises an insulating layer and a second patterned circuit layer. A plurality of third additional circuit structures is disposed on the first additional circuit structure, each of the third additional circuit structures comprises an insulating layer and a third patterned circuit layer. A minimum pitch of the third patterned circuit layer of each of the third additional circuit structures is smaller than a minimum pitch of the second patterned circuit layer. The insulating layers of the first additional circuit structure, the second additional circuit structures and each of the third additional circuit structures have the same materials.



第 5 圖

- 200 . . . 核心板
- 203 . . . 灌孔樹脂
- 212 . . . 第一表面
- 214 . . . 第二表面
- 220a、220b . . . 內層線路層
- 230 . . . 導通孔
- 240a . . . 第一線路增層結構
- 240b . . . 第二線路增層結構
- 242a、242b、252、262、272 . . . 絕緣層
- 244a、244c、254、264、274 . . . 圖案化線路層
- 246a、246b、256、266、276 . . . 導電盲孔
- 250、260、270 . . . 第三線路增層結構
- 284a、284b . . . 抗焊絕緣層
- 286a、286b . . . 開口
- 288a、288b . . . 金屬保護層
- 290 . . . 預鐸金屬凸塊
- 500 . . . 封裝載板

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

100/09666

※申請日：

2010.03.22

※IPC 分類：

H01L 23/492

(2006.01)

H05K 3/46

(2006.01)

一、發明名稱：(中文/英文)

封裝載板及其製造方法

Package substrate and method for fabricating the same

二、中文發明摘要：

本發明提供一種封裝載板及其製造方法，封裝載板包括核心板，其具有相對的第一表面和第二表面。第一線路增層結構，設置於第一表面上，第一線路增層結構包括絕緣層和第一圖案化線路層。第二線路增層結構，設於第二表面上，第二線路增層結構包括絕緣層和第二圖案化線路層。複數個第三線路增層結構，設置於第一線路增層結構上，每一個第三線路增層結構包括絕緣層和第三圖案化線路層，第三圖案化線路層的最小間距小於第二圖案化線路層的最小間距，且第一線路增層結構、第二線路增層結構和每一個第三線路增層結構的絕緣層為相同材質。

三、英文發明摘要：

The invention provides a package substrate and a method for fabricating the same. The package substrate comprises a core substrate having a first surface and an opposite second surface. A first additional circuit structure is disposed on the first surface, the

first additional circuit structure comprises an insulating layer and a first patterned circuit layer. A second additional circuit structure disposed on the second surface, the second additional circuit structure comprises an insulating layer and a second patterned circuit layer. A plurality of third additional circuit structures is disposed on the first additional circuit structure, each of the third additional circuit structures comprises an insulating layer and a third patterned circuit layer. A minimum pitch of the third patterned circuit layer of each of the third additional circuit structures is smaller than a minimum pitch of the second patterned circuit layer. The insulating layers of the first additional circuit structure, the second additional circuit structures and each of the third additional circuit structures have the same materials.

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

200~核心板；

203~灌孔樹脂；

212~第一表面；

214~第二表面；

220a、220b~內層線路層；

230~導通孔；

240a~第一線路增層結構；

240b~第二線路增層結構；

242a、242b、252、262、272~絕緣層；

244a、244c、254、264、274~圖案化線路層；

246a、246b、256、266、276~導電盲孔；

250、260、270~第三線路增層結構；

284a、284b~抗焊絕緣層；

286a、286b~開口；

288a、288b~金屬保護層；

290~預鍍金屬凸塊；

500~封裝載板。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無。

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種封裝載板及其製造方法，特別係有關於一種具有非對稱增層結構之封裝載板及其製造方法。

【先前技術】

在積體電路(IC)封裝技術中，覆晶(flip chip, FC)載板具有提供電子產品晶片與印刷電路板(PCB)間之電性連接、實體支撐和散熱等功能。習知覆晶載板製程係將基板經機械鑽孔、灌孔、影像轉移及絕緣增層製程，重複雙面增層步驟數次後以抗錐綠漆塗佈，再經由錫膏印刷、迴焊及切割製程，最終形成具有對稱增層結構之習知覆晶(flip chip, FC)載板。

由於電子產品的球柵陣列間距(BGA pitch)要求日漸精密，所以覆晶載板的佈線設計也朝向細線寬和細間距(fine pitch)發展。然而，現今的印刷電路板(PCB)的表面黏著技術(SMT)製程能力卻無法匹配覆晶載板之佈線設計要求。故現發展轉接載板(interposer)，藉由重新佈線設計將覆晶載板之較精密間距透過轉接載板(interposer)轉換成標準印刷電路板(PCB)球距，以利後續表面黏著製程。但是，轉接載板(interposer)的使用會產生製程成本上升、封裝良率下降、封裝成品厚度增加等問題。

在此技術領域中，有需要一種封裝載板，以改善上述缺點。

【發明內容】

有鑑於此，本發明一實施例係提供一種封裝載板，包括一核心板，其具有一第一表面和相對上述第一表面的一第二表面。一第一線路增層結構，設置於上述第一表面上，其中上述第一線路增層結構包括一絕緣層和一第一圖案化線路層。一第二線路增層結構，設於上述第二表面上，上述第二線路增層結構包括一絕緣層和一第二圖案化線路層。複數個第三線路增層結構，設置於上述第一線路增層結構上，其中每一個第三線路增層結構包括一絕緣層和一第三圖案化線路層，其中每一個上述些第三線路增層結構的上述第三圖案化線路層的最小間距小於上述第二圖案化線路層的最小間距，且其中上述第一線路增層結構、上述第二線路增層結構和每一個上述些第三線路增層結構的上述絕緣層為相同材質。

本發明另一實施例係提供一種封裝載板的製造方法，包括提供一核心板，其具有一第一表面和相對上述第一表面的一第二表面。分別於上述第一表面和上述第二表面上形成一第一線路增層結構和一第二線路增層結構，其中上述第二線路增層結構係包括一絕緣層和全面性覆蓋上述絕緣層的一第二線路層。僅於上述第一線路增層結構上形成複數個第三線路增層結構。圖案化上述第二線路增層結構的上述第二線路層。

【實施方式】

以下以各實施例詳細說明並伴隨著圖式說明之範例，做為本發明之參考依據。在圖式或說明書描述中，相似或相同之部分皆使用相同之圖號。且在圖式中，實施例之形狀或厚度可擴大，並以簡化或方便標示。再者，圖式中各元件之部分將以分別描述說明之，值得注意的是，圖中未繪示或描述之元件，為所屬技術領域中具有通常知識者所知的形式，另外，特定之實施例僅為揭示本發明使用之特定方式，其並非用以限定本發明。

第 1~5 圖為本發明一實施例之封裝載板 500 之製程剖面圖。本發明實施例之封裝載板為具有非對稱增層結構之封裝載板，其中封裝載板係整合積體電路載板和轉接板，以使同一封裝載板不同側分別符合積體電路晶片細間距(fine pitch)和印刷電路板的球距(ball pitch)需求，使其可與積體電路晶片和印刷電路板直接接合，可節省製程成本，並減少封裝植球的良率損失，且可降低封裝後成品厚度。此外，上述封裝載板符合印刷電路板球距之一側的線路層在進行符合積體電路晶片細間距之一側的單面增層製程時為全面性覆蓋核心板而並未被圖案化，以避免進行單面增層製程時因應力不均造成板面彎曲的問題。

請參考第 1 圖，提供一核心板 200，其具有一第一表面 212 和相對的一第二表面 214。接著，可利用機械鑽孔或雷射鑽孔等物理製程，分別從核心板 200 的第一表面 212 或第二表面 214 移除部分核心板 200 材料，以於核心板 200 中形成貫穿核心板 200 的導通孔 230。

接著，可利用塗佈(coating)、化學氣相沈積(CVD)、例如濺鍍(sputtering)之物理氣相沈積(PVD)等方式，順應性於核心板 200 上形成一晶種層(seed layer)(圖未顯示)，並覆蓋第一表面 212、第二表面 214 以及導通孔 230 的內側壁。在本發明一實施例中，晶種層為一薄層，其材質可包括鎳、金、錫、鉛、銅、鋁、銀、鉻、鎢、矽或其組合或上述之合金。上述晶種層便於藉以利用電鍍方式形成的金屬層在其上成核與成長。然後，可利用電鍍方式，順應性於晶種層上形成一電鍍金屬層，並覆蓋第一表面 212、第二表面 214 以及導通孔 230 的內側壁。在本發明一實施例中，第一電鍍金屬層的材質可相同於上述晶種層。之後，形成填滿導通孔 230 之灌孔樹脂 203。

接著，可利用影像轉移製程，即經由覆蓋光阻、顯影(developing)、蝕刻(etching)和去膜(striping)的步驟，移除部分第一電鍍金屬層及部分晶種層，以於核心板 200 的第一表面 212 和第二表面 214 上形成圖案化電鍍金屬層 220a 和 220b，又可視為內層線路層 220a 和 220b。

接著，進行增層製程，分別於核心板 200 的第一表面 212 和第二表面 214 上形成一第一線路增層結構 240a 和一第二線路增層結構 240b。在本發明一實施例中，核心板 200 的第一表面 212 和第二表面 214 上係對稱地設置相同數量的線路增層結構。第一線路增層結構 240a 可包括覆蓋內層線路層 220a 的一絕緣層 242a，形成於絕緣層 242a 上的圖案化線路層 244a 和穿過於絕緣層 242a 且用以電性連接不同層之圖案化線路層 244a 和內層線路層 220a 的導電盲孔

246a。而第二線路增層結構 240b 也可包括覆蓋內層線路層 220b 的一絕緣層 242b 和穿過於絕緣層 242b 且用以電性連接不同層之圖案化線路層 244b 和內層線路層 220b 的導電盲孔 246b。值得注意的是，於此步驟中，形成於絕緣層 242b 上的線路層 244b 係全面性覆蓋絕緣層 242b 而並未被圖案化。

在本發明一實施例中，第一線路增層結構 240a 和一第二線路增層結構 240b 的形成方式可包括利用壓合製程，分別於核心板 200 的第一表面 212 和第二表面 214 上貼附具有相同材質的絕緣層 242a 和絕緣層 242b。之後，可利用雷射鑽孔(laser drilling)製程，分別於絕緣層 242a 和絕緣層 242b 中形成複數個盲孔，以預留後續形成導電盲孔 246a 和 246b 的位置。接著，利用影像轉移製程，即經由覆蓋光阻、曝光和顯影(developing)的步驟，於絕緣層 242a 的表面上形成圖案化光阻層(圖未顯示)，但在此步驟中在絕緣層 242b 的表面上並沒有形成圖案化光阻層，再利用電鍍(晶種層之形成為電鍍之習知技術，故圖未顯示)、化學沉積或無電解電鍍等方式，分別於未被圖案化光阻層覆蓋的絕緣層 242a 和絕緣層 242b 上同時形成導電盲孔 246a 和 246b、圖案化線路層 244a 和全面性覆蓋絕緣層 242b 表面的線路層 244b。在本發明一實施例中，導電盲孔 246a 和 246b、圖案化線路層 244a 和線路層 244b 的材質可包括鎳、金、錫、鉛、銅、鋁、銀、鉻、鎢、矽或其組合或上述之合金。

在本發明一實施例中，絕緣層 242a 和絕緣層 242b 為相同的材質，例如為環氧樹脂(epoxy resin)、雙馬來亞醯胺

-三氮雜苯樹脂 (bismaleimide triacine, BT)、聚亞醯胺 (polyimide)、ABF 膜 (ajinomoto build-up film)、聚苯醚 (poly phenylene oxide, PPE) 或聚四氟乙烯 (polytetrafluorethylene, PTFE)。

然後，請參考第 2 圖，進行單面增層製程，僅於第一線路增層結構 240a 結構上形成複數個第三線路增層結構，例如第三線路增層結構 250、260 和 270，並使位於最外層(距核心板 200 的距離最遠)的第三線路增層結構 270 的圖案化線路層的最小間距 P1 等於一積體電路晶片的鉀墊最小間距。在本發明一實施例中，第三線路增層結構的設置數量並無限制，且依據客戶設計而定。在本發明一實施例中，第三線路增層結構 250、260 和 270 的形成方式係類似於第一線路增層結構 240a 和第二線路增層結構 240b 的形成方式，而在進行形成第三線路增層結構 250、260 和 270 的單面增層製程時，可使用例如聚合乾膜光阻的遮罩層 282 全面性覆蓋第二線路增層結構 240b 的線路層 244b。舉例來說，第三線路增層結構 250 的形成方式可包括利用壓合製程，於核心板 200 的第一線路增層結構 240a 上貼附絕緣層 252。之後，可利用雷射鑽孔(laser drilling)製程，分別於絕緣層 252 中形成複數個盲孔，以預留後續形成導電盲孔 256 的位置。接著，利用影像轉移製程，即經由覆蓋光阻、曝光和顯影(developing)的步驟，於絕緣層 252 的表面上形成圖案化光阻層(圖未顯示)，再利用電鍍(晶種層之形成為電鍍之習知技術，故圖未顯示)、化學沉積或無電解電鍍等方式，於未被圖案化光阻層覆蓋的絕緣層 252 上

形成導電盲孔 256 和圖案化線路層 254。之後，再重覆上述製程，於第三線路增層結構 250 上依序形成第三線路增層結構 260 和 270，其中第三線路增層結構 260 包括覆蓋第三線路增層結構 250 的一絕緣層 262 和穿過於絕緣層 262 且用以電性連接不同層之圖案化線路層 264 和圖案化線路層 254 的導電盲孔 266，而其中第三線路增層結構 270 包括覆蓋第三線路增層結構 260 的一絕緣層 272 和穿過於絕緣層 272 且用以電性連接不同層之圖案化線路層 274 和圖案化線路層 264 的導電盲孔 276。在本發明一實施例中，線路層 244b 的厚度 T2 可等於圖案化線路層 254、264 和 274 的厚度 T1。或者，在本發明另一實施例中，線路層 244b 的厚度 T2 可大於圖案化線路層 254、264 和 274 的厚度 T1，以使第二線路增層結構 240b 具有更高的機械強度。值得注意的是，由於線路層 244b 係全面性覆蓋絕緣層 242b 而並未被圖案化，所以不論線路層 244b 的厚度 T2 等於或大於圖案化線路層 254、264 和 274 的厚度 T1，皆可避免後續在進行單面增層製程形成第三線路增層結構 250、260 和 270 時，因應力不均造成板面彎曲的問題。在本發明一實施例中，第三線路增層結構 250、260 和 270 的導電盲孔 256、266 和 276、圖案化線路層 254、264 和 274 的材質可包括鎳、金、錫、鉛、銅、鋁、銀、鉻、鎢、矽或其組合或上述之合金，而第三線路增層結構 250、260 和 270 的絕緣層 252、262 和 272 可與絕緣層 242a 和絕緣層 242b 具有相同的材質。

值得注意的是，可設計使由內至外的第三線路增層結

構 250、260 和 270 中的圖案化線路層的最小間距和最小線寬逐漸縮小，以使位於最外層(距核心板 200 的第一表面 212 的距離最遠)的第三線路增層結構 270 的圖案化線路層 274 的最小間距 P1 等於一積體電路晶片的鐸墊最小間距。另外，值得注意的是，在本發明一實施例中，由於第一線路增層結構 240a 和第三線路增層結構 250~270 的導電盲孔和線路層並非藉由導通孔 230 做為電鍍導通路徑而形成，所以第一線路增層結構 240a 和第三線路增層結構 250~270 中至少有一個導電盲孔，例如位於中間位置的導電盲孔 246a、256、266 和 276，不會與導通孔 230 電性連接。

之後，請參考第 3 圖，在形成符合積體電路晶片細間距之一側的單面增層製程(包括第一線路增層結構 240a 和第三線路增層結構 250、260 和 270)之後，再形成符合印刷電路板球距之第二圖案化線路層 244c。如第 3 圖所示，於第三線路增層結構 250、260 和 270 上，全面性形成例如聚合乾膜光阻或光阻劑的遮罩層 280。接著，進行曝光和顯影(developing)步驟，圖案化如第 2 圖所示的遮罩層 282，以形成覆蓋部分如第 2 圖所示之線路層 244b 的遮罩圖案 282a。然後，進行一蝕刻製程，移除未被遮罩圖案 282a 覆蓋的線路層 244b。最後，可進行去膜(striping)步驟，去除遮罩層 280 和遮罩圖案 282a，以形成第 4 圖所示之圖案化線路層 244c。值得注意的是，核心板 200 的第二表面 214 上方的圖案化線路層 244c 的最小間距 P2 係符合印刷電路板球距，且小於第三線路增層結構 270 的圖案化線路層 274

的最小間距 P1。另外，值得注意的是，在本發明一實施例中，由於第二線路增層結構 240b 的導電盲孔和線路層並非藉由導通孔 230 做為電鍍導通路徑而形成，所以第二線路增層結構 240b 中至少有一個導電盲孔，例如位於中間位置的導電盲孔 246b，不會與導通孔 230 電性連接。

然後，請參考第 5 圖，可利用塗佈、印刷、貼覆、壓合等方式，分別於第三線路增層結構 270 和第二線路增層結構 240b 上形成抗焊絕緣層 284a 和 284b，且可利用雷射鑽孔(laser drilling)、電漿蝕刻或影像轉移等開環製程，分別於抗焊絕緣層 284a 和 284b 中選擇性形成複數個開口 286a 和 286b，並暴露出部分圖案化線路層 274 和 244c。在本發明一實施例中，抗焊絕緣層 284a 和 284b 可包括例如綠漆之防焊材料，或可為包括聚亞醯胺(polyimide)、ABF 膜(ajinomoto build-up film)或聚丙烯(polypropylene, PP)之絕緣材料，其可保護其下的導電盲孔 246b、276 和圖案化線路層 244c、274 不被氧化或彼此短路。另外，穿過抗焊絕緣層 284a 和 284b 的開口 286a 和 286b 可提供後續預鍍金屬凸塊的形成位置。接著，可利用化學沉積及電化學方式，分別於從開口 286a 和 286b 底面暴露出來的圖案化線路層 274 和 244c 上形成金屬保護層 288a 和 288b。在本發明一實施例中，金屬保護層 288a 和 288b 的材質可包括鎳、金、錫、鉛、鋁、銀、鉻、鎢、鈮或其組合或上述之合金，其可增加後續形成之預鍍金屬凸塊與圖案化線路層 274 和 244c 的結合力。然後，可選擇性利用化學沉積、鋼板印刷、微植球製程或電鍍金屬等方式，於符合積體電路晶片細間

距之一側的金屬保護層 288a 上形成預錒金屬凸塊 290，以提供積體電路晶片接合之用。在本發明一實施例中，預錒金屬凸塊 290 的材質可包括鎳、金、錫、鉛、銅、鋁、銀、鉻、鎢、矽或其組合或上述之合金。經過上述製程之後，係形成本發明一實施例之封裝載板 500。

第 6 圖為本發明一實施例之封裝載板 500 與積體電路晶片 300 結合構成之封裝結構的示意圖。如第 6 圖所示，可利用打線、導線架貼合或覆晶焊接等方式，將一積體電路晶片 300 接合至封裝載板 500 之符合積體電路晶片細間距之一側的預錒金屬凸塊 290。在本發明一實施例中，積體電路晶片 300 和抗焊絕緣層 284a 之間可設置有一底膠 292。接著，可選擇性於封裝載板 500 之符合印刷電路板球距之一側的抗焊絕緣層 284b 上架設具有開環之印刷模版，其中上述開環的位置大致對準開口 286b 的位置。之後，將錫膏刮入或擠入印刷模版之開環中，使位於印刷模版開環內的金屬保護層 288b 表面和開口 286b 均被錫膏覆蓋。再利用迴錒方式，使金屬保護層 288b 表面上和開口 286b 中的錫膏熔融為一球體，以於開口 286b 中形成例如錫球(solder ball)或錒墊(solder paste)的預錒金屬凸塊 302。在本發明一實施例中，預錒金屬凸塊 302 和預錒金屬凸塊 290 可具有相同的材質。經過上述製程之後，係形成本發明一實施例之封裝載板 500 與積體電路晶片 300 結合構成之封裝結構。最後可再將上述封裝結構經由電性測試確保良品，以提供作為直接與印刷電路板結合之封裝結構。

本發明實施例係提供一種封裝載板及其製造方法。本發明實施例的封裝載板為具有不對稱增層結構的封裝載板，其利用單面增層技術，將習知技術的積體電路晶片載板線路佈線於轉接載板(interposer)上，以達到封裝載板的一側適合結合積體電路晶片細間距(fine pitch)需求，而封裝載板的另一側提供適合結合印刷電路板(PCB)的球距(ball pitch)需求。由於本發明實施例的封裝載板係將積體電路晶片(IC)載板及轉接載板(interposer)設計成一整合型載板，所以可節省封裝植球及良率損失成本。另外，本發明實施例的封裝載板，其表面可設計具有預鍍金屬凸塊或打線金手指。因此，其與積體電路晶片封裝後，可利用表面黏著技術(SMT)直接接合於印刷電路板上，可節省疊成封裝(POP)製程及相關材料，並可減少封裝後成品厚度。再者，本發明實施例的封裝載板在進行單面增層製程之前，由於用於結合印刷電路板(PCB)的載板側的線路層係全面性形成而並未被圖案化，所以可避免在進行單面增層製程時，因應力不均造成板面彎曲的問題。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定為準。

【圖式簡單說明】

第 1~5 圖為本發明一實施例之封裝載板之製程剖面圖。

第 6 圖為本發明一實施例之封裝載板與積體電路晶片結合構成之封裝結構示意圖。

【主要元件符號說明】

200~核心板；

203~灌孔樹脂；

212~第一表面；

214~第二表面；

220a、220b~內層線路層；

230~導通孔；

240a~第一線路增層結構；

240b~第二線路增層結構；

242a、242b、252、262、272~絕緣層；

244a、244c、254、264、274~圖案化線路層；

244b~線路層；

246a、246b、256、266、276~導電盲孔；

250、260、270~第三線路增層結構；

284a、284b~抗焊絕緣層；

286a、286b~開口；

288a、288b~金屬保護層；

290、302~預鍍金屬凸塊；

292~底膠；

300~積體電路晶片；

500~封裝載板

P1、P2~最小間距

T1、T2~厚度。

七、申請專利範圍：

1. 一種封裝載板，包括：

一核心板，其具有一第一表面和相對該第一表面的一第二表面；

一第一線路增層結構，設置於該第一表面上，其中該第一線路增層結構包括一絕緣層和一第一圖案化線路層；

一第二線路增層結構，設於該第二表面上，該第二線路增層結構包括一絕緣層和一第二圖案化線路層；以及

複數個第三線路增層結構，僅設置於該第一線路增層結構上，其中每一個該些第三線路增層結構包括一絕緣層和一第三圖案化線路層，其中每一個該些第三線路增層結構的該第三圖案化線路層的最小間距小於該第二圖案化線路層的最小間距，

且其中該第一線路增層結構、該第二線路增層結構和每一個該些第三線路增層結構的該絕緣層為相同材質。

2. 如申請專利範圍第 1 項所述之封裝載板，其中該第一線路增層結構、該第二線路增層結構和每一個該些第三線路增層結構更包括一導電盲孔，穿過該第一線路增層結構、該第二線路增層結構和每一個該些第三線路增層結構的該絕緣層。

3. 如申請專利範圍第 1 項所述之封裝載板，其中該第二圖案化線路層的厚度大於每一個該些第三線路增層結構的該第三圖案化線路層的厚度。

4. 如申請專利範圍第 2 項所述之封裝載板，更包括一導通孔，穿過該核心板，且至少一個該第一線路增層結構、

P17 ~ 20
103年6月17日修正替換頁

第 100109666 號之申請專利範圍修正本

該第二線路增層結構或該些第三線路增層結構的該些導電盲孔不與該導通孔電性連接。

5.如申請專利範圍第 2 項所述之封裝載板，更包括複數個預鍍金屬凸塊，分別設置於最外層的該第三線路增層結構的該第三圖案化線路層和該第二線路增層結構的該第二圖案化線路層上。

6.如申請專利範圍第 1 項所述之封裝載板，其中位於最外層的該第三線路增層結構的該第三圖案化線路層的最小間距等於一積體電路晶片的鍍墊最小間距。

7.如申請專利範圍第 1 項所述之封裝載板，其中位於該第二線路增層結構的該第二圖案化線路層的最小間距等於一印刷電路板的鍍墊最小間距。

8.一種封裝載板的製造方法，包括下列步驟：

提供一核心板，其具有一第一表面和相對該第一表面的一第二表面；

分別於該第一表面和該第二表面上形成一第一線路增層結構和一第二線路增層結構，其中該第二線路增層結構係包括一絕緣層和全面性覆蓋該絕緣層的一第二線路層；

僅於該第一線路增層結構上形成複數個第三線路增層結構；以及

圖案化該第二線路增層結構的該第二線路層。

9.如申請專利範圍第 8 項所述之封裝載板的製造方法，其中形成該些第三線路增層結構之前更包括於該第二線路增層結構上全面性形成一第一遮罩層。

10.如申請專利範圍第 9 項所述之封裝載板的製造方

第 100109666 號之申請專利範圍修正本

法，其中圖案化該第二線路增層結構的該第二線路層包括：

於該些第三線路增層結構上全面性形成一第二遮罩層；

圖案化該第一遮罩層，以形成覆蓋部分該第二線路層的一第一遮罩圖案；

進行一蝕刻製程，移除未被該第一遮罩圖案覆蓋的該第二線路層，以形成一第二圖案化線路層；以及

去除該第一遮罩圖案和該第二遮罩層。

11.如申請專利範圍第 8 項所述之封裝載板的製造方法，其中該第一線路增層結構包括覆蓋一絕緣層的一第一圖案化線路層和穿過一絕緣層的一導電盲孔，且其中每一個該些第三線路增層結構包括覆蓋一絕緣層的一第三圖案化線路層和穿過該絕緣層的一導電盲孔。

12.如申請專利範圍第 11 項所述之封裝載板的製造方法，更包括：

分別於最外層的該第三線路增層結構上和該第二線路增層結構上形成具有複數個開口的一第一抗焊絕緣層和一第二抗焊絕緣層，以分別暴露出最外層的該第三線路增層結構的該第三圖案化線路層以及該第二線路增層結構的該第二圖案化線路層；

於從該些開口暴露出最外層的該第三線路增層結構的該第三圖案化線路層以及該第二線路增層結構的該第二圖案化線路層上形成複數個金屬保護層；以及

分別於該些金屬保護層上形成預鉸金屬凸塊。

13.如申請專利範圍第 11 項所述之封裝載板的製造方

第 100109666 號之申請專利範圍修正本

法，其中每一個該些第三線路增層結構的該第三圖案化線路層的最小間距小於該第二圖案化線路層的最小間距。

14.如申請專利範圍第 11 項所述之封裝載板的製造方法，其中該第二線路層的厚度大於每一個該些第三線路增層結構的該第三圖案化線路層的厚度。

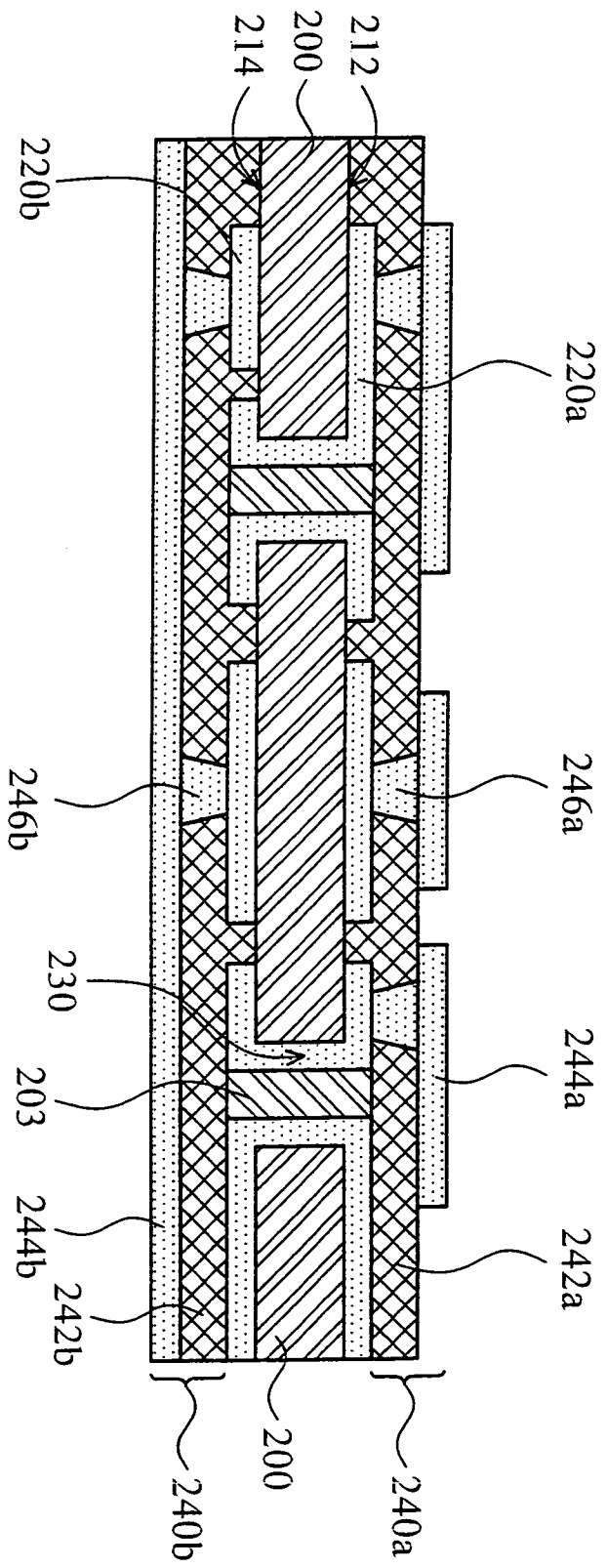
15.如申請專利範圍第 11 項所述之封裝載板的製造方法，其中該第一線路增層結構的該絕緣層、該第二線路增層結構的該絕緣層和每一個該些第三線路增層結構的該絕緣層為相同材質。

16.如申請專利範圍第 11 項所述之封裝載板的製造方法，更包括一導通孔，穿過該核心板，且至少一個該第一線路增層結構、該第二線路增層結構或該些第三線路增層結構的該些導電盲孔不與該導通孔電性連接。

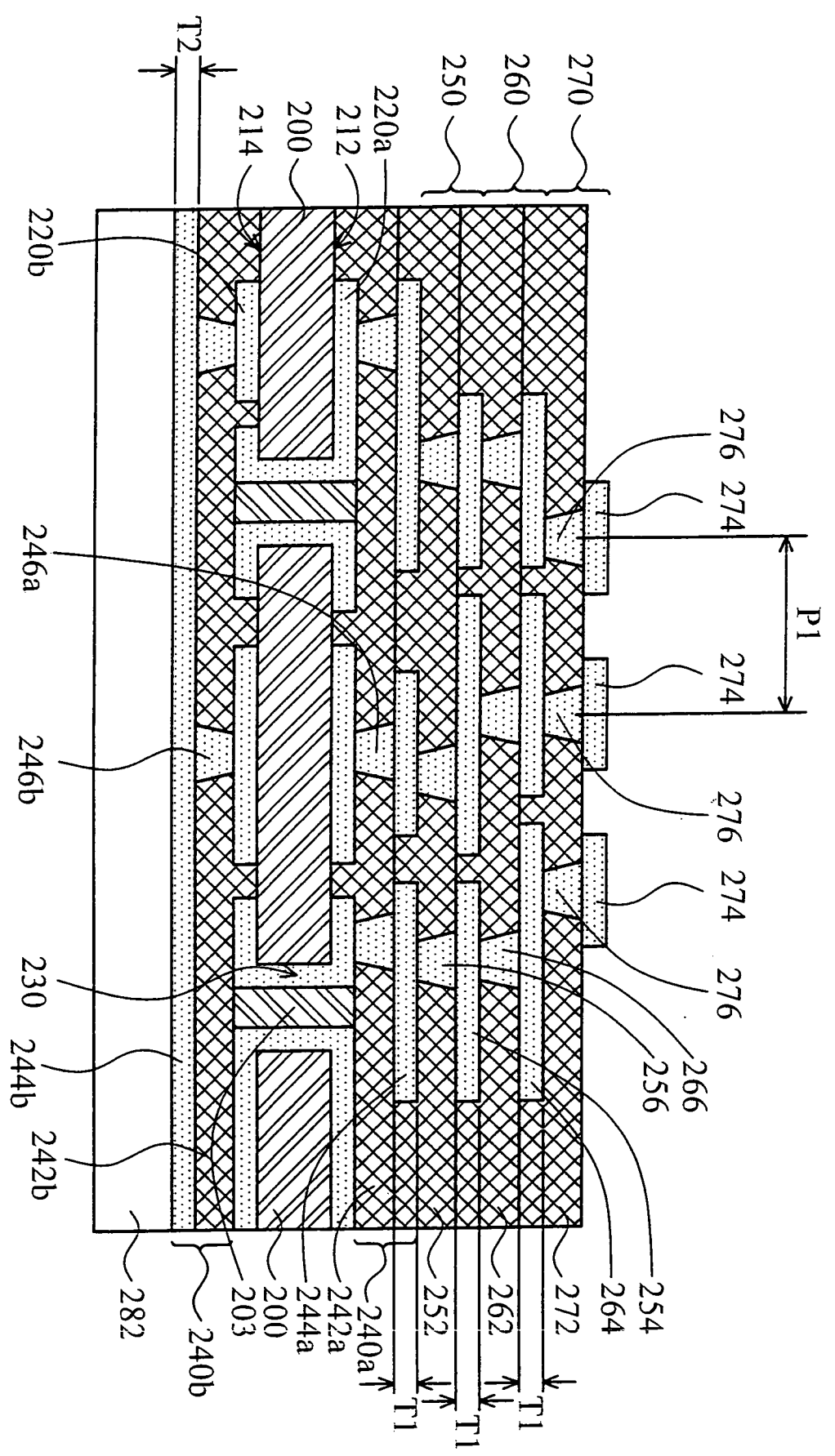
17.如申請專利範圍第 8 項所述之封裝載板的製造方法，其中位於最外層的該第三線路增層結構的該第三圖案化線路層的最小間距等於一積體電路晶片的鐳墊最小間距。

18.如申請專利範圍第 9 項所述之封裝載板的製造方法，其中位於該第二線路增層結構的該第二圖案化線路層的最小間距等於一印刷電路板的鐳墊最小間距。

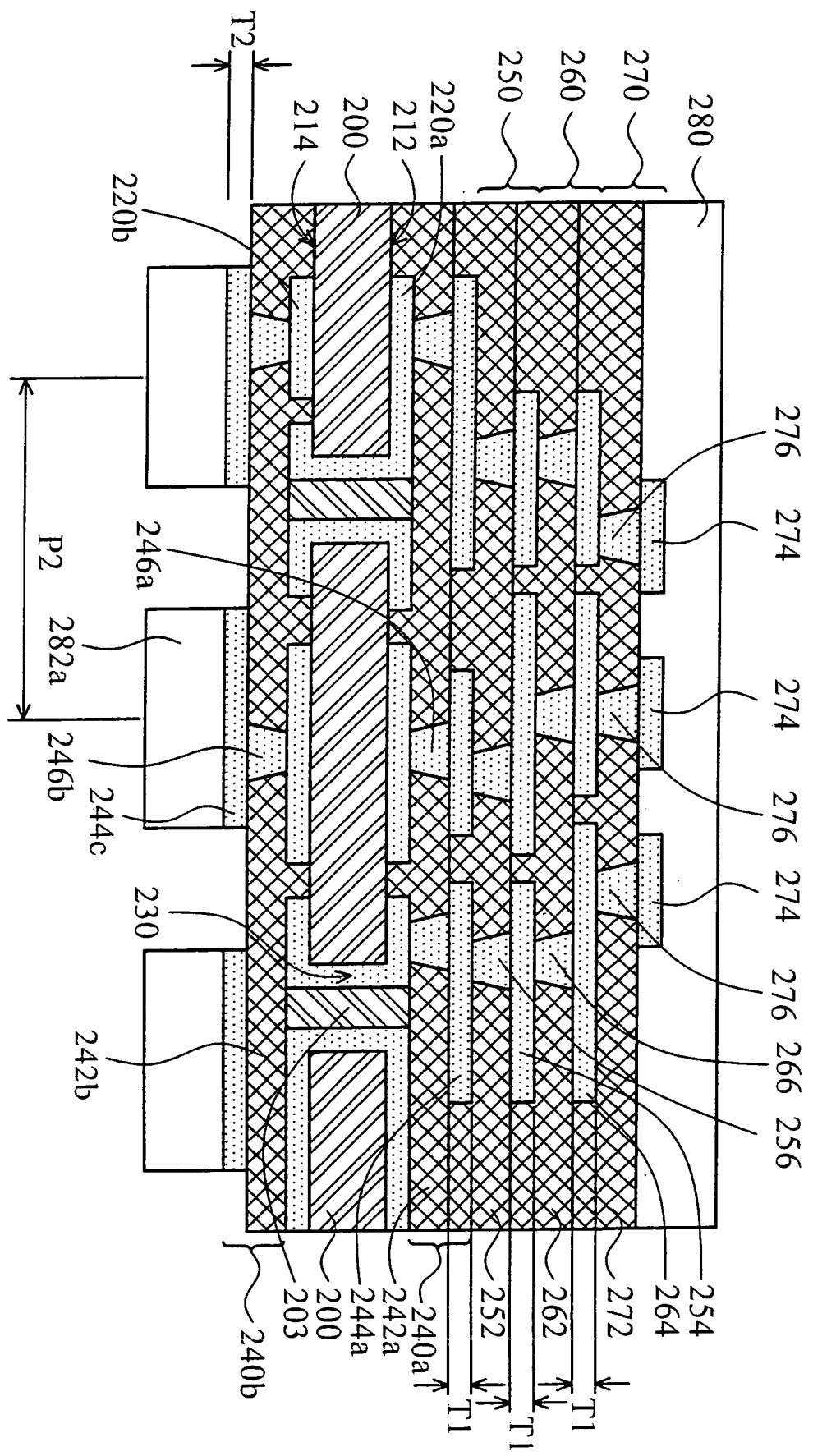
八、圖式：(如後所示)



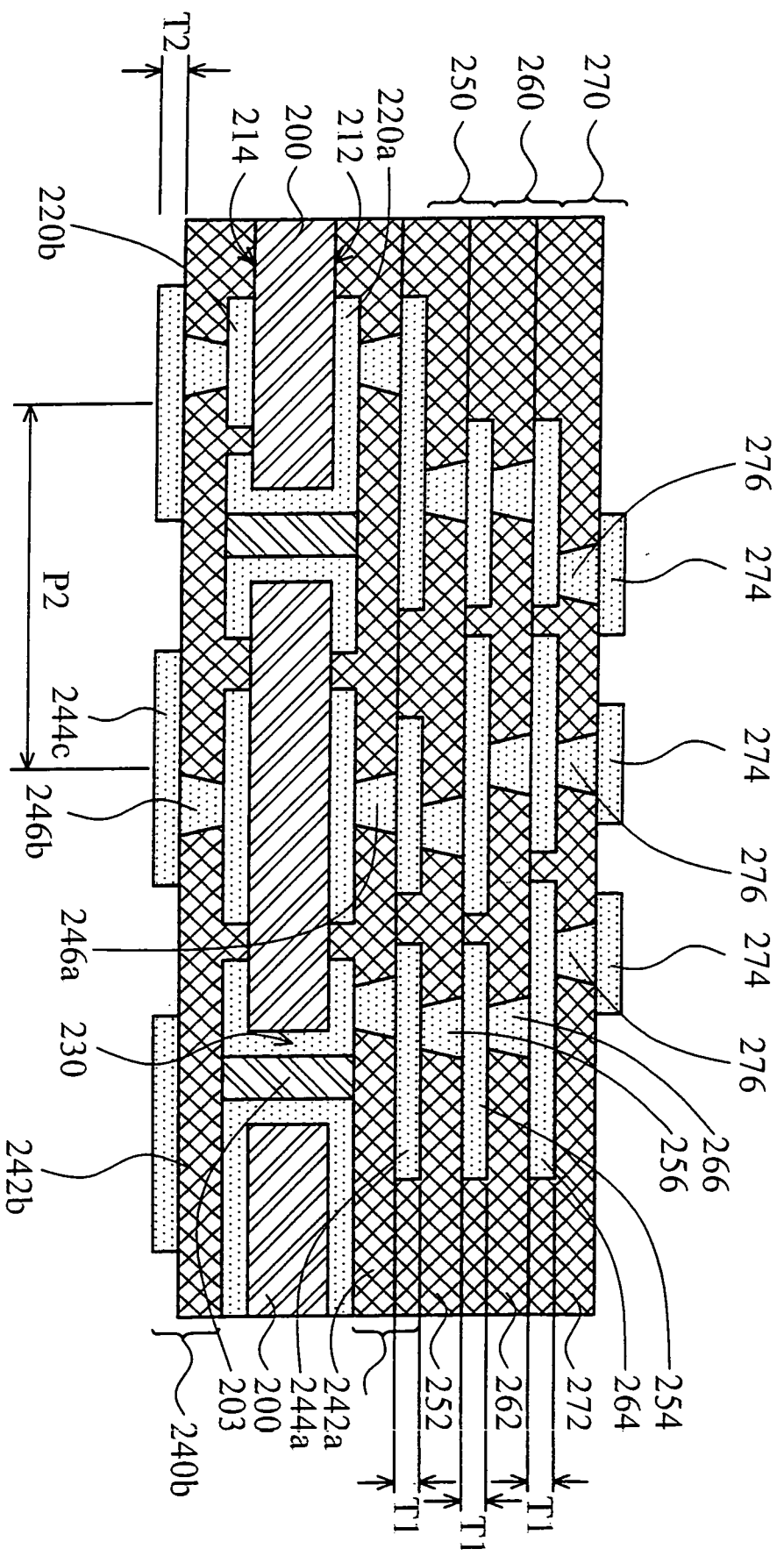
第 1 圖



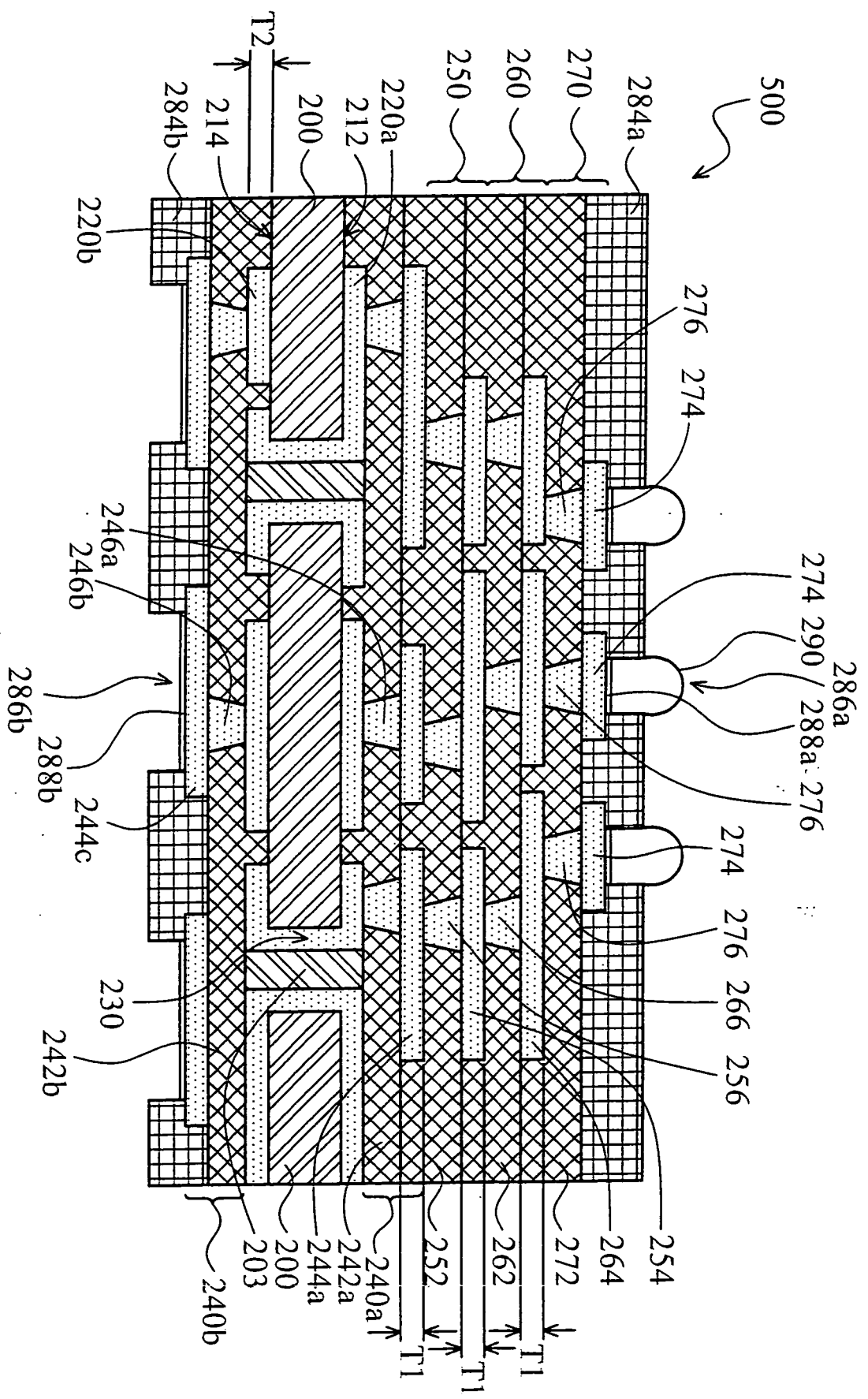
第 2 圖



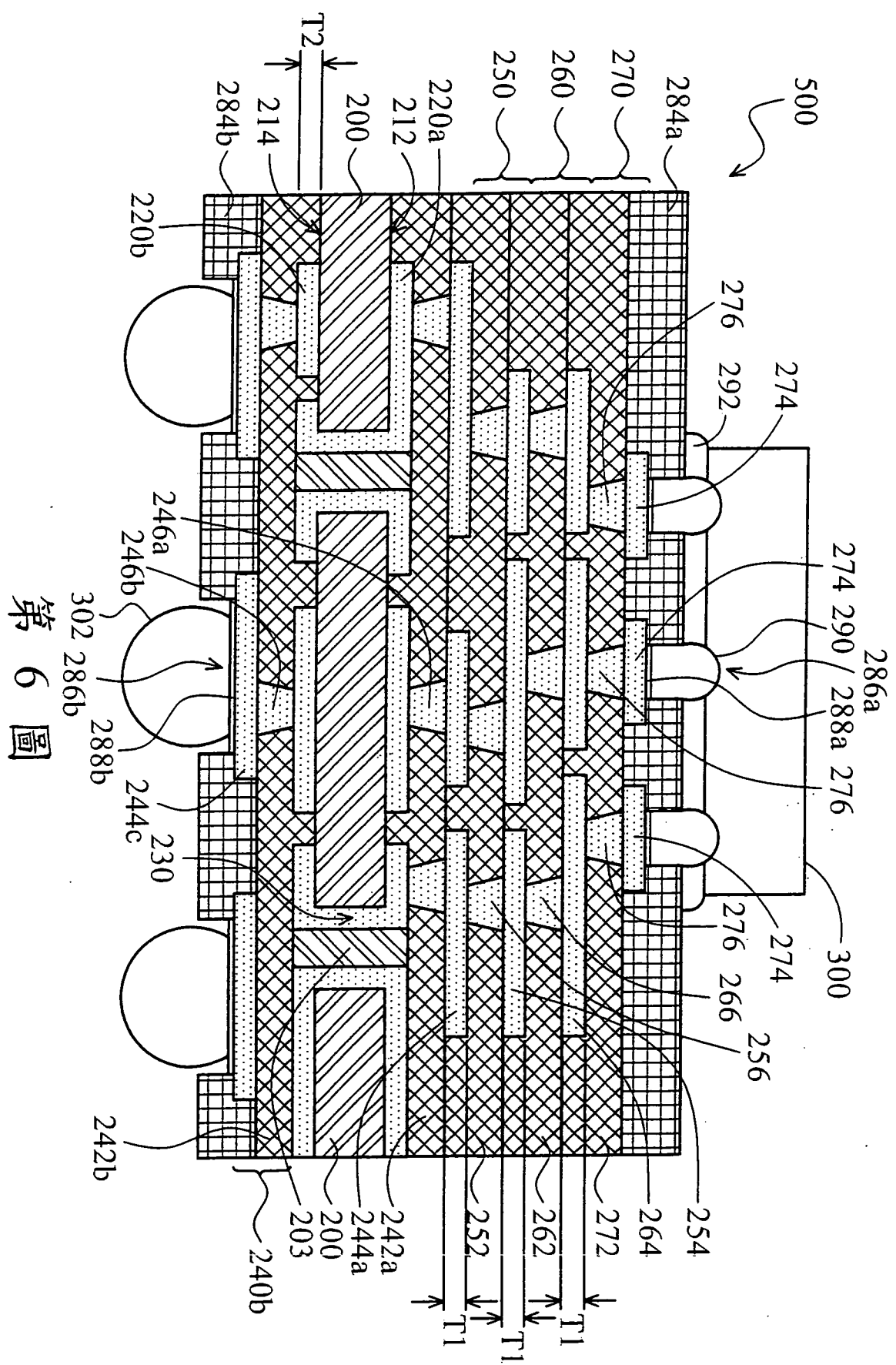
第 3 圖



第 4 圖



第 5 圖



第 6 圖