

(21) 申請案號：098115691

(22) 申請日：中華民國 98 (2009) 年 05 月 12 日

(51) Int. Cl. : *H01L21/78 (2006.01)*

H01L21/76 (2006.01)

(30) 優先權：2008/05/29 美國 61/057,185

2008/12/21 美國 12/340,737

(71) 申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)

新竹市新竹科學工業園區篤行一路 1 號

(72) 發明人：李東興 LEE, TUNG HSING (TW)；張添昌 CHANG, TIEN CHANG (TW)；鐘元鴻 CHUNG, YUAN HUNG (TW)

(74) 代理人：戴俊彥；王恕怡

申請實體審查：有 申請專利範圍項數：14 項 圖式數：7 共 25 頁

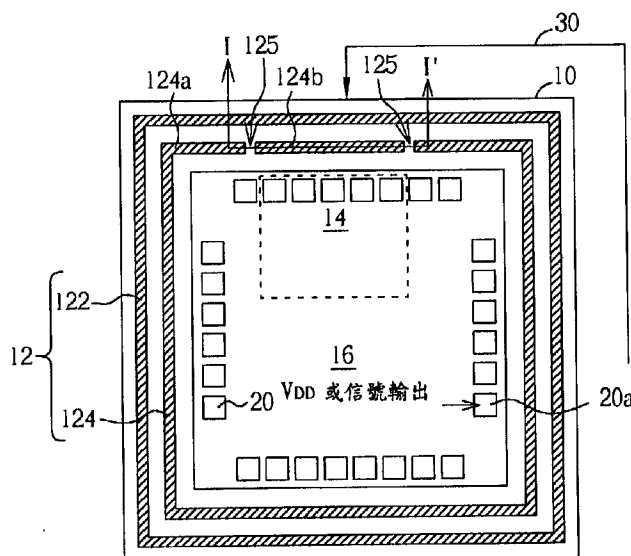
(54) 名稱

積體電路的封環結構

SEAL RING STRUCTURE FOR INTEGRATED CIRCUITS

(57) 摘要

本發明提供積體電路的多種封環結構，其中一種封環結構包括：封環，沿著積體電路的周邊排佈，其中，封環包括至少第一部分和第二部分，第二部分位於類比和/或射頻電路區塊的外側，且第二部分將類比和/或射頻電路區塊進行屏蔽；P⁺區域，形成於 P 型基底中，P⁺區域位於第二部分之下；以及淺溝隔離結構，圍繞著 P⁺區域並橫向延伸至第二部分的導電環壁的底部。本發明提供的積體電路的封環結構能減少基底的雜訊耦合。



10：積體電路晶片

12：封環結構

14：類比和/或 RF 電路區塊

16：數位電路

20：輸入/輸出焊墊

20a：信號輸出焊墊

30：雜訊傳送路徑

122：外部封環

124：內部封環

124a：第一部分

124b：第二部分

125：斷開區域

(21) 申請案號：098115691

(22) 申請日：中華民國 98 (2009) 年 05 月 12 日

(51) Int. Cl. : *H01L21/78 (2006.01)*

H01L21/76 (2006.01)

(30) 優先權：2008/05/29 美國 61/057,185

2008/12/21 美國 12/340,737

(71) 申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)

新竹市新竹科學工業園區篤行一路 1 號

(72) 發明人：李東興 LEE, TUNG HSING (TW)；張添昌 CHANG, TIEN CHANG (TW)；鐘元鴻 CHUNG, YUAN HUNG (TW)

(74) 代理人：戴俊彥；王恕怡

申請實體審查：有 申請專利範圍項數：14 項 圖式數：7 共 25 頁

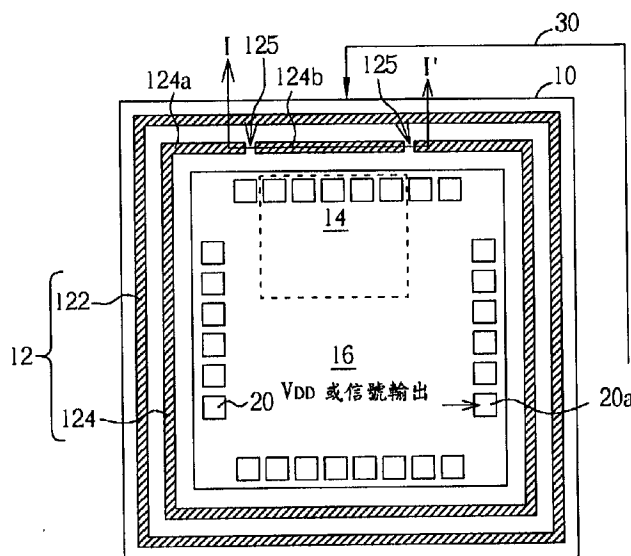
(54) 名稱

積體電路的封環結構

SEAL RING STRUCTURE FOR INTEGRATED CIRCUITS

(57) 摘要

本發明提供積體電路的多種封環結構，其中一種封環結構包括：封環，沿著積體電路的周邊排佈，其中，封環包括至少第一部分和第二部分，第二部分位於類比和/或射頻電路區塊的外側，且第二部分將類比和/或射頻電路區塊進行屏蔽；P⁺區域，形成於 P 型基底中，P⁺區域位於第二部分之下；以及淺溝隔離結構，圍繞著 P⁺區域並橫向延伸至第二部分的導電環壁的底部。本發明提供的積體電路的封環結構能減少基底的雜訊耦合。



10：積體電路晶片

12：封環結構

14：類比和/或 RF 電路區塊

16：數位電路

20：輸入/輸出焊墊

20a：信號輸出焊墊

30：雜訊傳送路徑

122：外部封環

124：內部封環

124a：第一部分

124b：第二部分

125：斷開區域

六、發明說明：

【發明所屬之技術領域】

本發明係有關於半導體元件，更特別地，係有關於積體電路的封環（seal ring）結構。

【先前技術】

製造技術的改進促使整體功能區塊積體在單片 IC 上，而之前的整體功能區塊在一電路板上以複數個晶片的形式實施。混合信號電路是一個特別重要的發展，其組合類比電路和數位電路在單片 IC 上。

然而，實施混合信號電路的一個主要技術障礙係 IC 的不同端口（例如，從數位端口到類比端口）之間的雜訊耦合。通常地，積體電路晶片包括一個封環，用以保護晶片免受潮濕降級（moisture degradation）或離子污染（ionic contamination）的影響。封環典型地由金屬和接觸/通孔層（contact/via layer）的一堆疊組成，並結合積體電路元件的製造，逐步地形成絕緣體和金屬的順序溶著（sequential depositions）。

現已發現，雜訊（例如可起源於數位電源信號線 V_{DD} 或數位電路的信號焊墊的雜訊）經過該封環傳送，並負面地影響敏感的類比和/或射頻（RF）電路的性能。

第 1 圖係習知技術的封環結構 524 的概要的截面示意圖。如第

1 圖所示，封環結構 524 分爲兩個部分，即第一部分 524a 和與第一部分 524a 空間相隔的第二部分 524b。在第一部分 524a 和第二部分 524b 之間，有一個斷開區域 (chipped region) 525。第二部分 524b 包括一個導電環壁 (conductive rampart) 701，由金屬層 (M_1 和 M_2) 和接觸/通孔層 (C 和 V_1) 的堆疊組成。第二部分 524b 進一步包括位於導電環壁 701 之下的 P^+ 區域 702 和位於 P^+ 區域 702 之下的 P 井 704。 P^+ 區域 702 和 P 井 704 通過淺溝隔離 (shallow trench isolation, STI) 結構 760 與位於第一部分 524a 的導電環壁 601 之下的 P^+ 區域 602 和 P 井 604 相隔。

【發明內容】

混合信號電路的經過封環的雜訊負面地影響敏感的類比和/或 RF 電路的性能。本發明提供一種積體電路的封環結構以解決上述問題。

本發明提供一種積體電路的封環結構，包括：封環，沿著積體電路的周邊排佈，其中，封環包括至少第一部分和第二部分，第二部分位於類比和/或射頻電路區塊的外側，且第二部分將類比和/或射頻電路區塊進行屏蔽； P^+ 區域，形成於 P 型基底中， P^+ 區域位於第二部分之下；以及淺溝隔離結構，圍繞 P^+ 區域並橫向延伸至第二部分的導電環壁的底部。

本發明另提供一種積體電路的封環結構，包括：封環，沿著積體電路之周邊排佈，其中，封環包括至少第一部分和第二部分，第二部分位於類比和/或射頻電路區塊的外側，並將類比和/或射頻電路

區塊進行屏蔽；深 N 井，形成於 P 型基底中，深 N 井位於第二部分之下； P^+ 區域，位於深 N 井之上；以及淺溝隔離結構，圍繞 P^+ 區域。

本發明提供的積體電路的封環結構能減少基底的雜訊耦合。

【實施方式】

在說明書及後續的申請專利範圍當中使用了某些詞彙來指稱特定元件。所屬領域中具有通常知識者應可理解，製造商可能會用不同的名詞來稱呼同一個元件。本說明書及後續的申請專利範圍並不以名稱的差異來作為區分元件的方式，而是以元件在功能上的差異來作為區分的準則。在通篇說明書及後續的請求項當中所提及的「包括」和「包含」係為一開放式的用語，故應解釋成「包含但不限定於」。以外，「耦接」一詞在此係包含任何直接及間接的電氣連接手段。間接的電氣連接手段包括通過其他裝置進行連接。以下係根據多個圖式對本發明之較佳實施例進行詳細描述，本領域習知技藝者閱讀後應可明確了解本發明之目的。

本發明係關於積體電路的封環結構。封環結構的封環數量取決於設計的需要而不是只限於下述實施例。如果是外部封環，那這個封環係一個連續封環，而內部封環可被劃分為至少兩個部分，包括位於積體電路的敏感的類比和/或 RF 電路區塊之前的導電環壁。

位於導電環壁之下的深 N 井將類比和/或 RF 電路進行屏蔽，免受基底雜訊（例如經過外部封環傳送的雜訊）的影響，因而減少雜訊耦合效應。連續的外部封環防止水分和腐蝕性物質進入 IC。本發明能通過延長內部封環的底部的分離的金屬環壁部分和/或通過移

除內部封環的底部的分離的金屬環壁部分的 P 井，以減少或消除電阻式耦合雜訊。當晶片襯底 (bulk) 的偏置電位和切換器的地電位相連時，電阻式耦合是指切換器的瞬態跳變通過 P⁺ 型襯底的接觸孔和襯底寄生電阻耦合到晶片的襯底電位。

第 2 圖至第 7 圖中，相同的數字指示相同的區域、層或元件。請參考第 2 圖至第 4 圖，第 2 圖係本發明一實施例的具有封環結構 12 的積體電路晶片 10 的平面示意圖。第 3 圖係本發明的封環的第二部分佈局 (layout) 的透視放大俯視示意圖。第 4 圖係本發明一實施例的概要的截面示意圖，進一步係為沿著第 2 圖的線路 I-I' 的概要的截面示意圖。如第 2 圖所示，積體電路晶片 10 包括至少一個類比和/或射頻 (RF) 電路區塊 14、數位電路 16 和圍繞並保護類比和/或 RF 電路區塊 14 和數位電路 16 的封環結構 12。

積體電路晶片 10 進一步包括複數個輸入/輸出 (I/O) 焊墊 20。如上所述，雜訊 (例如起源於數位電源 V_{DD} 信號線或數位電路 16 的信號輸出焊墊 20a 的雜訊) 可經過封環傳送並負面地影響敏感的類比和/或 RF 電路 14 的性能。在第 2 圖中，特別指示出雜訊傳送路徑 30。雜訊也可經過基底傳送，並負面地影響敏感的類比和/或 RF 電路 14 的性能。本發明旨在處理此問題。

根據本發明，沿著晶片周邊排佈的封環結構 12 包括連續的外部封環 122 和非連續的內部封環 124。儘管本實施例所示的封環結構 12 為雙環結構，封環結構的封環數量取決於設計需要而不是只限於本實施例。此外，儘管在本實施例中外部封環 122 係連續的且內部封環 124 係非連續的，但內部封環既能是連續的又能是非連續的。

內部封環 124 包括至少兩個部分，即第一部分 124a 和與第一部分 124a 空間相隔的第二部分 124b。在第一部分 124a 和第二部分 124b 之間，提供一個斷開區域 125。

如第 4 圖所示，第一部分 124a 和第二部分 124b 主要位於 P 型基底 100 的主表面 100a 上。第一部分 124a 包括一個導電環壁 201，導電環壁 201 包括堆疊的金屬層（例如 M_1 和 M_2 ）和接觸/通孔層（例如 C 和 V_1 ），並結合積體電路元件的製造，逐步地形成絕緣體和金屬的順序溶著。第一部分 124a 進一步包括位於導電環壁 201 之下的 P^+ 區域 202，根據本發明，在 P^+ 區域 202 之下可以不存在 P 井。

第二部分 124b 可直接位於類比和/或 RF 電路區塊 14 的外側，用以屏蔽經過連續的外部封環 122 傳送的雜訊。更適合的是，第二部分 124b 的長度等於或大於被屏蔽的類比和/或 RF 電路區塊 14 的跨度（span）。在 P 型基底 100 的主表面 100a 上，第二部分 124b 包括導電環壁 301，導電環壁 301 包括堆疊的環狀矽層 300、金屬層（例如 M_1 和 M_2 ）和接觸/通孔層（例如 C 和 V_1 ），並結合積體電路元件的製造，逐步地形成絕緣體和金屬的順序溶著。

如第 3 圖所示，由斜線區域所指示的環狀矽層 300，位於導電環壁 301 的底部，並圍繞著 P^+ 區域 302。在 STI 結構 360 上設置環狀矽層 300 用以提供接觸機械力，並避免晶片切割（die saw）問題。在導電環壁 301 的底部，STI 結構 360 橫向延伸，以增加電阻值，從而減少基底雜訊耦合。

在導電環壁 301 之下，第二部分 124b 進一步包括由 STI 結構

360 所環繞的 P^+ 區域 302。根據本發明， P^+ 區域 302 具有一個最小化表面區，且可使用嚴格的尺寸設計 (dimension design) 規則進行製造。 P^+ 區域 302 在製造過程中允許水分或離子的通過。在另一實施例中，可省略 P^+ 區域 302，或將其從導電環壁 301 的下面移除。 P^+ 區域 302 的移除可增加電阻值，從而抑制基底電阻式耦合雜訊。通過延伸 STI 至導電環壁 301 之下，並通過從內部封環 124 中移除 P 井，可減少或消除電阻式耦合效應。

第 5 圖係本發明另一實施例的概要的截面示意圖。如第 5 圖所示，內部封環 124 包括兩個部分，即第一部分 124a 和與第一部分 124a 空間相隔的第二部分 124b。在第一部分 124a 和第二部分 124b 之間，提供一個斷開區域 125。第二部分 124b 包括一個導電環壁 301，導電環壁 301 包括堆疊的金屬層 (例如 M1 和 M2) 和接觸/通孔層 (例如 C 和 V1)。第二部分 124b 進一步包括位於導電環壁 301 之下的 P^+ 區域 302。 P^+ 區域 302 通過 STI 結構 360' 與位於導電環壁 201 之下的 P^+ 區域 202 相隔，其中在導電環壁 301 的底部 STI 結構 360' 並未橫向延伸。從封環結構中移除 P 井以增加基底電阻值。

第 6 圖係本發明再一實施例的概要的截面示意圖。如第 6 圖所示，在內部封環 124 的第二部分 124b 的導電環壁 301 之下，設置 P^+ 區域 302、STI 結構 360 和深 N 井 310，其中， P^+ 區域 302 位於深 N 井 310 之上，第 6 圖除深 N 井 310 之外的其他結構與第 4 圖相同。根據本發明，深 N 井可具有一個大約 19000-21000 埃的結深 (junction depth)。深 N 井 310 可接地或耦接到供應電壓，例如 V_{DD} 。使用本

發明是有益的，因為深 N 井 310 位於第二部分 124b 之下，可抑制電容式耦合。

第 7 圖係本發明另一較佳實施例的具有封環結構 12 的積體電路晶片 10a 的平面示意圖，其中相同的數字指示相同的區域，層或元件。如第 7 圖所示，同樣地，積體電路晶片 10a 包括至少一個類比和/或 RF 電路區塊 14、數位電路 16 和圍繞並保護類比和/或 RF 電路區塊 14 和數位電路 16 的封環結構 12。積體電路晶片 10a 進一步包括複數個輸入/輸出 (I/O) 焊墊 20。雜訊 (例如起源於數位電源 V_{DD} 信號線或數位電路 16 的信號輸出焊墊 20a 的雜訊) 可經過封環傳送並負面地影響敏感的類比和/或 RF 電路 14 的性能。

封環結構 12 包括連續外部封環 122 和非連續內部封環 124。儘管本實施例所示的封環結構 12 為雙環結構，封環結構的封環數量取決於設計需要而不是只限於本實施例。此外，儘管在本實施例中外部封環 122 係連續的且內部封環 124 係非連續的，但外部封環既能是連續的又能是非連續的，內部封環同樣既能是連續的又能是非連續的。內部封環 124 包括至少兩個部分，即第一部分 124a 和第二部分 124b。第二部分 124b 屏蔽經過外部封環 122 而傳送的雜訊。更適合的是，第二部分 124b 的長度等於或大於被屏蔽的類比和/或 RF 電路區塊 14 的跨度 (span)。

第二部分 124b 的封環結構可類似於前述的第 3 圖和第 4 圖所示的結構。根據本發明，第二部分 124b 可耦接獨立的接地端或獨立的供應電壓。根據本發明，第二部分 124b 可通過獨立的焊墊和互連引

線 (interconnection trace) 而耦接到獨立的接地端。在此使用的「獨立」意味著接地端、焊墊或供應電壓不是類比電路、RF 電路或數位電路所常用的。

在本實施例中，第二部分 124b 可通過互連引線 124c 耦接一獨立焊墊 20b。互連引線 124c 可包括積體電路晶片 10a 的一個最頂金屬層和一個鋁層 (圖未顯示)。通過這樣處理，第二部分 124b 可耦接獨立的接地端 (圖未顯示) 或獨立的供應電壓，例如 V_{SS} ，因而顯著地減少雜訊耦合。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖係習知技術的封環結構 524 的概要的截面示意圖。

第 2 圖係本發明一實施例的具有封環結構 12 的積體電路晶片 10 的平面示意圖。

第 3 圖係本發明的封環的第二部分佈局 (layout) 的透視放大俯視示意圖。

第 4 圖係本發明一實施例的概要的截面示意圖。

第 5 圖係本發明另一實施例的概要的截面示意圖。

第 6 圖係本發明再一實施例的概要的截面示意圖。

第 7 圖係本發明另一較佳實施例的具有封環結構 12 的積體電路晶片 10a 的平面示意圖。

【主要元件符號說明】

524 封環結構

524a 第一部分

524b 第二部分

525 斷開區域

601 導電環壁

701 導電環壁

602 P⁺區域

702 P⁺區域

604 P 井

704 P 井

760 淺溝隔離 (STI)

M₁、M₂ 金屬層

C、V₁ 接觸/通孔層

12 封環結構

10 積體電路晶片

14 類比和/或 RF 電路區塊

16 數位電路

20 輸入/輸出焊墊

20a 信號輸出焊墊

30 雜訊傳送路徑

122 外部封環

124 內部封環

124a 第一部分

124b 第二部分

125 斷開區域

100 P 型基底

100a 主表面

201 導電環壁

202 P⁺區域

301 導電環壁

300 環狀矽層

302 P⁺區域

360 淺溝隔離結構

360' 淺溝隔離結構

310 深 N 井

10a 積體電路晶片

124c 互連引線

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：098115691

※申請日：98.5.12 ※IPC 分類：H01L21/78(2006.01)
H01L21/76(2006.01)

一、發明名稱：(中文/英文)

積體電路的封環結構/SEAL RING STRUCTURE FOR INTEGRATED
CIRCUITS

二、中文發明摘要：

本發明提供積體電路的多種封環結構，其中一種封環結構包括：封環，沿著積體電路的周邊排佈，其中，封環包括至少第一部分和第二部分，第二部分位於類比和/或射頻電路區塊的外側，且第二部分將類比和/或射頻電路區塊進行屏蔽； P^+ 區域，形成於P型基底中， P^+ 區域位於第二部分之下；以及淺溝隔離結構，圍繞著 P^+ 區域並橫向延伸至第二部分的導電環壁的底部。本發明提供的積體電路的封環結構能減少基底的雜訊耦合。

三、英文發明摘要：

A seal ring structure for an integrated circuit includes a seal ring disposed along a periphery of the integrated circuit, wherein the seal ring is divided into at least a first portion and a second portion, and wherein the second portion is positioned facing and shielding an analog and/or RF circuit block from a noise. A P^+ region is provided in a P

substrate and positioned under the second portion. A shallow trench isolation (STI) structure surrounds the P⁺ region and laterally extends underneath a conductive rampart of the second portion.

七、申請專利範圍：

1.一種積體電路的封環結構，該封環結構包括：

一封環，沿著該積體電路的周邊排佈，其中，該封環包括至少一第一部分和一第二部分，該第二部分位於一類比和/或射頻電路區塊的外側，且該第二部分將該類比和/或射頻電路區塊進行屏蔽；

一 P^+ 區域，形成於一 P 型基底中，該 P^+ 區域位於該第二部分之下；以及

一淺溝隔離結構，圍繞該 P^+ 區域並橫向延伸至該第二部分的一導電環壁的底部。

2.如申請專利範圍第 1 項所述之積體電路的封環結構，其中，該封環係非連續的，該第二部分與該第一部分空間相隔。

3.如申請專利範圍第 1 項所述之積體電路的封環結構，進一步包括位於該封環之外的連續的一外部封環。

4.如申請專利範圍第 1 項所述之積體電路的封環結構，其中，該第二部分的一長度等於或大於該被屏蔽的類比和/或射頻電路區塊的一跨度。

5.如申請專利範圍第 1 項所述之積體電路的封環結構，其中，該第二部分包括一導電環壁，該導電環壁係包括堆疊的一矽層、一金屬層、一接觸/通孔層，且該導電環壁結合該積體電路的製造而形成

成。

6.如申請專利範圍第1項所述之積體電路的封環結構，其中，在該 P^+ 區域之下無設置P井。

7.一種積體電路的封環結構，該封環結構包括：

一封環，沿著該積體電路之周邊排佈，其中，該封環包括至少一第一部分和一第二部分，該第二部分位於一類比和/或射頻電路區塊的外側，並將該類比和/或射頻電路區塊進行屏蔽；

一深N井，形成於一P型基底中，該深N井位於該第二部分之下；

一 P^+ 區域，位於該深N井之上；以及

一淺溝隔離結構，圍繞該 P^+ 區域。

8.如申請專利範圍第7項所述之積體電路的封環結構，其中，該封環係非連續的，該第二部分與該第一部分空間相隔。

9.如申請專利範圍第7項所述之積體電路的封環結構，進一步包括位於該封環之外的一連續外部封環。

10.如申請專利範圍第7項所述之積體電路的封環結構，其中，該第二部分的一長度等於或大於該被屏蔽的類比和/或射頻電路區塊的一跨度。

11. 如申請專利範圍第 7 項所述之積體電路的封環結構，其中，該深 N 井具有一個 19000-21000 埃的結深。

12. 如申請專利範圍第 7 項所述之積體電路的封環結構，其中，該深 N 井接地或耦接到一供應電壓。

13. 如申請專利範圍第 7 項所述之積體電路的封環結構，其中，該第二部分包括一導電環壁，該導電環壁係包括堆疊的一矽層、一金屬層、一接觸/通孔層，且該導電環壁結合該積體電路的製造而形成。

14. 如申請專利範圍第 7 項所述之積體電路的封環結構，其中，在該 P^+ 區域之下無設置 P 井。

八、圖式：

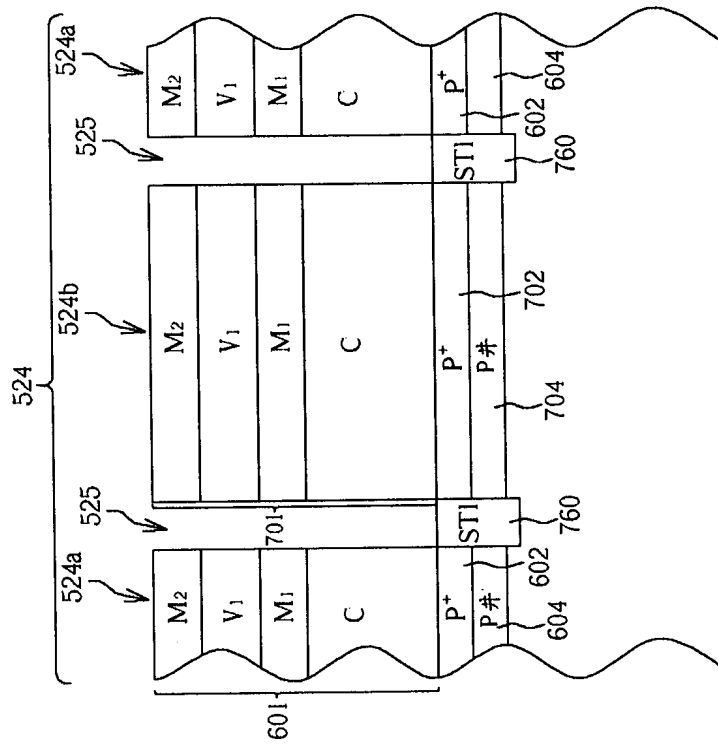
11. 如申請專利範圍第 7 項所述之積體電路的封環結構，其中，該深 N 井具有一個 19000-21000 埃的結深。

12. 如申請專利範圍第 7 項所述之積體電路的封環結構，其中，該深 N 井接地或耦接到一供應電壓。

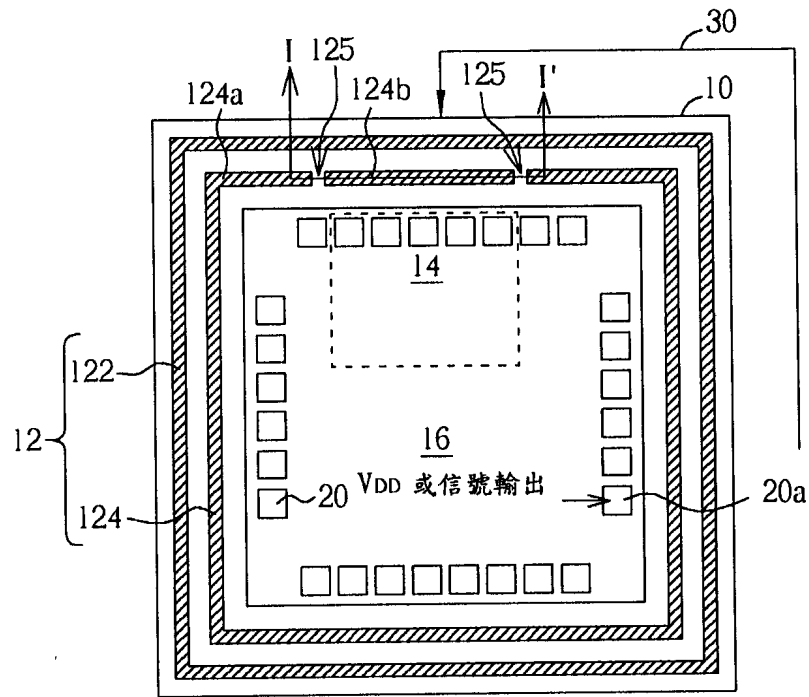
13. 如申請專利範圍第 7 項所述之積體電路的封環結構，其中，該第二部分包括一導電環壁，該導電環壁係包括堆疊的一矽層、一金屬層、一接觸/通孔層，且該導電環壁結合該積體電路的製造而形成。

14. 如申請專利範圍第 7 項所述之積體電路的封環結構，其中，在該 P^+ 區域之下無設置 P 井。

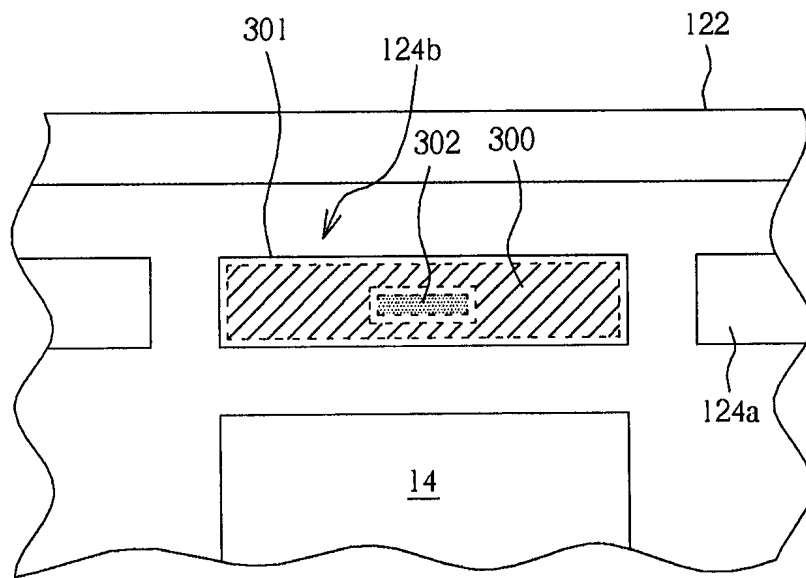
八、圖式：



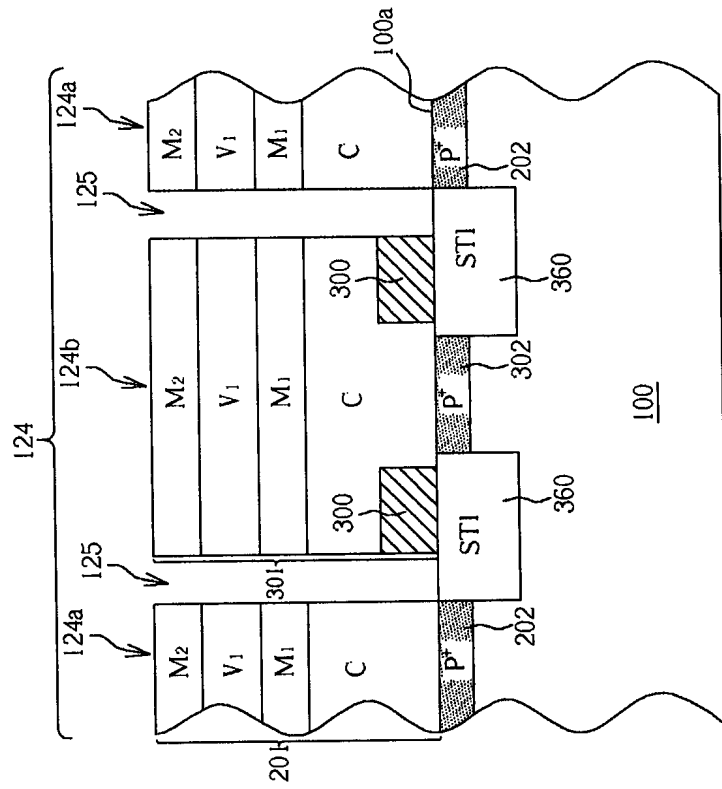
第1圖



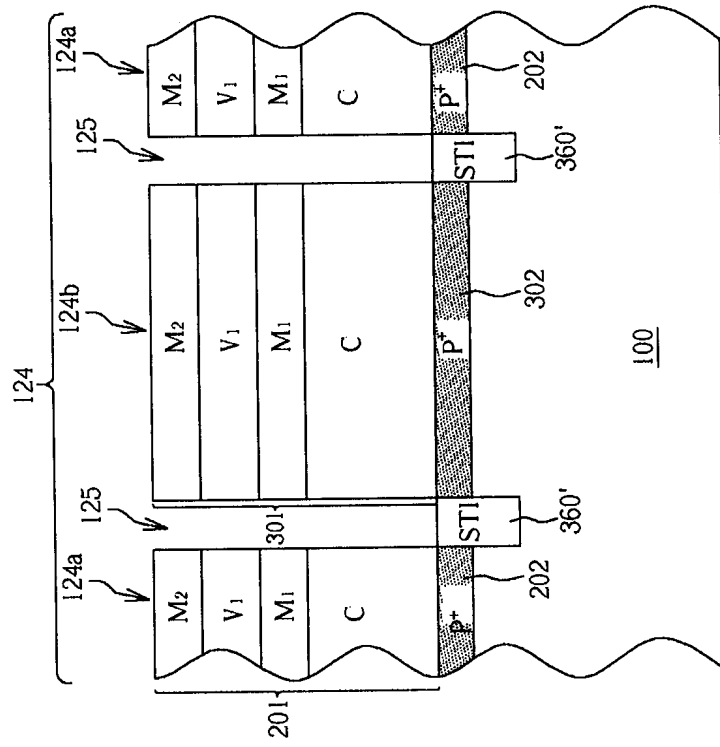
第2圖



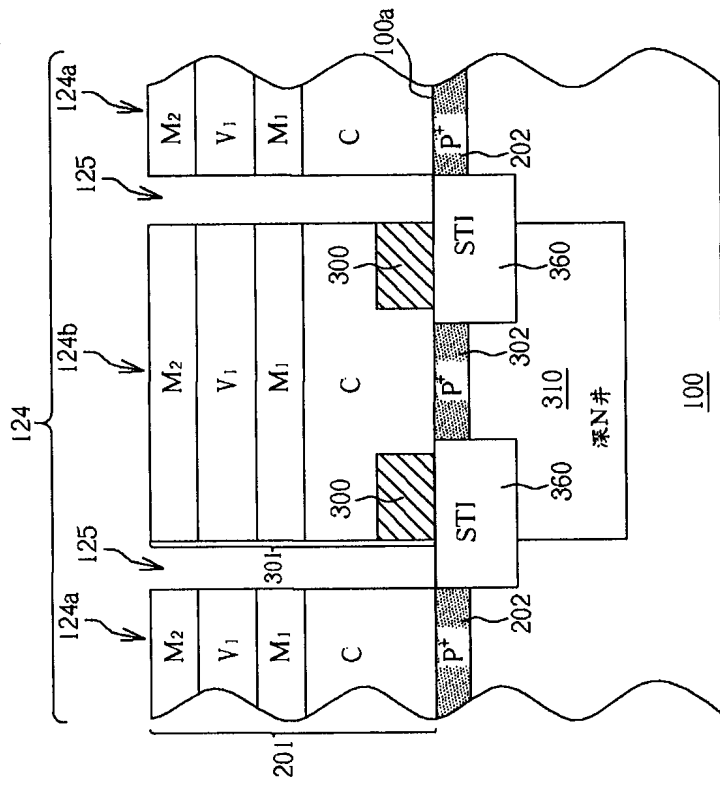
第3圖



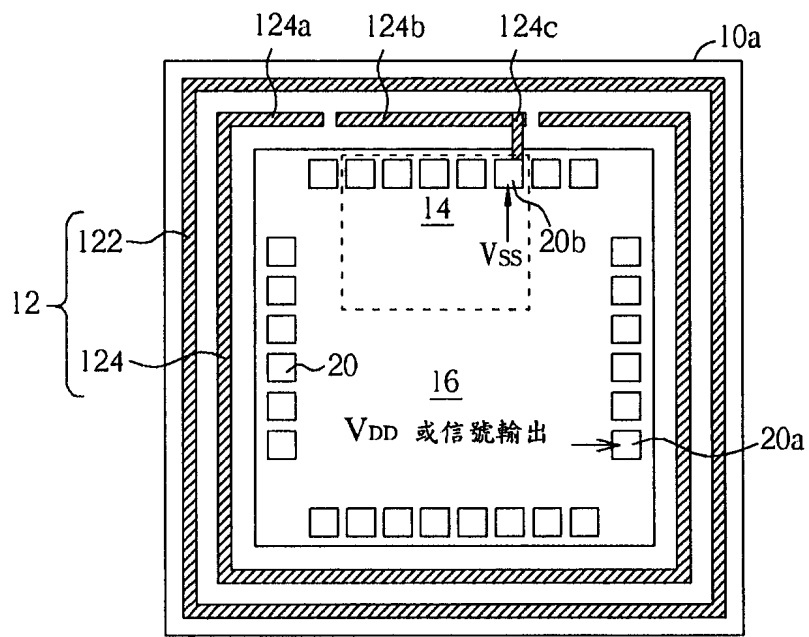
第4圖



第5圖



第6圖



第7圖

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

- 12 封環結構
- 10 積體電路晶片
- 14 類比和/或 RF 電路區塊
- 16 數位電路
- 20 輸入/輸出焊墊
- 20a 信號輸出焊墊
- 30 雜訊傳送路徑
- 122 外部封環
- 124 內部封環
- 124a 第一部分
- 124b 第二部分
- 125 斷開區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無