



# (12) 发明专利申请

(10) 申请公布号 CN 117312189 A

(43) 申请公布日 2023. 12. 29

(21) 申请号 202311259433.4

(22) 申请日 2023.09.27

(71) 申请人 合肥国家实验室

地址 230088 安徽省合肥市蜀山区望江西路5099号

申请人 中国科学技术大学

(72) 发明人 蔡文奇 周杰 王潮泽 廖胜凯

李杨 彭承志 潘建伟

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

专利代理师 樊晓

(51) Int. Cl.

G06F 12/0868 (2016.01)

G06F 3/06 (2006.01)

权利要求书2页 说明书15页 附图8页

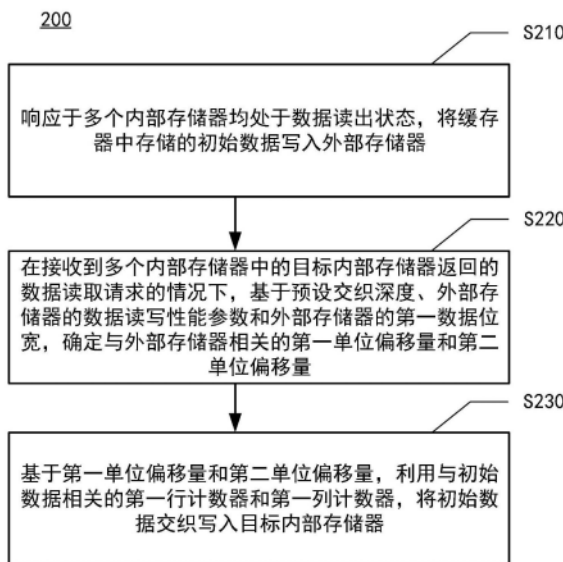
## (54) 发明名称

利用单片存储器实现的快速块交织或解交织方法及装置

## (57) 摘要

本公开提供了一种利用单片存储器实现的快速块交织或解交织方法,可以应用于通信技术领域。该方法包括:响应于多个内部存储器均处于数据读出状态,将缓存器中存储的初始数据写入外部存储器;在接收到多个内部存储器中的目标内部存储器返回的数据读取请求的情况下,基于预设交织深度、外部存储器的数据读写性能参数和外部存储器的第一数据位宽,确定与外部存储器相关的第一单位偏移量和第二单位偏移量;以及基于第一单位偏移量和第二单位偏移量,利用与初始数据相关的第一行计数器和第一列计数器,将初始数据交织写入目标内部存储器。本公开还提供了一种利用单片存储器实现快速块交织或解交织装置及电子设备。

CN 117312189 A



1. 一种利用单片存储器实现的快速块交织或解交织方法,包括:

响应于多个内部存储器均处于数据读出状态,将缓存器中存储的初始数据写入外部存储器;

在接收到所述多个内部存储器中的目标内部存储器返回的数据读取请求的情况下,基于预设交织深度、所述外部存储器的数据读写性能参数和所述外部存储器的第一数据位宽,确定与所述外部存储器相关的第一单位偏移量和第二单位偏移量;以及

基于所述第一单位偏移量和所述第二单位偏移量,利用与所述初始数据相关的第一行计数器和第一列计数器,将所述初始数据交织写入所述目标内部存储器。

2. 根据权利要求1所述的方法,其中,所述基于所述第一单位偏移量和所述第二单位偏移量,利用与所述初始数据相关的第一行计数器和第一列计数器,将所述初始数据交织写入所述目标内部存储器,包括:

基于所述第一行计数器的计数值、所述第一列计数器的计数值、所述第一单位偏移量和所述第二单位偏移量,确定所述初始数据中待处理的初始子数据的存储地址;

基于所述初始子数据的存储地址,将所述初始子数据写入所述目标内部存储器;以及更新所述第一行计数器和所述第一列计数器各自的计数值。

3. 根据权利要求2所述的方法,其中,所述基于所述第一行计数器的计数值、所述第一列计数器的计数值、所述第一单位偏移量和所述第二单位偏移量,确定所述初始子数据的存储地址,包括:

基于所述第一单位偏移量和所述第一行计数器的计数值,确定行地址偏移量;

基于所述第二单位偏移量和所述第一列计数器的计数值,确定列地址偏移量;以及

基于所述初始数据的初始存储地址、所述初始子数据的所述行地址偏移量和所述列地址偏移量,确定所述初始子数据的存储地址。

4. 根据权利要求2所述的方法,其中,所述更新所述第一行计数器和所述第一列计数器各自的计数值,包括:

基于第一预设步长,更新所述第一行计数器的计数值;以及

在确定所述第一行计数器的计数值等于所述预设交织深度的情况下,基于第二预设步长,更新所述第一列计数器的计数值。

5. 根据权利要求4所述的方法,还包括:

在确定所述第一行计数器的计数值等于所述预设交织深度的情况下,将所述第一行计数器的计数值重置为初始值;以及

在确定所述第一列计数器的计数值等于预设计数值的情况下,将所述第一列计数器的计数值重置为初始值,其中,所述预设计数值与所述外部存储器的数据读写性能参数和所述外部存储器的第一数据位宽相关。

6. 根据权利要求2所述的方法,其中,所述基于所述初始子数据的存储地址,将所述初始子数据写入所述目标内部存储器,包括:

基于所述外部存储器的数据读写性能参数,将所述初始子数据切分为多个数据块;

基于所述初始子数据的存储地址,分别确定所述多个数据块各自的存储地址;以及

基于所述多个数据块各自的存储地址,将所述多个数据块依次写入所述目标内部存储器。

7. 根据权利要求1所述的方法, 其中, 所述基于预设交织深度、所述外部存储器的数据读写性能参数和所述外部存储器的第一数据位宽, 确定与所述外部存储器相关的第一单位偏移量和第二单位偏移量, 包括:

基于所述初始数据的数据量, 所述预设交织深度和所述外部存储器的第一数据位宽, 确定所述第一单位偏移量; 以及

基于所述外部存储器的数据读写性能参数和所述外部存储器的第一数据位宽, 确定所述第二单位偏移量。

8. 根据权利要求1所述的方法, 还包括:

基于所述内部存储器的第二位宽, 确定与所述内部存储器相关的行数目值和列数目值; 以及

基于所述行数目值和所述列数目值, 利用第二行计数器和第二列计数器, 读出所述内部存储器中的经交织得到的目标数据。

9. 一种利用单片存储器实现的快速块交织或解交织装置, 包括:

外存写入模块, 用于响应于多个内部存储器均处于数据读出状态, 将缓存器中存储的初始数据写入外部存储器;

偏移量确定模块, 用于在接收到所述多个内部存储器中的目标内部存储器返回的数据读取请求的情况下, 基于预设交织深度、所述外部存储器的数据读写性能参数和所述外部存储器的第一数据位宽, 确定与所述外部存储器相关的第一单位偏移量和第二单位偏移量; 以及

内存写入模块, 用于基于所述第一单位偏移量和所述第二单位偏移量, 利用与所述初始数据相关的第一行计数器和第一列计数器, 将所述初始数据交织写入所述目标内部存储器。

10. 一种电子设备, 包括:

一个或多个处理器;

存储装置, 用于存储一个或多个程序,

其中, 当所述一个或多个程序被所述一个或多个处理器执行时, 使得所述一个或多个处理器执行根据权利要求1~8中任一项所述的方法。

## 利用单片存储器实现的快速块交织或解交织方法及装置

### 技术领域

[0001] 本公开涉及通信技术领域,具体涉及自由空间激光通信系统技术领域,更具体地涉及一种利用单片存储器实现的快速块交织或解交织方法、装置及电子设备。

### 背景技术

[0002] 自由空间光通信通过空间直接传输激光信号,达到信息通信的目标,具有高通信带宽、高保密性和频率不受限制等优点,近年来得到快速的发展。在自由空间光信道中,如果传输途径经过大气层,因大气湍流、浮尘颗粒等因素造成的加性噪声和突发连续错误会使光信号质量严重恶化,甚至会导致信号的完全丢失。在星地激光通信系统中,由大气湍流引起的传输路径阻碍和衰落会导致空间光通信系统中的数据产生成串的突发差错,一般的信道纠错编码只能纠正有限个随机差错,对于大量成串的突发差错,将超出信道纠错编码的纠错能力。因此,采用信道纠错编码与交织编码相结合的方式纠正大量成串的突发差错。在交织编码中,交织深度越大,离散度越大,纠错能力越好。所以,为了提高纠错能力,满足较高交织深度的要求,需要交织器提供较大的存储容量。将可编程门阵列(Field Programmable Gate Array,FPGA)芯片作为交织器时,FPGA芯片的存储容量有限,难以满足较高交织深度对存储容量的要求,因此一般采用外部高速存储器完成交解交织过程。

[0003] 出于块交织的方法特点,需要行写入后,再列读出,因此会导致读出的地址不连续,不能采用连续读操作,只能随机读出,降低了存储器的读出速率。在相关技术中,通过采用多片外部存储器满足较高交织深度对存储容量的要求和速率要求。但是,采用多片外部存储器导致成本较高,且采用单片外部存储器实现交织和解交织会受到交织策略影响,导致读出数据的速率较低,无法满足高速率的交织和解交织需求。

### 发明内容

[0004] 鉴于上述问题,本公开提供了一种利用单片存储器实现的快速块交织或解交织方法、装置及电子设备。

[0005] 根据本公开的第一个方面,提供了一种利用单片存储器实现的快速块交织或解交织方法,包括:响应于多个内部存储器均处于数据读出状态,将缓存器中存储的初始数据写入外部存储器;在接收到上述多个内部存储器中的目标内部存储器返回的数据读取请求的情况下,基于预设交织深度、上述外部存储器的数据读写性能参数和上述外部存储器的第一数据位宽,确定与上述外部存储器相关的第一单位偏移量和第二单位偏移量;以及基于上述第一单位偏移量和上述第二单位偏移量,利用与上述初始数据相关的第一行计数器和第一列计数器,将上述初始数据交织写入上述目标内部存储器。

[0006] 根据本公开的实施例,上述基于上述第一单位偏移量和上述第二单位偏移量,利用与上述初始数据相关的第一行计数器和第一列计数器,将上述初始数据交织写入上述目标内部存储器,包括:基于上述第一行计数器的计数值、上述第一列计数器的计数值、上述第一单位偏移量和上述第二单位偏移量,确定上述初始数据中待处理的初始子数据的存储

地址;基于上述初始子数据的存储地址,将上述初始子数据写入上述目标内部存储器;以及更新上述第一行计数器和上述第一列计数器各自的计数值。

[0007] 根据本公开的实施例,上述基于上述第一行计数器的计数值、上述第一列计数器的计数值、上述第一单位偏移量和上述第二单位偏移量,确定上述初始子数据的存储地址,包括:基于上述第一单位偏移量和上述第一行计数器的计数值,确定行地址偏移量;基于上述第二单位偏移量和上述第一列计数器的计数值,确定列地址偏移量;以及基于上述初始数据的初始存储地址、上述初始子数据的上述行地址偏移量和上述列地址偏移量,确定上述初始子数据的存储地址。

[0008] 根据本公开的实施例,上述更新上述第一行计数器和上述第一列计数器各自的计数值,包括:基于第一预设步长,更新上述第一行计数器的计数值;以及在确定上述第一行计数器的计数值等于上述预设交织深度的情况下,基于第二预设步长,更新上述第一列计数器的计数值。

[0009] 根据本公开的实施例,上述方法还包括:在确定上述第一行计数器的计数值等于上述预设交织深度的情况下,将上述第一行计数器的计数值重置为初始值;以及在确定上述第一列计数器的计数值等于预设计数值的情况下,将上述第一列计数器的计数值重置为初始值,其中,上述预设计数值与上述外部存储器的数据读写性能参数和上述外部存储器的第一数据位宽相关。

[0010] 根据本公开的实施例,上述基于上述初始子数据的存储地址,将上述初始子数据写入上述目标内部存储器,包括:基于上述外部存储器的数据读写性能参数,将上述初始子数据切分为多个数据块;基于上述初始子数据的存储地址,分别确定上述多个数据块各自的存储地址;以及基于上述多个数据块各自的存储地址,将上述多个数据块依次写入上述目标内部存储器。

[0011] 根据本公开的实施例,上述基于预设交织深度、上述外部存储器的数据读写性能参数和上述外部存储器的第一数据位宽,确定与上述外部存储器相关的第一单位偏移量和第二单位偏移量,包括:基于上述初始数据的数据量,上述预设交织深度和上述外部存储器的第一数据位宽,确定上述第一单位偏移量;以及基于上述外部存储器的数据读写性能参数和上述外部存储器的第一数据位宽,确定上述第二单位偏移量。

[0012] 根据本公开的实施例,上述方法还包括:基于上述内部存储器的第二位宽,确定与上述内部存储器相关的行数目的值和列数目的值;以及基于上述行数目的值和上述列数目的值,利用第二行计数器和第二列计数器,读出上述内部存储器中的经交织得到的目标数据。

[0013] 本公开的第二方面提供了一种利用单片存储器实现的快速块交织或解交织装置,包括:外存写入模块,用于响应于多个内部存储器均处于数据读出状态,将缓存器中存储的初始数据写入外部存储器;偏移量确定模块,用于在接收到上述多个内部存储器中的目标内部存储器返回的数据读取请求的情况下,基于预设交织深度、上述外部存储器的数据读写性能参数和上述外部存储器的第一数据位宽,确定与上述外部存储器相关的第一单位偏移量和第二单位偏移量;以及内存写入模块,用于基于上述第一单位偏移量和上述第二单位偏移量,利用与上述初始数据相关的第一行计数器和第一列计数器,将上述初始数据交织写入上述目标内部存储器。

[0014] 本公开的第三方面提供了一种电子设备,包括:一个或多个处理器;存储器,用于

存储一个或多个程序,其中,当所述一个或多个程序被所述一个或多个处理器执行时,使得一个或多个处理器执行上述利用单片存储器实现的快速块交织或解交织方法。

[0015] 通过响应于多个内部存储器均处于数据读出状态,将缓存器中存储的初始数据写入外部存储器,使得外部存储器在处于无需进行读操作的空闲状态时,执行写操作,节省进行数据读写需要的时间,从而提高交织速率,同时利用外部存储器实现交织,使得交织器存储容量增大,能够满足较高交织深度的要求。通过对多个内部存储器中目标内部存储器的判断,确定多个内部存储器中不处于读状态的内部存储器为目标内部存储器,保证多个内部存储器中均有可读出的数据。通过确定第一单位偏移量和第二单位偏移量,在读出外部存储器中存储的初始数据时,基于第一单位偏移量和第二单位偏移量实现地址控制,进而实现高速率的交织。

### 附图说明

[0016] 通过以下参照附图对本公开实施例的描述,本公开的上述内容以及其他目的、特征和优点将更为清楚,在附图中:

[0017] 图1示意性示出了根据本公开实施例的利用单片存储器实现的快速块交织或解交织方法、装置及设备的应用场景图;

[0018] 图2示意性示出了根据本公开实施例的利用单片存储器实现的快速块交织或解交织方法的流程图;

[0019] 图3示意性示出了根据本公开实施例的数据写入目标内部存储器的流程图;

[0020] 图4示意性示出了根据本公开实施例的确定初始子数据存储地址的流程图;

[0021] 图5示意性示出了根据本公开实施例的将初始子数据写入目标内部存储器的流程图;

[0022] 图6示意性示出了根据本公开实施例的外部存储器中初始数据的存储结构示意图;

[0023] 图7示意性示出了根据本公开实施例的外部存储器中初始数据的读取结构示意图;

[0024] 图8示意性示出了根据本公开实施例的读出目标数据的流程图;

[0025] 图9示意性示出了根据本公开实施例的内部存储器中目标数据的存储结构示意图;

[0026] 图10示意性示出了根据本公开实施例的利用单片存储器实现的快速块交织或解交织装置的结构框图;以及

[0027] 图11示意性示出了根据本公开实施例的适于实现利用单片存储器实现的快速块交织或解交织方法的电子设备的方框图。

### 具体实施方式

[0028] 以下,将参照附图来描述本公开的实施例。但是应该理解,这些描述只是示例性的,而并非要限制本公开的范围。在下面的详细描述中,为便于解释,阐述了许多具体的细节以提供对本公开实施例的全面理解。然而,明显地,一个或多个实施例在没有这些具体细节的情况下也可以被实施。此外,在以下说明中,省略了对公知结构和技术的描述,以避免

不必要地混淆本公开的概念。

[0029] 在此使用的术语仅仅是为了描述具体实施例,而并非意在限制本公开。在此使用的术语“包括”、“包含”等表明了所述特征、步骤、操作和/或部件的存在,但是并不排除存在或添加一个或多个其他特征、步骤、操作或部件。

[0030] 在此使用的所有术语(包括技术和科学术语)具有本领域技术人员通常所理解的含义,除非另外定义。应注意,这里使用的术语应解释为具有与本说明书的上下文相一致的含义,而不应以理想化或过于刻板的方式来解释。

[0031] 在使用类似于“A、B和C等中至少一个”这样的表述的情况下,一般来说应该按照本领域技术人员通常理解该表述的含义来予以解释(例如,“具有A、B和C中至少一个的系统”应包括但不限于单独具有A、单独具有B、单独具有C、具有A和B、具有A和C、具有B和C、和/或具有A、B、C的系统等)。

[0032] 相关技术中,交织技术是利用FPGA芯片来实现数据的交织和解交织,但是由于FPGA芯片的存储容量有限,无法满足较高交织深度的要求。如连续误码长度为MByte量级时,以纠错能力可以满足2%误码率情况下可纠时,交织需要约128MB的存储空间,如此大规模的存储单元难以集成在传统的FPGA芯片内部,即FPGA芯片的存储容量无法满足交织以及解交织的存储容量需求。

[0033] 本公开的实施例提供了一种利用单片存储器实现的快速块交织或解交织方法,该方法包括:响应于多个内部存储器均处于数据读出状态,将缓存器中存储的初始数据写入外部存储器;在接收到多个内部存储器中的目标内部存储器返回的数据读取请求的情况下,基于预设交织深度、外部存储器的数据读写性能参数和外部存储器的第一数据位宽,确定与外部存储器相关的第一单位偏移量和第二单位偏移量;以及基于第一单位偏移量和第二单位偏移量,利用与初始数据相关的第一行计数器和第一列计数器,将初始数据交织写入目标内部存储器。

[0034] 图1示意性示出了根据本公开实施例的利用单片存储器实现的快速块交织或解交织方法的应用场景图。

[0035] 如图1所示,根据该实施例的应用场景100可以包括FPGA芯片110和外部存储器120。FPGA芯片110包括缓存器、内部存储器、读写控制组件三部分。外部存储器120,用以存储读写控制组件从缓存器中读出的数据。

[0036] 缓存器,可以对写入外部存储器120前的数据进行位宽转换并起到缓存作用。内部存储器,用以存储读写控制组件从外部存储器120中读出的数据。读写控制组件,用以将缓存器中存储的数据写入外部存储器120,以及将外部存储器120中存储的数据写入内部存储器。

[0037] 需要说明的是,本公开实施例所提供的利用单片存储器实现的快速块交织或解交织方法一般可以由读写控制组件执行。相应地,本公开实施例所提供的利用单片存储器实现的快速块交织或解交织装置一般可以设置于读写控制组件中。本公开实施例所提供的利用单片存储器实现的快速块交织或解交织方法也可以由不同于读写控制组件且能够与缓存器、内部存储器、外部存储器120和/或读写控制组件通信的组件或组件集群执行。相应地,本公开实施例所提供的利用单片存储器实现的快速块交织或解交织装置也可以设置于不同于读写控制组件且能够与缓存器、内部存储器、外部存储器120和/或读写控制组件通

信的组件或组件集群中。

[0038] 应该理解,图1中的缓存器、内部存储器、外部存储器和读写控制组件的数目仅仅是示意性的。根据实现需要,可以具有任意数目的缓存器、内部存储器、外部存储器和读写控制组件。

[0039] 以下将基于图1描述的场景,通过图2~图9对公开实施例的利用单片存储器实现的快速块交织或解交织方法进行详细描述。

[0040] 图2示意性示出了根据本公开实施例的利用单片存储器实现的快速块交织或解交织方法的流程图。

[0041] 如图2所示,该实施例的利用单片存储器实现的快速块交织或解交织方法200包括操作S210~操作S230。

[0042] 在操作S210,响应于多个内部存储器均处于数据读出状态,将缓存器中存储的初始数据写入外部存储器。

[0043] 根据本公开的实施例,内部存储器的数量至少为两个,可以包括简单双口随机存储器(Random Access Memory, RAM)等存储器,位于FPGA芯片内部。缓存器可以包括先进先出存储器(First Input First Output, FIFO),位于FPGA芯片内部。初始数据存储于缓存器中。外部存储器位于FPGA芯片外部,可以包括第三代双倍速率同步动态随机存储器(Double Data Rate Synchronous Dynamic Random-access Memory3, DDR3)。

[0044] 根据本公开的实施例,由于外部存储器不能同时进行读和写操作,为了优先保证多个内部存储器中均有可读出的数据,所以在多个内部存储器均处于数据读出状态时,无需读取外部存储器中的数据并将数据写入内部存储器,可以利用此时外部存储器的空闲时间将缓存器中的初始数据写入外部存储器,节省时间、提高效率。

[0045] 根据本公开的实施例,FPGA芯片接收到外部传入的待交织或待解交织数据,将待交织或待解交织的数据存入缓存器中,可以在数据写入外部存储器之前对数据进行位宽转换并起到缓存作用。

[0046] 例如,外部存储器可以为存储位宽为16bit的DDR3,一次读写数据量为128bit。因此可以设置缓存器一次读操作处理的数据量大小为128bit,一次写操作处理的数据量大小可以根据外部前级组件的需求进行调整。

[0047] 在操作S220,在接收到多个内部存储器中的目标内部存储器返回的数据读取请求的情况下,基于预设交织深度、外部存储器的数据读写性能参数和外部存储器的第一数据位宽,确定与外部存储器相关的第一单位偏移量和第二单位偏移量。

[0048] 根据本公开的实施例,目标内部存储器为多个内部存储器中不处于读状态的内部存储器。数据读取请求为目标内部存储器返回的,需要读取外部存储器中数据并将数据写入目标内部存储器的请求。交织深度为交织前相邻的数据在交织后的最小距离,预设交织深度为交织深度的预设值,可以根据需求进行调整。外部存储器的数据读写性能参数用于表征外部存储器进行一次读或写操作处理的数据量,与外部存储器的读写性能相关。第一数据位宽用于表征外部存储器中每个地址下的数据位数,与外部存储器的存储性能相关。第一单位偏移量和第二单位偏移量用于表征数据在外部存储器内的实际存储地址与外部存储器基地址之间的单位距离。

[0049] 根据本公开的实施例,确定多个内部存储器中不处于读状态的内部存储器为目标



内部存储器,此时目标内部存储器处于空闲状态,目标内部存储器返回数据读取请求,保证多个内部存储器中均有可读出的数据。

[0050] 在操作S230,基于第一单位偏移量和第二单位偏移量,利用与初始数据相关的第一行计数器和第一列计数器,将初始数据交织写入目标内部存储器。

[0051] 根据本公开的实施例,第一行计数器和第一列计数器用于在读取外部存储器中初始数据时,确定存储地址。

[0052] 根据本公开的实施例,基于第一单位偏移量和第二单位偏移量,利用第一行计数器和第一列计数器,可以确定待读取的部分初始数据的并写入目标内部存储器。

[0053] 根据公开的实施例,通过响应于多个内部存储器均处于数据读出状态,将缓存器中存储的初始数据写入外部存储器,使得外部存储器在处于无需进行读操作的空闲状态时,执行写操作,节省进行数据读写需要的时间,从而提高交织速率,同时利用外部存储器实现交织,使得交织器存储容量增大,能够满足较高交织深度的要求。通过对多个内部存储器中目标内部存储器的判断,确定多个内部存储器中不处于读状态的内部存储器为目标内部存储器,保证多个内部存储器中均有可读出的数据。通过确定第一单位偏移量和第二单位偏移量,在读出外部存储器中存储的初始数据时,基于第一单位偏移量和第二单位偏移量实现地址控制,进而实现高速率的交织。

[0054] 图3示意性示出了根据本公开实施例的数据写入目标内部存储器的流程图。

[0055] 如图3所示,该方法包括操作S310~操作S330。

[0056] 在操作S310,基于第一行计数器的计数值、第一列计数器的计数值、第一单位偏移量和第二单位偏移量,确定初始数据中待处理的初始子数据的存储地址。

[0057] 根据本公开的实施例,初始子数据为待处理的部分初始数据,初始子数据内部的数据元素以顺序读取的方式读出。

[0058] 根据本公开的实施例,第一行计数器的计数值用于表征初始子数据的存储地址相对于初始数据基地址在行方向上偏移单位距离的数目。第一列计数器用于表征初始子数据的存储地址相对于初始数据基地址在列方向上偏移单位距离的数目。

[0059] 根据本公开的实施例,由于要通过初始数据在外部存储器的读写实现对初始数据的交织,所以在初始数据顺序写入外部存储器的情况下,需要通过基于第一行计数器的计数值、第一列计数器的计数值、第一单位偏移量和第二单位偏移量确定初始子数据的存储地址,利用地址控制实现随机读出。

[0060] 在操作S320,基于初始子数据的存储地址,将初始子数据写入目标内部存储器。

[0061] 根据本公开的实施例,基于初始子数据的存储地址,确定待处理的初始子数据,读出外部存储器中的待处理的初始子数据并顺序写入目标内部存储器,完成初始数据的交织。

[0062] 在操作S330,更新第一行计数器和第一列计数器各自的计数值。

[0063] 根据本公开的实施例,通过不断更新第一行计数器和第一列计数器各自的计数值,确定初始数据中待处理的初始子数据的地址。

[0064] 根据本公开的实施例,在外部存储器中通过读写操作实现对初始数据的交织时,初始数据写入外部存储器的方式为顺序写入,则从外部存储器中读取初始数据的方式必然为随机读取。首先基于当前第一行计数器和第一列计数器的计数值确定第一初始子数据的

存储地址,之后通过第一行计数器和第一列计数器计数值的改变确定待处理的第二初始子数据的存储地址。

[0065] 根据本公开的实施例,通过基于第一单位偏移量和第二单位偏移量,利用不断更新的第一行计数器和第一列计数器的计数值,确定待处理的初始子数据的存储地址,通过地址控制实现初始数据的随机读取,进而实现对初始数据的交织。

[0066] 图4示意性示出了根据本公开实施例的确定初始子数据存储地址的流程图。

[0067] 如图4所示,该方法包括操作S410~操作S430。

[0068] 在操作S410,基于第一单位偏移量和第一行计数器的计数值,确定行地址偏移量。

[0069] 根据本公开的实施例,行地址偏移量为第一单位偏移量与第一行计数器的计数值的乘积,用于表征待处理的初始子数据在行方向上的地址偏移量。

[0070] 例如,第一单位偏移量为8192,第一行计数器的计数值为1,此时行地址偏移量为 $1*8192=8192$ 。

[0071] 在操作S420,基于第二单位偏移量和第一列计数器的计数值,确定列地址偏移量。

[0072] 根据本公开的实施例,列地址偏移量为第二单位偏移量与第一列计数器的计数值的乘积,用于表征待处理的初始子数据在列方向上的地址偏移量。

[0073] 例如,第二单位偏移量为32,第二行计数器的计数值为3,此时列地址偏移量为 $3*32=96$ 。

[0074] 在操作S430,基于初始数据的初始存储地址、初始子数据的行地址偏移量和列地址偏移量,确定初始子数据的存储地址。

[0075] 根据本公开的实施例,初始子数据的存储地址为初始数据的初始存储地址、行地址偏移量和列地址偏移量的和,用于表征初始子数据的实际存储地址。

[0076] 例如,初始数据的初始存储地址为0,行地址偏移量为8192,列地址偏移量为96,此时初始子数据的存储地址为 $0+8192+96=8288$ 。

[0077] 根据本公开的实施例,通过计算行地址偏移量和列地址偏移量,确定初始子数据的实际存储地址,通过地址控制实现了对初始数据的交织。

[0078] 根据本公开的实施例,更新第一行计数器和第一列计数器各自的计数值,包括:基于第一预设步长,更新第一行计数器的计数值;以及在确定第一行计数器的计数值等于预设交织深度的情况下,基于第二预设步长,更新第一列计数器的计数值。

[0079] 根据本公开的实施例,第一预设步长为第一行计数器进行自增的预设步长值。

[0080] 根据本公开的实施例,在将一个初始子数据完全写入目标内部存储器之后,基于第一预设步长,对第一行计数器进行自增操作。

[0081] 例如,第一预设步长为1,第一行计数器的计数值为1,在一个初始子数据完全写入目标内部存储器之后,第一行计数器的计数值自增1,此时第一行计数器的计数值为2。

[0082] 根据本公开的实施例,第二预设步长为第一列计数器进行自增的预设步长值。

[0083] 根据本公开的实施例,第一行计数器的计数值等于预设交织深度的情况表征一列初始子数据已经全部写入到目标内部存储器中,此时需要确定下一列待处理的多个初始子数据,基于第二预设步长,对第一列计数器进行自增操作。

[0084] 例如,第二预设步长为1,第一列计数器的计数值为1,在第一行计数器的计数值等于预设交织深度的情况下,第一列计数器的计数值自增1,此时第一列计数器的计数值为2。

[0085] 根据本公开的实施例,基于一定条件和预设步长更新第一行计数器的计数值和第一列计数器的计数值,能够精准地确定初始子数据的存储地址。

[0086] 根据本公开的实施例,在确定第一行计数器的计数值等于预设交织深度的情况下,将第一行计数器的计数值重置为初始值;在确定第一列计数器的计数值等于预设计数值的情况下,将第一列计数器的计数值重置为初始值,其中,预设计数值与外部存储器的数据读写性能参数和外部存储器的第一数据位宽相关。

[0087] 根据本公开的实施例,第一行计数器的计数值等于预设交织深度的情况表征一列初始子数据已经全部写入到内部存储器中,此时需要确定下一列待处理的多个初始子数据中第一个待处理的初始子数据,所以需要将第一行计数器的计数值重置为初始值,确定下一列待处理的多个初始子数据中第一个待处理的初始子数据的存储地址。

[0088] 根据本公开的实施例,预设计数值基于外部存储器的数据读写性能参数与外部存储器的第一数据位宽进行一次除法运算得到。

[0089] 根据本公开的实施例,第一列计数器的计数值等于预设计数值的情况表征第一初始数据已经全部写入到内部存储器中,此时需要对第二初始数据进行处理,将第一列计数器的计数值重置为初始值,可以确定第二初始数据的初始存储地址。

[0090] 根据本公开的实施例,对第一行计数器和第一列计数器进行重置操作,通过地址控制,不断地将外部存储器中存储的初始数据写入到内部存储器中,提高数据处理效率。

[0091] 图5示意性示出了根据本公开实施例的将初始子数据写入目标内部存储器的流程图。

[0092] 如图5所示,该方法包括操作S510~S530。

[0093] 在操作S510,基于外部存储器的数据读写性能参数,将初始子数据切分为多个数据块。

[0094] 根据本公开的实施例,数据块为外部存储器进行一次读或写操作处理的数据。

[0095] 例如,初始子数据的数据量大小为512bit,外部存储器进行一次读或写操作处理的数据量大小为128bit,则每个初始子数据被切分为4个数据块。

[0096] 在操作S520,基于初始子数据的存储地址,分别确定多个数据块各自的存储地址。

[0097] 根据本公开的实施例,由于初始子数据为一段存储地址连续的数据,多个数据块存储地址相邻,所以基于初始子数据的存储位置就可以确定多个数据块各自的存储地址。

[0098] 在操作S530,基于多个数据块各自的存储地址,将多个数据块依次写入目标内部存储器。

[0099] 根据本公开的实施例,基于数据块的存储地址,从外部存储器中读出数据块并依次写入到目标内部存储器中。

[0100] 根据本公开的实施例,通过在初始子数据内顺序读出多个数据块,提高了初始数据的读出速度,进一步提高了对初始数据进行交织处理的速度。

[0101] 根据本公开的实施例,基于预设交织深度、外部存储器的数据读写性能参数和外部存储器的第一数据位宽,确定与外部存储器相关的第一单位偏移量和第二单位偏移量,包括:基于初始数据的数据量,预设交织深度和外部存储器的第一数据位宽,确定第一单位偏移量;基于外部存储器的数据读写性能参数和外部存储器的第一数据位宽,确定第二单位偏移量。

[0102] 根据本公开的实施例,可以将外部存储器中存储的初始数据看作第一矩阵,第一矩阵行的数量等于预设交织深度。将初始数据的数据量与预设交织深度作除法运算,可以得到矩阵每一行可以容纳的数据量,再将矩阵每一行可以容纳的数据量与外部存储器的第一数据位宽作除法运算,得到第一单位偏移量。将外部存储器进行一次读或写操作处理的数据量与顺序读取的次数作乘法运算,得到连续读取的数据量,再将连续读取的数据量与外部存储器的第一位宽作除法运算,得到第二单位偏移量。

[0103] 根据本公开的实施例,通过确定第一单位偏移量和第二单位偏移量,将初始数据进行单位划分,便于进行对初始数据的交织。

[0104] 根据本公开的实施例,以数据位宽为16bit、一次读或写操作处理数据量为128bit的DDR3为外部存储器,初始数据的数据量大小为1Gbit,预设交织深度为8192为例,但是不局限于此,外部存储器中的初始数据的存储结构可以参考图6。

[0105] 图6示意性示出了根据本公开实施例的外部存储器中初始数据的存储结构示意图。

[0106] 如图6所示,第一矩阵行的数目为8192,与预设交织深度相等。故每行容纳的数据量为 $1\text{Gbit} \div 8192 = 2^{17}\text{bit}$ 。由于外部存储器的第一位宽为16bit,即外部存储器中每个地址存储的数据位数为16bit,每个第一单位数据的数据量大小为16bit,第一矩阵列的数量为 $2^{17}\text{bit} \div 16\text{bit} = 8192$ ,即第一矩阵每行容纳8192第一单位数据。

[0107] 根据本公开的实施例,由于外部存储器的一次读或写的数据量为128bit,并且在将初始数据写入到目标内部存储器时,针对初始数据读出方式是随机读出初始子数据,针对初始子数据的读出方式是顺序读出数据块。外部存储器中读取初始数据的结构可以参考图7所示的结构。

[0108] 图7示意性示出了根据本公开实施例的外部存储器中初始数据的读取结构示意图。

[0109] 如图7所示,在读取外部存储器中存储的初始数据时,进行连续读取的数据量大小为512bit,即初始子数据的数据量大小为512bit,第一矩阵每行包含256个初始子数据,数据块的大小为128bit,每个初始子数据中包含4个数据块。

[0110] 根据本公开的实施例,对外部存储器中的初始数据的读取并不改变外部存储器中初始数据的存储方式,每个第一单位数据的数据量大小仍为16bit。初始数据中每一行容纳的第一单位数据的个数为第一单位偏移量,每个初始子数据容纳的第一单位数据的个数为第二单位偏移量。所以可以通过第一单位偏移量和第二单位偏移量确定待处理的初始子数据的存储地址。

[0111] 根据本公开的实施例,第一单位偏移量为8192,第二单位偏移量为 $512\text{bit} \div 16\text{bit} = 32$ 。第一预设步长和第二预设步长均为1,初始数据的初始地址为0,第一行计数器和第一列计数器的初始值均为0。

[0112] 根据本公开的实施例,此时行地址偏移量为0,列地址偏移量为0,读取第一行第一列的初始子数据,读取完成后第一行计数器的计数值自增1,读取存储地址为 $1 \times 8192 + 0 = 8192$ 的待处理的初始子数据,即第二行第一列的初始子数据。按照此方法将第一列初始子数据全部读取完成后,第一列计数器的计数值自增1,第一行计数器的计数值重置为初始值0,确定待处理的初始子数据的存储地址为 $0 + 1 \times 32 = 32$ ,即第一行第二列的初始子数据。按

照此方法将256列初始子数据全部读取完毕,第一行计数器和第一列计数器都重置为初始值0。

[0113] 图8示意性示出了根据本公开实施例的读出目标数据的流程图。

[0114] 如图8所示,该方法包括操作S810~操作S820。

[0115] 在操作S810,基于内部存储器的第二位宽,确定与内部存储器相关的行数目值和列数目值。

[0116] 根据本公开的实施例,内部存储器的第二位宽为内部存储器中每个存储地址下存储的数据位数,与内部存储器的存储性能相关。第二位宽表征目标数据中每个第二单位数据的数据量大小。

[0117] 根据本公开的实施例,可以将目标数据在内部存储器的存储结构看作第二矩阵,第二矩阵的行数目值等于预设交织深度,第二矩阵每行容纳的数据量大小为一个初始子数据的数据量大小。将第二矩阵每行容纳的数据量与第二位宽作除法运算,得到第二矩阵的列数目值。

[0118] 例如,内部存储器的第二位宽为8bit,内部存储器中每个存储地址下存储的数据量大小为8bit,即内部存储器中每个第二单位数据的数据量大小为8bit。初始子数据的数据量大小为512bit,则第二矩阵的列数目值为 $512\text{bit} \div 8\text{bit} = 64$ 。

[0119] 在操作S820,基于行数目值和列数目值,利用第二行计数器和第二列计数器,读出内部存储器中的经交织得到的目标数据。

[0120] 根据本公开的实施例,第二行计数器用于表征待读出的第二单位数据的存储地址相对于目标数据基地址在行方向上偏移的数目。第二列计数器用于表征待读出的第二单位数据的存储地址相对于目标数据基地址在列方向上偏移的数目。将第二行计数器的计数值与列数目值作乘法运算得到第二单位数据的行地址,将第二列计数器的计数值与行数目值作乘法运算得到第二单位数据的列地址,将目标数据的基地址、第二单位数据的行地址和第二单位数据的列地址作加法运算,可以得到待读出的第二单位数据的存储地址。

[0121] 例如,第二矩阵的行数目值为8192,列数目值为64,目标数据的基地址为0,第二行计数器的计数值为2,第二列计数器的计数值为1,此时待读出的第二单位数据的存储地址为 $0+2 \times 64+1 \times 8192=8320$ 。

[0122] 根据本公开的实施例,可以设置内部存储器进行一次读操作处理的数据量大小等于第二位宽,则内部存储器进行一次读操作只处理一个数据。

[0123] 根据本公开的实施例,每读出一个第二单位数据,第二行计数器的计数值自增1。在第二行计数器的计数值与行数目值相等的情况下,第二行计数器的计数值重置为0,第二列计数器的计数值自增1。在第二列计数器的计数值与列数目值相等的情况下,第二列计数器的计数值重置为0。

[0124] 根据本公开的实施例,由于向内部存储器中写入目标数据的形式为顺序写入,所以需要随机读出才能在内部存储器中实现对目标数据的交织。通过第二行计数器、第二列计数器、行数目值和列数目值确定待读出的第二数据的位置,通过地址控制实现随机读出。

[0125] 根据本公开的实施例,通过对内部存储器中存储的目标数据进行随机读取,再次进行交织,使得对数据的交织更充分,进而提高纠错性能。

[0126] 根据本公开的实施例,以数据位宽为8bit、一次读操作处理数据量为8bit的RAM为内部存储器,目标数据的数据量大小与初始数据中一列初始子数据的数据量大小相等,但不限于此,内部存储器中目标数据的存储结构可以参考图9。

[0127] 图9示意性示出了根据本公开实施例的内部存储器中目标数据的存储结构示意图。

[0128] 如图9所示,第二矩阵的行数目值为8192,与预设交织深度相等,每行容纳的数据量为一个初始子数据的数据量512bit。由于内部存储器的第二位宽为8bit,即内部存储器中每个地址存储的数据位数为8bit,则每个第二单位数据的数据量大小为8bit,第二矩阵的列数目值为 $512\text{bit} \div 8\text{bit} = 64$ ,即第二矩阵每行容纳64个第二单位数据。

[0129] 根据本公开的实施例,设置内部存储器一次读操作处理的数据量大小与第二位宽相等,内部存储器一次读操作处理的数据量大小为8bit。

[0130] 根据本公开的实施例,第二行计数器和第二列计数器的初始值均为0,内部存储器中目标数据的基地址为0,此时读出存储地址为0的第二单位数据,即第二矩阵中第一行第一列的第二单位数据,读出完成后第二行计数器的计数值自增1,确定待读取的第二单位数据的存储地址为 $0+1 \times 64+0=64$ 。按照此方法将目标数据中的一列第二单位数据完全读出后,第二列计数器自增1,第二行计数器重置为0,确定待处理的第二单位数据的存储地址为 $0+0+1 \times 8192=8192$ ,即第一行第二列的第二单位数据。按照此方法将64列第二单位数据读出完毕,第二行计数器和第二列计数器的计数值都重置为0。

[0131] 基于上述利用单片存储器实现的快速块交织或解交织方法,本公开还提供了一种利用单片存储器实现的快速块交织或解交织装置。以下将结合图10对该装置进行详细描述。

[0132] 图10示意性示出了根据本公开实施例的利用单片存储器实现的快速块交织或解交织装置的结构框图。

[0133] 如图10所示,该实施例的利用单片存储器实现的快速块交织或解交织装置1000包括外存写入模块1010、偏移量确定模块1020和内存写入模块1030。

[0134] 外存写入模块1010用于响应于多个内部存储器均处于数据读出状态,将缓存器中存储的初始数据写入外部存储器。在一实施例中,外存写入模块1010可以用于执行前文描述的操作S210,在此不再赘述。

[0135] 偏移量确定模块1020用于在接收到所述多个内部存储器中的目标内部存储器返回的数据读取请求的情况下,基于预设交织深度、所述外部存储器的数据读写性能参数和所述外部存储器的第一数据位宽,确定与所述外部存储器相关的第一单位偏移量和第二单位偏移量。在一实施例中,偏移量确定模块1020可以用于执行前文描述的操作S220,在此不再赘述。

[0136] 内存写入模块1030用于基于所述第一单位偏移量和所述第二单位偏移量,利用与所述初始数据相关的第一行计数器和第一列计数器,将所述初始数据交织写入所述目标内部存储器。在一实施例中,内存写入模块1030可以用于执行前文描述的操作S230,在此不再赘述。

[0137] 根据本公开的实施例,内存写入模块还包括地址确定子模块,数据写入子模块和计数值更新子模块。

[0138] 地址确定子模块用于基于所述第一行计数器的计数值、所述第一列计数器的计数值、所述第一单位偏移量和所述第二单位偏移量,确定所述初始数据中待处理的初始子数据的存储地址。

[0139] 数据写入子模块用于基于所述初始子数据的存储地址,将所述初始子数据写入所述目标内部存储器。

[0140] 计数值更新子模块用于更新所述第一行计数器和所述第一列计数器各自的计数值。

[0141] 根据本公开的实施例,地址确定子模块还包括第一确定单元、第二确定单元和地址确定单元。

[0142] 第一确定单元用于基于所述第一单位偏移量和所述第一行计数器的计数值,确定行地址偏移量。

[0143] 第二确定单元用于基于所述第二单位偏移量和所述第一列计数器的计数值,确定列地址偏移量。

[0144] 地址确定单元用于基于所述初始数据的初始存储地址、所述初始子数据的所述行地址偏移量和所述列地址偏移量,确定所述初始子数据的存储地址。

[0145] 根据本公开的实施例,计数更新子模块还包括行更新单元和列更新单元。

[0146] 行更新单元用于基于第一预设步长,更新所述第一行计数器的计数值。

[0147] 列更新单元用于在确定所述第一行计数器的计数值等于所述预设交织深度的情况下,基于第二预设步长,更新所述第一列计数器的计数值。

[0148] 根据本公开的实施例,计数更新子模块还包括行重置单元和列重置单元。

[0149] 行重置单元用于在确定所述第一行计数器的计数值等于所述预设交织深度的情况下,将所述第一行计数器的计数值重置为初始值。

[0150] 列重置单元用于在确定所述第一列计数器的计数值等于预设计数值的情况下,将所述第一列计数器的计数值重置为初始值,其中,所述预设计数值与所述外部存储器的数据读写性能参数和所述外部存储器的第一数据位宽相关。

[0151] 根据本公开的实施例,数据写入子模块还包括数据块切分单元、数据块确定单元和数据块写入单元。

[0152] 数据块切分单元用于基于所述外部存储器的数据读写性能参数,将所述初始子数据切分为多个数据块。

[0153] 数据块确定单元用于基于所述初始子数据的存储地址,分别确定所述多个数据块各自的存储地址。

[0154] 数据块写入单元用于基于所述多个数据块各自的存储地址,将所述多个数据块依次写入所述目标内部存储器。

[0155] 根据本公开的实施例,偏移量确定模块1020还包括第一确定子模块和第二确定子模块。

[0156] 第一确定子模块用于基于所述初始数据的数据量,所述预设交织深度和所述外部存储器的第一数据位宽,确定所述第一单位偏移量。

[0157] 第二确定子模块用于基于所述外部存储器的数据读写性能参数和所述外部存储器的第一数据位宽,确定所述第二单位偏移量。

[0158] 根据本公开的实施例,利用单片存储器实现的快速块交织或解交织装置1000还包括行列数目确定模块和内存读出模块。

[0159] 行列数目确定模块用于基于所述内部存储器的第二位宽,确定与所述内部存储器相关的行数目值和列数目值。

[0160] 内存读出模块用于基于所述行数目值和所述列数目值,利用第二行计数器和第二列计数器,读出所述内部存储器中的经交织得到的目标数据。

[0161] 根据本公开的实施例,外存写入模块1010、偏移量确定模块1020和内存写入模块1030中的任意多个模块可以合并在一个模块中实现,或者其中的任意一个模块可以被拆分成多个模块。或者,这些模块中的一个或多个模块的至少部分功能可以与其他模块的至少部分功能相结合,并在一个模块中实现。根据本公开的实施例,外存写入模块1010、偏移量确定模块1020和内存写入模块1030中的至少一个可以至少被部分地实现为硬件电路,例如现场可编程门阵列(FPGA)、可编程逻辑阵列(PLA)、片上系统、基板上的系统、封装上的系统、专用集成电路(ASIC),或可以通过对电路进行集成或封装的任何其他的合理方式等硬件或固件来实现,或以软件、硬件以及固件三种实现方式中任意一种或以其中任意几种的适当组合来实现。或者,外存写入模块1010、偏移量确定模块1020和内存写入模块1030中的至少一个可以至少被部分地实现为计算机程序模块,当该计算机程序模块被运行时,可以执行相应的功能。

[0162] 图11示意性示出了根据本公开实施例的适于实现利用单片存储器实现的快速块交织或解交织方法的电子设备的方框图。

[0163] 如图11所示,根据本公开实施例的电子设备1100包括处理器1101,其可以根据存储在只读存储器(ROM) 1102中的程序或者从存储部分1108加载到随机访问存储器(RAM) 1103中的程序而执行各种适当的动作和处理。处理器1101例如可以包括通用微处理器(例如CPU)、指令集处理器和/或相关芯片组和/或专用微处理器(例如,专用集成电路(ASIC))等等。处理器1101还可以包括用于缓存用途的板载存储器。处理器1101可以包括用于执行根据本公开实施例的方法流程的不同动作的单一处理单元或者是多个处理单元。

[0164] 在RAM 1103中,存储有电子设备1100操作所需的各种程序和数据。处理器1101、ROM 1102以及RAM 1103通过总线1104彼此相连。处理器1101通过执行ROM 1102和/或RAM 1103中的程序来执行根据本公开实施例的方法流程的各种操作。需要注意,所述程序也可以存储在除ROM 1102和RAM 1103以外的一个或多个存储器中。处理器1101也可以通过执行存储在所述一个或多个存储器中的程序来执行根据本公开实施例的方法流程的各种操作。

[0165] 根据本公开的实施例,电子设备1100还可以包括输入/输出(I/O)接口1105,输入/输出(I/O)接口1105也连接至总线1104。电子设备1100还可以包括连接至I/O接口1105的以下部件中的一项或多项:包括键盘、鼠标等的输入部分1106;包括诸如阴极射线管(CRT)、液晶显示器(LCD)等以及扬声器等的输出部分1107;包括硬盘等的存储部分1108;以及包括诸如LAN卡、调制解调器等的网络接口卡的通信部分1109。通信部分1109经由诸如因特网的网络执行通信处理。驱动器1110也根据需要连接至I/O接口1105。可拆卸介质1111,诸如磁盘、光盘、磁光盘、半导体存储器等等,根据需要安装在驱动器1110上,以便于从其上读出的计算机程序根据需要被安装入存储部分1108。

[0166] 本公开还提供了一种计算机可读存储介质,该计算机可读存储介质可以是上述实



施例中描述的设备/装置/系统中所包含的;也可以是单独存在,而未装配入该设备/装置/系统中。上述计算机可读存储介质承载有一个或者多个程序,当上述一个或者多个程序被执行时,实现根据本公开实施例的方法。

[0167] 根据本公开的实施例,计算机可读存储介质可以是非易失性的计算机可读存储介质,例如可以包括但不限于:便携式计算机磁盘、硬盘、随机访问存储器(RAM)、只读存储器(ROM)、可擦式可编程只读存储器(EPR0M或闪存)、便携式紧凑磁盘只读存储器(CD-ROM)、光存储器件、磁存储器件、或者上述的任意合适的组合。在本公开中,计算机可读存储介质可以是任何包含或存储程序的有形介质,该程序可以被指令执行系统、装置或者器件使用或者与其结合使用。例如,根据本公开的实施例,计算机可读存储介质可以包括上文描述的ROM 1102和/或RAM 1103和/或ROM 1102和RAM 1103以外的一个或多个存储器。

[0168] 本公开的实施例还包括一种计算机程序产品,其包括计算机程序,该计算机程序包含用于执行流程图所示的方法的程序代码。当计算机程序产品在计算机系统中运行时,该程序代码用于使计算机系统实现本公开实施例所提供的物品推荐方法。

[0169] 在该计算机程序被处理器1101执行时执行本公开实施例的系统/装置中限定的上述功能。根据本公开的实施例,上文描述的系统、装置、模块、单元等可以通过计算机程序模块来实现。

[0170] 在一种实施例中,该计算机程序可以依托于光存储器件、磁存储器件等有形存储介质。在另一种实施例中,该计算机程序也可以在网络介质上以信号的形式进行传输、分发,并通过通信部分1109被下载和安装,和/或从可拆卸介质1111被安装。该计算机程序包含的程序代码可以用任何适当的网络介质传输,包括但不限于:无线、有线等等,或者上述的任意合适的组合。

[0171] 在这样的实施例中,该计算机程序可以通过通信部分1109从网络上被下载和安装,和/或从可拆卸介质1111被安装。在该计算机程序被处理器1101执行时,执行本公开实施例的系统中限定的上述功能。根据本公开的实施例,上文描述的系统、设备、装置、模块、单元等可以通过计算机程序模块来实现。

[0172] 根据本公开的实施例,可以以一种或多种程序设计语言的任意组合来编写用于执行本公开实施例提供的计算机程序的程序代码,具体地,可以利用高级过程和/或面向对象的编程语言、和/或汇编/机器语言来实施这些计算程序。程序设计语言包括但不限于诸如Java,C++,python,“C”语言或类似的设计语言。程序代码可以完全地在用户计算设备上执行、部分地在用户设备上执行、部分在远程计算设备上执行、或者完全在远程计算设备或服务器上执行。在涉及远程计算设备的情形中,远程计算设备可以通过任意种类的网络,包括局域网(LAN)或广域网(WAN),连接到用户计算设备,或者,可以连接到外部计算设备(例如利用因特网服务提供商来通过因特网连接)。

[0173] 附图中的流程图和框图,图示了按照本公开各种实施例的系统、方法和计算机程序产品的可能实现的体系架构、功能和操作。在这点上,流程图或框图中的每个方框可以代表一个模块、程序段、或代码的一部分,上述模块、程序段、或代码的一部分包含一个或多个用于实现规定的逻辑功能的可执行指令。也应当注意,在有些作为替换的实现中,方框中所标注的功能也可以以不同于附图中所标注的顺序发生。例如,两个接连地表示的方框实际上可以基本并行地执行,它们有时也可以按相反的顺序执行,这依所涉及的功能而定。也要

注意的是,框图或流程图中的每个方框、以及框图或流程图中的方框的组合,可以用执行规定的功能或操作的专用的基于硬件的系统来实现,或者可以用专用硬件与计算机指令的组合来实现。

[0174] 本领域技术人员可以理解,本公开的各个实施例和/或权利要求中记载的特征可以进行多种组合和/或结合,即使这样的组合或结合没有明确记载于本公开中。特别地,在不脱离本公开精神和教导的情况下,本公开的各个实施例和/或权利要求中记载的特征可以进行多种组合和/或结合。所有这些组合和/或结合均落入本公开的范围。

[0175] 以上对本公开的实施例进行了描述。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本公开的范围。尽管在以上分别描述了各实施例,但是这并不意味着各个实施例中的措施不能有利地结合使用。本公开的范围由所附权利要求及其等同物限定。不脱离本公开的范围,本领域技术人员可以做出多种替代和修改,这些替代和修改都应落在本公开的范围之内。

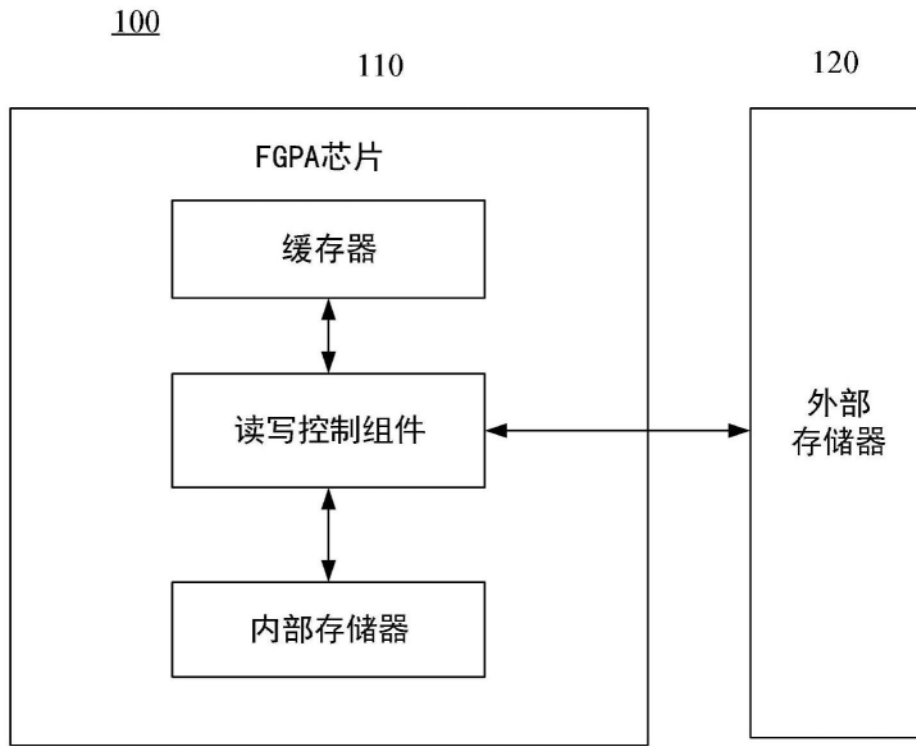


图1

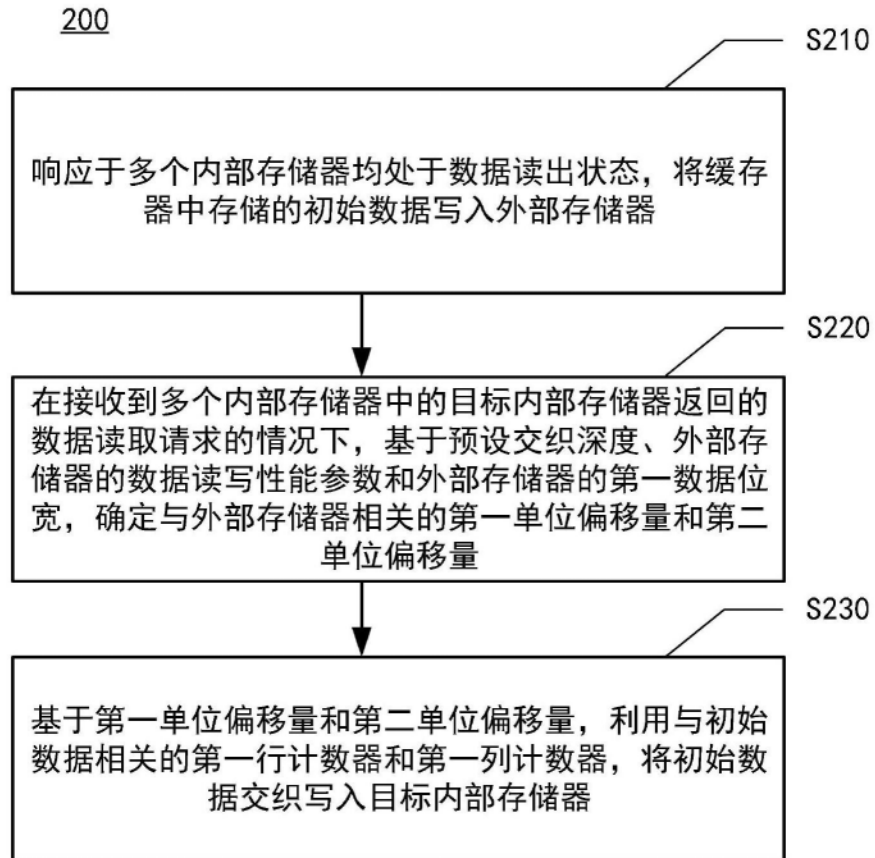


图2

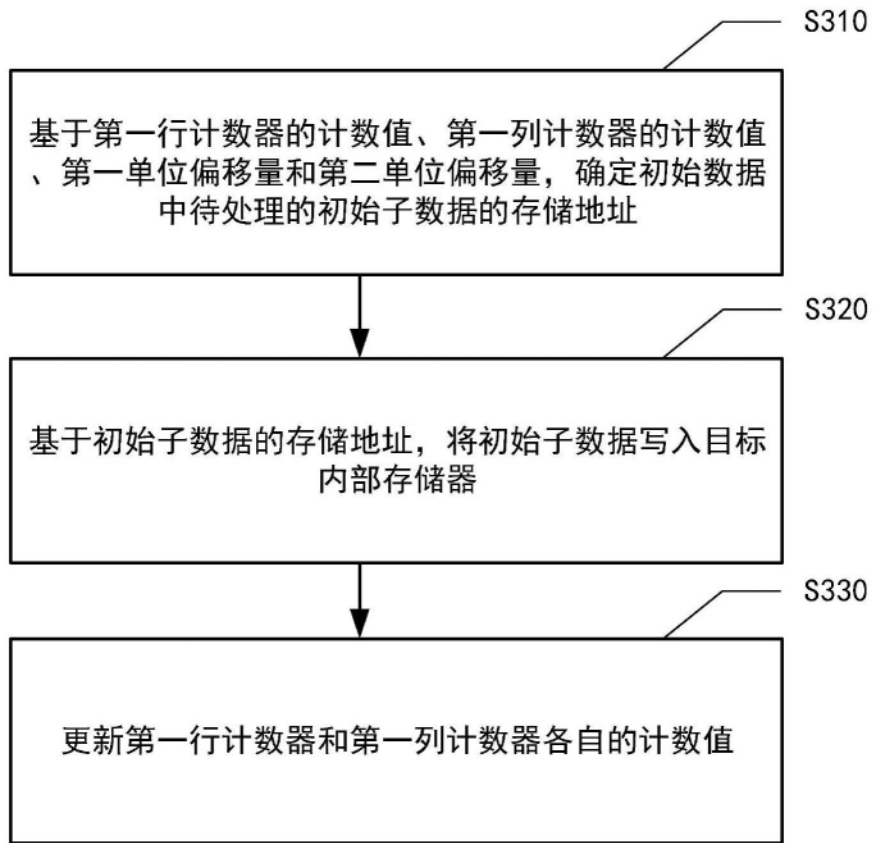


图3

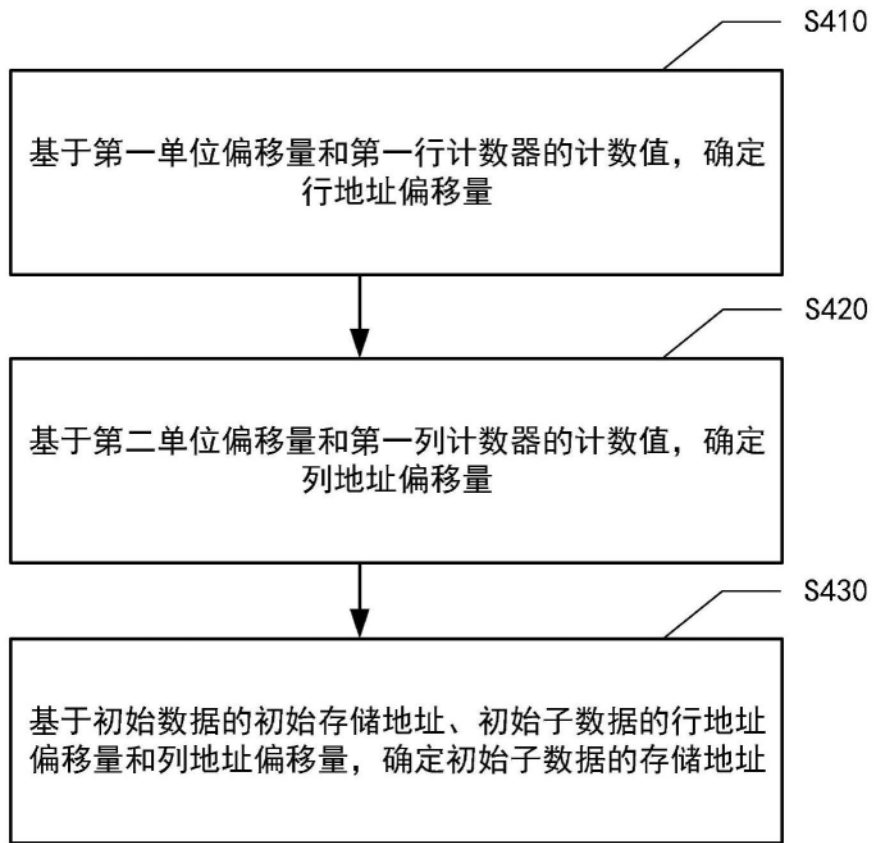


图4

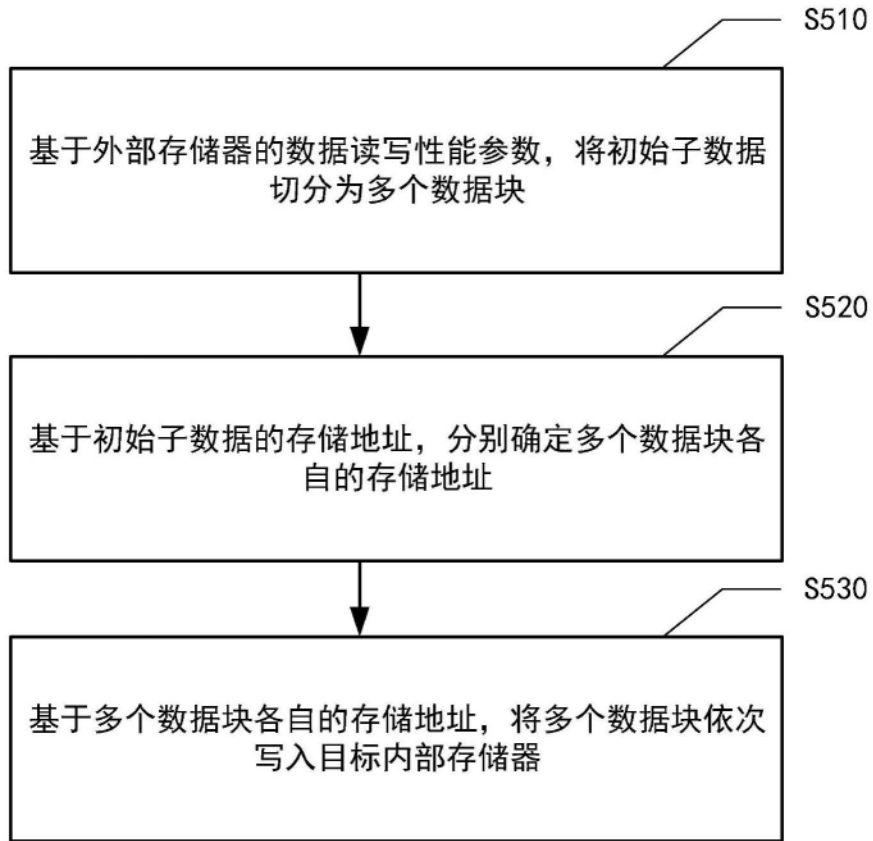


图5

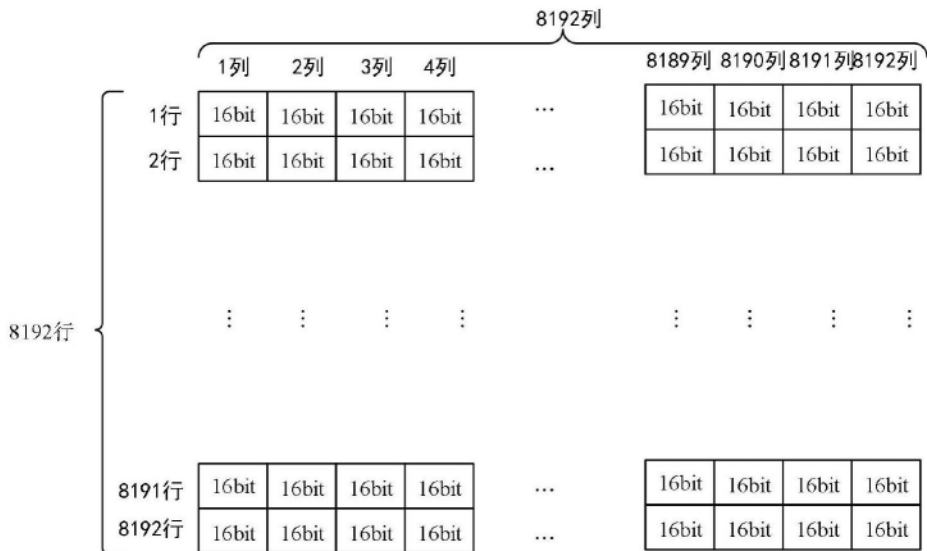


图6

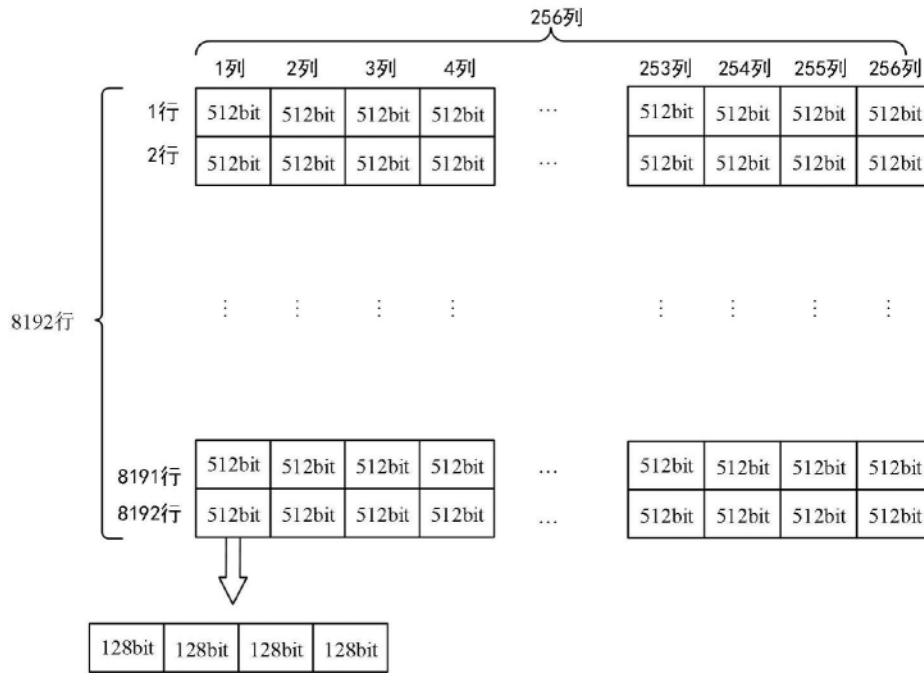


图7

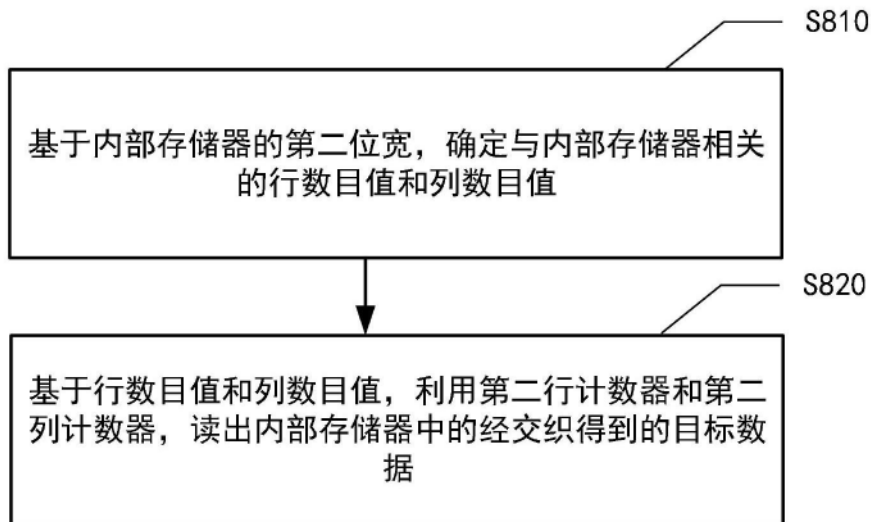


图8



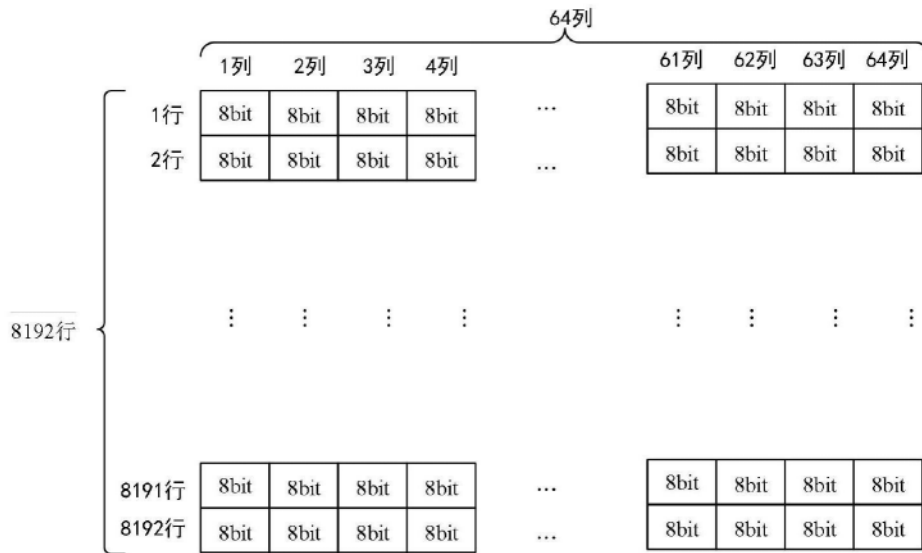


图9

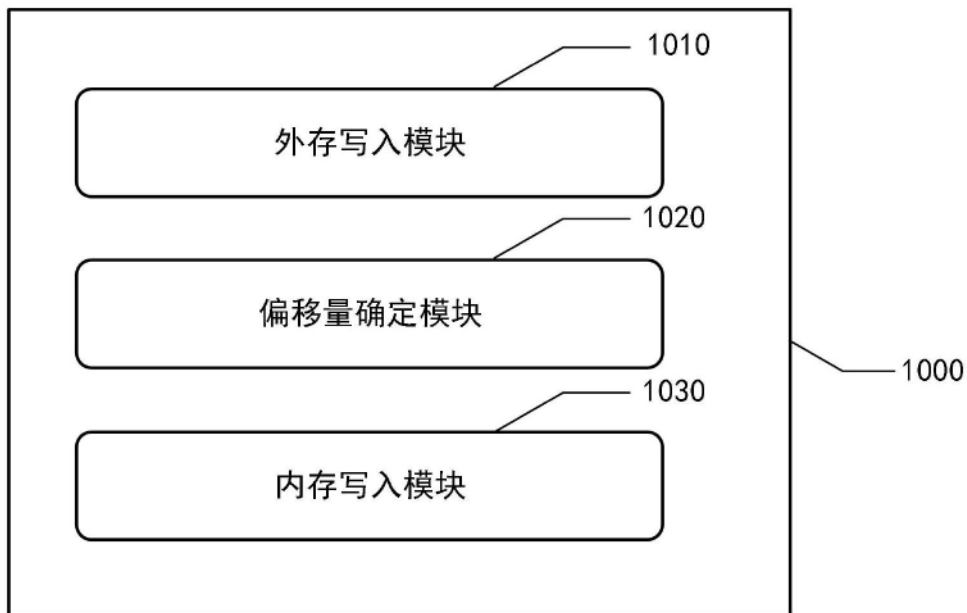


图10

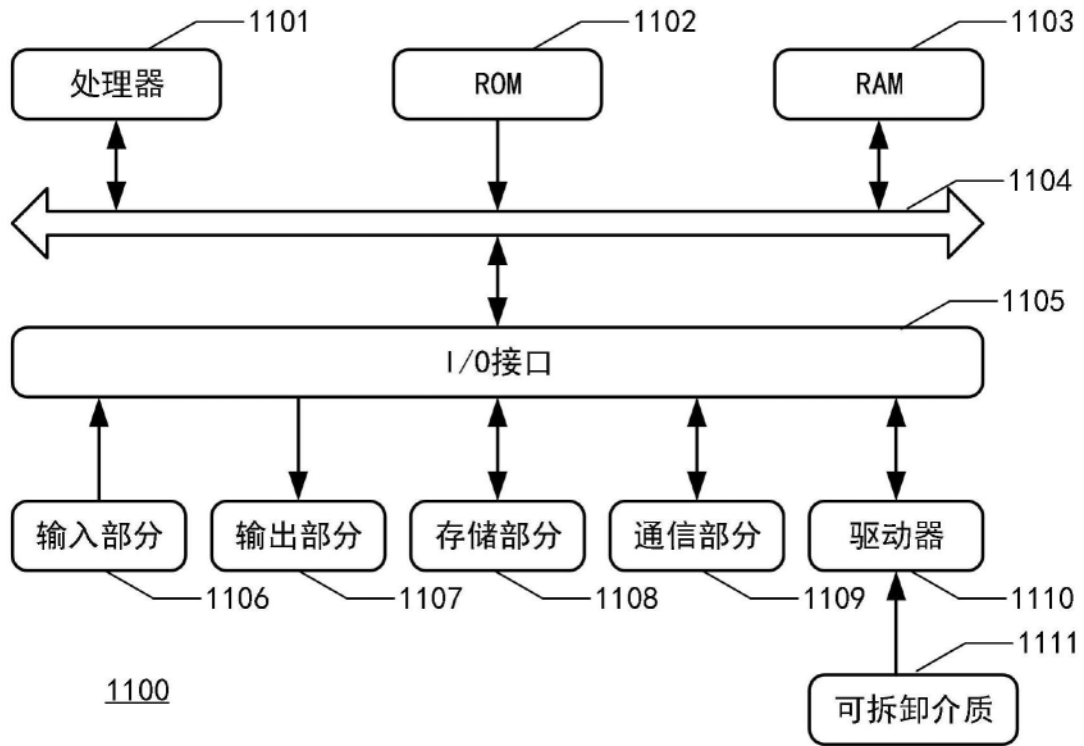


图11