



(12) 发明专利

(10) 授权公告号 CN 110554459 B

(45) 授权公告日 2021.02.02

(21) 申请号 201910462310.8  
 (22) 申请日 2019.05.30  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 110554459 A  
 (43) 申请公布日 2019.12.10  
 (30) 优先权数据  
 102018000005891 2018.05.31 IT  
 (73) 专利权人 意法半导体股份有限公司  
 地址 意大利阿格拉布里安扎  
 (72) 发明人 M·A·肖 L·马吉 A·芬卡托  
 (74) 专利代理机构 北京市金杜律师事务所  
 11256  
 代理人 王茂华

(51) Int.Cl.  
 G02B 6/122 (2006.01)  
 G02B 6/13 (2006.01)  
 G02B 6/30 (2006.01)  
 (56) 对比文件  
 CN 210072134 U, 2020.02.14  
 US 2017351031 A1, 2017.12.07  
 WO 2017189955 A1, 2017.11.02  
 US 2014112616 A1, 2014.04.24  
 CN 104813204 A, 2015.07.29  
 CN 103777275 A, 2014.05.07  
 审查员 焦小毅

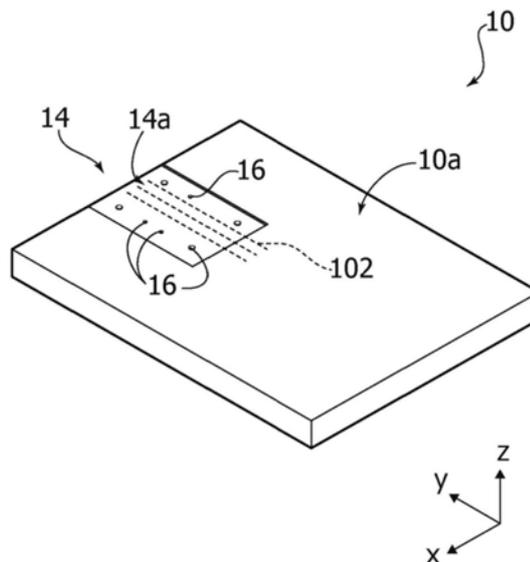
权利要求书3页 说明书15页 附图18页

(54) 发明名称

制造用于绝热耦合的器件的方法、对应的器件和系统

(57) 摘要

本申请各实施例涉及制造用于绝热耦合的器件的方法、对应的器件和系统。一种方法,包括提供半导体主体,半导体主体包括其中具有凹部分的表面。凹部分包括底表面。光学波导芯的第一阵列中的光学波导芯在该底表面处并排延伸。方法还包括在光学波导芯的第一阵列之上提供光学波导芯的第二阵列。光学波导芯的第二阵列中的光学波导芯并排延伸。光学波导芯的第二阵列中的每个光学波导芯与光学波导芯的第一阵列中的对应的光学波导芯处于绝热耦合关系。方法还包括在光学波导芯的第二阵列之上施加光学波导包层材料。



1. 一种用于制造用于绝热耦合的器件的方法,包括:

提供半导体主体,所述半导体主体包括其中具有凹部分的表面,所述凹部分包括底表面,其中光学波导芯的第一阵列中的光学波导芯在所述底表面处并排延伸;

在光学波导芯的所述第一阵列之上提供光学波导芯的第二阵列,其中光学波导芯的所述第二阵列中的光学波导芯并排延伸,其中光学波导芯的所述第二阵列中的每个光学波导芯与光学波导芯的所述第一阵列中的对应的光学波导芯处于绝热耦合关系;以及

在光学波导芯的所述第二阵列之上施加光学波导包层材料,其中光学波导芯的所述第二阵列和施加在其上的所述光学波导包层材料提供光纤耦合接口。

2. 根据权利要求1所述的方法,其中在光学波导芯的所述第一阵列之上提供光学波导芯的所述第二阵列包括通过打印、热压印、直接写入或光刻形成所述光纤耦合接口。

3. 根据权利要求2所述的方法,其中在光学波导芯的所述第一阵列之上提供光学波导芯的所述第二阵列包括通过直接写入形成所述光纤耦合接口,并且其中提供光学波导芯的所述第二阵列包括:

在所述凹部分内局部沉积材料;以及

使用激光将光学波导芯的所述第二阵列中的每个光学波导芯直接写入到所述材料中。

4. 根据权利要求1所述的方法,还包括在所述半导体主体的所述表面的边缘处提供所述凹部分,其中所述凹部分包括开口侧。

5. 根据权利要求4所述的方法,其中:

提供所述半导体主体还包括提供前体半导体主体,所述前体半导体主体包括被布置为使所述凹部分在邻接平面处与互补半导体主体邻接的所述半导体主体,所述邻接平面在所述前体半导体主体中形成闭合周界的凹部分,其中所述第一光学波导芯的阵列中的光学波导芯在所述前体半导体主体中的所述闭合周界的凹部分的前体底表面处并排延伸,所述前体底表面包括所述底表面;并且

其中所述方法还包括在所述邻接平面处切断所述前体半导体主体以将所述半导体主体与所述互补半导体主体分离。

6. 根据权利要求5所述的方法,其中在切断所述前体半导体主体之前,所述半导体主体和所述互补半导体主体以面对面的关系布置,其中所述凹部分和互补的凹部分在所述邻接平面处以所述面对面关系邻接,所述邻接平面形成所述前体半导体主体中的所述闭合周界的凹部分。

7. 根据权利要求1所述的方法,还包括将光纤的第三阵列耦合到光学波导芯的所述第二阵列,其中光纤的所述第三阵列被光学耦合到光学波导芯的所述第一阵列。

8. 根据权利要求7所述的方法,还包括:

在所述半导体主体的所述表面的边缘处提供所述凹部分,其中所述凹部分包括开口侧,

其中耦合光纤的所述第三阵列包括将光纤的所述第三阵列中的每个光纤对接耦合到光学波导芯的所述第二阵列的对应的光学波导芯。

9. 根据权利要求1所述的方法,还包括将光电转换器耦合到光学波导芯的所述第二阵列,其中所述光电转换器被光学耦合到光学波导芯的所述第一阵列中的光学波导芯。

10. 根据权利要求1所述的方法,还包括在光学波导芯的所述第二阵列的端面处提供光

反射表面,所述光反射表面为光学波导芯的所述第二阵列提供成角度的光学耦合路径。

11. 根据权利要求10所述的方法,其中提供所述光反射表面包括:在光学波导芯的所述第二阵列的面向所述半导体主体的所述表面的边缘处的所述凹部分的开口侧的端面处提供所述光反射表面。

12. 根据权利要求10所述的方法,还包括:在用于光学波导芯的所述第二阵列的所述成角度光学耦合路径中包括光束准直或聚焦光学器件。

13. 一种半导体器件,包括:

半导体主体,包括表面和设置在所述表面中的凹部分,所述凹部分包括底表面;

光学波导芯的第一阵列,其中所述第一阵列中的光学波导芯在所述底表面处并排延伸;

光学波导芯的第二阵列,其中所述第二阵列中的光学波导芯在光学波导芯的所述第一阵列之上并排延伸,并且其中光学波导芯的所述第二阵列中的每个光学波导芯与光学波导芯的所述第一阵列中的对应的波导芯处于绝热耦合关系;和

光学波导包层材料,设置在光学波导芯的所述第二阵列之上,其中光学波导芯的所述第二阵列和施加在其上的所述光学波导包层材料提供光纤耦合接口。

14. 根据权利要求13所述的半导体器件,其中光学波导芯的所述第二阵列中的光学波导芯的尺寸大于光学波导芯的所述第一阵列中的光学波导芯的尺寸。

15. 根据权利要求13所述的半导体器件,其中所述凹部分设置在所述半导体主体的所述表面的边缘处,并且其中所述凹部分具有开口侧。

16. 根据权利要求13所述的半导体器件,还包括在光学波导芯的所述第二阵列的端面处的光反射表面,所述光反射表面为光学波导芯的所述第二阵列提供成角度的光学耦合路径。

17. 根据权利要求16所述的半导体器件,还包括在所述成角度的光学耦合路径中的光束准直或聚焦光学器件。

18. 一种电子系统,包括:

半导体主体,包括表面和设置在所述表面中的凹部分,所述凹部分包括底表面;

光学波导芯的第一阵列,其中所述第一阵列中的光学波导芯在所述底表面处并排延伸;

光学波导芯的第二阵列,其中所述第二阵列中的光学波导芯在光学波导芯的所述第一阵列之上并排延伸,其中光学波导芯的所述第二阵列中的每个光学波导芯与光学波导芯的所述第一阵列中的对应的波导芯处于绝热耦合关系;

光学波导包层材料,设置在光学波导芯的所述第二阵列之上,其中光学波导芯的所述第二阵列和施加在其上的所述光学波导包层材料提供光纤耦合接口;和

外部光学连接器件,耦合到所述光纤耦合接口中的光学波导芯的所述第二阵列。

19. 根据权利要求18所述的电子系统,其中所述外部光学连接器件包括耦合到光学波导芯的所述第二阵列的光纤的第三阵列,并且其中光纤的所述第三阵列被光学耦合到光学波导芯的所述第一阵列。

20. 根据权利要求18所述的电子系统,其中所述外部光学连接器件包括耦合到光学波导芯的所述第二阵列的光电转换器,并且其中所述光电转换器被光学耦合到光学波导芯的

所述第一阵列中的光学波导芯。

## 制造用于绝热耦合的器件的方法、对应的器件和系统

[0001] 相关申请的交叉引用

[0002] 本申请要求2018年05月31日提交的意大利专利申请号102018000005891的优先权,该申请通过引用并入本文。

### 技术领域

[0003] 本发明涉及半导体器件中的光学波导。

[0004] 包括用于与光学接口耦合的光学波导的硅光子芯片是这种半导体器件的示例。

### 背景技术

[0005] 可用于将光耦合到波导中的常规技术包括光栅耦合和边缘耦合。

[0006] 在2013年Proc.of the IEEE Bipolar/BiCMOS Circuits and Technology Meeting中Chiaretti,C.的“Towards the Silicon Deployment of the Silicon Photonics Technology”公开了通过光栅耦合技术获得的波导耦合的示例。

[0007] 在2010年OFC的Narasimha等人的“An Ultra Low Power CMOS Photonics Technology Platform for H/S Optoelectronic Transceivers at less than\$1per Gbps”中公开了光耦合到多个光纤中的示例,其中光纤V块可以附接到硅光子芯片。

[0008] 光栅耦合器的优点在于光可以从晶圆表面出去,而不是从边缘出去,这有助于晶圆级测试。光栅耦合器也可以表现出能够耦合到上表面的优点。

[0009] 光栅耦合器可能有一个或多个缺点。例如,在大的波长范围上,在远离中心设计的波长处的损耗可能更高,例如,参见2014年Optical Society of America中Wesley D.Sacher等人的“Wide bandwidth and high coupling efficiency Si<sub>3</sub>N<sub>4</sub>-on-SOI dual-level grating coupler”。

[0010] 例如,可以使用例如CWDM4波长:1271nm、1291nm、1311nm、1331nm从PSM4(并行单模4通道)规范导出4通道粗波分复用(CWDM4)。例如,这种类型的模块可以使用单个光纤输入来传输(Tx)和使用单个光纤接收(Rx)光的4种不同“颜色”(即波长)。这种布置可以为客户提供优势,例如,代替例如4根Tx光纤和4根Rx光纤(总共8根),客户可能仅需要对两根光纤进行电缆连接来维持所传输的信息的数量(例如,Gbits)。

[0011] 然而,由于光栅中的损耗,并且光栅也可能暴露于例如工艺变化和温度,这种布置可能不适合宽带CWDM4应用。

[0012] 如前面已经讨论的,通过边缘耦合提供另一种常规解决方案。边缘耦合可能具有缺少晶圆级测试以及可能需要光学质量边缘光洁度的缺点。

### 发明内容

[0013] 本描述涉及半导体器件中的光学波导。

[0014] 包括用于与光学接口耦合的光学波导的硅光子芯片是这种半导体器件的示例。

[0015] 一个或多个实施例可以提供在各个方面改进的光学器件,诸如在晶圆级实现的改

进的光学耦合性能和/或绝热耦合。

[0016] 根据实施例,一种方法包括提供半导体主体,半导体主体包括其中具有凹部分的表面。凹部分包括底表面。光学波导芯的第一阵列中的光学波导芯在底表面处并排延伸。方法还包括在光学波导芯的第一阵列之上提供光学波导芯的第二阵列。光学波导芯的第二阵列中的光学波导芯并排延伸。光学波导芯的第二阵列中的每个光学波导芯与光学波导芯的第一阵列中的对应的光学波导芯处于绝热耦合关系。方法还包括在光学波导芯的第二阵列之上施加光学波导包层材料。光学波导芯的第二阵列和施加在其上的光学波导包层材料提供光纤耦合接口。

[0017] 根据另一实施例,一种器件包括半导体主体、光学波导芯的第一阵列、光学波导芯的第二阵列和光学波导包层材料。半导体主体包括表面和布置在表面中的凹部分。凹部分包括底表面。光学波导芯的第一阵列中的光学波导芯在底表面处并排延伸。光学波导芯的第二阵列中的光学波导芯在光学波导芯的第一阵列之上并排延伸。光学波导芯的第二阵列中的每个光学波导芯与光学波导芯的第一阵列中的对应的波导芯处于绝热耦合关系。光学波导包层材料布置在光学波导芯的第二阵列之上。光学波导芯的第二阵列和施加在其上的光学波导包层材料提供光纤耦合接口。

[0018] 根据又一实施例,一种系统包括器件,器件包括半导体主体、光学波导芯的第一阵列、光学波导芯的第二阵列和光学波导包层材料。半导体主体包括表面和布置在表面中的凹部分。凹部分包括底表面。光学波导芯的第一阵列中的光学波导芯在底表面处并排延伸。光学波导芯的第二阵列中的光学波导芯在光学波导芯的第一阵列之上并排延伸。光学波导芯的第二阵列中的每个光学波导芯与光学波导芯的第一阵列中的对应的波导芯处于绝热耦合关系。光学波导包层材料布置在光学波导芯的第二阵列之上。光学波导芯的第二阵列和施加在其上的光学波导包层材料提供光纤耦合接口。系统还包括外部光学连接器件,其耦合到光纤耦合接口中的光学波导芯的第二阵列。

[0019] 一个或多个实施例可以提供一个或多个优点,诸如:

[0020] 有助于晶圆级方法,

[0021] 低成本实施,适合大规模生产,

[0022] -通过采用前端工艺促进聚合物波导与(例如SiN或Si)波导的(精确)对准,这可能优于基于封装工艺的对准,

[0023] -可以避免内插器与光学波导的胶粘附接,这有助于实现标称损耗性能,

[0024] -有助于晶圆级的最终测试,以及

[0025] -通过例如标准边缘耦合有助于与外部光学波导(例如单模光纤SMF)的耦合,从而可以避免昂贵、紧密的组装技术。

## 附图说明

[0026] 现在将仅通过示例的方式参考附图描述一个或多个实施例,其中:

[0027] 图1图示了绝热耦合底层的各种特征,

[0028] 图2是包括实施例的芯片的示例性透图;

[0029] 图3至图6表示根据实施例的器件的示例性特征;

[0030] 图7图示了根据实施例的系统的非限制性示例;

- [0031] 图8图示了根据实施例的器件的示例性特征；
- [0032] 图9图示了根据实施例的系统的非限制性示例；
- [0033] 图10图示了根据实施例的器件的示例性特征；
- [0034] 图11图示了根据实施例的系统的非限制性示例；
- [0035] 图12图示了根据另一实施例的系统的非限制性示例；
- [0036] 图13至图18和图18A图示了根据实施例的器件的示例性特征；以及
- [0037] 图19和图20图示了根据实施例的系统的非限制性示例。
- [0038] 应当理解,为了清楚和简单起见,各个附图和这些附图的部分可以不以相同的比例绘制。
- [0039] 另外,应当理解,结合某个实施例采用本文例示的的某些特征(单独地或组合地)不一定限于与该实施例一起使用。换句话说,结合在附图中的某一个中例示的实施例的本文例示的特征或元件(单独地或组合地)可以在任何其他附图中例示的实施例中(单独地或组合地)使用。

### 具体实施方式

[0040] 在随后的描述中,示出了一个或多个具体细节,旨在提供对本描述的实施例的示例的深入理解。可以在没有个或多个具体细节的情况下或者利用其他方法、组件、材料等获得实施例。在其他情况下,未详细示出或描述已知结构、材料或操作,以便实施例的某些方面将不被模糊。

[0041] 在本描述的框架中对“实施例”或“一个实施例”的引用旨在指示关于该实施例描述的特定配置、结构或特性被包括在至少一个实施例中。因此,可以存在于本描述的一个或多个点中的诸如“在实施例中”或“在一个实施例中”的短语不一定指代同一个实施例。另外,在一个或多个实施例中,可以以任何适当的方式组合特定构造、结构或特性。

[0042] 这里使用的附图标记仅仅是为了方便而提供,因此不限定保护的范围或实施例的范围。

[0043] 一个或多个实施例可以提供在各个方面改进的光学器件,诸如在晶圆级实现的改进的光学耦合性能和/或绝热耦合。

[0044] 根据一个或多个实施例,这种目标可以通过具有在随后的权利要求中阐述的特征的方法来实现。

[0045] 一个或多个实施例可以涉及对应的器件(例如,包括利用根据一个或多个实施例的方法实现的光学耦合接口的器件)和对应的系统(例如,包括器件和外部光学连接器件,外部光学连接器件例如可以是与该器件处于绝热耦合关系的光纤或光电转换器中的一个)。

[0046] 权利要求是本文提供的本发明的公开内容的组成部分。

[0047] 一个或多个实施例可以有助于第一光学波导(例如,集成波导)与第二光学波导(例如,具有聚合物波导芯)的正确对准,这甚至可以在组装期间不使用胶层的情况下实现。

[0048] 可以在晶圆级实施一个或多个这种实施例,并且在切割步骤之后,第二(例如,聚合物)光学波导可以适合于与第三光学波导(例如单个模式光纤,(SMF))耦合(例如,标准边缘)。

[0049] 一个或多个实施例可以提供一个或多个优点,诸如:有助于晶圆级方法、低成本实施、适于大规模生产、通过前端工艺促进聚合物波导与(例如SiN或Si)波导的精确对准,这可能优于基于封装工艺的对准、避免内插器与光学波导的胶粘附接,这有助于实现标称损耗性能、有助于晶圆级的最终测试,以及通过例如标准边缘耦合有助于与外部光学波导(例如单模光纤SMF)的耦合,从而可以避免昂贵、紧密的组装技术。

[0050] 用于光学器件的光学耦合技术可以包括与不同光学水平(包括不同材料)的(例如,宽带宽)绝热耦合。

[0051] 图1是应用于包含第一光学波导100的硅光子芯片10的光学波导的绝热耦合底层的某些原理的表示。

[0052] 由于第一波导芯102和包括在基板12中的波导包层之间的折射率差异,电磁传播(例如,图1中通过从左到右指向的箭头例示的电磁波)可以通过基本上被限制在第一波导芯102内而在第一光学波导100内发生。波导包层可以围绕第一波导芯102。例如,在本文考虑的示例中,包层可以包括围绕第一波导芯102并嵌入在基板12中的材料的层。即,第一光学波导100可以包括各种层,并且与第一波导芯102相邻的层可以用作包层。

[0053] 另外,在基板12和第一光学波导100上方,可以存在后端线(BEOL)层17。

[0054] 在光学耦合区域中,可以至少部分地去除硅光子芯片10的BEOL层17的一部分,例如在第一波导芯102上方的BEOL层17的一部分。例如,其上的BEOL层17可以被完全去除,使得第一波导芯102暴露在硅光子芯片10的表面处,或者围绕第一波导芯102的包层可以具有小的厚度,该小的厚度可以允许光辐射(简称“光”)泄露出第一光学波导100。如图1中所示,可以在硅光子芯片10的前表面10a的凹部分14(即,腔)处提供第一光学波导100的光学耦合部分,其中在光学耦合部分,光可以在基板12的表面12a处从光学波导的第一波导芯102传输。例如,凹部分14可以被蚀刻穿过BEOL层,并且可以形成在硅光子芯片10的前表面10a的侧边缘处,其中凹部分14在前表面的侧边缘处具有开口侧。

[0055] 第二光学波导200可以布置在第一光学波导100的光学耦合部分处。因此,第二光学波导200的第二波导芯202可以布置成与凹部分14处的第一光学波导100的表面重叠,以产生能够在第一光学波导100和第二光学波导200之间耦合光的结构。例如,第二光学波导200可以包括嵌入在波导包层材料的一层或多层(例如,如图1中例示的下层(可以是波导包层22)和上层(可以是透镜24))中的第二波导芯202。第二波导芯202可以暴露在第二光学波导200的表面处,的可以在第一光学波导100的表面之上布置在的表面上,其中第一波导芯102在凹部分14处暴露。

[0056] 第一光学波导100和第二光学波导200的具体设计(包括宽度、折射率、长度等)可以确定第一光学波导100和第二光学波导200之间的耦合效率。

[0057] 如前面讨论的绝热耦合器件本身在本领域中可以被视为是常规的。例如,在2014年IEEE Photonics Journal的Tymon Barwicz等人的“Low-Cost Interfacing of Fibers to Nanophotonic Waveguides:Design for Fabrication and Assembly Tolerances”中描述了光学波导之间的绝热耦合的示例,其中公开了一种锥形的硅波导,其耦合到具有由用于附接的底部聚合物层和环氧树脂层提供的过渡包层的矩形聚合物波导。聚合物波导还可以包括扇出以增加波导之间的间距,其中硅芯片上的小间距可以是如常规用于光纤带的250 $\mu\text{m}$

[0058] ( $1\mu\text{m}=10^{-6}\text{m}$ )。另外,改变波导尺寸可以进一步有助于耦合到光纤。另外,例如,从2016年IEEE的Nicolas Boyer等人的“Sub-Micron Bondline-Shape Control in Photonic Devices of Photonic Devices”已知聚合物波导和硅光子芯片之间的耦合的示例。

[0059] 另外,在2017年03月23日由相同申请人提交的意大利专利申请号102017000032272(作为美国专利公开号2018/0275342公布)中发现了以绝热耦合为特征的光学波导的示例。

[0060] 光学波导之间的已知绝热耦合解决方案可以包括使用内插器,例如,参见文献US2016/0131837A1和US9405066B2,其可以包括分离实现的波导的阵列,并且可以耦合到光学芯片。在常规方法中,

[0061] (例如聚合物)内插器可以经由物理附接耦合到光学芯片。

[0062] 然而,观察到这种方法可能表现出一个或多个缺点,例如,在(例如,硅光子)光学芯片之上的内插器的(例如聚合物)波导的对准可能需要对围绕波导的环氧树脂层的精确控制和高精度的倒装芯片键合机和/或对准结构(例如在硅中)。另外,当前的方法的特征在于芯片级方法,其可能是昂贵的并且可能导致绝热耦合的性能受到封装工艺的容差的影响,这对最终的耦合损耗可能是有害的。

[0063] 如前面所讨论的,插入在硅光子芯片上的聚合物的布置可能需要高精度放置(例如可能不能接受大约 $\pm 2\mu\text{m}$ 的横向精度),并且需要控制键合线厚度(例如,在绝热耦合的长度上和对于所有波导芯,可能需要小于 $2\mu\text{m}$ )。即,耦合布置可以具有小于 $2\mu\text{m}$ 的位置公差。

[0064] 另外,还可以将用于内插器的键合的环氧树脂层控制为具有小于 $2\mu\text{m}$ 的厚度以促进良好的光学耦合。例如,这可以通过使用蚀刻到(例如硅)光学器件中的特殊的V形槽特征来实现,该特殊的V形槽特征可以精确地定位指示(例如硅)波导的聚合物,如可从美国纽约州10504-1722阿蒙克的1New Orchard Road的IBM获得的那样。然而,这种解决方案可能导致到(例如硅)晶圆中的深蚀刻,这在标准CMOS制造中可能是不可行的。另外,例如,可以采用高精度拾取和放置机器,诸如可从SET(131, Impasse Barteudet, 74490 Saint Jeoire, France)、Amicra(Marie-Curie-Str.6, D-93055 Regensburg, Germany)或Ficontec(Rehland 828832 Achim, Germany)获得的那些。然而,这些机器可能具有相对低的UPH(每小时单位)值并且可能是昂贵的。另外,据观察,IBM已经开发出一种被动过程。然而,如果硅芯片中存在大约 $2\mu\text{m}$ 精度的某些特征并且如果存在高精度倒装芯片对准(大约 $\pm 2\mu\text{m}$ ),则这种过程可能可行。

[0065] 根据一个或多个实施例,对上述缺点的解决方案可以包括直接在可能涉及广泛的形貌的光学晶圆(例如,12英寸晶圆)上提供光学接口(例如,如下面所讨论的绝热耦合器)。

[0066] 现在将参考图2以上的附图描述一个或多个实施例,其中将用相同的附图标记表示像在前面已经讨论的部件或元件的部件或元件;为简洁起见,将不再重复对应的详细描述。

[0067] 图2是根据在3D笛卡尔空间x-y-z中表示的一个或多个实施例的硅光子芯片10的非限制性示例的透视图,其再次具有在前表面10a处形成(例如通过蚀刻穿过硅光子芯片10的前表面10a上的一个或多个BEOL层)的凹部分14(例如,大约 $8\mu\text{m}$ )。例如,这种凹部分14可以再次形成在硅光子芯片10的前表面10a的侧边缘处,其中凹部分14在前表面10a的侧边缘处具有开口侧。

[0068] 将另外理解,可以针对多个这种腔再现如本文中为了简化而与硅光子芯片10中的单个凹部分14结合的耦合布置。

[0069] 一个或多个实施例可以旨在在硅光子芯片10中提供在凹部分14的内表面或底表面14a处并排延伸的多个第一波导芯(例如,氮化硅),如在图2中以虚线示意性地示出的那样。

[0070] 本文指示第一波导芯102在凹部分14的内表面或底表面14a处

[0071] “延伸”旨在涵盖那些第一波导芯102位于(靠近)该表面附近(例如,在凹部分14的底表面14a下方(如贯穿本描述所假设的那样),并且可选地在该表面处出现)的可能性。

[0072] 例如,在一个或多个实施例中,第一波导芯102可以被包层材料的层(例如,二氧化硅的层)围绕。

[0073] 蚀刻穿过BEOL层17的凹部分14可以包括底表面14a,该底表面14a可以暴露围绕多个第一波导芯的包层材料,多个第一波导芯并排布置在凹部分14的底表面14a附近,如图2中所例示的。

[0074] 覆盖在凹部分14的底表面14a附近的多个第一波导芯102的包层材料可以具有允许与在凹部分14中实现的第二多个光学波导芯(如下面所描述的)绝热耦合的厚度。如在相同的图中所示,可以提供对准特征16以用于提供如下面所讨论的第二多个光学波导。

[0075] 图3是制造如图2中例示的硅光子芯片10的可能的、非强制性方法的示例。

[0076] 图3是(单片)光学晶圆1000的平面图(在xy平面中),其可以被视为包括关于D-D'平面对称布置的两个硅光子芯片10'、10''。

[0077] 光学晶圆1000包括一个整体布置的两个硅光子芯片10'、10'',因此光学晶圆1000包括具有闭合周界的中心腔,该中心腔又可以被视为由在D-D'平面处具有相互面对的开口侧的两个凹部分14'、14''形成(即腔,每个均形成在如前面所讨论的两个硅光子芯片10'、10''中的一个中)。

[0078] 在一个或多个实施例中,然后可以与凹部分14'、14''的底表面靠近(仍然邻接)地提供(如前面所讨论的)两组多个第一波导芯102'、102''(在图3中以虚线示出)的相应部分。

[0079] 然后,在D-D'平面处(通过用于该目的的任何已知器件)执行的单片化步骤可以有助于从光学晶圆1000获得如图2中所例示的两个硅光子芯片10。

[0080] 在一个或多个实施例中,在这种单片化步骤之前,两组多个第二波导芯202'、202''的相应部分(在图3中以实线示出)可以形成在两组多个第一波导芯102'、102''上(例如,与其对准),并且可以例如通过用包层材料填充凹部分14'、14''而将包层材料(例如聚合物)施加在两组多个第二波导芯202'、202''上。

[0081] 例如,单片化过程可以采用两级刀片方法,其中第一刀片切割穿过D-D'平面,其中第一刀片相对于第二刀片具有更窄的宽度,第二刀片可用于为在D-D'平面处的两组多个第二波导芯202'、202''的端部产生光学质量光洁度,这使得能够例如边缘耦合到端部。在一个或多个实施例中,也可以通过使用软件的激光切槽来去除凹部分14'、14''外部的BEOL层。

[0082] 作为本文例示的处理步骤的结果,因此可以制造单个硅光子芯片10,每个单个硅光子芯片10均提供有光学接口,该光学接口包括形成在多个第一波导芯102' (102'')上的多个第二波导芯202' (202''),其中在多个第二波导芯202' (202'')上施加包层材料,多个第一波导芯102' (102'')暴露在硅光子芯片10' (10'')的凹部分14' (14'')的开口侧。

[0083] 将另外理解,虽然为了清楚和易于理解在本文中进行了讨论,但刚刚讨论的仅表示制造如图2中例示的光子芯片10的示例性、非强制性方法。

[0084] 因此,在图3中形成在两组多个第一波导芯102'、102''上的两组多个第二波导芯202'、202''通常是在硅光子芯片10的凹部分14中提供光学接口的一种可能性的示例,该光学接口包括形成在第一波导芯102上的第二波导芯202,其中包层材料施加在第二波导芯202上。

[0085] 然而,可以采用备选的方法(例如,如下面结合图6和图10所讨论的)来实现相同的结果。

[0086] 然而,为了简单起见,将通过参考图3中(包括在D-D'平面处的单片化)引入的示例性方法,继续示例性实施例的即时详细描述。

[0087] 根据一个或多个实施例,两组多个第二波导芯202'、202''可以直接形成在两个凹部分14'、14''的底表面上。多个第二波导芯202可以包括在两个凹部分14'、14''中并排形成的聚合物材料的细长形成部,其所在的位置对应于硅光子芯片10'、10''的两组多个第一波导芯102'、102''的位置。

[0088] 例如,两组多个第二波导芯202'、202''中的每个波导芯可以在两组多个第一波导芯102'、102''中的相应的波导芯上对准地延伸,通过在硅光子芯片10'、10''上可用的对准特征16(例如参考标记)促进对准。

[0089] 例如,可以使用印模(图中不可见)以本领域技术人员已知的方式在凹部分14'、14''内制造两组多个第二波导芯202'、202''中的每个单独的波导芯。例如,印模可以由透明材料制成,并且两组多个第二波导芯202'、202''(例如聚合物波导芯)可以经由UV光固定(固化)。

[0090] 印模可以有利地是可重复使用的印模,诸如用于实现两组多个第二波导芯202'、202''的主印模。另外,可以在两组多个第二波导芯202'、202''的制造期间使用热压印。例如,可以在制造过程中加热主印模。如果需要,加热可以有助于聚合物材料的固化和/或促进聚合物材料的收缩。

[0091] 备选地,可以采用直接写入方法,以便在凹部分14'、14''内制造两组多个第二波导芯202'、202''中的每个单独的波导芯。例如,芯材料(例如聚合物材料)可以局部沉积在凹部分14'、14''处(例如在其内部)。随后,可以将两组多个第二波导芯202'、202''中的每个单独的波导芯直接写入(例如使用激光)到芯材料中。然后可以去除未写入的核心材料。

[0092] 在其他情况下(例如,当晶圆之上没有附接附加的芯片时),也可以使用光刻来在凹部分14'、14''内制造两组多个第二波导芯202'、202''中的每个单独的波导芯。例如,芯材料(例如聚合物材料)可以旋涂在BEOL层和凹部分14'、14''的上表面之上。然后可以在芯材料之上旋涂厚的光致抗蚀剂膜并用作掩模(例如用于蚀刻芯材料)以制造两组多个第二波导芯202'、202''。然后,可以去除不是两组多个第二波导芯202'、202''的一部分的光致抗蚀剂膜和任何聚合物材料。

[0093] 在一个或多个实施例中,两组多个第二波导芯202'、202''可以包括例如间隔为例如100 $\mu\text{m}$ 至250 $\mu\text{m}$ 的间距的2至8个波导芯。

[0094] 在一个或多个实施例中,当形成两组多个第二波导芯202'、202''之后,就可以在光学晶圆1000中的闭合周界腔内(即,在凹部分14'、14''内)施加(例如,分配)包层材料,其中

包层材料嵌入两组多个第二波导芯202'、202"，可选地填充凹部分14'、14"。

[0095] 在一个或多个实施例中，因此可以在两组多个第二波导芯202'、202"之上施加包层材料并将其固化。在一个或多个实施例中，可以采用印模（以本领域技术人员已知的方式）来限定包层材料。无论制造两组多个第二波导202'、202"中的单独波导芯的方法如何，都可以使用印模来限定包层材料。例如，可以采用印模来限定覆盖通过直接写入或热压印制造的两组多个第二波导202'、202"的包层材料。另外，可以使用单独的第二印模来限定覆盖利用第一印模制造的两组多个第二波导202'、202"的包层材料。

[0096] 也可以使用光刻工艺形成包层材料（例如，当晶圆之上没有附接附加的芯片时）。可以使用旋涂工艺在BEOL层、两组多个第二波导202'、202"和凹部分14'、14"的上表面之上沉积包层材料。然后可以在包层材料之上旋涂厚的光致抗蚀剂膜并用作掩模以仅在凹部分14'、14"中限定包层。然后，可以去除不在凹部分14'、14"中的光致抗蚀剂膜和包层材料。

[0097] 备选地，可以使用未被写入的材料（例如在直接写入过程之后）作为包层材料。在这种情况下，在直接写入过程之后，未从腔内去除未写入的材料。在一个实施例中，当未被写入材料用作包层材料时，不去除材料。在直接写入过程期间，可以改变芯材料（例如聚合物材料）的折射率，使得被写入的材料用作波导的芯，并且未被写入的材料用作包层。

[0098] 在一个或多个实施例中，在单片化之后，其上形成有前面讨论的光学接口的硅光子芯片10可以耦合（匹配）到例如光纤带的多个第三波导芯。

[0099] 特别地，如前面所讨论的，在凹部分14（例如14'、14"）的开口侧暴露的多个第二波导芯202的端部可以具有光学质量并且可以与光纤（例如边缘）耦合，如下面更好地描述的。

[0100] 可以使用标准对准过程（例如，利用在V形槽中的纤维或（例如，在仅具有两根纤维的情况下）UV透明套圈）来实现附接/耦合。

[0101] 在一个或多个实施例中，存在在其间没有粘合剂（例如环氧树脂）层的情况下，通过（直接）耦合到凹部分14来提供这种光学接口布置的可能性。这可能是有利的，例如，因为可以避免控制环氧树脂的厚度、干扰绝热耦合。

[0102] 另外，存在在（例如12英寸）晶圆级而不是在单裸片级执行刚刚讨论的步骤的可能性：由于部件的处理减少，这可能导致更高的生产量。

[0103] 通过引用（没有限制意图）可能的定量值，多个第二波导芯（例如，202、202'、202"）可以具有小于1.57的折射率，例如在大约1310nm光学波长处具有大约1.52的折射率。波导的尺寸可以取决于第一波导芯102（例如硅（Si）或氮化硅（SiN））的折射率和尺寸。可以将多个第二波导芯（例如，聚合物波导芯）的材料选择为具有比包层材料的折射率高，且比硅光子芯片10的多个第一波导芯（例如，102、102'、102"）的折射率低的折射率。

[0104] 例如（再次，这些值旨在仅仅是示例性且非限制性的）：第二波导芯材料和包层材料可以具有大约0.0065的折射率对比度，多个第二波导芯（例如，聚合物）在大约1260nm-1340nm的光学波长处的损耗可以小于0.4dB/cm，相同的参数可能对例如1550nm波长材料有效，这取决于损耗，损耗可能变化并且可能导致选择更适合1550nm波长的不同类型的聚合物材料，和/或多个第二波导芯的截面的轮廓可以是大约6 $\mu$ m并且可以表现出小于 $\pm 0.5\mu$ m的公差。

[0105] 图4和图5表示由在图3的D-D'平面处的单片化产生的硅光子芯片10的特征的截面图。

[0106] 由于下面将基本上讨论单个芯片,因此为了简单起见,将从现在开始丢弃之前用于标识光学晶圆1000中的(对称)元件的顶点指定(即,'和')。

[0107] 例如,图4和图5分别表示如图2中所例示的硅光子芯片10的一部分的y-z平面和x-z平面的截面图,硅光子芯片10在凹部分14上形成如前面所讨论的光学接口,整体指定为20。例如,图5的截面图可以表示硅光子芯片10的一部分在凹部分14的中间点(例如,远离其开口侧)。

[0108] 如图4中所表示的,硅光子芯片10可以包括其上有一个或多个BEOL层17的基板12。再次,可以在交替地包括钝化层和金属层的BEOL层17中蚀刻凹部分14。

[0109] 在一个或多个实施例中,BEOL层17下方的基板12可以包括具有第一波导芯102(为了简单和易于理解,在图5中仅一个可见)的第一光学波导100,以及包层(即,围绕第一波导芯102的(例如,薄的)材料层)。

[0110] 应当理解,在一个或多个实施例中,绝热耦合到对应的第二波导芯202的第一波导芯102(再次,为了简单和易于理解,在图5中仅这些波导芯中的一个可见)可能不会到达硅光子芯片10的侧表面:参见图4的右侧。

[0111] 也就是说,多个第一波导芯102可以在硅光子芯片10的基板12内终止而不到达其侧表面(侧表面可能由单片化D-D'平面限定)。

[0112] 如本文所例示的,围绕第一波导芯102的包层材料可以在凹部分14的底表面14a处暴露,其中第一波导芯102在底表面14a附近、在基板12内的一定深度处延伸,这有助于绝热耦合,如前面所讨论的。

[0113] 在一个或多个实施例中,光学接口20因此可以形成在凹部分14中,并且可以具有基本上对应于硅光子芯片10的凹部分14的横向尺寸和纵向尺寸的横向尺寸和纵向尺寸。

[0114] 在如图4和图5所例示的一个或多个实施例中,第一光学波导100的第一波导芯102可以小于第二波导芯202。例如,第一光学波导100的第一波导芯102的厚度 $t_1$ 和横向宽度 $w_1$ 可以小于第二波导芯202的厚度 $t_2$ 和横向宽度 $w_2$ 。

[0115] 在一个或多个实施例中,通过在硅光子芯片10内的第一波导芯102上方(直接)形成第二波导芯202,存在将第二波导芯202相对于第一波导芯102的位置公差保持在例如大约 $2\mu\text{m}$ 的可能性。

[0116] 在一个或多个实施例中,光学接口20因此可以在硅光子芯片10的凹部分14的开口侧具有侧表面。例如,在如前面讨论的光学接口20的示例中,在光学接口20的侧表面处,多个第二波导芯202可以被暴露并且可用于与(第三)光学波导(参见例如图7和图9中的光纤30)进行边缘耦合。

[0117] 图6示出了根据相对于前面结合图3讨论的硅光子芯片10的另一种方法制造的硅光子芯片10的y-z平面的截面图的非限制性示例,即在芯片与牺牲测试芯片S耦合的情况下,在硅光子芯片10中形成如本文所考虑的光学接口20,牺牲测试芯片S布置在对应于凹部分14的开口侧的侧表面处,其中硅光子芯片10具有布置在其上的光学接口20,经由在D-D'平面处切割,将光学接口20与牺牲测试芯片S分离(为简单起见,保留了图3的单片化平面的相同名称)。

[0118] 例如,如图6所例示的,硅光子芯片10的凹部分14可以包括大约 $8\mu\text{m}$ 的高度 $h$ 。

[0119] 如图6的左侧所例示的,在一个或多个实施例中,除了第一光学波导100的第一波

导芯102(例如氮化硅(SiN))和围绕第一波导芯102的波导包层(氧化物,例如,二氧化硅)之外,在硅光子芯片10上提供的光学接口20还可以包括(不管所采用的实现方法如何)各种其他元件。

[0120] 这些其他元件可以包括(如本领域技术人员所知的)在硅主体中的导电(例如金属)过孔18、另外的波导芯19(例如硅)、围绕另外的波导芯19的另外的波导包层(例如,二氧化硅)。

[0121] 例如(当然,下面给出的定量数据仅仅是示例性的,并且不应当解释成(甚至间接地解释成)对实施例的限制意义):包括氮化硅的第一波导芯102可以具有例如600nm的厚度和大约1.9142的折射率,围绕第一波导芯102的例如二氧化硅的包层材料可以具有大约1.46的折射率,并且在第一波导芯102上方(即,朝向凹部分14)具有大约50nm的厚度且在第一波导芯102下方(例如,远离凹部分14)具有大约100nm的厚度,氮化硅的层可以提供在第一波导芯102下方,例如,在第一波导芯102和另外的波导芯19之间,该氮化硅的层具有大约1.892的折射率和大约57nm的厚度,例如硅的另外的波导芯19可以具有大约306nm的厚度和大约3.506的折射率,具有大约1.46的折射率和大约28nm的厚度的另外的波导芯19的包覆层(例如二氧化硅)可以被提供在另外的波导芯19上方(即,朝向该氮化硅的层),掩埋氧化物(BOX)层可以布置在另外的波导芯19的下方,远离该氮化硅的层,掩埋氧化物(BOX)层具有大约1500nm的厚度和大约1.446的折射率,并且硅层可以被提供在BOX层下方,远离另外的波导芯19并且具有大约3.506的折射率。

[0122] 图6例示了如前面所讨论的,在一个或多个实施例中,凹部分14可以(仅)蚀刻穿过BEOL层17的金属和钝化层。例如,凹部分14可以被蚀刻成使得在(例如,SiN)波导芯102上方可以存在氧化物的薄层,如图6中所表示的,其中该层足够薄以便避免影响第一波导芯102的绝热耦合。

[0123] 在这方面,将再次回顾,采用结合某些实施例的本文例示的某些特征(单独地或组合地)不一定限于与该实施例一起使用。换句话说,结合附图中的某一个中例示的实施例的本文例示的特征或元件(单独地或组合地)也可以(单独地或组合地)在任何其他附图中例示的实施例中使用。

[0124] 图7是在y-z平面中的截面图,其说明了如本文所例示的接口20的可能用途,其通过利用光学接口20(例如,聚合物光学接口)的第一波导芯102和第二波导芯202的绝热耦合的优点,有助于将(第三)光学波导(例如,单模光纤)耦合到硅光子芯片10。

[0125] 光纤30(例如,单模光纤)可以包括多个第三波导芯302(为了简单和易于理解,再次仅示出其中一个)和围绕多个第三波导芯302的波导包层32。

[0126] 光纤30可以被放置成与光学接口20的多个第二波导芯202直接接触(例如,邻接),例如,在凹部分14的开口侧的光学接口20的侧面处暴露的端部处直接接触。

[0127] 如本文所例示的,多个第一波导芯102、多个第二波导芯202和多个第三波导芯302可以提供光学传输机构,在本文例示为双箭头。

[0128] 作为一个或多个实施例的基础的基本布置适用于各种可能的实施方式细节。

[0129] 例如,可以利用波导包层22完全填充凹部分14(参见例如图6)或波导包层22可以嵌入多个第二波导芯202而不完全填充凹部分14(参见例如图7)。另外,如图4中所例示的,波导包层22可以至少稍微从凹部分14“溢出”。

[0130] 在一个或多个实施例中,光学接口20的长度(图中的y轴)可以是大约4mm-5mm,该长度相对于现有技术中已知的光学内插器的长度可以更小。这种长度可以有助于减少光学耦合系统的整体损耗。

[0131] 在一个或多个实施例中,光学接口20的间距(即,并排布置的第一波导芯102和第二波导芯202的中心轴之间的间距)可以匹配到光纤30的可用光纤块/套圈的间距。

[0132] 一个或多个实施例可以以其他方式与上述系统结合使用以增加间距。这同样适用于模场直径MFD扩展。

[0133] 图8和图9例示了根据在y-z平面的截面图中观察到的一个或多个实施例的系统的可能布置,其中利用相同的参考标记指示与前面已经讨论的部件或元件类似的部件或元件(因此为了简洁起见将不再重复对应的详细描述)。

[0134] 图8和图9是在一个或多个实施例中至少将一个电气集成电路(EIC)40布置到硅光子芯片10上的可能性的示例(在图8中以示例的方式参考在D-D'切割平面处与牺牲测试芯片S分离的硅光子芯片10)。例如,EIC可以具有例如大约400 $\mu$ m的高度h1。

[0135] 例如,EIC 40可以相对于侧向地附接到硅光子芯片10的前表面10a,凹部分14类似地穿过BEOL层17而形成在前表面10a中。另外,EIC 40可以经由导电(例如铜,Cu)柱42连接到硅光子芯片10,并且可以在EIC 40和第一光学波导100之间施加底部填充材料44。另外,可以围绕EIC 40提供导电(例如镍)形成部46,如图8中所例示的。

[0136] 可以在形成光学接口20之前或之后,在晶圆级实现EIC 40的附接。

[0137] 其上安装有EIC 40的硅光子芯片10(在被单片化之后)可以经由光学接口20耦合到光纤30,如图9所例示的。

[0138] 如在图10的y-z平面中的截面图中所例示的,在一个或多个实施例中,存在用包括“转向”反射镜的偏转反射镜器件代替如图7和图9中所例示的与光纤30的对接(端部)耦合的可能性,该偏转反射镜器件被配置成在每个第二波导芯202和透镜24中的相应的透镜之间提供偏转的传播路径(例如,具有90°转向),其可以被配置用于准直或聚焦光束。

[0139] 例如,透镜24中的相应的透镜可以是半球形的,并且可以布置在光学接口20的表面(和与凹部分14的底表面14a接触的表面相对)处(例如,在其之上)。

[0140] 在这种实施例的可能的实施方式中,第二波导芯202的阵列中的多个第二波导芯202可以被形成为使得相对于第二波导芯202的纵向(y轴)成45°的反射镜状(例如金属化的)表面(例如反射镜26)可以被提供在多个第二波导芯202的端部,例如,在多个第二波导芯202的朝向凹部分14的开口侧的端部处。

[0141] 另外,在本非限制性示例中,光学接口20的多个第二波导芯202可以被形成为嵌入在波导包层22中,并且可以不在凹部分14的开口侧处暴露。

[0142] 在如本文例示的一个或多个实施例中,诸如透镜24中的相应的透镜的透镜(例如,聚焦透镜)又可以像图11中例示的光纤30(例如光学)那样与(第三)波导耦合,或者如图12中所示的那样与诸如光电转换器50的外部光学连接器件(例如,光电探测器或电动光学辐射源)耦合。穿过透镜24和多个第二波导芯202的光辐射可以由图11和图12中的箭头例示。

[0143] 在一个或多个实施例中,透镜24可以提供准直光束。因此,透镜24可以耦合到光纤30,光纤30包括另外的透镜,该另外的透镜被配置成用于与透镜24对接以产生准直光束并用于将光聚焦到光纤30中。这种解决方案可以提供一个或多个优点,例如“宽松的”对准公

差。

[0144] 在一个或多个实施例中,参见例如图13,可以通过打印支撑结构(例如,用于反射镜26的第一支撑结构23<sub>1</sub>,以及可选地,用于限定多个第二波导芯202的第二支撑结构23<sub>2</sub>)形成如图10中所例示的光学接口20。这种支撑结构可以包括例如与波导包层22相同类型的聚合物材料,并且可以直接打印在凹部分14的底表面14a上。

[0145] 另外,在一个或多个实施例中,用于反射镜26的第一支撑结构23<sub>1</sub>可以呈现成角度(例如,45°)的侧表面。

[0146] 在一个或多个实施例中,制造如图10中例示的光学接口20的方法可以包括,参见例如图14,通过金属化第一支撑结构23<sub>1</sub>的成角度(例如45°)侧表面来制造反射镜26(例如金属化的反射镜),例如通过在具有成角度的侧表面的第一支撑结构23<sub>1</sub>之上施加金属材料进行金属化。因此,反射镜26可以包括具有远离凹部分14的开口侧的金属化面的成45°角度的反射镜。

[0147] 在一个或多个实施例中,制造如图10中例示的光学接口20的方法可以包括,参见例如图15,如前面所讨论的那样打印波导芯202(例如聚合物),其端面与相应的反射镜26接触,其中多个第二波导芯202可以被打印在凹部分14的被第一和第二支撑结构23<sub>1</sub>、23<sub>2</sub>围住的部分中。

[0148] 在一个或多个实施例中,制造如图10中例示的光学接口20的方法可以包括,参见例如图16,打印包括透镜24的波导包层22(例如准直透镜或聚焦透镜),还将第一和第二支撑结构23<sub>1</sub>、23<sub>2</sub>以及包括作为端面的金属化的反射镜26的多个第二波导芯202嵌入。

[0149] 在一个或多个实施例中,如图17所例示的,制造光学接口20的方法可以包括通过以下方式在凹部分14中打印每个第二波导芯202:如前面所讨论的那样打印第一细长部分(即第一部分202<sub>1</sub>),以及在相对于第一细长部分在一定距离处进行打印(即第二部分202<sub>2</sub>),第二部分202<sub>2</sub>可以在形状和位置上基本上对应于用于反射镜26的第一支撑结构23<sub>1</sub>。

[0150] 在所考虑的实施例中,制造反射镜26的步骤因此可以包括将反射镜26直接打印在多个第二波导芯202的第二部分202<sub>2</sub>上。

[0151] 另外,波导包层22可以施加在多个第二波导芯的第一和第二部分202<sub>1</sub>、202<sub>2</sub>上的凹部分14中以及反射镜26上。可以前面所讨论的那样实现透镜24。

[0152] 在所考虑的实施例中,反射镜26可以制造在第二波导芯202材料上,作为第二波导芯202的帽。

[0153] 另外,在所考虑的实施例中,在每个第二波导芯202的第一和第二部分202<sub>1</sub>、202<sub>2</sub>之间可以存在(例如小的)距离,利用包层材料填充该距离,在其中可能发生光的“自由空间传播”。再次,反射镜26可以反射通过波导包层22的光。

[0154] 在一个或多个实施例中,如图18至图20所例示的,多个第二波导芯202的第一支撑结构23<sub>1</sub>或第二部分202<sub>2</sub>(如图中所例示的)可以具有各种形状的侧端面,例如以实现具有凹形的反射镜26。

[0155] 在采用这种凹形的一个或多个实施例中,可以不存在透镜24,实际上,反射镜26本身可以聚焦或准直光,因此用作代替如由前面所讨论的透镜24提供的折射型光学器件的反射型光学器件。

[0156] 例如,反射镜26的形状(例如凹面的)可以包括抛物线形状(适于促进准直光束)或

椭圆形状(促进光束聚焦)。

[0157] 图18A表示光学接口20的一部分的俯视图的非限制性示例,其呈现对应于图18的截面图的轴的X轴线。因此,在图18A中例示了反射镜26的椭圆形状,其中反射镜26的凹面的部分朝向第二波导芯202的第一部分202<sub>1</sub>,第二波导芯202可以相对于反射镜26以一定距离布置。

[0158] 如图19和图20中所示,光学接口20因此可以分别与外部光电转换器50或光纤30耦合。光纤30可以相对于凹部分14的底表面14a正交地布置,或者可以相对于底表面14a倾斜地布置。

[0159] 在图中,可以由箭头例示穿过多个第二波导芯的第一和第二部分202<sub>1</sub>、202<sub>2</sub>的光辐射。在图19中,反射镜26(例如凹面的)可以包括适于准直光辐射的抛物线形状;相反,在图20中,反射镜26(例如凹面的)可以包括适于聚焦光辐射的椭圆形状。

[0160] 对于技术观点,可以经由不同方法实现在整个该详细描述中讨论的光学接口20。例如,一个或多个实施例可以涉及热压印,包括:在凹部分14中的局部沉积用作多个第二波导芯202的聚合物材料,使用主印模来实现多个第二波导芯202,加热主印模以固化聚合物材料,并且如果需要,可选地使聚合物材料收缩,以及在凹部分14中局部沉积用作波导包层22的聚合物材料。

[0161] 一个或多个实施例可以采用光刻工艺,包括:旋涂用作第二波导芯202的聚合物材料,旋涂厚光刻胶或提供光刻胶膜,掩模并实现多个第二波导芯202,去除光致抗蚀剂和未显影的聚合物材料,旋涂用作波导包层22的聚合物材料,旋涂厚光刻胶的或提供光刻胶膜,掩模和限定波导包层-仅在腔内,以及去除光致抗蚀剂和未显影的聚合物。

[0162] 另外,一个或多个实施例可以采用(例如纳米)打印技术,包括:在凹部分14中局部沉积用作多个第二波导芯202的聚合物材料,使用主印模来实现多个第二波导芯202,以及在腔中局部沉积用作波导包层22的聚合物材料。

[0163] 因此,一个或多个实施例可以涉及一种方法,包括:提供具有带有凹部分(例如,凹部分14)的表面(例如,10a)的半导体主体(例如,10),凹部分具有底表面(例如14a),其中光学波导芯(例如102)的第一阵列在底表面处(在其附近,在其下方)并排延伸,将并排延伸的光学阵列波导芯(例如202、202<sub>1</sub>、202<sub>2</sub>)的第二阵列提供到光学波导芯的第一阵列上,在光学波导芯的第二阵列中的光学波导芯与光学波导芯的第一阵列中的光学波导芯处于绝热耦合关系,以及将光学波导包层材料(例如22)施加到光学波导芯的第二阵列上,其中具有施加在其上的光学波导包层材料的光学波导芯的第二阵列可以提供光纤耦合接口(例如20)。

[0164] 在一个或多个实施例中,将光学波导芯的第二阵列提供到光学波导芯的第一阵列上可以包括通过打印、热压印或光刻中的一种形成光纤耦合接口。

[0165] 一个或多个实施例可以包括在光学波导芯的第二阵列中提供比光学波导芯的第一阵列中的光学波导芯尺寸大的光学波导芯。

[0166] 一个或多个实施例可以包括在表面(例如,在半导体主体的侧表面处)的边缘处提供凹部分,其中凹部分可以具有开口侧。

[0167] 一个或多个实施例可以包括:提供包括至少一个所述半导体主体(例如10'、10)的前体半导体主体(例如1000、10、S),所述半导体主体被布置成使其凹部分在邻接平面(例如D-D')处与互补的半导体主体(例如10''、S)邻接,从而在前体半导体主体中形成闭合周界凹

部分,其中第一光学波导芯的至少一个阵列(例如102'、102)并排延伸在凹部分的底表面处(例如在其附近、在其下方),该凹部分形成前体半导体主体中的闭合周界凹部分,将并排延伸的光学波导芯(例如,202'、202)的第二阵列提供到第一光学波导芯的至少一个阵列上,在光学波导芯的第二阵列中的光学波导芯与第一光学波导芯的至少一个阵列中的光学波导芯处于绝热耦合关系,以及将光学波导包层材料(例如,22)施加到光学波导芯的第二阵列上,并在邻接平面处切断前体半导体主体,以将至少一个所述半导体主体与互补半导体主体分离。

[0168] 一个或多个实施例可以包括:提供包括第一(例如10')和第二(例如10'')所述半导体主体(例如10)的前体半导体主体(例如1000),第一和第二所述半导体主体以关于相应的第一(例如14')和第二(例如14'')凹部分面对面的关系布置,第一和第二凹部分在所述邻接平面(例如D-D')处以面对面的关系邻接,从而在前体半导体主体中形成闭合周界凹部分,其中第一光学波导芯(例如,102'、102'')的阵列在第一和第二凹部分(在邻接平面处以面对面的关系邻接)的底表面处并排延伸(例如在其附近、在其下方),将并排延伸的光学波导芯(例如202'、202'')的第二阵列提供到第一光学波导芯的阵列上,光学波导芯的第二阵列中的光学波导芯与第一光学波导芯的阵列中的光学波导芯处于绝热耦合关系,将光学波导包层材料(例如,22)施加到光学波导芯的第二阵列上,以及沿着邻接平面切断前体半导体主体,以分离第一和第二半导体主体。

[0169] 一个或多个实施例可以包括将光纤的阵列(例如302)和光电转换器(例如50)中的一个耦合到光学波导芯的第二阵列,光学波导芯的第二阵列上施加有光学波导包层材料,其中光纤的阵列中的光纤或光电转换器可以经由光学波导芯的第二阵列的波导芯耦合到光学波导芯的第一阵列中的光学波导芯。

[0170] 一个或多个实施例可以包括将光纤的阵列中的光纤对接耦合到具有施加在其上的光学波导包层材料的光学波导芯的第二阵列中的光学波导芯。

[0171] 一个或多个实施例可以包括在光学波导芯的第二阵列的端面处提供光反射表面(例如26),光反射表面在光学波导芯的第二阵列和光纤的阵列中的光纤之间提供成角度的光学耦合路径。

[0172] 一个或多个实施例可以包括:凹部分位于半导体主体的表面的边缘处,其中凹部分可以具有开口侧,在光学波导芯的第二阵列的朝向开口侧的端面处提供光反射表面,和/或包括光束准直和/或聚焦光学器件(例如透镜24和/或反射镜26,例如在光学波导芯的第二阵列和在光纤的所述阵列中的光纤之间的所述成角度光学耦合路径中的抛物面/椭圆反射镜面)。

[0173] 一个或多个实施例可以涉及一种器件(例如,包括在其上形成光学接口20的硅光子芯片10),包括:半导体主体(例如,10),半导体主体具有在其中带有凹部分(例如,14)的表面(例如,10a),凹部分具有底表面(例如14a),其中光学波导芯(例如102)的第一阵列的底表面处并排延伸(例如,接近,或在底表面暴露),光学波导芯(例如202、202<sub>1</sub>、202<sub>2</sub>)的第二阵列在光学波导芯的第一阵列之上并排延伸,光学波导芯的第二阵列中的光学波导芯与光学波导芯的第一阵列中的光学波导芯处于绝热耦合关系,并且光学波导包层材料(例如22)施加到光学波导芯的第二阵列上,其中具有施加在其上的光学波导包层材料的光学波导芯的第二阵列可以提供到光学波导芯的第一阵列中的光学波导芯的光纤耦合接口(例如,

20)。

[0174] 在一个或多个实施例中,光学波导芯的第二阵列中的光学波导芯的尺寸可以大于光学波导芯的第一阵列中的光学波导芯的尺寸。

[0175] 在一个或多个实施例中,凹部分可以布置在半导体主体的表面的边缘处,其中凹部分可以具有开口侧。

[0176] 在一个或多个实施例中,在光学波导芯的第二阵列的端面处可以存在光反射表面(例如26),光反射表面提供到光学波导芯的第二阵列的成角度的光学耦合路径,器件可选地包括在所述成角度的光学耦合路径中(折射/反射)光束准直和/或聚焦光学器件(例如,透镜24和/或反射镜26,诸如抛物面/椭圆反射镜面)。

[0177] 一个或多个实施例可以涉及一种系统,系统可以包括器件(例如,包括硅光子芯片10和光学接口20),以及光纤(例如,单模光纤的波导芯)的阵列和光电转换器(例如50)中的一个,光纤的阵列和光电转换器中的一个在光纤耦合接口处耦合到光学波导芯的第二阵列,进而耦合到光学波导芯的第一阵列中的光学波导芯。

[0178] 在不影响基本原理的情况下,在不脱离保护范围的情况下,关于仅作为示例公开的内容,细节和实施例可以变化,甚至显着地变化。

[0179] 保护范围由所附权利要求限定。

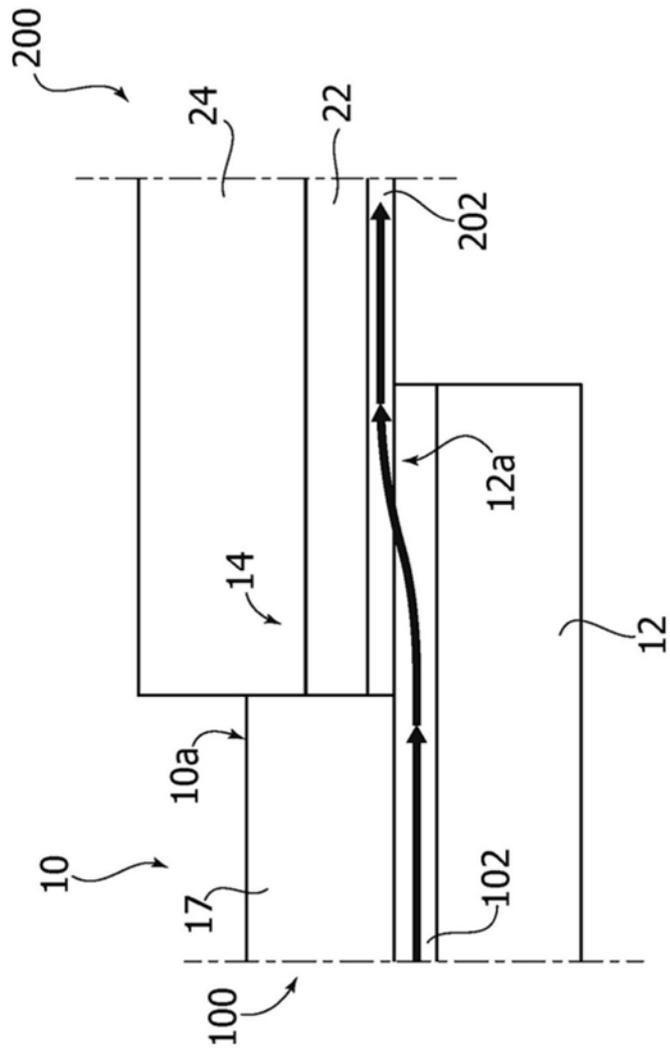


图1

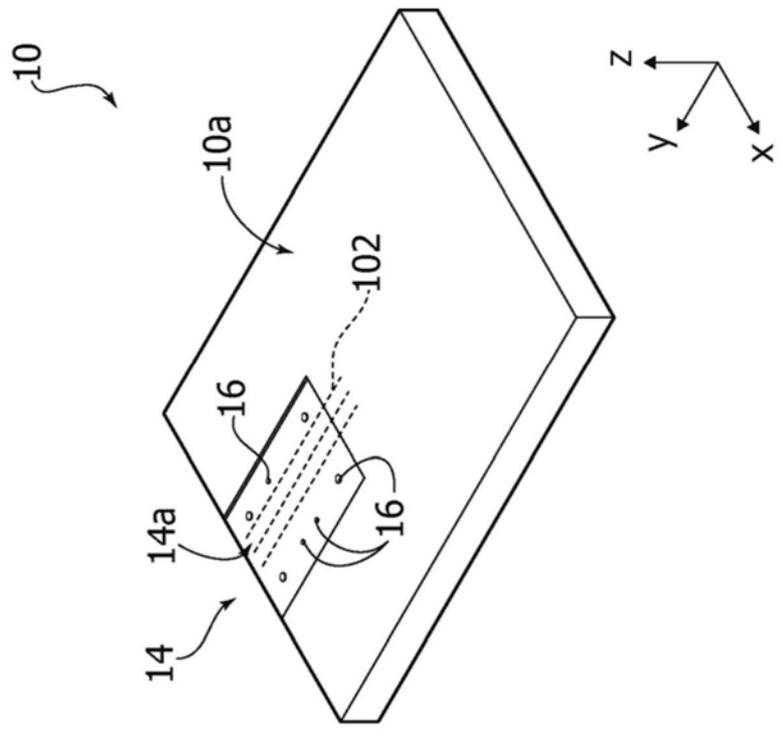


图2

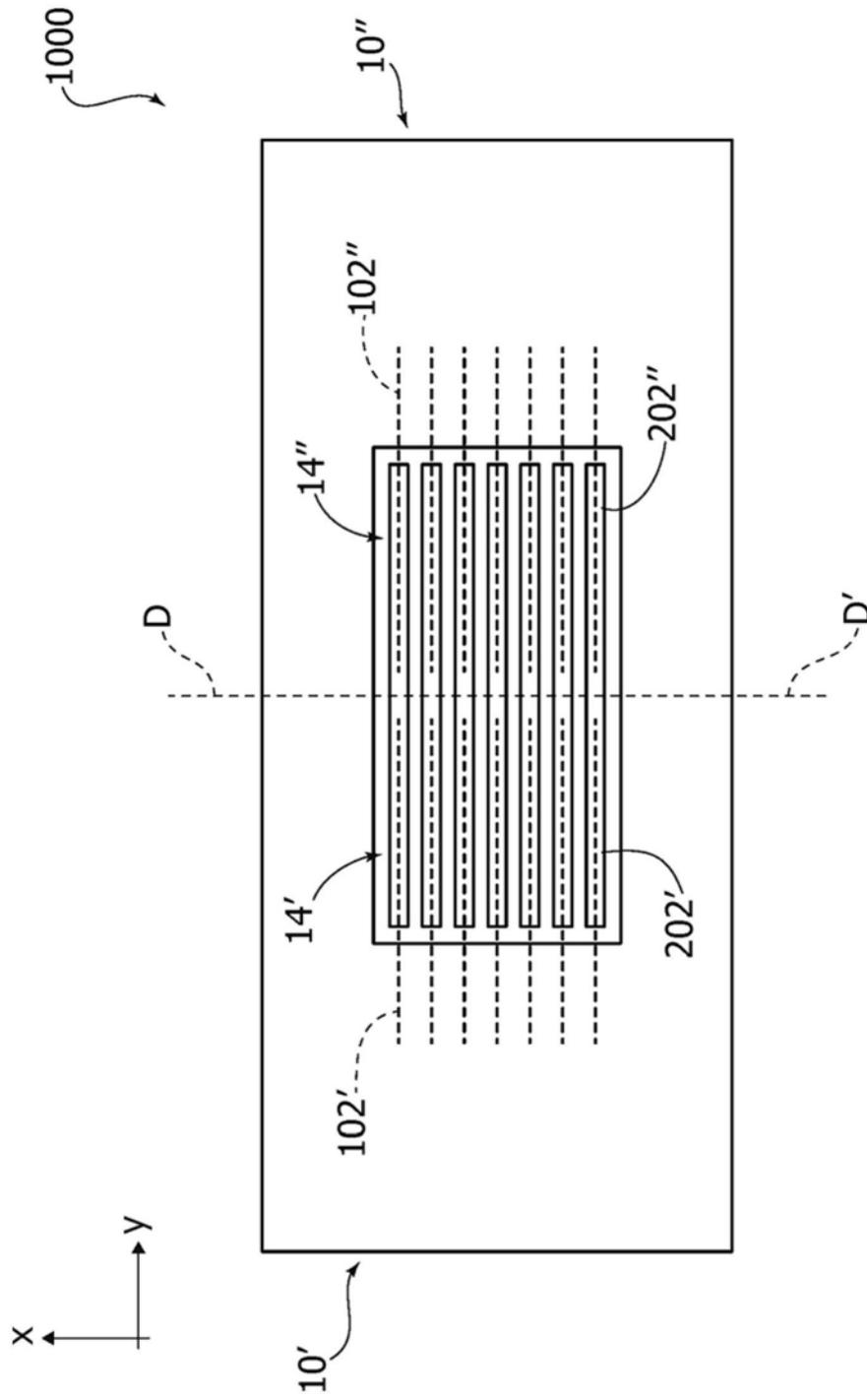


图3

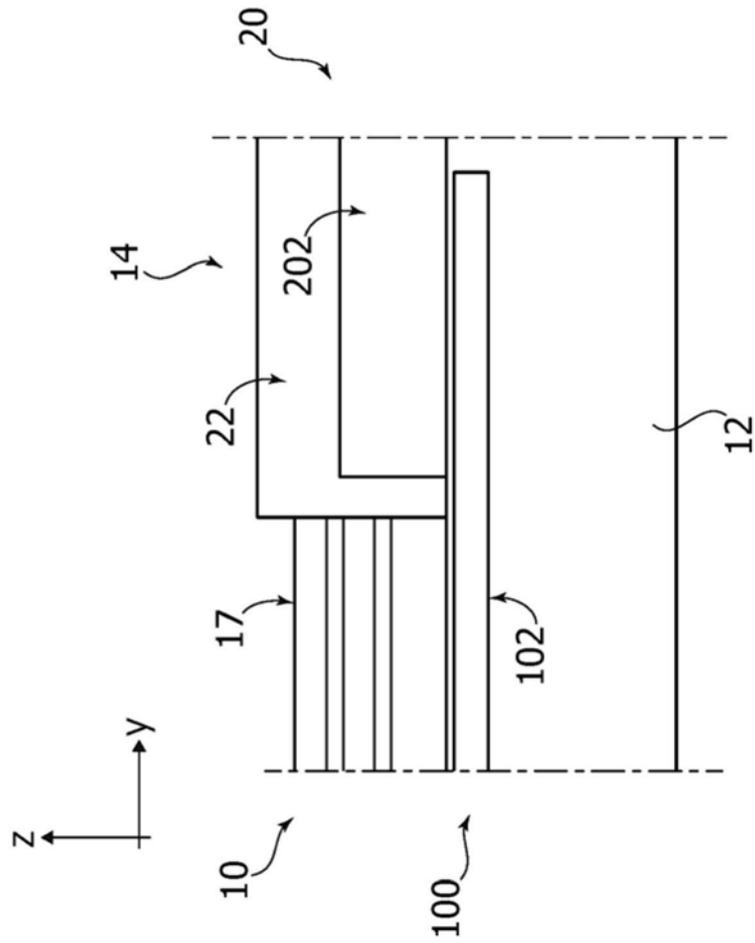


图4

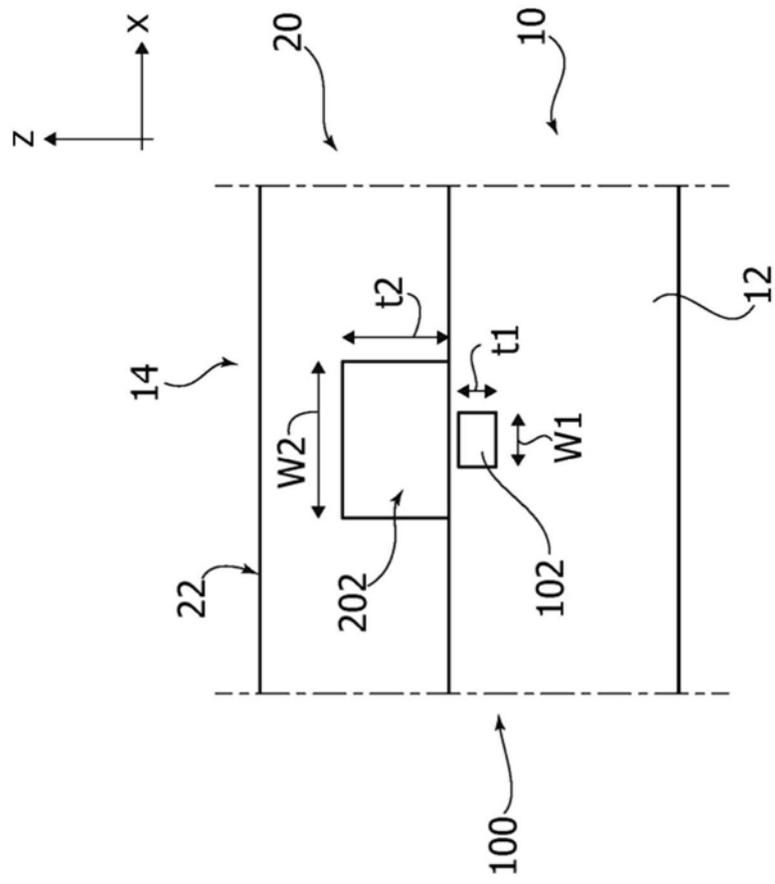


图5

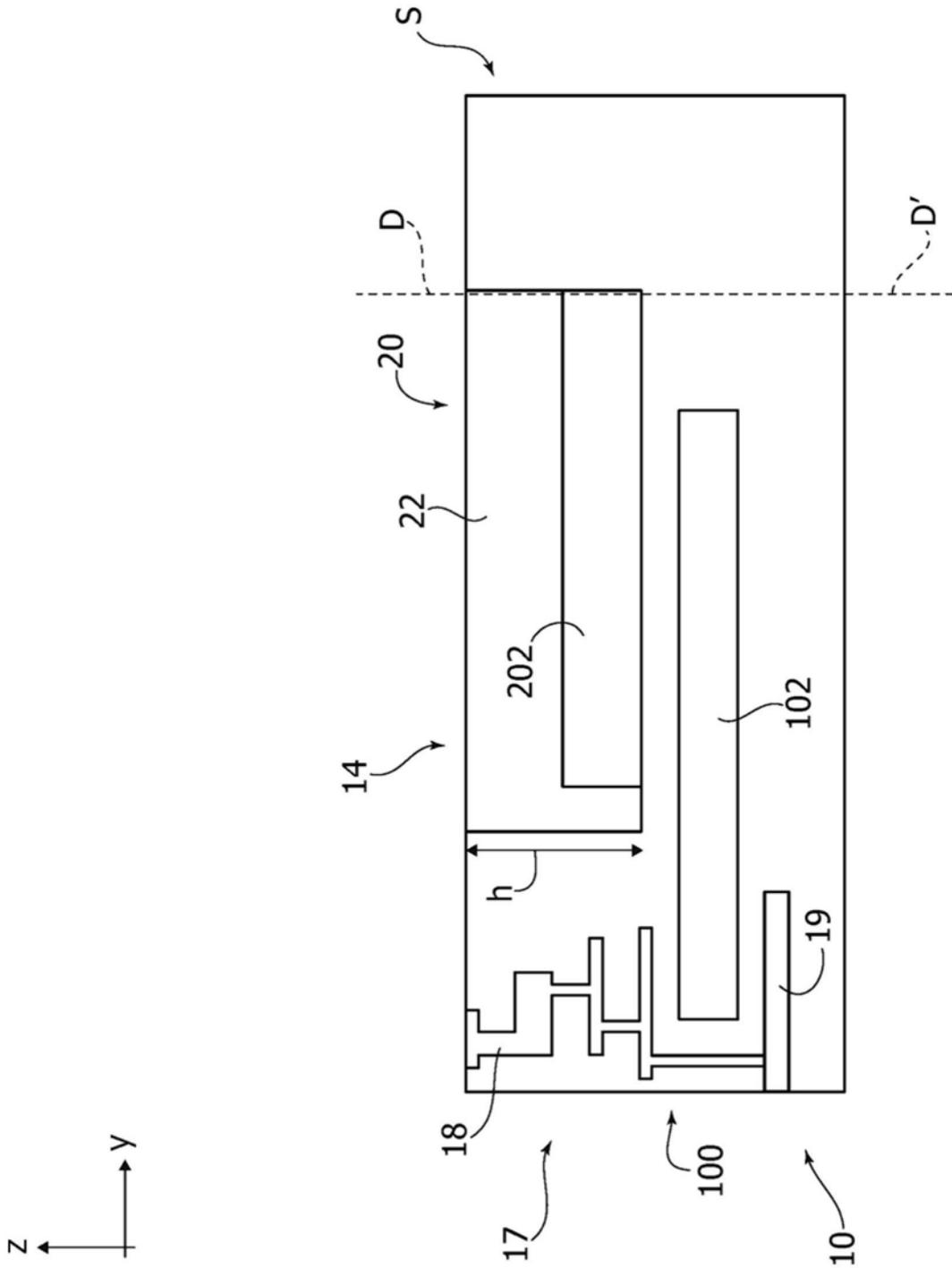


图6

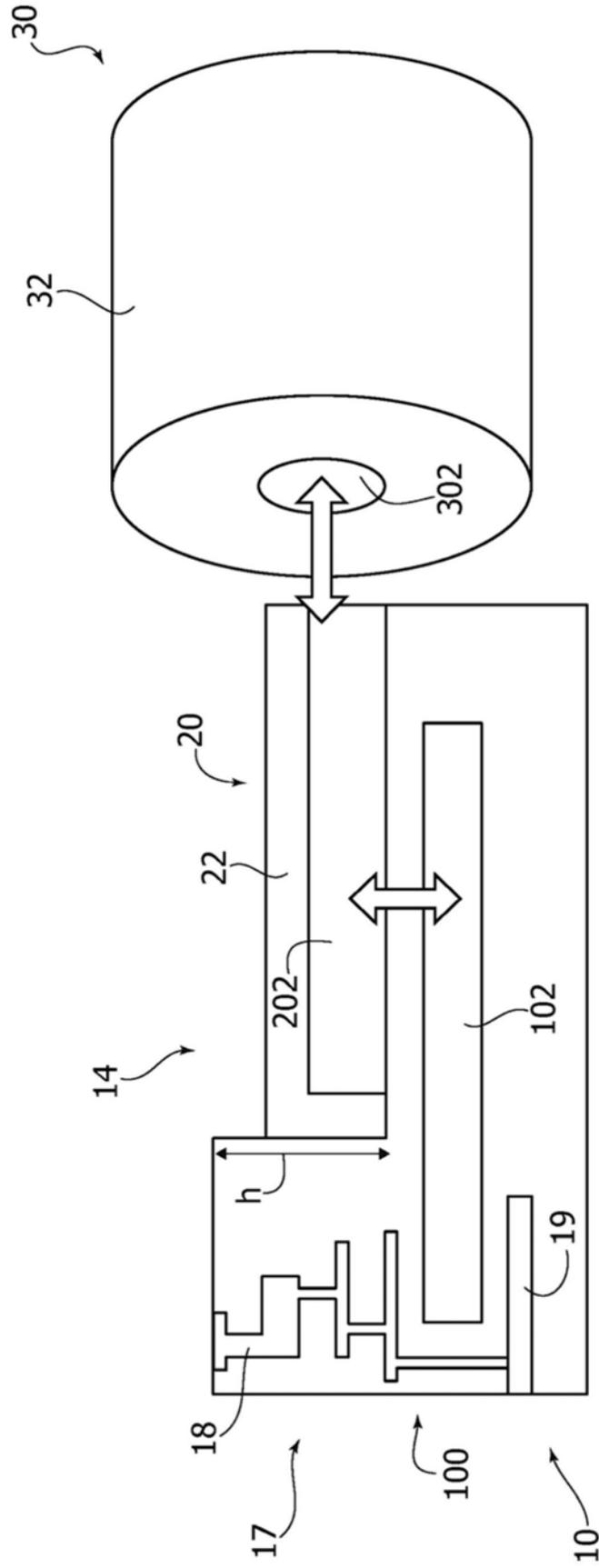


图7

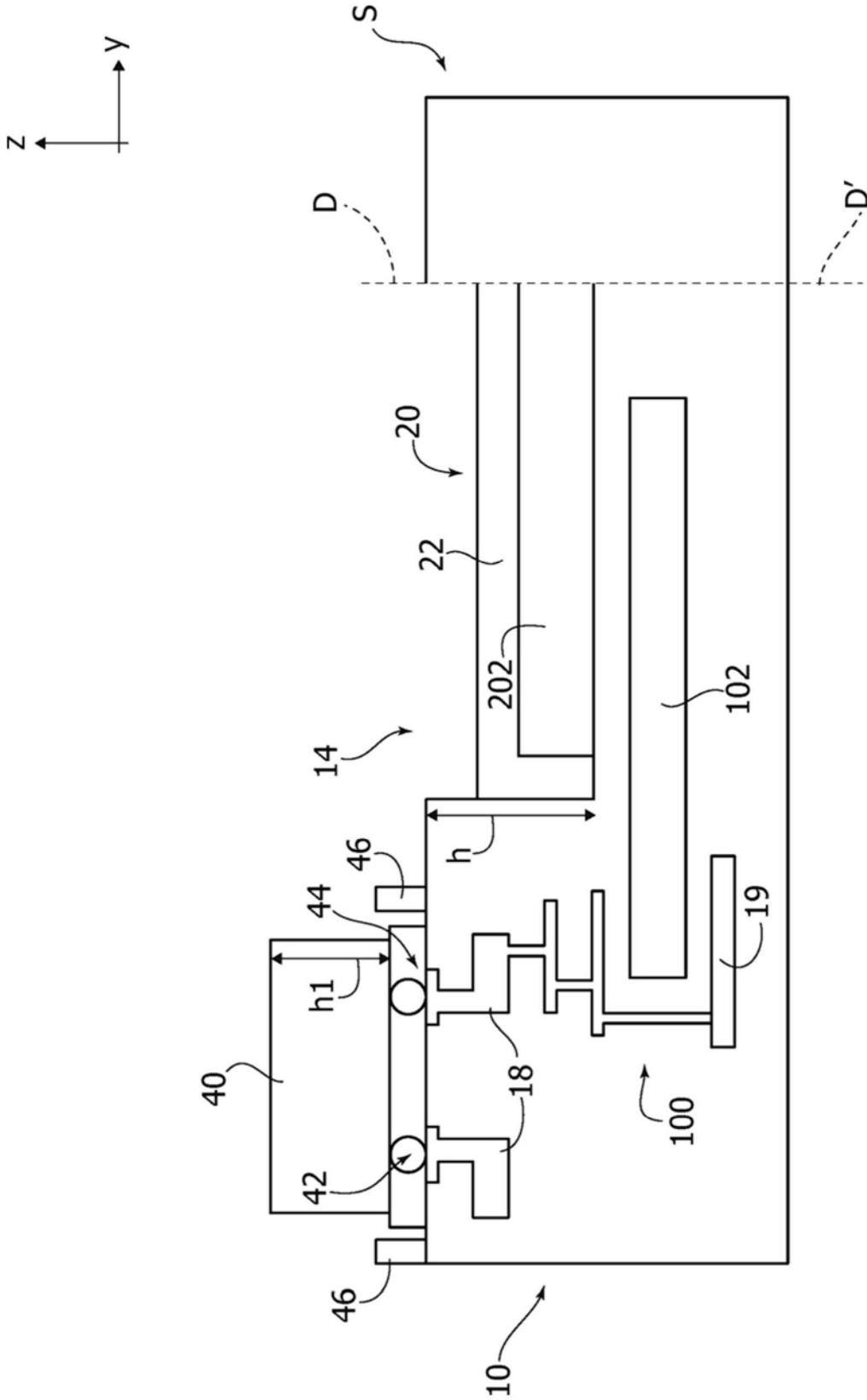


图8

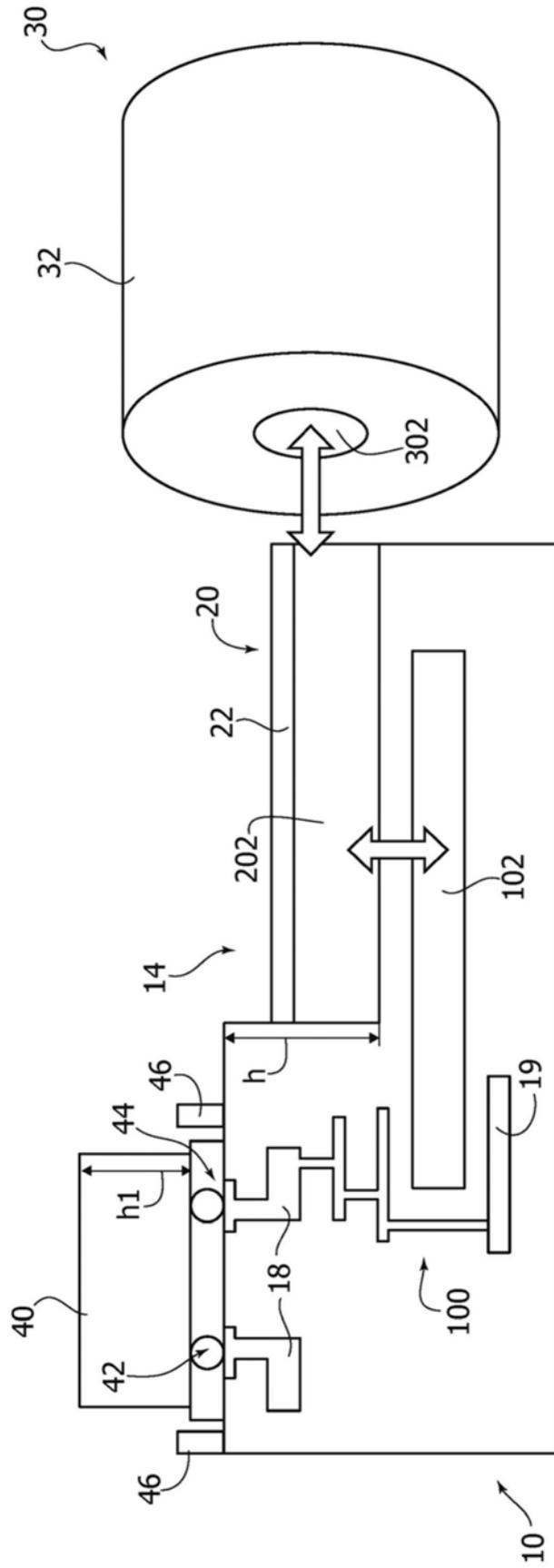


图9

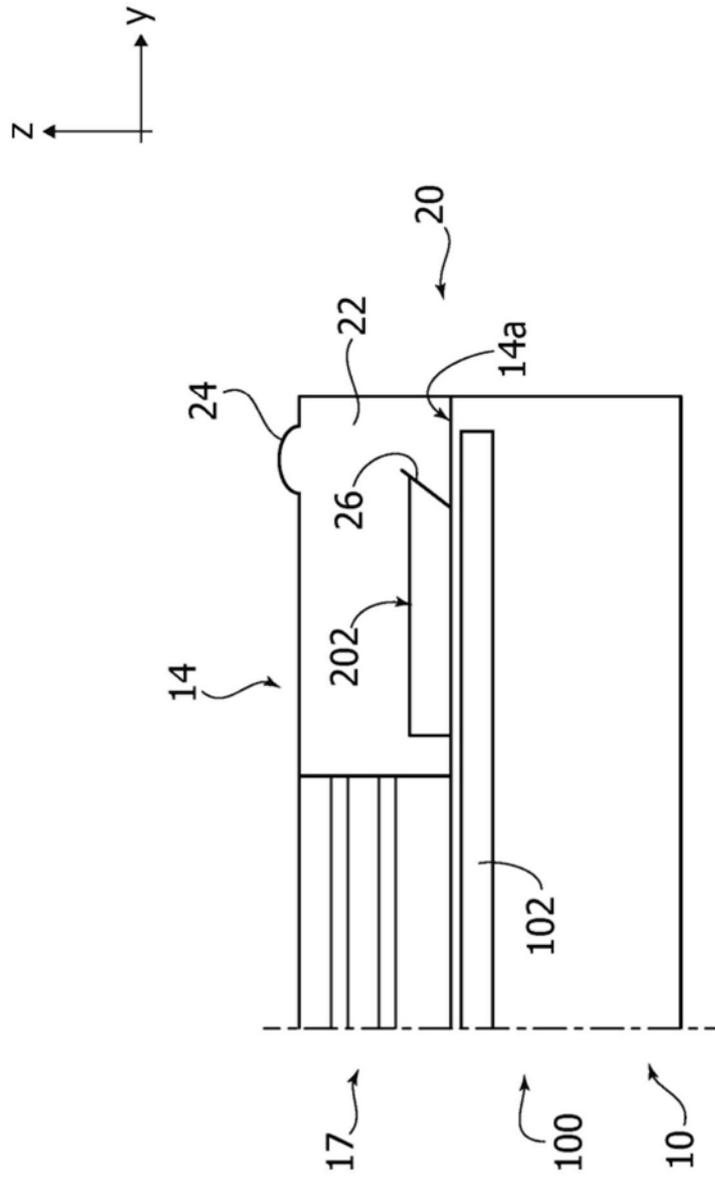


图10

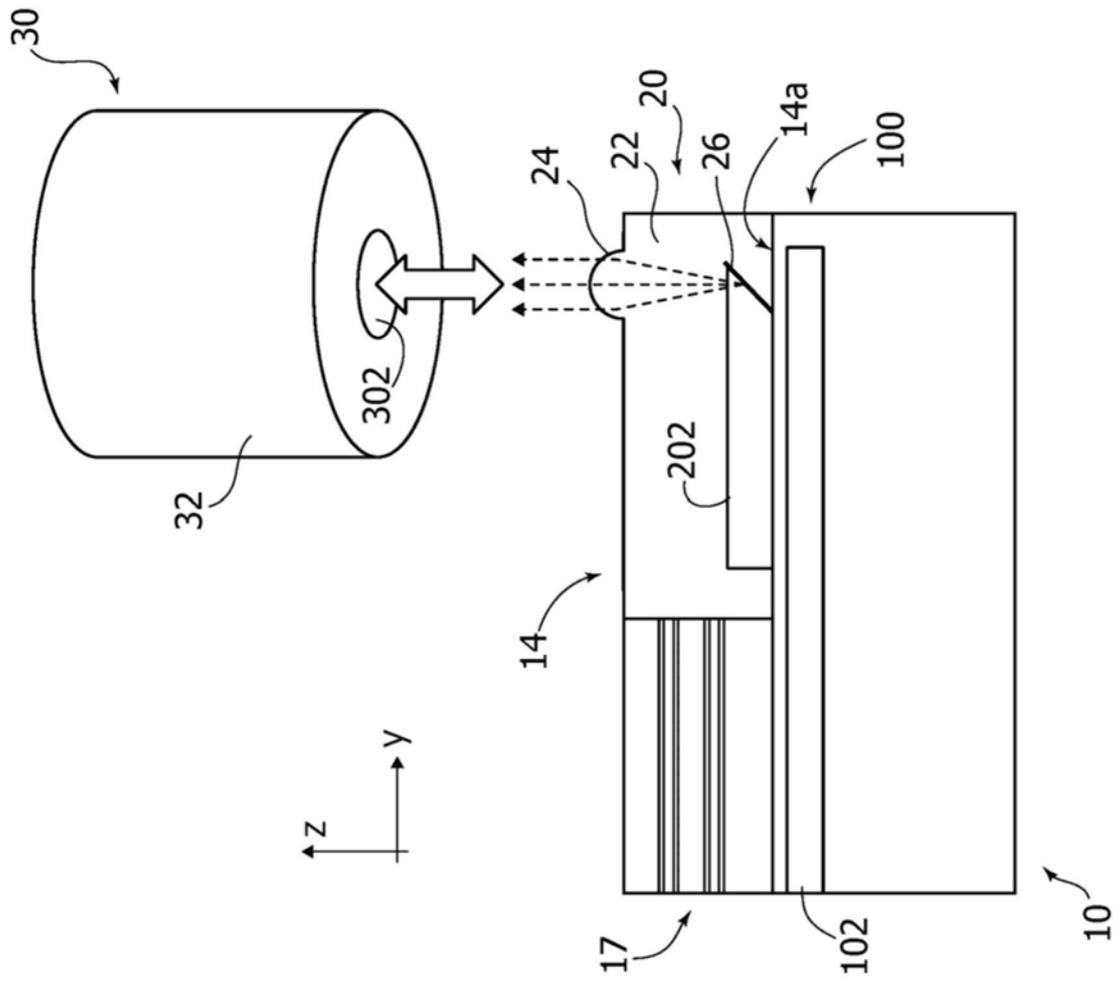


图11

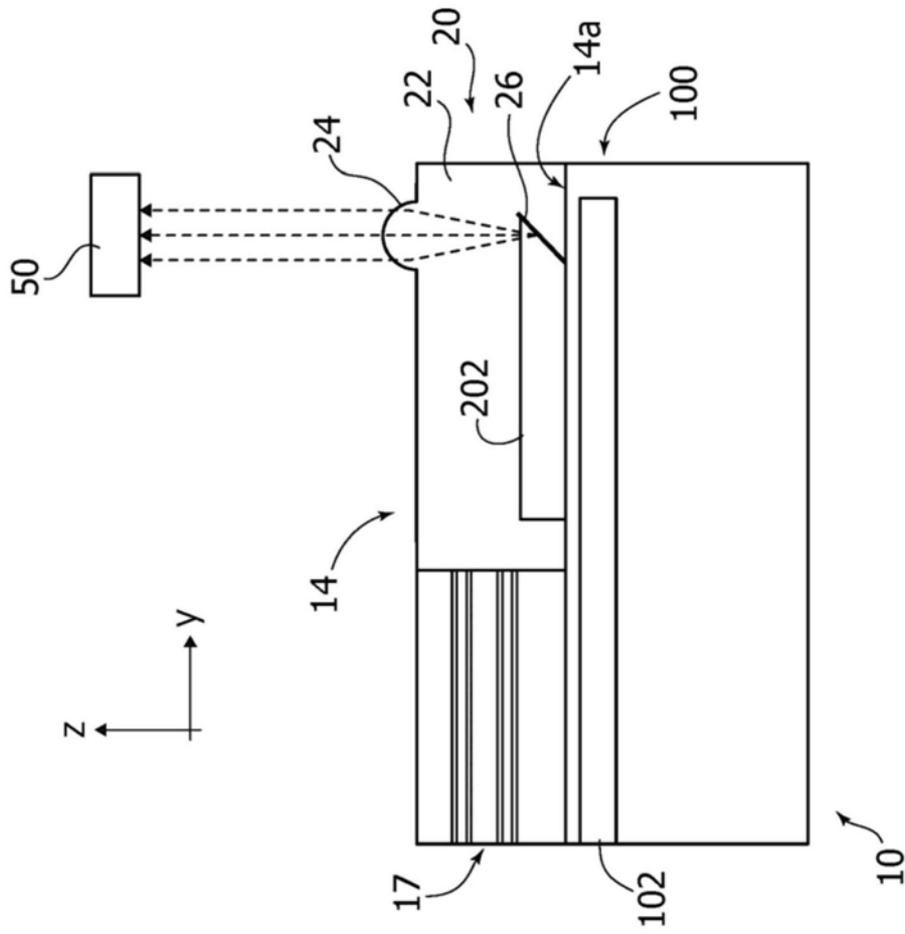


图12

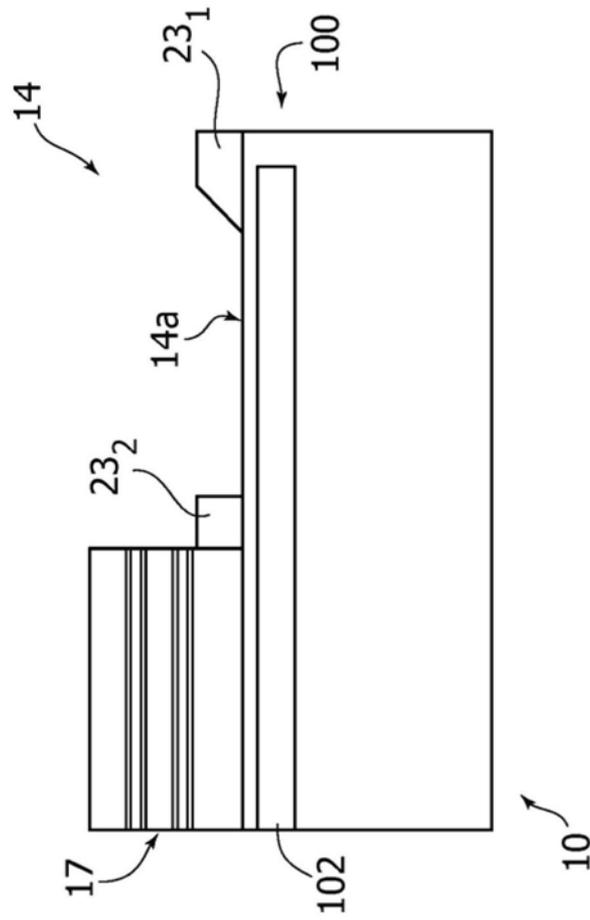


图13

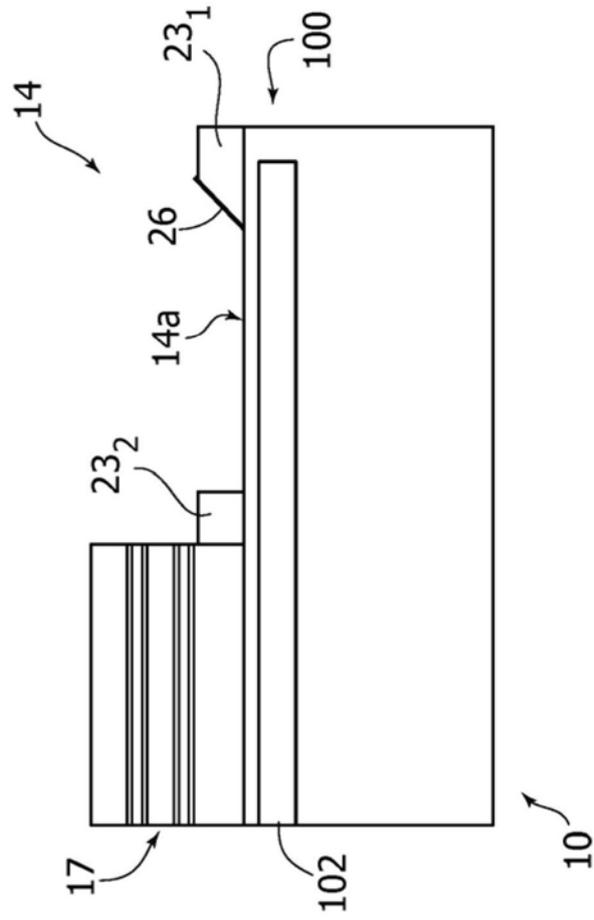


图14

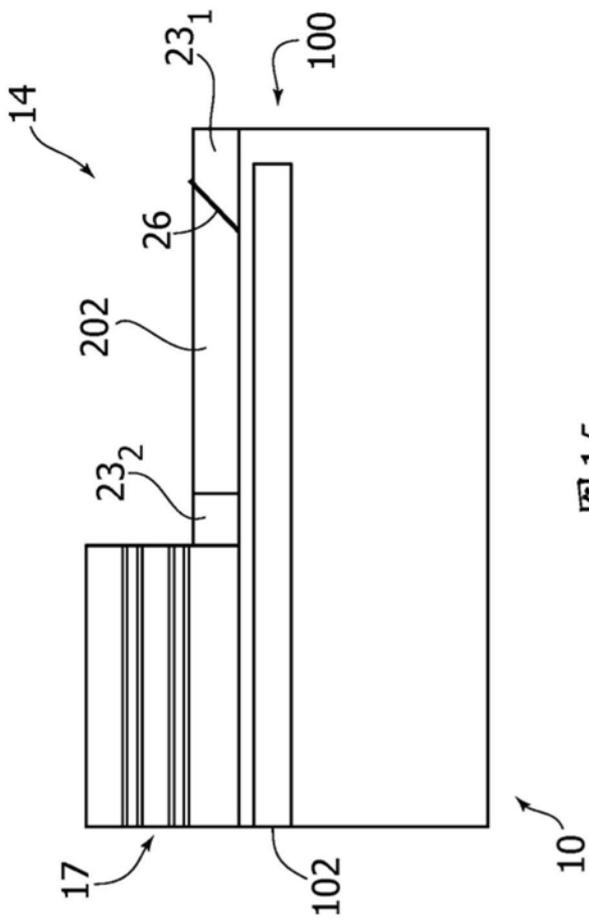


图15

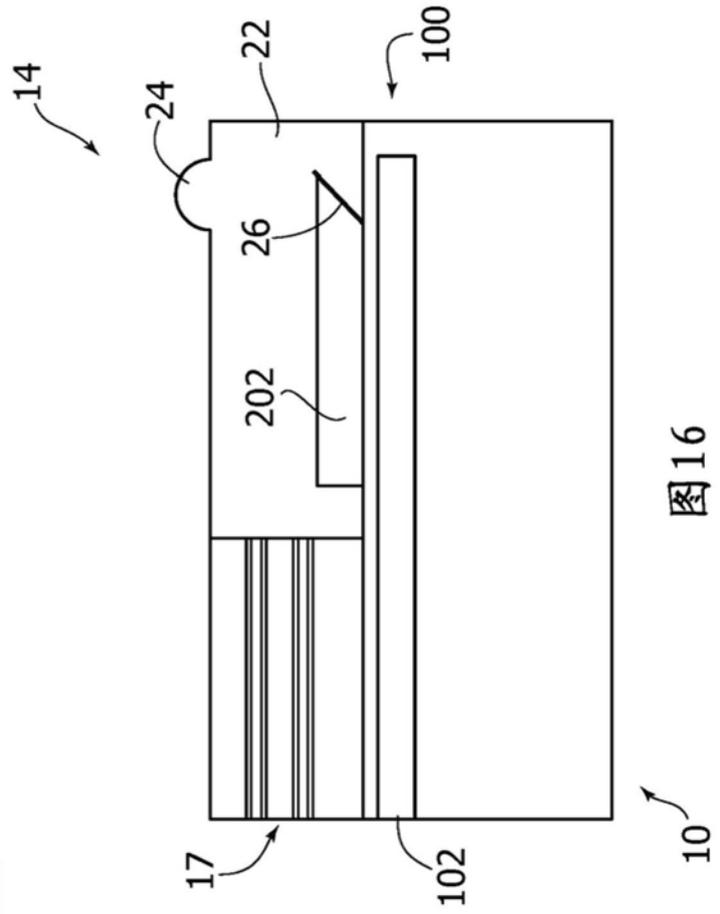


图16

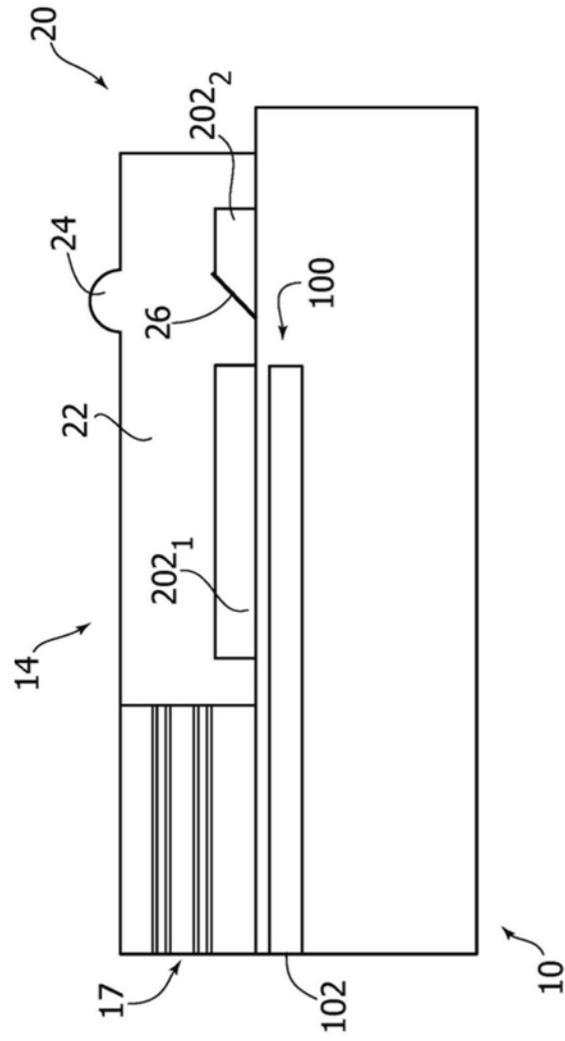


图17

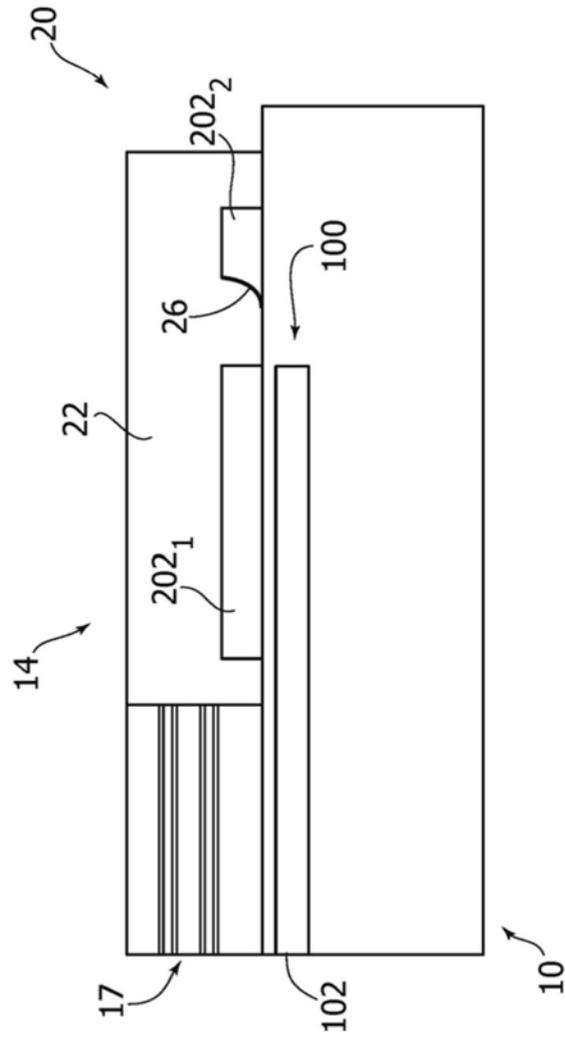


图18

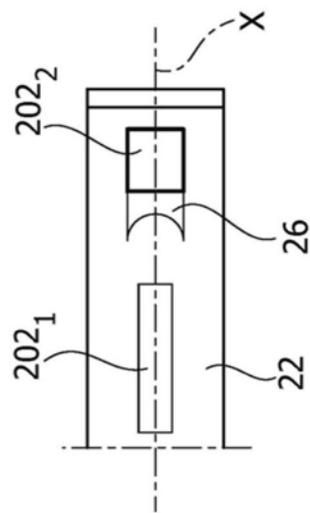


图18A

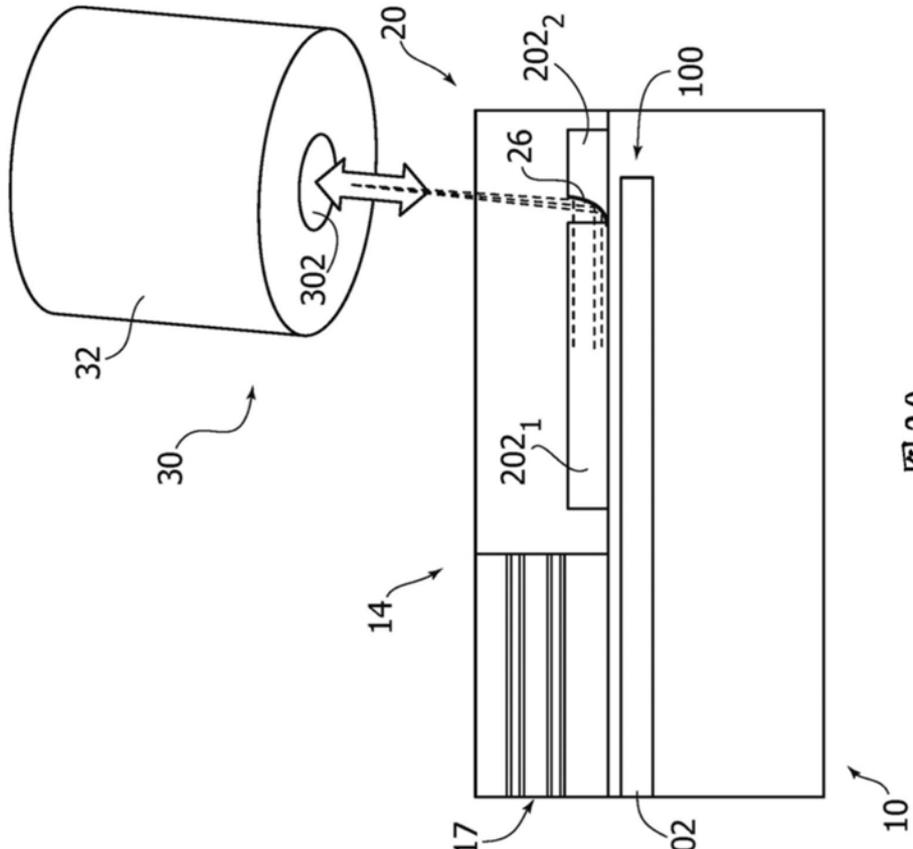


图 20

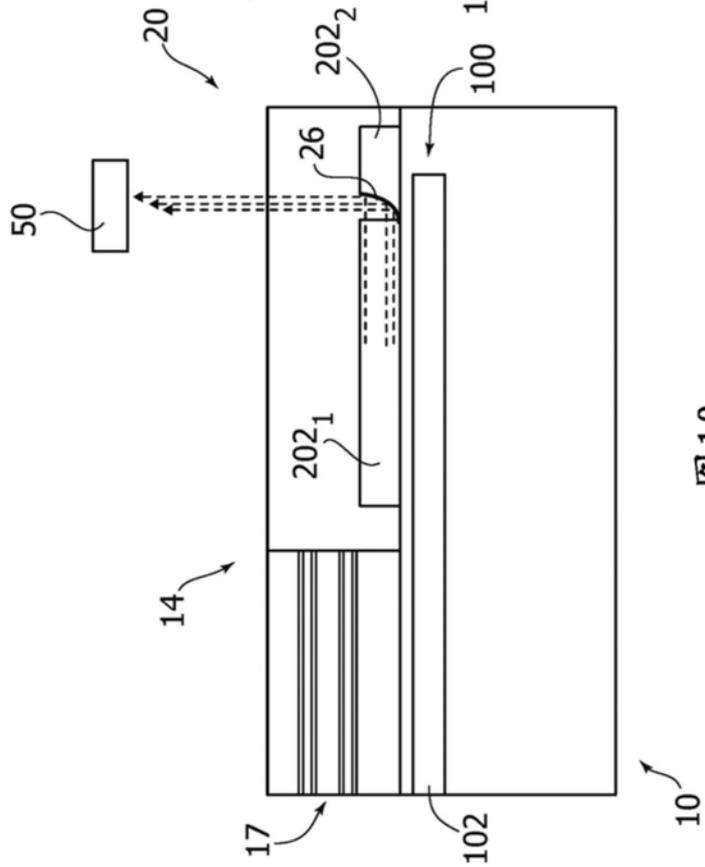


图 19