



(12) 发明专利

(10) 授权公告号 CN 110830035 B

(45) 授权公告日 2024. 04. 16

(21) 申请号 201911204646.0

(22) 申请日 2019.11.29

(65) 同一申请的已公布的文献号
申请公布号 CN 110830035 A

(43) 申请公布日 2020.02.21

(73) 专利权人 湖南国科微电子股份有限公司
地址 410131 湖南省长沙市长沙经济技术开发区泉塘街道东十路南段9号

(72) 发明人 何力

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227
专利代理师 陈丽

(56) 对比文件

- CN 101176259 A, 2008.05.07
- CN 106982057 A, 2017.07.25
- CN 206332655 U, 2017.07.14
- JP 2007003355 A, 2007.01.11
- JP 2010219882 A, 2010.09.30
- JP H11289251 A, 1999.10.19
- US 2002113631 A1, 2002.08.22
- US 2008275679 A1, 2008.11.06
- US 4275416 A, 1981.06.23
- US 4742313 A, 1988.05.03
- US 5959691 A, 1999.09.28
- US 6208216 B1, 2001.03.27

审查员 赵晓娟

(51) Int. Cl.

H03L 7/08 (2006.01)

H03L 7/085 (2006.01)

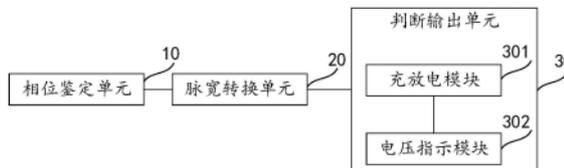
权利要求书2页 说明书8页 附图3页

(54) 发明名称

一种锁相环及其锁定检测方法和电路

(57) 摘要

本申请公开了一种锁相环及其锁定检测方法、电路,该锁定检测电路包括:相位鉴定单元,用于对REF信号和FBK信号的相位差进行检测,并输出检测结果信号;与相位鉴定单元连接的脉宽转换单元,用于在检测结果信号的作用下输出脉宽与相位差的大小对应的电压脉宽信号;与脉宽转换单元连接的判断输出单元,包括充放电模块和电压指示模块;充放电模块用于根据电压脉宽信号的脉宽切换充放电状态,电压指示模块用于生成与充放电模块的周期充放电平均电压对应的电平指示信号,以利用电平指示信号指示相位差是否小于预设阈值。本申请基于周期充放电平均电压来指示相位差大小,有效避免了瞬间信号干扰造成的锁定状态误判,提高了锁定检测的正确性。



1. 一种锁相环的锁定检测电路,其特征在于,包括:

相位鉴定单元,用于对REF信号和FBK信号的相位差进行检测,并输出检测结果信号;

与所述相位鉴定单元连接的脉宽转换单元,用于在所述检测结果信号的作用下输出脉宽与所述相位差的大小对应的电压脉宽信号;

与所述脉宽转换单元连接的判断输出单元,包括充放电模块和电压指示模块;所述充放电模块用于根据所述电压脉宽信号的脉宽切换充放电状态,所述电压指示模块用于生成与所述充放电模块的周期充放电平均电压对应的电平指示信号,以利用所述电平指示信号指示所述相位差是否小于预设阈值。

2. 根据权利要求1所述的锁定检测电路,其特征在于,所述检测结果信号包括第一控制脉宽信号和第二控制脉宽信号;

所述相位鉴定单元具体用于:在所述REF信号超前于所述FBK信号时,输出脉宽与所述相位差的大小对应的第一控制脉宽信号;在所述FBK信号超前于所述REF信号时,输出脉宽与所述相位差的大小对应的第二控制脉宽信号。

3. 根据权利要求2所述的锁定检测电路,其特征在于,在所述第一控制脉宽信号为高电平或者所述第二控制脉宽信号为高电平期间,所述电压脉宽信号为高电平。

4. 根据权利要求3所述的锁定检测电路,其特征在于,所述相位鉴定单元包括第一D触发器、第二D触发器、与非门;

所述第一D触发器的时钟端用于接收所述REF信号,正输出端用于输出所述第一控制脉宽信号,反输出端用于输出第一反相控制脉宽信号;

所述第二D触发器的时钟端用于接收所述FBK信号,正输出端用于输出所述第二控制脉宽信号,反输出端用于输出第二反相控制脉宽信号;

所述第一D触发器的输入端和所述第二D触发器的输入端均与电源连接;所述第一D触发器的复位端和所述第二D触发器的复位端均与所述与非门的输出端连接;所述与非门的两个输入端分别用于接收所述第一控制脉宽信号和所述第二控制脉宽信号。

5. 根据权利要求4所述的锁定检测电路,其特征在于,所述脉宽转换单元包括第一PMOS管、第二PMOS管、第三PMOS管、第四PMOS管、第一NMOS管、第二NMOS管、第三NMOS管、第四NMOS管;

所述第一PMOS管的源极连接至电源,漏极连接至所述第三PMOS管的源极;所述第二PMOS管的源极连接至电源,漏极连接至所述第四PMOS管的源极;所述第三PMOS管、所述第四PMOS管、所述第一NMOS管、所述第二NMOS管的漏极均相互连接,并作为所述脉宽转换单元的输出端;

所述第一NMOS管的源极、所述第二NMOS管的源极、所述第三NMOS管的漏极、所述第四NMOS管的漏极均相互连接;所述第三NMOS管和所述第四NMOS管的源极均接地;

所述第一PMOS管和所述第一NMOS管的栅极均用于接收所述第一控制脉宽信号;所述第四PMOS管和所述第四NMOS管的栅极均用于接收所述第一反相控制脉宽信号;所述第二PMOS管和所述第三NMOS管的栅极均用于接收所述第二控制脉宽信号;所述第三PMOS管和所述第二NMOS管的栅极均用于接收所述第二反相控制脉宽信号。

6. 根据权利要求1至5任一项所述的锁定检测电路,其特征在于,所述充放电模块包括第五PMOS管、第五NMOS管、接地电阻、第一电容;

所述第五PMOS管和所述第五NMOS管的栅极并接,与所述脉宽转换单元的输出端连接;所述第五PMOS管和所述第五NMOS管的漏极均与所述第一电容连接,并作为所述充放电模块的输出端与所述电压指示模块连接;所述第一电容的另一端接地;所述第五PMOS管的源极连接至电源,所述第五NMOS管的源极连接至所述接地电阻。

7. 根据权利要求6所述的锁定检测电路,其特征在于,所述电压指示模块包括第六PMOS管、第二电容、电流源、反相器;

所述第六PMOS管的源极连接至电源,栅极与所述充放电模块的输出端连接;所述第二电容的第一端连接至电源;所述电流源的输出端接地;所述第六PMOS管的漏极、所述第二电容的第二端、所述电流源的输入端均相互连接,并与所述反相器的输入端连接;所述反相器的输出端作为所述电压指示模块的输出端,用于输出所述电平指示信号。

8. 一种锁相环,其特征在于,包括如权利要求1至7任一项所述的锁定检测电路。

9. 一种锁相环的锁定检测方法,其特征在于,包括:

对REF信号和FBK信号的相位差进行检测并生成检测结果信号;

基于所述检测结果信号生成脉宽与所述相位差的大小对应的电压脉宽信号;

根据所述电压脉宽信号的脉宽切换充放电模块的充放电状态;

生成与所述充放电模块的周期充放电平均电压对应的电平指示信号,以便通过所述电平指示信号指示所述相位差是否小于预设值。

10. 根据权利要求9所述的锁定检测方法,其特征在于,所述检测结果信号包括第一控制脉宽信号和第二控制脉宽信号;

所述对REF信号和FBK信号的相位差进行检测并生成检测结果信号,包括:在所述REF信号超前于所述FBK信号时,生成脉宽与所述相位差的大小对应的第一控制脉宽信号;在所述FBK信号超前于所述REF信号时,生成脉宽与所述相位差的大小对应的第二控制脉宽信号;在所述第一控制脉宽信号为高电平或者所述第二控制脉宽信号为高电平期间,所述电压脉宽信号为高电平。

一种锁相环及其锁定检测方法和电路

技术领域

[0001] 本申请涉及模拟集成电路技术领域,特别涉及一种锁相环及其锁定检测方法和电路。

背景技术

[0002] 锁相环是一种常见于射频或数模混合芯片中的模拟电路,用于产生射频载波信号或者芯片中的时钟信号。锁相环电路在上电后需要一定的锁定时间令锁相环完成锁定后才能输出稳定的载波信号或时钟信号。因此,在应用锁相环电路时需要配合使用锁定检测电路来检测锁相环是否完成锁定。而判定锁相环完成锁定的依据就是锁相环电路内部的REF(参考时钟)信号和FBK(反馈时钟)信号的相位差(两者上升沿的时间间隔)一直小于预设阈值(通常设置为参考时钟REF信号周期的1%)。

[0003] 参见图1所示,图1为现有技术公开的一种锁相环的锁定检测电路,FBK信号、REF信号各自分别送入D触发器D1、D2的输入端,并分别经时钟缓冲器BUF1、BUF2延时(延时长等于预设阈值)后送入D触发器D2、D1的时钟端。由此,当REF信号超前FBK信号时,D2输出高电平,当超前时长小于预设阈值时,D1也输出高电平,经与门AND1后输出高电平;当FBK信号超前REF信号时,D1输出高电平,当超前时长小于预设阈值时,D2也输出高电平,经与门AND1后输出高电平。即,当FBK信号、REF信号的相位差在预设阈值之内时,与门AND1将输出高电平。

[0004] 但是,在实际应用中,锁相环在尚未锁定时,也会存在FBK信号和REF信号的相位差瞬间小于阈值的情况,而针对这种情况,图1所示的锁定检测电路同样会输出高电平,造成对锁相环锁定状态的误判,令后续接收电路产生逻辑误处理。

[0005] 鉴于此,提供一种解决上述技术问题的方案,已经是本领域技术人员所亟需关注的。

发明内容

[0006] 本申请的目的在于提供一种锁相环及其锁定检测方法和电路,以便有效避免因瞬时状态干扰而造成的锁定状态误判,提高锁定检测的正确率。

[0007] 为解决上述技术问题,第一方面,本申请公开了一种锁相环的锁定检测电路,包括:

[0008] 相位鉴定单元,用于对REF信号和FBK信号的相位差进行检测,并输出检测结果信号;

[0009] 与所述相位鉴定单元连接的脉宽转换单元,用于在所述检测结果信号的作用下输出脉宽与所述相位差的大小对应的电压脉宽信号;

[0010] 与所述脉宽转换单元连接的判断输出单元,包括充放电模块和电压指示模块;所述充放电模块用于根据所述电压脉宽信号的脉宽切换充放电状态,所述电压指示模块用于生成与所述充放电模块的周期充放电平均电压对应的电平指示信号,以利用所述电平指示信号指示所述相位差是否小于预设阈值。

- [0011] 可选地,所述检测结果信号包括第一控制脉宽信号和第二控制脉宽信号;
- [0012] 所述相位鉴定单元具体用于:在所述REF信号超前于所述FBK信号时,输出脉宽与所述相位差的大小对应的第一控制脉宽信号;在所述FBK信号超前于所述REF信号时,输出脉宽与所述相位差的大小对应的第二控制脉宽信号。
- [0013] 可选地,在所述第一控制脉宽信号为高电平或者所述第二控制脉宽信号为高电平期间,所述电压脉宽信号为高电平。
- [0014] 可选地,所述相位鉴定单元包括第一D触发器、第二D触发器、与非门;
- [0015] 所述第一D触发器的时钟端用于接收所述REF信号,正输出端用于输出所述第一控制脉宽信号,反输出端用于输出第一反相控制脉宽信号;
- [0016] 所述第二D触发器的时钟端用于接收所述FBK信号,正输出端用于输出所述第二控制脉宽信号,反输出端用于输出第二反相控制脉宽信号;
- [0017] 所述第一D触发器的输入端和所述第二D触发器的输入端均与电源连接;所述第一D触发器的复位端和所述第二D触发器的复位端均与所述与非门的输出端连接;所述与非门的两个输入端分别用于接收所述第一控制脉宽信号和所述第二控制脉宽信号。
- [0018] 可选地,所述脉宽转换单元包括第一PMOS管、第二PMOS管、第三PMOS管、第四PMOS管、第一NMOS管、第二NMOS管、第三NMOS管、第四NMOS管;
- [0019] 所述第一PMOS管的源极连接至电源,漏极连接至所述第三PMOS管的源极;所述第二PMOS管的源极连接至电源,漏极连接至所述第四PMOS管的源极;所述第三PMOS管、所述第四PMOS管、所述第一NMOS管、所述第二NMOS管的漏极均相互连接,并作为所述脉宽转换单元的输出端;
- [0020] 所述第一NMOS管的源极、所述第二NMOS管的源极、所述第三NMOS管的漏极、所述第四NMOS管的漏极均相互连接;所述第三NMOS管和所述第四NMOS管的源极均接地;
- [0021] 所述第一PMOS管和所述第一NMOS管的栅极均用于接收所述第一控制脉宽信号;所述第四PMOS管和所述第四NMOS管的栅极均用于接收所述第一反相控制脉宽信号;所述第二PMOS管和所述第三NMOS管的栅极均用于接收所述第二控制脉宽信号;所述第三PMOS管和所述第二NMOS管的栅极均用于接收所述第二反相控制脉宽信号。
- [0022] 可选地,所述充放电模块包括第五PMOS管、第五NMOS管、接地电阻、第一电容;
- [0023] 所述第五PMOS管和所述第五NMOS管的栅极并接,与所述脉宽转换单元的输出端连接;所述第五PMOS管和所述第五NMOS管的漏极均与所述第一电容连接,并作为所述充放电模块的输出端与所述电压指示模块连接;所述第一电容的另一端接地;所述第五PMOS管的源极连接至电源,所述第五NMOS管的源极连接至所述接地电阻。
- [0024] 可选地,所述电压指示模块包括第六PMOS管、第二电容、电流源、反相器;
- [0025] 所述第六PMOS管的源极连接至电源,栅极与所述充放电模块的输出端连接;所述第二电容的第一端连接至电源;所述电流源的输出端接地;所述第六PMOS管的漏极、所述第二电容的第二端、所述电流源的输入端均相互连接,并与所述反相器的输入端连接;所述反相器的输出端作为所述电压指示模块的输出端,用于输出所述电平指示信号。
- [0026] 第二方面,本申请还公开了一种锁相环,包括如上述的任一种锁定检测电路。
- [0027] 第三方面,本申请还公开了一种锁相环的锁定检测方法,包括:
- [0028] 对REF信号和FBK信号的相位差进行检测并生成检测结果信号;

- [0029] 基于所述检测结果信号生成脉宽与所述相位差的大小对应的电压脉宽信号；
- [0030] 根据所述电压脉宽信号的脉宽切换充放电模块的充放电状态；
- [0031] 生成与所述充放电模块的周期充放电平均电压对应的电平指示信号,以便通过所述电平指示信号指示所述相位差是否小于预设值。
- [0032] 可选地,所述检测结果信号包括第一控制脉宽信号和第二控制脉宽信号；
- [0033] 所述对REF信号和FBK信号的相位差进行检测并生成检测结果信号,包括:在所述REF信号超前于所述FBK信号时,生成脉宽与所述相位差的大小对应的第一控制脉宽信号；在所述FBK信号超前于所述REF信号时,生成脉宽与所述相位差的大小对应的第二控制脉宽信号；在所述第一控制脉宽信号为高电平或者所述第二控制脉宽信号为高电平期间,所述电压脉宽信号为高电平。
- [0034] 本申请所提供的锁相环的锁定检测电路包括:相位鉴定单元,用于对REF信号和FBK信号的相位差进行检测,并输出检测结果信号；与所述相位鉴定单元连接的脉宽转换单元,用于在所述检测结果信号的作用下输出脉宽与所述相位差的大小对应的电压脉宽信号；与所述脉宽转换单元连接的判断输出单元,包括充放电模块和电压指示模块；所述充放电模块用于根据所述电压脉宽信号的脉宽切换充放电状态,所述电压指示模块用于生成与所述充放电模块的周期充放电平均电压对应的电平指示信号,以利用所述电平指示信号指示所述相位差是否小于预设阈值。
- [0035] 可见,本申请基于对REF信号和FBK信号的相位检测结果来控制充放电模块进行充电、放电,进而基于周期充放电平均电压来指示相位差大小,利用平均电压的非突变性,有效避免了在REF信号、FBK信号的相位差瞬间小于预设阈值时的锁定状态误判,提高了对瞬时信号状态的抗干扰性以及锁定检测的正确性。本申请所提供的锁相环及其锁定检测方法也同样具有上述有益效果。

附图说明

- [0036] 为了更清楚地说明现有技术和本申请实施例中的技术方案,下面将对现有技术和本申请实施例描述中需要使用的附图作简要的介绍。当然,下面有关本申请实施例的附图描述的仅仅是本申请中的一部分实施例,对于本领域普通技术人员来说,在不付出创造性劳动的前提下,还可以根据提供的附图获得其他的附图,所获得的其他附图也属于本申请的保护范围。
- [0037] 图1为现有技术中的一种锁相环的锁定检测电路的电路结构图；
- [0038] 图2为本申请实施例公开的一种锁相环的锁定检测电路的结构框图；
- [0039] 图3为本申请实施例公开的一种相位鉴定单元的电路结构图；
- [0040] 图4为本申请实施例公开的一种脉宽转换单元和判断输出单元的电路结构图；
- [0041] 图5为本申请实施例公开的一种锁相环的锁定检测方法的流程图。

具体实施方式

- [0042] 本申请的核心在于提供一种锁相环及其锁定检测方法和电路,以便有效避免因瞬时状态干扰而造成的锁定状态误判,提高锁定检测的正确率。
- [0043] 为了对本申请实施例中的技术方案进行更加清楚、完整地描述,下面将结合本申

请实施例中的附图,对本申请实施例中的技术方案进行介绍。显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0044] 锁相环的锁定检测电路是用来检测锁相环是否完成锁定的电路,通过判断锁相环电路内部的REF(参考时钟)信号和FBK(反馈时钟)信号的相位差(两者上升沿的时间间隔)是否一直小于预设阈值(通常设置为参考时钟REF信号周期的1%)来进行检测。但是在实际应用中,锁相环在尚未锁定时,也会存在FBK信号和REF信号的相位差瞬间小于阈值的情况,而针对这种情况,现有技术中的锁定检测电路同样会输出高电平,造成对锁相环锁定状态的误判,令后续接收电路产生逻辑误处理。鉴于此,本申请提供了一种锁相环及其锁定检测方案,可有效解决上述问题。

[0045] 参见图2所示,本申请实施例公开了一种锁相环的锁定检测电路。该锁定检测电路包括有相位鉴定单元10,用于对REF信号和FBK信号的相位差进行检测,并输出检测结果信号。

[0046] 具体的,该相位差具体可以为REF信号超前于FBK信号的相位差或者FBK信号超前于REF信号的相位差,即,只要两个信号间的相位差持续小于预设阈值,即可判定锁相环完成锁定。由此,作为一个具体实施例,检测结果信号可包括第一控制脉宽信号A和第二控制脉宽信号B,相位鉴定单元10可具体用于在REF信号超前于FBK信号时,输出脉宽与相位差的大小对应的第一控制脉宽信号A;在FBK信号超前于REF信号时,输出脉宽与相位差的大小对应的第二控制脉宽信号B。

[0047] 参见图3所示,本申请实施例公开了一种相位鉴定单元10的电路结构。在本实施例中,相位鉴定单元10具体包括第一D触发器DFF1、第二D触发器、与非门NAND1;

[0048] 第一D触发器DFF1的时钟端用于接收REF信号,正输出端用于输出第一控制脉宽信号A,反输出端用于输出第一反相控制脉宽信号An;第二D触发器的时钟端用于接收FBK信号,正输出端用于输出第二控制脉宽信号B,反输出端用于输出第二反相控制脉宽信号Bn;

[0049] 第一D触发器DFF1的输入端和第二D触发器的输入端均与电源连接;第一D触发器DFF1的复位端和第二D触发器的复位端均与与非门NAND1的输出端连接;与非门NAND1的两个输入端分别用于接收第一控制脉宽信号A和第二控制脉宽信号B。

[0050] 该相位鉴定单元10可鉴别出REF信号和FBK信号的相位差大小,并判断两者间的超前和滞后关系。其具体的工作原理是:若REF信号的相位超前FBK信号(即REF的上升沿超前FBK),那么在REF信号的上升沿作用下,A输出高电平,An输出低电平,在FBK信号的上升沿来临时,B输出高电平,Bn输出低电平,此时由于A、B均为高电平,与非门NAND1输出低电平令第一D触发器DFF1、第二D触发器DFF2复位,A、B被复位为低电平,An、Bn被复位为高电平。在整个信号周期内,A的高电平(An的低电平)持续时间为REF信号超前FBK信号的相位差,B的高电平(Bn的低电平)持续时间忽略不计。

[0051] 同理,若FBK信号的相位超前REF信号,那么第二控制脉宽信号B的高电平(第二反相控制脉宽信号Bn的低电平)持续时间为FBK信号超前REF信号的相位差,第一控制脉宽信号A的高电平(第一反相控制脉宽信号An的低电平)持续时间忽略不计。

[0052] 由此可见,相位鉴定单元10将REF信号超前于FBK信号的相位差转化为了第一控制脉宽信号A的高电平脉宽(第一反相控制脉宽信号An的低电平脉宽),将FBK信号超前于REF

信号的相位转化为了第二控制脉宽信号B的高电平脉宽(第二反相控制脉宽信号Bn的低电平脉宽)。

[0053] 本申请所公开的锁定检测电路还包括与相位鉴定单元10连接的脉宽转换单元20,用于在检测结果信号的作用下输出脉宽与相位差的大小对应的电压脉宽信号。

[0054] 具体地,脉宽转换单元20的作用具体是,无论REF信号超前于FBK信号还是FBK信号超前于REF信号,均将两个信号的相位差以信号脉宽的形式进行表示。即,在第一控制脉宽信号A为高电平或者第二控制脉宽信号B为高电平期间,电压脉宽信号均为高电平。

[0055] 参见图4所示,本申请实施例公开了一种具体的脉宽转换单元20的电路结构。在本实施例中,脉宽转换单元20包括第一PMOS管Mp1、第二PMOS管Mp2、第三PMOS管Mp3、第四PMOS管Mp4、第一NMOS管Mn1、第二NMOS管Mn2、第三NMOS管Mn3、第四NMOS管Mn4;

[0056] 第一PMOS管Mp1的源极连接至电源,漏极连接至第三PMOS管Mp3的源极;第二PMOS管Mp2的源极连接至电源,漏极连接至第四PMOS管Mp4的源极;第三PMOS管Mp3、第四PMOS管Mp4、第一NMOS管Mn1、第二NMOS管Mn2的漏极均相互连接,并作为脉宽转换单元20的输出端;节点Vx的电压即为所述电压脉宽信号;

[0057] 第一NMOS管Mn1的源极、第二NMOS管Mn2的源极、第三NMOS管Mn3的漏极、第四NMOS管Mn4的漏极均相互连接;第三NMOS管Mn3和第四NMOS管Mn4的源极均接地;

[0058] 第一PMOS管Mp1和第一NMOS管Mn1的栅极均用于接收第一控制脉宽信号A;第四PMOS管Mp4和第四NMOS管Mn4的栅极均用于接收第一反相控制脉宽信号An;第二PMOS管Mp2和第三NMOS管Mn3的栅极均用于接收第二控制脉宽信号B;第三PMOS管Mp3和第二NMOS管Mn2的栅极均用于接收第二反相控制脉宽信号Bn。

[0059] 该脉宽转换单元20可具体将A的高电平脉宽和B的高电平脉宽均统一转化为输出节点Vx的高电平脉宽。其具体的工作原理是:在A为高电平、An为低电平、B为低电平、Bn为高电平时,第二PMOS管Mp2和第四PMOS管Mp4导通,第三NMOS管Mn3和第四NMOS管Mn4截止,输出节点Vx的电压被拉高至VDD;在B为高电平、Bn为低电平、A为低电平、An为高电平时,第一PMOS管Mp1和第三PMOS管Mp3导通,第一NMOS管Mn1和第二NMOS管Mn2截止,输出节点Vx的电压同样被拉高至VDD;当第一D触发器DFF1和第二D触发器DFF2均处于复位状态时,A和B为低电平,An和Bn为高电平,第二NMOS管Mn2和第四NMOS管Mn4导通,第三PMOS管Mp3和第四PMOS管Mp4截止,输出节点Vx的电压被拉低至低电平。

[0060] 由此可见,无论是REF信号超前时A的高电平脉宽,还是FBK信号超前时B的高电平脉宽,都会被脉宽转换单元20转换为脉宽等宽的Vx节点的电压脉宽信号,该脉宽宽度具体为REF信号和FBK信号之间的相位差大小。

[0061] 本申请所公开的锁定检测电路还包括与脉宽转换单元20连接的判断输出单元30,包括充放电模块301和电压指示模块302;充放电模块301用于根据电压脉宽信号的脉宽切换充放电状态,电压指示模块302用于生成与充放电模块301的周期充放电平均电压对应的电平指示信号,以便利用电平指示信号指示相位差是否小于预设值。

[0062] 其中,容易理解的是,充放电模块301可基于电容实现。具体地,如上所述,脉宽转换单元20所输出的电压脉宽信号的脉宽等于REF信号、FBK信号的相位差,判断输出单元30中的充放电模块301根据电压脉宽信号的高低电平状态切换进行充放电,由此,电压脉宽信号的脉宽就决定了充放电模块301输出的周期充放电平均电压的大小,即,REF信号、FBK信

号的相位差大小决定了充放电模块301输出的周期充放电平均电压的大小。

[0063] 电压指示模块302输出的电平指示信号指示了周期充放电平均电压的大小,通过调整电压指示模块302的电路参数设置,可以令电平指示信号在周期充放电平均电压大于某个定值时为高电平、在周期充放电平均电压小于该定值时为低电平,而周期充放电平均电压的该定值对应于相位差的预设阈值。由此,即可利用电平指示信号指示REF信号与FBK信号的相位差大小,作为锁定检测电路的输出结果。

[0064] 作为一个具体实施例,图4中也公开了本申请实施例所提供的一种判断输出单元30的电路结构。在本实施例中,充放电模块301包括第五PMOS管Mp5、第五NMOS管Mn5、接地电阻R1、第一电容C1;第五PMOS管Mp5和第五NMOS管Mn5的栅极并接,与脉宽转换单元20的输出端连接;第五PMOS管Mp5和第五NMOS管Mn5的漏极均与第一电容C1连接,并作为充放电模块301的输出端与电压指示模块302连接;第一电容C1的另一端接地;第五PMOS管Mp5的源极连接至电源,第五NMOS管Mn5的源极连接至接地电阻R1。节点Vc的电压即为所述周期充放电平均电压。

[0065] 同时,在本实施例中,电压指示模块302包括第六PMOS管、第二电容C2、电流源、反相器INV1;第六PMOS管的源极连接至电源,栅极与充放电模块301的输出端连接;第二电容C2的第一端连接至电源;电流源的输出端接地;第六PMOS管的漏极、第二电容C2的第二端、电流源的输入端均相互连接,并与反相器INV1的输入端连接;反相器INV1的输出端作为电压指示模块302的输出端,用于输出电平指示信号LD_OUT。

[0066] 下面对该判断输出单元30的具体工作原理进行介绍。

[0067] 设定REF信号、FBK信号的相位差为w,用于判定锁相环完成锁定的相位差的预设阈值为REF信号周期的1%,即1%Tref (Tref为REF信号的周期)。

[0068] 脉宽转换单元20的输出节点Vx输出w宽度的脉宽。在Vx为高电平时,第五NMOS管Mn5导通,第一电容C1上极板所存储的电荷通过第五NMOS管Mn5和接地电阻R1泄放至地,节点Vc的电压降低。在Vx为低电平时,第五PMOS管Mp5导通,忽略第五NMOS管Mp5的导通电阻,节点Vc的电压被迅速拉高至VDD。在节点Vx处的周期性电压脉宽信号的作用下,Vc节点的平衡电压为:;

$$[0069] \quad V_c = VDD - \frac{VDD}{R1 * C1} * w = VDD * (1 - \frac{w}{R1 * C1});$$

[0070] Vc节点的平衡电压作用在第六PMOS管Mp6的栅极,则第六PMOS管Mp6的漏极电流I3为:

$$[0071] \quad I3 = k(VDD - Vc - Vth3)^2 = k(\frac{w}{R1 * C1} - Vth3)^2;$$

[0072] 其中,k为常数,由Mp6的尺寸和工艺决定;Vth3为第六PMOS管Mp6的阈值电压大小。可见,漏极电流I3的大小取决于相位差w。

[0073] 由于第六PMOS管Mp6的漏极同时与第二电容C2的下极板和电流源的输入端连接,电流源的电流为IDC1,因此,当I3>IDC1时,第二电容C2的下极板有净电荷流入,然后节点Vd的电压稳定在VDD(高电平)处,经反向器INV1后输出的电平指示信号为低电平;当I3≤IDC1时,第二电容C2的下极板有净电荷流出,然后节点Vd的电压稳定在0(低电平)处,经反向器INV1后输出的电平指示信号为高电平。

[0074] 当 $I3 \leq IDC1$ 时,可推知 w 应满足:

$$[0075] \quad w \leq R1 * C1 * \left(\sqrt{\frac{IDC1}{k}} + Vth3 \right);$$

[0076] 通过调节 $IDC1$ 的大小,可令不等式的右边等于 $1\%Tref$,即

$$[0077] \quad w \leq R1 * C1 * \left(\sqrt{\frac{IDC1}{k}} + Vth3 \right) = 1\%Tref;$$

[0078] 由此,当 $w \leq 1\%Tref$ 时, $I3 \leq IDC1$, Vd 为低电平,电路最终输出的电平指示信号 LD_OUT 为高电平,指示锁相环完成锁定,从而实现了针对于锁相环是否完成锁定的检测功能。

[0079] 值得注意的是,本申请中的判断输出单元30具体是基于充放电模块301的周期充放电平均电压来指示相位差大小的,该平均电压是周期性切换充放电状态均衡后的电压,并不具有突变性,因此即使 REF 信号、 FBK 信号的相位差仅在瞬间小于预设阈值而锁相环实际并未完成锁定时,周期充放电平均电压的大小也不会突然变化,判断输出单元30便不会输出高电平的电平指示信号,造成对锁定状态的误判。

[0080] 本申请实施例所公开的锁相环的锁定检测电路包括:相位鉴定单元10,用于对 REF 信号和 FBK 信号的相位差进行检测,并输出检测结果信号;与相位鉴定单元10连接的脉宽转换单元20,用于在检测结果信号的作用下输出脉宽与相位差的大小对应的电压脉宽信号;与脉宽转换单元20连接的判断输出单元30,包括充放电模块301和电压指示模块302;充放电模块301用于根据电压脉宽信号的脉宽切换充放电状态,电压指示模块302用于生成与充放电模块301的周期充放电平均电压对应的电平指示信号,以利用电平指示信号指示相位差是否小于预设阈值。

[0081] 可见,本申请实施例所公开的锁相环的锁定检测电路,基于对 REF 信号和 FBK 信号的相位检测结果来控制充放电模块进行充电、放电,进而基于周期充放电平均电压来指示相位差大小,利用平均电压的非突变性,有效避免了在 REF 信号、 FBK 信号的相位差瞬间小于预设阈值时的锁定状态误判,提高了对瞬时信号状态的抗干扰性以及锁定检测的正确性。

[0082] 进一步地,本申请还公开了锁相环,包括如上所述的任一种锁定检测电路。

[0083] 参见图5所示,本申请实施例还公开了一种锁相环的锁定检测方法,主要包括:

[0084] S101:对 REF 信号和 FBK 信号的相位差进行检测并生成检测结果信号。

[0085] 其中,作为一种具体实施例,检测结果信号可包括第一控制脉宽信号A和第二控制脉宽信号B。步骤S101可具体包括:在 REF 信号超前于 FBK 信号时,生成脉宽与相位差的大小对应的第一控制脉宽信号A;在 FBK 信号超前于 REF 信号时,生成脉宽与相位差的大小对应的第二控制脉宽信号B。

[0086] S102:基于检测结果信号生成脉宽与相位差的大小对应的电压脉宽信号。

[0087] 其中,具体地,在第一控制脉宽信号A为高电平或者第二控制脉宽信号B为高电平期间,电压脉宽信号为高电平。

[0088] S103:根据电压脉宽信号的脉宽切换充放电模块的充放电状态。

[0089] S104:生成与充放电模块的周期充放电平均电压对应的电平指示信号,以便通过电平指示信号指示相位差是否小于预设值。

[0090] 可见,本申请实施例所公开的锁相环的锁定检测方法,基于对 REF 信号和 FBK 信号

的相位检测结果来控制充放电模块进行充电、放电,进而基于周期充放电平均电压来指示相位差大小,利用平均电压的非突变性,有效避免了在REF信号、FBK信号的相位差瞬间小于预设阈值时的锁定状态误判,提高了对瞬时信号状态的抗干扰性以及锁定检测的正确性。

[0091] 关于上述锁相环的锁定检测方法的具体内容,可参考前述关于锁相环的锁定检测电路的详细介绍,这里就不再赘述。

[0092] 本申请中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分互相参见即可。对于实施例公开的方法而言,由于其与实施例公开的电路相对应,所以描述的比较简单,相关之处参见方法部分说明即可。

[0093] 还需说明的是,在本申请文件中,诸如“第一”和“第二”之类的关系术语,仅仅用来将一个实体或者操作与另一个实体或者操作区分开来,而不一定要求或者暗示这些实体或者操作之间存在任何这种实际的关系或者顺序。此外,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0094] 以上对本申请所提供的技术方案进行了详细介绍。本文中应用了具体个例对本申请的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本申请的方法及其核心思想。应当指出,对于本技术领域的普通技术人员来说,在不脱离本申请原理的前提下,还可以对本申请进行若干改进和修饰,这些改进和修饰也落入本申请的保护范围内。

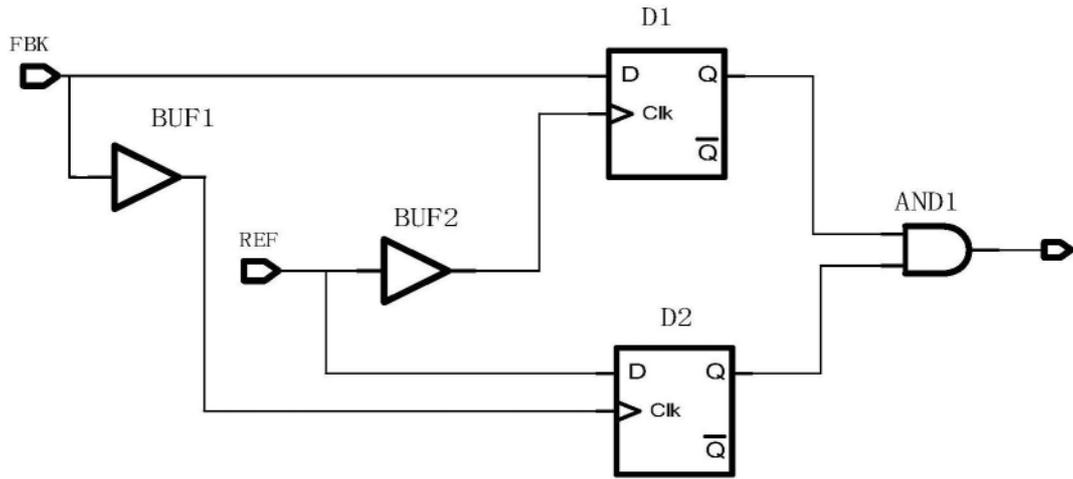


图1

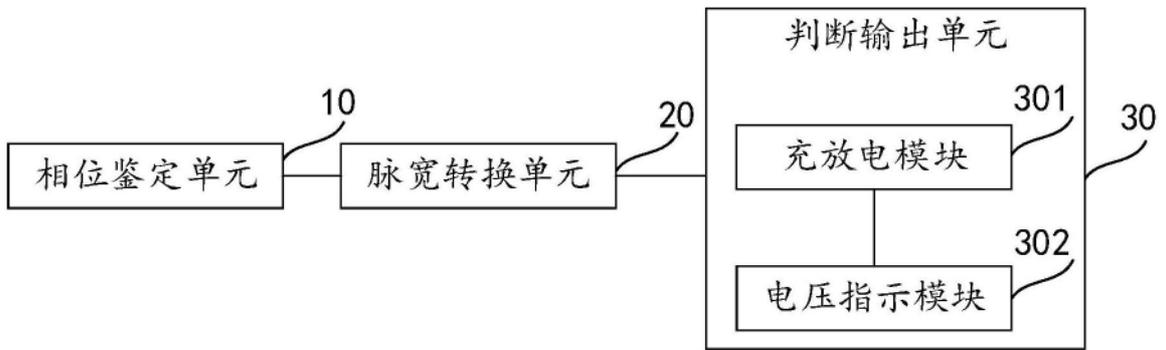


图2

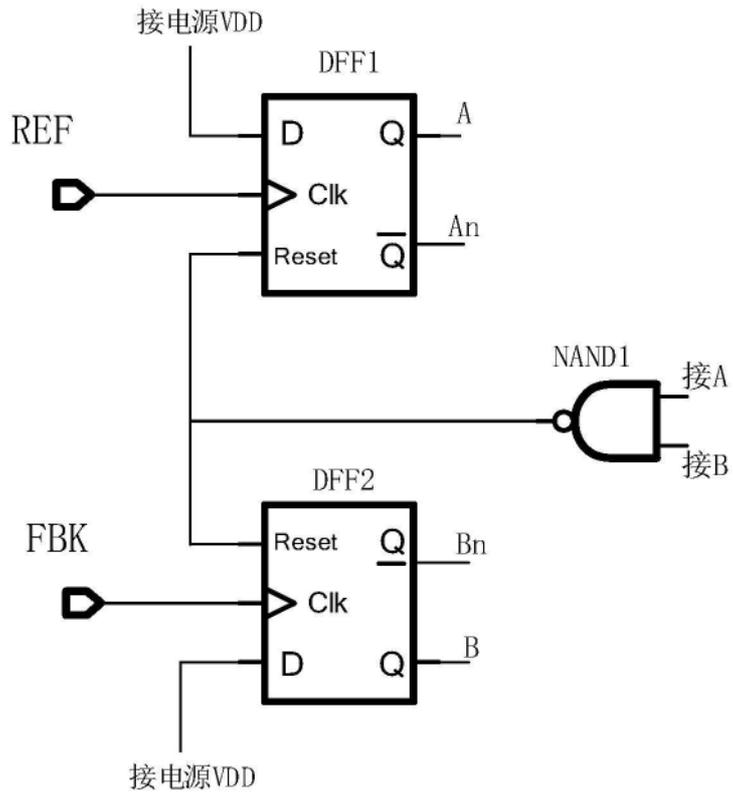


图3

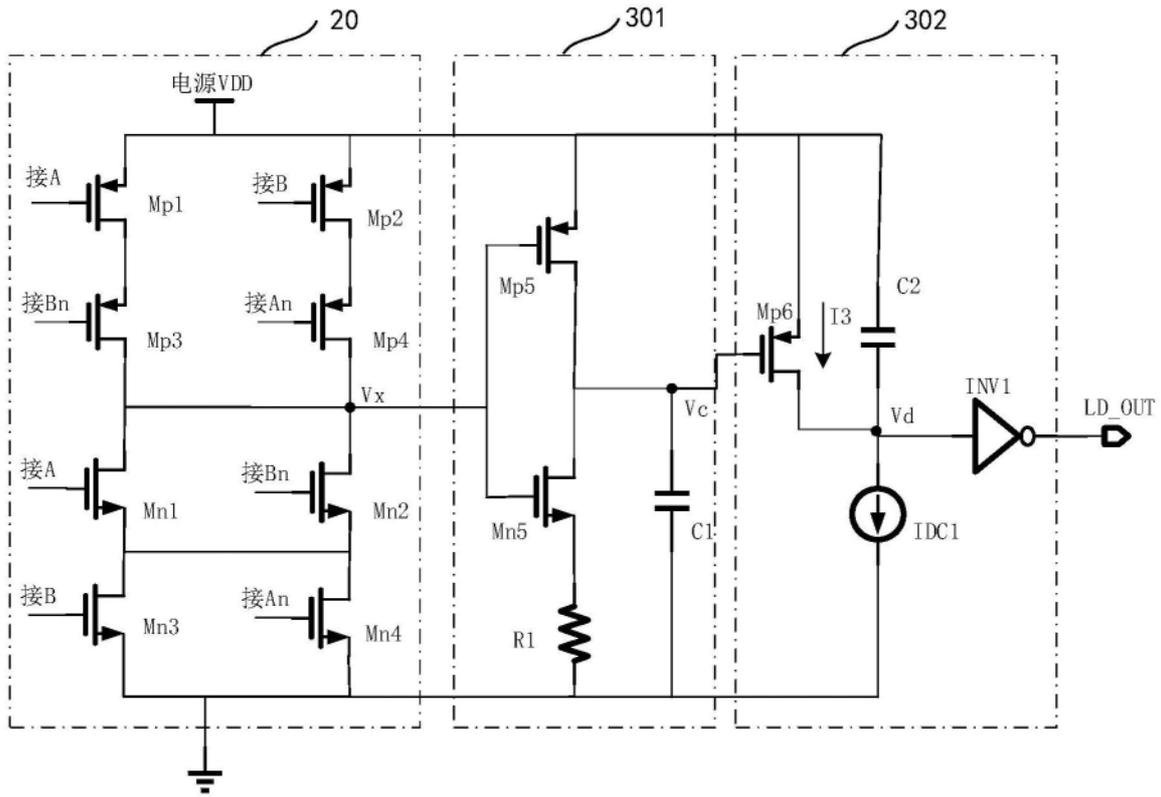


图4

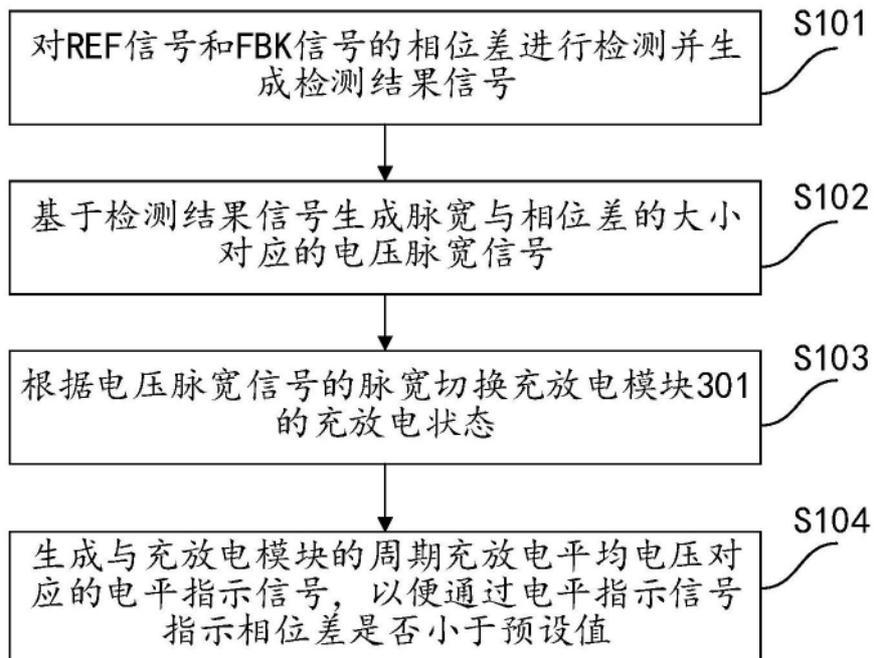


图5