

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01G 9/00

(45) 공고일자 2005년12월08일
(11) 등록번호 10-0535190
(24) 등록일자 2005년12월02일

(21) 출원번호 10-2003-0037528
(22) 출원일자 2003년06월11일

(65) 공개번호 10-2003-0096025
(43) 공개일자 2003년12월24일

(30) 우선권주장 JP-P-2002-00174590 2002년06월14일 일본(JP)

(73) 특허권자 엔이씨 도킨 가부시끼가이샤
일본 미야기켄 센다이시 다이하꾸꾸 고리야마 6쵸메 7-1

(72) 발명자 니시야마도시히코
일본미야기켄센다이시다이하꾸꾸고리야마6쵸메7-1엔이씨도킨가부시끼가이샤나이

가미스끼히로유키
일본미야기켄센다이시다이하꾸꾸고리야마6쵸메7-1엔이씨도킨가부시끼가이샤나이

미따니마사야
일본미야기켄센다이시다이하꾸꾸고리야마6쵸메7-1엔이씨도킨가부시끼가이샤나이

노부따도모기
일본미야기켄센다이시다이하꾸꾸고리야마6쵸메7-1엔이씨도킨가부시끼가이샤나이

가네꼬시나코
일본미야기켄센다이시다이하꾸꾸고리야마6쵸메7-1엔이씨도킨가부시끼가이샤나이

구로사끼마사또
일본도쿄도미나토꾸신바5쵸메7-1넛뽕텐끼가부시끼가이샤나이

나카가와유지
일본도쿄도미나토꾸신바5쵸메7-1넛뽕텐끼가부시끼가이샤나이

(74) 대리인 특허법인코리아나

심사관 : 신창우

(54) 축전 소자 및 그 제조 방법

요약

전지 또는 전기 2 중층 커패시터와 같은 축전 소자의 개스켓들은 서로 다른 내부 치수의 홀들을 가지는 복수층으로 이루어진 다층 구조이다. 상층 개스켓들은 고체 전극들의 외경과 동일한 크기인 내경을 가진 홀들을 가지며, 하층 개스켓들은 고체 전극들의 외경보다 더 큰 내경을 가진 홀들을 가진다. 전극들은 상층 개스켓들의 홀내에 각각 조밀하게 맞추어지므로, 그 결과 확실하게 고정되어, 위치 어긋남을 방지할 수 있다. 함께 접촉되는 상층 개스켓들의 용착 면적이 증가한다. 하층 개스켓들의 홀들의 내경과 고체 전극들의 외경사이에 전해액을 유지하기 위한 공간이 존재하므로 수용할 수 있는 내부 전해액량을 증가시킬 수 있다.

대표도

도 1

색인어

축전 소자

명세서

도면의 간단한 설명

도 1 은 본 발명의 축전 소자의 기본 셀의 내부 구조를 개략적으로 나타내는 단면도.

도 2a 내지 도 2d 는 본 발명의 축전 소자의 제조 방법을 개략적으로 나타내는 단면도.

도 3a 내지 도 3b 는 본 발명의 축전 소자의 개스켓들을 형성하는 단계들을 개략적으로 나타내는 단면도.

도 4 는 비교예의 축전 소자의 기본 셀을 개략적으로 나타내는 단면도.

※도면의 주요부분에 대한 부호의 설명

1, 2 : 고체 전극 3 : 세퍼레이터

41, 42 : 개스켓 51, 52 : 집전판

413, 423 : 세퍼레이터측 개스켓 415, 425 : 집전판측 개스켓

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전지 또는 전기 2 중층 커패시터와 같은 장치의 축전 소자 및 그 축전 소자의 제조 방법에 관한 것으로, 보다 상세하게는 축전 소자의 개스켓 구조에 관한 것이다.

최근에 정보 통신 분야에서 휴대 장치들의 크기 및 중량의 감소가 큰 진전을 보여왔다. 2 차 전지 및 전기 2 중층 커패시터들의 크기 및 중량의 감소에 있어서도 대응하는 진전이 있었으며, 외장재로서 금속 적층물 또는 코인형 금속 케이스들을 사용하는 전지 또는 2 중층 커패시터가 현재 제조되고 있다. 이러한 구성요소들을 제조하는 방법에 있어서, 2 개의 전극들을 외장재 내부의 소정 위치들에 고정하여, 정확한 상호 대향 관계로 유지해야 한다.

발명이 이루고자 하는 기술적 과제

종래 기술에 있어서, 소정의 위치들에 2 개의 전극들을 고정시키고, 상호 대향 관계로 전극들을 배치하기 위한 몇몇 방법들이 제안되어 있다. 예를 들어, 금속 케이스를 가지는 2 차 전지에 관한 방법이 일본 특개평 273701/96 에 개시되어 있다. 이 방법은 단일 유닛으로 전극판 주변에 고정된 금속 링을 가지는 전극판을 사용하며, 이러한 금속 링은 금속 케이스 내부의 소정의 위치들에 2 개의 전극판을 고정시키도록 코인형 금속 케이스 내부에 용접되어 있다. 그럼에도 불구하고, 이러한 방법은, 전극판들과 금속 케이스 사이의 금속 링 삽입이 전극판들과 금속 케이스 사이에 충분한 전해액을 유지할 수 없고, 또한 제품 중량이 증가하므로, 제품 중량의 감소를 방해하는 문제점이 있다.

본 발명의 목적은 2 차 전지 또는 전기 2 중층 커패시터와 같은 축전 소자 및 그 축전 소자의 제조 방법을 제공하는 것이며, 이러한 축전 소자는 전극들의 위치 어긋남을 방지함으로써 ESR (Equivalent Series Resistance)을 감소시킬 수 있고, 또한 대향하는 개스킷들의 용착 면적을 증가시키고 내부에 많은량의 전해액을 유지함으로써 밀봉 불량을 방지할 수 있다.

발명의 구성 및 작용

본 발명의 축전 소자는, 고체 전극의 외부 치수와 동일한 내부 치수를 가진 홀을 구비하는 상층 (세퍼레이터측) 개스킷과, 고체 전극의 외부 치수보다 더 큰 내부 치수를 가진 홀을 구비하는 하층 (집전판측) 개스킷이 함께 연결되는 서로 다른 치수의 홀들을 가지는 복수층으로 각각 이루어지는 다층 구조의 개스킷들을 포함한다. 서로 다른 치수의 홀들을 가진 복수층으로부터 개스킷들을 형성하므로, 제조된 제품의 전체 부피를 변경시키지 않고 전극들의 위치 어긋남을 방지할 수 있고, 많은량의 전해액을 유지할 수 있고, 밀봉 결함을 방지할 수 있다.

특히, 본 발명은, 고체 전극들이 각 고체 전극들 중 일면이 각각의 집전판에 접촉하도록 삽입되어 유지되는 홀들을 가지는 한 쌍의 개스킷이, 삽입된 세퍼레이터를 통하여 고체 전극들의 다른 면들이 서로 대향하게 배열되도록 배치되는 축전 소자를 획득할 수 있으며, 여기서 세퍼레이터측의 개스킷들의 홀들의 내부 치수는 집전판측의 개스킷들의 홀들의 내부 치수보다 작게된다.

본 발명에 있어서, 세퍼레이터측의 개스킷들의 홀들의 내부 치수는 고체 전극들의 외부 치수와 실질적으로 동일한 치수인 것이 바람직하다.

또한, 본 발명의 개스킷들은 세퍼레이터측 개스킷과 집전판측 개스킷을 적층하여 단일 유닛을 생성하는 2 층 구조인 것이 바람직하다.

또한, 고체 전극들이 각 고체 전극들의 일면이 각각의 집전판과 접촉하도록 삽입되어 유지되는 홀들을 가지는 한 쌍의 개스킷이, 삽입된 세퍼레이터를 통하여 고체 전극들의 다른 면들이 서로 대향하도록 배치되는, 본 발명에 따른 전지 또는 전기 2 중층 커패시터와 같은 축전 소자를 제조하는 방법에 있어서, 고체 전극들의 외부 치수와 동일한 크기를 가진 내부 치수를 가지는 홀을 구비하는 상층 (세퍼레이터측) 개스킷과, 고체 전극들의 외부 치수보다 더 큰 내부 치수를 가진 홀을 구비하는 하층 (집전판측) 개스킷을, 홀들이 함께 연결되어 다층 구조의 개스킷을 형성하도록 함께 적층하여 단일 유닛을 형성한다.

본 발명은 전극들의 위치 어긋남을 방지할 수 있을 뿐만 아니라, 개스킷의 내경의 일부를 크게함으로써 유지될 수 있는 전해액량을 증가시킬 수 있어 ESR 을 감소시킬 수 있다.

본 발명의 이 또는 다른 목적, 특징, 및 이점은, 본 발명의 일례를 나타내는 첨부된 도면을 참조하는 다음의 설명으로부터 명백하게 될 것이다.

다음으로, 첨부된 도면들을 참조하여 본 발명의 축전 소자의 실시예들을 설명한다. 이하, 본 발명의 축전 소자의 구조, 특히 그 전극들의 구조를 설명한다.

도 1 은 본 발명의 축전 소자의 기본 셀의 내부 구조를 나타내는 단면도이다. 이러한 기본 셀은, 고체 전극들 (1, 2); 그 전극들 (1, 2) 사이에 위치되는 미다공성 구조 (micro porous structure) 의 세퍼레이터 (3); 전극 (1) 을 유지하는 개스킷 (41) 및 전극 (2) 을 유지하는 개스킷 (42); 및 2 개의 전극 (1, 2) 의 외측 측, 즉 대향 세퍼레이터 (3) 에 각각 배치되는 집전판 (51, 52) 으로부터 제조된다. 이러한 축전 소자가 전지인 경우에, 2 개의 전극 (1, 2) 은 음 전극 및 양 전극으로 기능하며, 그 축전 소자가 전기 2 중층 커패시터를 형성하는 경우에, 전극 (1, 2) 은 모두 분극성 전극이 된다. 본 실시예 및 이하에 기술되는 기능적인 실시예들 각각에서, 전극들 (1,2), 세퍼레이터 (3), 집전판 (51, 52), 및 개스킷 (41, 42) 은 모두 실린더 또는 디스크로 형성되며, 개스킷 (41, 42) 은 개스킷들을 관통하며 형상이 실린더형인 홀들을 가진다.

음 전극측 상의 개스켓 (41) 을 더 상세히 기술하기 위하여, 이러한 개스켓 (41) 은 세퍼레이터 (3) 의 측에 위치되는 세퍼레이터측 개스켓 (413) 및 집전판 (51) 측에 위치되는 집전판측 개스켓 (415) 에 의해 구성되는 2 층 구조이다. 세퍼레이터측 개스켓 (413) 의 홀의 내경은 1 전극 (1) (예를 들어, 음 전극) 의 외경과 실질적으로 동일하게, 또한 세퍼레이터 (3) 의 외경보다 작게 되도록 선택되어, 전극 (1) 을 유지할 수 있다. 한편, 집전판측 개스켓 (415) 의 홀의 내경을 전극 (1) 의 외경보다 크게, 또한 집전판 (51) 의 외경보다 작게 선택하여, 전극 (1) 과 집전판측 개스켓 (415) 사이에 전해액을 유지할 수 있는 전해액 유지 공간 (61) 을 확보한다.

양 전극측 개스켓 (42) 의 구조는 음 전극측 개스켓 (41) 의 구조와 동일하다. 즉, 이러한 개스켓 (42) 은 세퍼레이터 (3) 측에 위치되는 세퍼레이터측 개스켓 (423) 과 집전판 (52) 측에 위치되는 집전판측 개스켓 (425) 에 의해 구성되는 2 층 구조이다. 세퍼레이터측 개스켓 (423) 의 홀의 내경은 다른 전극 (2) (예를 들어, 양 전극) 의 외경과 실질적으로 동일하게, 또한 세퍼레이터 (3) 의 외경보다 작게 되도록 선택되어, 전극 (2) 을 유지할 수 있다. 한편, 집전판측 개스켓 (425) 의 홀의 내경을 전극 (2) 의 외경보다 크게, 또한 집전판 (52) 의 외경보다 작게 되도록 선택하여, 전극 (2) 과 집전판측 개스켓 (425) 사이에 전해액을 유지할 수 있는 전해액 유지 공간 (62) 을 확보할 수 있다.

다음으로, 이러한 축전 소자의 제조 방법에 대하여 설명한다. 먼저, 음전극측 개스켓 (41) 및 양전극측 개스켓 (42) 을 열융착에 의해 도 2a 에 나타낸 바와 같이 도전성 고무와 같은 재료로 구성된 집전판 (51, 52) 에 접착하고, 접착에 의해 생성된 내부 공간으로 전해액을 주입한다. 양 전극측의 개스켓 (42) 으로 전해액을 확실하게 주입하기 위하여, 도 1 에 나타낸 상태와 반대로, 하부에 위치되는 집전판 (52) 에 의해 수행한다. 또한, 주입되는 전해액량은, 전극들 (1, 2) 이 설치되거나 또는 개스켓들 (41, 42) 이 함께 적층되는 경우에, 전해액이 누출되지 않을 정도의 량이다.

다음으로, 도 2b 에 나타낸 바와 같이 개스켓들 (41, 42) 에 각각 전극들 (1, 2) 을 설치하여 전해액이 주입한다. 다음으로, 도 2c 에 나타낸 바와 같이, 세퍼레이터 (3) 는 개스켓들 중 하나 (도면에 도시된 예의 양 전극측 개스켓 (42)) 에 열압착에 의해 접착되어, 그 구조를 위 아래로 변경시키더라도 전극 (2) 이 떨어지지 않는 밀봉된 구조를 생성한다. 밀봉된 구조로서 이와 같이 형성된 개스켓 (도면에 도시된 예의 양 전극측 개스켓 (42)) 을, 도 2d 에 나타낸 바와 같이, 삽입된 세퍼레이터 (3) 를 가진 다른 개스켓 (도면에 도시된 예의 음 전극측 개스켓 (41)) 에 대향하도록 배치하고, 음 전극측 개스켓 (41) 과 양 전극측 개스켓 (42) 을 열융착에 의해 함께 접착하여 축전 소자의 기본 셀을 완성한다.

또한, 2 층 구조의 개스켓 (41, 42) 각각은, 도 3a 에 나타낸 바와 같이, 서로 다른 내경을 가진 홀들을 구비하는 세퍼레이터측 개스켓 (413, 423) 과 집전판측 개스켓 (415, 425) 을 미리 적층하고 열압착에 의해 접착함으로써 단일 유닛들로 형성될 수도 있다. 선택적으로, 세퍼레이터측 개스켓 (413, 423) 및 집전판측 개스켓 (415, 425) 은, 도 3b 에 나타낸 바와 같이, 이들이 집전판 (51, 52) 과 열융착에 의해 접착되는 동시에 일체화될 수도 있다. 본 발명의 개스켓 (41, 42) 에 대한 하나의 적절한 재료로는 아이오노머 (ionomer) 가 제안된다.

본 발명의 축전 소자에 따르면, 전극들 (1, 2)(축전 소자가 전지인 경우에는 음 전극 및 양 전극이거나, 또는 축전 소자가 전기 2 중층 커패시터인 경우에 2 개의 분극 전극) 은 위치의 어떤 어긋남없이 개스켓 (41, 42) 에 의해 유지된다. 또한, 전해액 유지 공간 (61, 62) 이 확보되기 때문에, 기본 셀의 조립 동안 뿐만 아니라 복수의 기본 셀들을 적층하는 경우에도, 압축된 전극들 (1,2) 로부터 전해액이 누설되더라도, 전해액은 전해액 유지 공간 (61, 62) 에 유지될 수 있어 기본셀로부터의 누설을 방지할 수 있다.

본 발명은 2 가지 주요한 이점을 가진다. 하나의 이점은 전극들의 위치 어긋남을 방지함으로써 획득되는 ESR 의 감소이다. 다른 이점은 개스켓들 사이의 용착 면적의 증가뿐만 아니라 기본 셀 내부에 유지되는 전해액량의 증가에 의해 획득되는 밀봉불량의 방지이다.

첫 번째 효과 즉, ESR 의 감소는, 개스켓들 (41, 42) 이 서로 다른 내경의 홀들을 가지는 세퍼레이터측 개스켓들 (413, 423) 및 집전판측 개스켓들 (415 및 425) 로부터 구성되므로 실현될 수 있다. 상층 (세퍼레이터측) 개스켓들 (413, 423) 은 전극들 (1, 2) 의 외경 크기와 동일한 내경을 가지는 홀들을 구비하며, 하층 (집전판측) 개스켓들 (415, 425) 은 상층 개스켓들 (423, 423) 의 홀들의 내경보다 더 큰 내경을 가지는 홀들을 구비한다. 상층 개스켓들 (413, 423) 의 홀들의 내경은 교체 전극들 (1, 2) 의 외경과 동일한 크기를 가지므로, 전극들 (1, 2) 의 위치 어긋남을 방지할 수 있어, 그 결과 ESR 이 감소한다. 또한, 전해액을 하층 개스켓들 (415, 425) 과 전극들 (1, 2) 사이에 전해액 유지 공간 (61, 62) 에 모을 수 있다. 또한, 상층 개스켓들 (413, 423) 의 홀들의 내경이 작기 때문에 하층 개스켓들 (415, 425) 과 전극들 (1, 2) 사이의 전해액 유지 공간들 (61, 62) 에 존재하는 전해액의 증발을 억제할 수 있다. 그 결과, 많은량의 전해액을 기본 셀 내부에 유지할 수 있어, 전해액량의 감소에 의해 야기되는 ESR 의 증가를 방지할 수 있다.

두 번째 장점 즉, 밀봉 불량 방지, 상층 개스킷들 (413, 423) 의 홀들의 내경이 작기 때문에 2 개의 상층 개스킷들 (413, 423) 이 함께 접촉되는 경우에는 용착 면적이 증가하고; 또한 하층 개스킷들 (415, 425) 의 홀들의 내경이 고체 전극들 (1, 2) 의 외경보다 더 크기 때문에, 전해액이 하층 개스킷들 (415, 425) 과 전극들 (1, 2) 사이의 전해액 유지 공간들 (61, 62) 내부에 유지될 수 있고, 전해액이 상층 개스킷들 (413, 423) 사이의 용착 부분들에 부착되는 것을 제거할 수 있기 때문에 실현될 수 있다.

실시에 1

다음으로, 본 발명의 축전 소자의 실제 실시예들에 관하여 설명한다. 제 1 실시예에서, 개스킷들 (41, 42) 의 재료로서 아이오노머를 사용하였다. 2 층 구조의 개스킷들 중 세퍼레이터측 개스킷들 (413, 423), 150 μm 의 두께를 가지는 링-형상 시트, 13.0 mm 의 홀 내경, 및 16.0 mm 의 외경을 사용하였다. 집전판측 개스킷들 (415, 425), 150 μm 의 링형상 시트, 14.0 mm 의 홀 내경, 및 16.0 mm 의 외경을 사용하였다.

음 전극인 전극 (1) 을 음 전극 활성 재료, 도전보조제 (conductive supplement), 및 바인더 수지로부터 형성하였다. 음 전극 활성 재료인 폴리퀴녹살린 (polyquinoxaline), 도전보조제인 기상 에피택셜 카본, 및 바인더 수지인 폴리비닐리덴 플로라이드 (1100 의 평균분자량을 가짐) 은, 75 : 20 : 5 의 중량비로 3 시간동안 자동 모터로 교반함으로써 혼합된다. 이러한 프로세스에 의해 획득되었던 50 mg 의 분말을 측정후, 13 mm 의 직경을 가지는 실린더 형상으로 가압성형함으로써 획득되었던 전극 (1) 을 음 전극으로 사용하였다.

양 전극인 전극 (2) 은, 양 전극 활성 재료, 도전보조제, 및 바인더 수지로 구성되어 있다. 양 전극 활성 재료인 폴리시아노인돌 (polycyanoindeole), 도전보조제인 기상 에피택셜 카본, 및 바인더 수지인 폴리 불화비닐리덴 (1100 의 평균 분자량을 가짐) 은 75 : 20 : 5 의 중량비로 3 시간동안에 자동 모터로 교반함으로써 함께 혼합된다. 이와 같이 획득된 50 mg 의 분말을 측정하고, 13 mm 의 직경을 가지는 실린더 형상으로 가압 성형함으로써 형성된 전극 (2) 을 양 전극으로 사용하였다.

폴리에틸렌의 다공성 폴리막을 세퍼레이터 (3) 로서 사용하고, 40 % 의 황산 수용액을 전해액으로 사용하였다.

이러한 재료들을 이용하여, 1000 개의 폴리머 전지들을 상술한 제조 방법에 따라 제조하였고, 그 후에 밀봉 결합들의 개수를 계산하였고, 밀봉 결합들이 없는 각 축전 소자의 ESR 을 측정하였다. 표 1 에 나타낸 바와 같이, 그 결과는 밀봉 결합이 1000 개의 샘플들에서 발생하지 않고, ESR 의 평균값이 3.2 Ω 임을 나타낸다.

[표 1]

실시예	축전 소자	구조		개스켓의 두께	개스켓 홀의 내경	샘플	밀봉결함	평균 ESR
		상층	하층					
실시예 1	폴리머 전지	상층	150 μm	Φ13.0mm	1000	0	3.2Ω	
		하층	150 μm	Φ14.0mm				
실시예 2	전기 2 중층 캐패시터	상층	150 μm	Φ13.0mm	1000	0	41mΩ	
		하층	150 μm	Φ14.0mm				
		상층	50 μm	Φ13.0mm				
		하층	50 μm	Φ14.0mm				
실시예 3	폴리머 전지	상층	50 μm	Φ13.0mm	1000	0	1.2Ω	
		하층	250 μm	Φ14.0mm				
실시예 4	폴리머 전지	상층	50 μm	Φ13.0mm	1000	0	0.67Ω	
		하층	250 μm	Φ15.0mm				
비교예 1	폴리머 전지	단일층		300 μm	Φ14.0mm	1000	381	5.1Ω
비교예 2	전기 2 중층 캐패시터	단일층		300 μm	Φ14.0mm	1000	359	83mΩ

비교예의 축전 소자들을 본 발명의 축전 소자와 비교하여 제조하였다. 이하, 비교예를 설명한다.

비교예 1

전지의 제 1 비교예의 기본 셀의 내부 구조를 도 4 에 나타낸다. 이러한 기본 셀은, 전극들 (1, 2); 그 전극들 (1, 2) 사이에 위치되는 미다공성 세퍼레이터 (3); 전극들 (1, 2) 각각을 유지하는 개스켓 (4) 들; 및 전극들 (1, 2) 각각의 외측들 즉, 세퍼레이터 (3) 에 대향하는 측들에 배치되는 집전판 (5) 들로 구성된다. 이러한 비교예의 축전 소자는 전지이며, 2 개의 전극 (1, 2) 은 양 전극 및 음 전극이다.

제 1 비교예의 전지에서, 개스켓 (4) 들은 1 층 구조이며, 2 층 구조가 아니다. 개스켓 (4) 들의 두께는 300 μm 이며, 홀들의 내경은 14.0 mm 이다. 제 1 비교예의 전지는 다른 점에 있어서 제 1 실시예의 구조와 동일하다. 즉, 전극들 (1, 2) 은 2 개의

실린더형 개스켓 (4) 들 내부에 배치되며, 삽입된 세퍼레이터 (3) 를 통하여 서로 대향한다. 세퍼레이터 (3) 에 대향하는 개스켓 (4) 들의 측면에 열융착에 의해 집전판 (5) 들을 접착하고, 전해액을 주입한다. 그 후에, 2 개의 개스켓 (4) 들을 열융착에 의해 함께 접착한다.

제 1 실시예 뿐만 아니라 제 1 비교예에 있어서, 1000 개 전지를 제조하고, 밀봉 결합의 발생수를 계산하고, 밀봉 결합들이 없는 각 축전 소자의 ESR 을 측정하였다. 표 1 에 나타난 바와 같이, 그 결과는 1000 개의 샘플들에서 381 개의 밀봉 결합들이 발생하고, ESR 의 평균값이 5.1 Ω 임을 나타낸다.

제 1 실시예와 비교하여, 제 1 비교예의 밀봉 결합의 발생수는 1000 개 샘플들 중 381 개이었지만, 제 1 실시예에서는 밀봉 결합이 발생하지 않았다. 따라서, 제 1 실시예의 전지가 밀봉 결합들의 발생을 방지할 수 있음을 알 수 있다. 이러한 밀봉 결합들의 방지는, 상층 (세퍼레이터측) 개스켓들 (413, 423) 이 150 μm 의 두께로 형성되고, 13.0 mm 의 내경을 가진 홀을 구비하고, 하층 (집전판측) 개스켓들 (415, 425) 이 150 μm 의 두께로 형성되고, 14.0 mm 의 내경을 가진 홀을 구비하는 제 1 실시예의 2 층 구조의 개스켓들 (41, 42) 을 이용함으로써 달성되어, 용착 면적은 실질적으로 증가하고, 또한 상층의 홀 내경이 하층의 홀 외경보다 작기 때문에 용착 면적에 전해액이 부착되는 것을 방지한다. 제 1 비교예의 ESR 의 평균값은 5.1 Ω 이었지만, 제 1 실시예의 ESR 의 평균값은 3.2 Ω 이었다. 이러한 개선점은, 전극들 (1, 2) 이 세퍼레이터측 개스켓들 (413, 423) 의 홀들의 내부 주변에 단단히 고정되기 때문에 달성될 수 있으므로, 2 개의 전극들 (1, 2) 의 상대 위치들의 어긋남이 방지된다.

실시예 2

다음으로, 본 발명의 축전 소자의 제 2 실시예에 관하여 설명한다. 제 2 실시예에서, 전기 2 중층 커패시터는 활성 카본을 전극들 (1, 2) 로 이용함으로써 구성되어 있다. 그 구조는 다른 점에 있어서 제 1 실시예와 동일하므로, 여기서는 이 실시예의 다른 소자들에 관한 중복 설명을 생략한다.

제 2 실시예의 전기 2 중층 커패시터에서의 밀봉 결합의 발생 수의 총계 및 ESR 의 측정값은, 1000 개 샘플에서 밀봉 결합이 발생하지 않으며, ESR 의 평균값은 41 mΩ 임을 나타낸다.

비교예 2

또한, 제 2 비교예에서도, 전기 2 중층 커패시터는 전극들 (1, 2) 로서 활성화된 카본을 이용함으로써 구성되어 있다. 그 구조는 다른 점에 있어서 제 1 비교예와 동일하므로, 여기서는 중복적인 설명을 생략한다.

제 2 비교예의 전기 2 중층 커패시터의 밀봉 결합의 발생 수의 총계 및 ESR 의 측정값은, 1000 개의 샘플들에서 359 개의 밀봉 결합이 발생하고, 평균 ESR 값이 83 mΩ 임을 나타낸다.

제 2 비교예와 비교하여, 밀봉 결합을 제 2 실시예의 2 중층 커패시터에서 방지할 수 있다. 또한, 제 2 실시예의 평균 ESR 값은 제 2 비교예의 평균 ESR 값보다 훨씬 더 낮게된다. 이러한 개선점은, 전극들 (1, 2) 이 세퍼레이터측 개스켓들 (413, 423) 의 홀들의 내부 주변에 의해 단단히 고정되어, 2 개의 전극들 (1, 2) 의 상대적 위치들의 어긋남이 방지되므로 달성된다.

실시예 3

제 3 실시예에서, 2 층 구조의 개스켓들 (41, 42) 의 상층 (세퍼레이터측) 개스켓들 (413, 423) 은, 50 μm 의 두께로 형성되며, 13.0 mm 의 내경을 가지는 홀들을 구비하며, 그리고 2 층 구조의 개스켓들 (41, 42) 의 하층 (집전판측) 개스켓들 (415, 425) 은 250 μm 의 두께로 형성되며, 14.0 mm 의 내경을 가지는 홀들을 구비한다. 그 구조는 다른 점에 있어서 제 1 실시예와 동일하므로, 여기서는 중복적인 설명을 생략한다.

표 1 에 나타난 바와 같이, 제 3 실시예의 폴리머 전지들의 밀봉 결합의 발생수의 총계 및 ESR 측정값은, 1000 개의 샘플들에서 밀봉 결합이 발생하지 않고, 평균 ESR 값이 1.2 Ω 임을 나타낸다. 제 1 실시예와 비교하여, 셀들의 내부의 전해액의 증가로 인해, 훨씬 더 낮은 ESR 값을 획득하였다.

실시예 4

제 4 실시예에서, 하층(집전판) 개스켓들(415, 425)은 250 μm의 두께로 형성되며, 15.0 mm의 내경을 가진 홀들을 구비한다. 그 구조는 다른 점에 있어서 제 3 실시예와 동일하므로, 여기서는 중복적인 설명을 생략한다.

표 1에 나타난 바와 같이, 제 4 실시예의 폴리머 전지들의 밀봉 결합의 발생 수의 총계 및 ESR 측정값은, 1000개의 샘플들에서 밀봉 결합이 발생하지 않고, 평균 ESR 값이 제 3 실시예의 평균 ESR 값보다 낮은 0.6 Ω 임을 나타낸다. 이러한 개선점은, 상술한 실시예들에서 전극들(1, 2)의 단단한 고정에 부가하여 셀내의 전해액량의 증가에 의해 획득되었다.

물론, 본 발명을 상술한 실시예들로 제한하지 않는다. 예를 들어, 실시예들 각각에 폴리퀴녹살린을 음 전극 활성 재료로서 사용하고, 폴리시아노인들을 양 전극 활성 재료로서 사용하고, 황산 수용액을 전해액으로 사용하였지만, 본 발명을 이러한 형태로 제한하지는 않는다. 양 전극 활성 재료로서 사용될 수 있는 재료들의 일례는 고분자 재료, 저분자량 재료, 무기 재료, 금속 재료 등을 포함한다. 도전보조제로서 사용될 수 있는 도전성 재료의 일례들은 결정성 카본, 카본 블랙(carbon black), 그래파이트(graphite) 등을 포함한다. 폴리비닐리덴 플ورا이드를 실시예들 각각에서 바인더 수지로서 사용하였지만, 본 발명을 이러한 형태로 제한하지 않고, 수지가 전해액에 부식되지 않는 한, 임의의 다양한 수지들을 사용할 수도 있다.

전극들의 구성 재료들의 임의의 비율을 채택할 수도 있지만, 효율을 고려하여, 활성 재료는 30 내지 95 wt%의 범위내에 있는 것이 바람직하고, 도전보조제는 5 내지 50 wt%의 범위내에 있는 것이 바람직하고, 바인더는 0 내지 20 wt%의 범위내에 있는 것이 바람직하다.

실시예들 각각에서 개스켓들의 재료로서 아이오노머를 사용하였지만, 본 발명을 이러한 형태로 제한하지는 않는다. 개스켓 재료로서 사용될 수 있는 재료들의 일례는 부틸 고무, 폴리프로필렌 수지, ABS 수지 등을 포함한다. 또한, 상술한 실시예들 각각에서 세퍼레이터측 개스켓들(413, 423)의 홀들의 내경은 전극의 외경이 13.0 mm인 경우이며, 세퍼레이터측 개스켓들(413, 423)의 홀들의 내경은 전극들(1, 2)의 설치를 용이하게 하기 위하여 13.0 내지 13.2 mm의 범위내에 있는 것이 바람직하다.

재료가 전기적 절연성 및 이온 도전성을 가지는 한, 다양한 재료들을 세퍼레이터로서 사용할 수도 있다. 전해액으로서 사용될 수 있는 재료들의 일례는 산 수용액, 알칼리 수용액, 유기 용매 등을 포함한다.

본 발명의 바람직한 실시예를 특정 용어를 사용하여 설명하였지만, 이러한 설명은 단지 예시적인 것이며, 본 발명을 다음의 청구 범위의 정신 또는 범위를 벗어나지 않고 변경 및 변화시킬 수 있음을 알 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의해 전극의 어긋남을 방지할 수 있으며, 또한 개스켓 내경을 부분적으로 크게 함으로써 전해액량을 증가시켜 ESR을 저하시킬 수 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

고체 전극들의 외부 치수와 실질적으로 동일한 크기의 내부 치수를 가진 홀을 각각 구비하는 세퍼레이터측 개스켓들과, 상기 세퍼레이터측 개스켓의 홀의 내부 치수보다 더 큰 내부 치수를 가진 홀을 각각 구비하는 집전판측 개스켓들을 함께 단일 유닛들로 적층하여, 다층 구조의 한 쌍의 개스켓을 형성하는 단계;

상기 개스켓들 각각의 상기 집전판측 개스켓들 각각에 집전판들 각각을 본딩하는 단계;

상기 개스켓들의 내부 공간들 각각에 전해 용액을 주입하는 단계;

상기 개스켓들 중 각각의 개스켓 내부에 상기 고체 전극들 각각을 배치하고, 각각의 집전판에 상기 고체 전극들 각각의 일면을 접촉하는 단계; 및

각각의 상기 고체 전극들의 다른 면이, 삽입된 세퍼레이터를 통하여 서로 대향하도록 상기 한 쌍의 개스켓을 함께 연결하는 단계를 포함하는 것을 특징으로 하는 축전 소자의 제조 방법.

청구항 7.

제 6 항에 있어서,

상기 집전판측 개스켓들 각각에 집전판들 각각을 본딩하는 단계는, 상기 세퍼레이터측 개스켓들과 집전판측 개스켓들을 적층하는 단계 다음에 이루어지는 것을 특징으로 하는 축전 소자의 제조 방법.

청구항 8.

제 6 항에 있어서,

상기 집전판측 개스켓들 각각에 집전판들 각각을 본딩하는 단계는, 상기 세퍼레이터측 개스켓들과 집전판측 개스켓들을 적층하는 단계 다음에 이루어지는 것을 특징으로 하는 축전 소자의 제조 방법.

청구항 9.

제 6 항에 있어서,

상기 축전 소자는 2 차 전지를 형성하고, 상기 고체 전극들 중 하나는 양 전극이고, 상기 고체 전극들 중 다른 하나는 음 전극인 것을 특징으로 하는 축전 소자의 제조 방법.

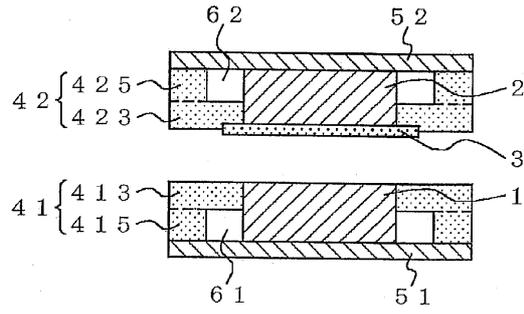
청구항 10.

제 6 항에 있어서,

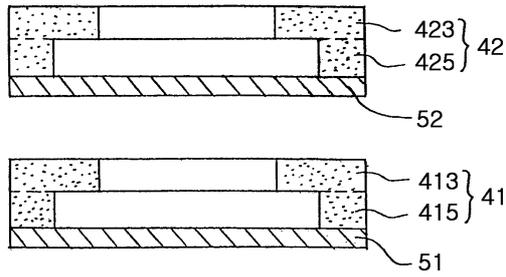
상기 축전 소자는 전기 2 중층 커패시터인 것을 특징으로 하는 축전 소자의 제조 방법.

도면

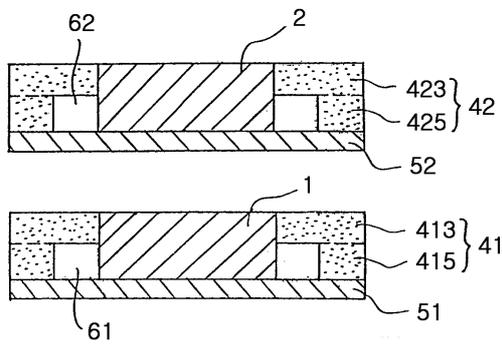
도면1



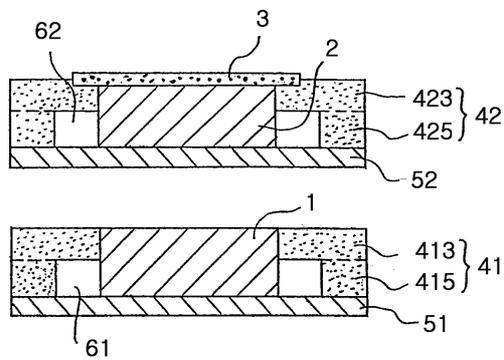
도면2a



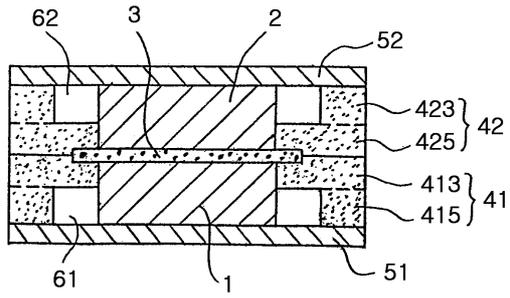
도면2b



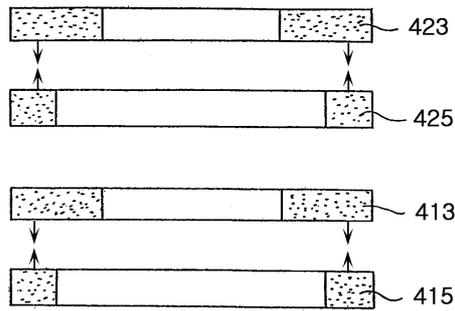
도면2c



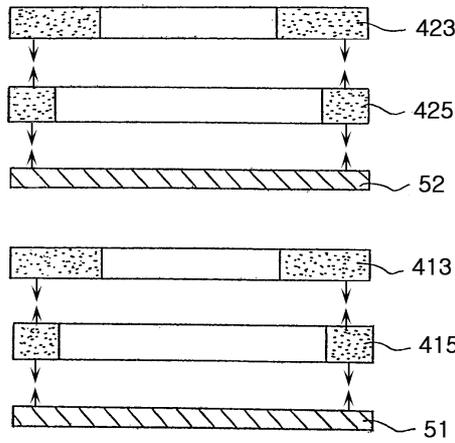
도면2d



도면3a



도면3b



도면4

