



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년08월04일
(11) 등록번호 10-2429258
(24) 등록일자 2022년08월01일

- (51) 국제특허분류(Int. Cl.)
H01L 25/075 (2006.01) H01L 23/13 (2006.01)
H01L 23/367 (2006.01) H01L 23/373 (2006.01)
H01L 23/528 (2006.01) H01L 33/00 (2010.01)
H01L 33/30 (2010.01) H01L 33/50 (2010.01)
- (52) CPC특허분류
H01L 25/0753 (2013.01)
H01L 23/13 (2013.01)
- (21) 출원번호 10-2020-0110318
- (22) 출원일자 2020년08월31일
심사청구일자 2020년08월31일
- (65) 공개번호 10-2022-0028800
- (43) 공개일자 2022년03월08일
- (56) 선행기술조사문헌
KR1020180024095 A*
KR1020190072700 A*
KR1020190087729 A*
JP2015122377 A
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
엘지전자 주식회사
서울특별시 영등포구 여의대로 128 (여의도동)
- (72) 발명자
김진열
서울특별시 서초구 양재대로11길 19 LG전자 특허센터
이동철
서울특별시 서초구 양재대로11길 19 LG전자 특허센터
(뒷면에 계속)
- (74) 대리인
특허법인로얄

전체 청구항 수 : 총 11 항

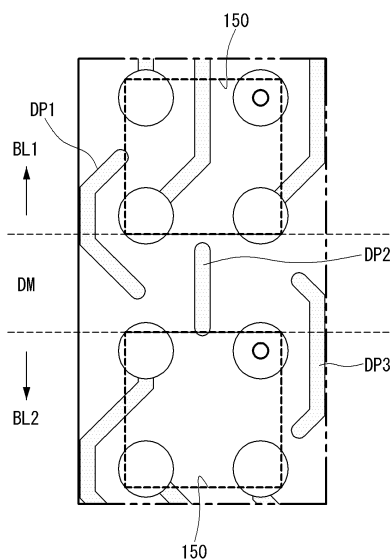
심사관 : 이종환

(54) 발명의 명칭 디스플레이 장치

(57) 요약

본 발명의 일 실시예에 따른 디스플레이 장치는, 전면에 전극 라인이 형성된 배선 기관, 상기 배선 기관의 전면
에 설치되고 블록 내에서 상기 전극 라인에 의해 서로 연결된 복수의 반도체 발광 소자들, 상기 블록 단위로 상
기 반도체 발광 소자에 연결된 드라이버 IC를 포함하고, 상기 전극 라인은 상기 블록과 블록 사이의 더미 영역에
형성되고, 상기 전극 라인과 전기적으로 연결되지 않은 더미 패턴을 더 포함한다.

대표도 - 도15



(52) CPC특허분류

H01L 23/367 (2013.01)

H01L 23/3735 (2013.01)

H01L 23/528 (2013.01)

H01L 33/0008 (2013.01)

H01L 33/30 (2013.01)

H01L 33/50 (2013.01)

(72) 발명자

한보희

서울특별시 서초구 양재대로11길 19 LG전자 특허센터

신종곤

서울특별시 서초구 양재대로11길 19 LG전자 특허센터

우종진

서울특별시 서초구 양재대로11길 19 LG전자 특허센터

명세서

청구범위

청구항 1

복 수개의 블록으로 나뉘고, 전면으로 상기 복수 개의 블록마다 개별적으로 전극 라인이 형성된 배선 기관;

상기 복수 개의 블록마다 각각 배치되고, 상기 전극 라인에 의해서 각 블록에 속한 것끼리 연결되도록 상기 배선 기관의 전면에 설치된 복수의 반도체 발광 소자들;

상기 복수 개의 블록마다 개별적으로 연결되어 각 블록에 속한 상기 반도체 발광 소자를 구동하는 복수 개의 드라이버 IC;

를 포함하고,

상기 배선 기관은,

상기 복수 개의 블록 중 제1 방향에서 이웃한 블록 사이에 형성된 더미 영역을 더 포함하고,

상기 더미 영역으로는 반도체 발광 소자가 배치되지 않고,

상기 전극 라인은 각 블록에서 상기 제1 방향에서 이웃한 반도체 발광 소자 사이로 노출되고,

상기 전극 라인은, 상기 더미 영역에 형성되고, 상기 전극 라인과 전기적으로 연결되지 않은 더미 패턴을 더 포함하는 디스플레이 장치.

청구항 2

제1항에 있어서,

반도체 발광 소자는, R, G, B 서브 픽셀이 하나로 패키징되며, 4각형의 각 꼭지점에 배치된 제1 내지 제4 전극을 포함하는 디스플레이 장치.

청구항 3

제2항에 있어서,

상기 전극 라인은, 상기 제1 내지 제4 전극과 접합되는 제1 내지 제4 패드와, 세로 방향에서 이웃한 상기 제1 패드끼리 연결하는 제1 연결 패턴, 이웃한 제2 패드끼리 연결하는 제2 연결 패턴, 이웃한 제3 패드끼리 연결하는 제3 연결 패턴을 포함하는 디스플레이 장치.

청구항 4

제3항에 있어서,

상기 전극 라인은, 상기 제4 패드에 형성되고, 세로 방향에서 이웃한 제4 패드를 연결하는 스투홀을 더 포함하는 디스플레이 장치.

청구항 5

제3항에 있어서,

상기 더미 패턴은, 상기 제1 연결 패턴 내지 제3 연결 패턴 중 적어도 하나와 동일한 형상을 갖는 디스플레이 장치.

청구항 6

제3항에 있어서,

상기 더미 패턴은, 상기 제1 연결 패턴에 대응하는 위치에 배치된 제1 더미 패턴, 상기 제2 연결 패턴에 대응하는 위치에 배치된 제2 더미 패턴, 상기 제3 연결 패턴에 대응하는 위치에 배치된 제3 더미 패턴을 포함하는 디

스플레이 장치.

청구항 7

제6항에 있어서,

상기 제1 내지 제3 더미 패턴의 적어도 하나의 끝은 상기 반도체 발광 소자에 의해 가려지도록 형성된 디스플레이 장치.

청구항 8

제6항에 있어서,

상기 제1 내지 제3 더미 패턴의 적어도 하나의 끝은 상기 제1 내지 제4 패드 중 적어도 하나와 연결되고, 다른 끝은 상기 제1 내지 제4 패드, 상기 제1 내지 제3 연결패턴과 떨어져 있는 디스플레이 장치.

청구항 9

제1항에 있어서,

반도체 발광 소자는, R, G, B 서브 픽셀이 각각 패키징되며, 각 반도체 발광 소자는 애노드 전극과 캐소드 전극을 구비하고,

상기 애노드 전극 또는 캐소드 전극 중 하나는 공통 연결되는 디스플레이 장치.

청구항 10

제9항에 있어서,

상기 전극 라인은, 상기 애노드 전극 또는 캐소드 전극 중 하나와 각각 대응되게 형성되는 제1 내지 제3 패드, 그리고 상기 애노드 전극 또는 캐소드 전극 중 다른 하나와 공통 연결되는 제4 패드를 포함하는 디스플레이 장치.

청구항 11

제9항에 있어서,

상기 제1 내지 제4 패드 중 적어도 하나는 연결 패턴에 의해 이웃한 다른 제1 내지 제4 패드 중 하나와 연결되고,

상기 더미 패턴은 상기 연결 패턴과 동일한 형상을 갖는 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 디스플레이 장치에 관한 것으로 특히, 수십 μ m 내지 수백 μ m 크기의 반도체 발광소자를 이용한 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 최근에는 디스플레이 기술분야에서 박형, 플렉서블 등의 우수한 특성을 가지는 디스플레이 장치가 개발되고 있다. 이에 반해, 현재 상용화된 주요 디스플레이는 LCD(Liquid Crystal Display)와 AMOLED(Active Matrix Organic Light Emitting Diodes)로 대표되고 있다.

[0003] 그러나, LCD의 경우에 빠르지 않은 반응 시간과, 플렉서블의 구현이 어렵다는 문제점이 존재하고, AMOLED의 경우 수명이 짧고, 양산 수율이 좋지 않다는 취약점이 존재한다.

[0004] 한편, 발광 다이오드(Light Emitting Diode: LED)는 전류를 빛으로 변환시키는 잘 알려진 반도체 발광소자로서, 1962년 GaAsP 화합물 반도체를 이용한 적색 LED가 상품화된 것을 시작으로 GaP:N 계열의 녹색 LED와 함께 정보통신기기를 비롯한 전자장치의 표시 화상용 광원으로 이용되어 왔다. 따라서, 상기 반도체 발광소자를 이용하여

디스플레이를 구현하여, 상기의 문제점을 해결하는 방안이 제시될 수 있다.

[0005] 한편, 이 같은 발광다이오드는 기관에 실장되어 동작하는데, 이 과정에서 많이 열이 발생하기 때문에 동작 과정에서 발생하는 열을 신속히 장치 밖으로 배출해야 한다.

[0006] 또한 발광 다이오드는 기관 전면에 형성된 도전 패턴에 의해 서로 연결되고, 기관 후면에 배치된 드라이버 IC와 연결된다. 그런데, 발광 다이오드가 블록 단위로 드라이버 IC와 연결되다 보니, 블록과 블록 사이는 패턴이 연결되지 않아 가로선과 같이 라인이 시인되는 문제가 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 이 같은 문제점을 해소하고자 제안된 것으로, 기관 전면에 형성된 패턴 모양을 개선해 가로 선이 보이지 않도록 하는데 있다.

[0008] 본 발명의 다른 목적은 발광 다이오드가 설치된 기관의 구조를 개선해 발광 다이오드가 동작과정에서 발생하는 열을 신속히 배출하는데 있다.

과제의 해결 수단

[0009] 본 발명의 일 실시예에 따른 디스플레이 장치는, 전면에 전극 라인이 형성된 배선 기관, 상기 배선 기관의 전면 에 설치되고 블록 내에서 상기 전극 라인에 의해 서로 연결된 복수의 반도체 발광 소자들, 상기 블록 단위로 상기 반도체 발광 소자에 연결된 드라이버 IC를 포함하고, 상기 전극 라인은 상기 블록과 블록 사이의 더미 영역 에 형성되고, 상기 전극 라인과 전기적으로 연결되지 않은 더미 패턴을 더 포함한다.

[0010] 반도체 발광 소자는, R, G, B 서브 픽셀이 하나로 패키징되며, 4각형의 각 꼭지점에 배치된 제1 내지 제4 전극 을 포함한다.

[0011] 상기 전극 라인은, 상기 제1 내지 제4 전극과 접합되는 제1 내지 제4 패드와, 세로 방향에서 이웃한 상기 제1 패드끼리 연결하는 제1 연결 패턴, 이웃한 제2 패드끼리 연결하는 제2 연결 패턴, 이웃한 제3 기리 패드를 연결 하는 제3 연결 패턴을 포함한다.

[0012] 상기 전극 라인은, 상기 제4 패드에 형성되고, 세로 방향에서 이웃한 제4 패드를 연결하는 스루홀을 더 포함한다.

[0013] 상기 더미 패턴은, 상기 제1 연결 패턴 내지 제3 연결 패턴 중 적어도 하나와 동일한 형상을 갖는다.

[0014] 상기 더미 패턴은, 상기 제1 연결 패턴에 대응하는 위치에 배치된 제1 더미 패턴, 상기 제2 연결 패턴에 대응하 는 위치에 배치된 제2 더미 패턴, 상기 제3 연결 패턴에 대응하는 위치에 배치된 제3 더미 패턴을 포함한다.

[0015] 상기 제1 내지 제3 더미 패턴의 적어도 하나의 끝은 상기 반도체 발광 소자에 의해 가려지도록 형성된다.

[0016] 상기 제1 내지 제3 더미 패턴의 적어도 하나의 끝은 상기 제1 내지 제4 패드 중 적어도 하나와 연결되고, 다른 끝은 상기 제1 내지 제4 패드, 상기 제1 내지 제3 연결패턴과 떨어져 있다.

[0017] 반도체 발광 소자는, R, G, B 서브 픽셀이 각각 패키징되며, 각 반도체 발광 소자는 애노드 전극과 캐소드 전극 을 구비하고, 상기 애노드 전극 또는 캐소드 전극 중 하나는 공통 연결된다.

[0018] 상기 전극 라인은, 상기 애노드 전극 또는 캐소드 전극 중 하나와 각각 대응되게 형성되는 제1 내지 제3 패드, 그리고 상기 애노드 전극 또는 캐소드 전극 중 다른 하나와 공통 연결되는 제4 패드를 포함한다.

[0019] 상기 제1 내지 제4 패드 중 적어도 하나는 연결 패턴에 의해 이웃한 다른 제1 내지 제4 패드 중 하나와 연결되 고, 상기 더미 패턴은 상기 연결 패턴과 동일한 형상을 갖는다.

발명의 효과

[0020] 본 발명의 일 실시예에 따른 디스플레이 장치는 배선 기관이 적어도 2개 이상의 서브 기관이 합착된 형태를 이 루고 있고, 서브 기관은 방열 통로로 기능하는 접촉구를 포함하고 있다. 따라서, 동작 과정에서 발광 다이오드 에서 발생한 열은 서브 기관에 마련된 접촉구를 통해 배출될 수가 있다.

[0021] 또한 본 발명의 일 실시예에 따른 디스플레이 장치는 전극 라인들이 더미 영역에서도 형성되어 있기 때문에 가로 선이 시인되던 종전 문제를 방지할 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 일 실시예에 따른 반도체 발광 소자를 이용한 디스플레이 장치의 일 실시예를 나타내는 개념도이다.

도 2는 도 1의 디스플레이 장치의 A 부분의 부분 확대도이다.

도 3은 도 2의 반도체 발광소자의 확대도이다.

도 4는 도 2의 반도체 발광소자의 다른 실시예를 나타내는 확대도이다.

도 5 및 도 6은 일예의 배선 기판을 설명하는 도면이다.

도 7 내지 도 10은 배선 기판의 효과를 보여주는 도면이다.

도 11은 블록 단위로 동작하는 반도체 발광 소자를 설명하는 도면이다.

도 12는 도 11의 "B" 부분을 확대해서 보여주는 도면이다.

도 13은 도 12에서 반도체 발광소자를 제거한 모습을 보여주는 도면이다.

도 14는 반도체 발광 소자의 전극 배치를 보여주는 도면이다.

도 15는 더미 패턴을 확대해서 보여주는 도면이다.

도 16은 더미 패턴의 다른 예를 보여주는 도면이다.

도 17은 반도체 발광 소자가 서브 픽셀별로 켜켜진 예를 보여주는 도면이다.

도 18은 도 17에서 반도체 발광소자가 제거된 모습을 보여준다.

발명을 실시하기 위한 구체적인 내용

[0023] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

[0024] 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 간단히 하거나 생략될 수 있다. 또한, 도면에서 도시하고 있는 다양한 실시예들은 예시적으로 제시된 것이고, 설명의 편의를 위해 실제와 다르게 구성 요소를 단순화해 도시한다.

[0025] 이하의 상세한 설명에서는 실시예에 따라 차이가 없는 동일한 구성에 대해서는 동일한 도면번호를 붙이고 그 설명은 반복하지 않는다.

[0026] 도 1은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 일 실시예를 나타내는 개념도이고, 도 2는 도 1의 디스플레이 장치의 A 부분의 부분 확대도이고, 도 3은 도 2의 반도체 발광소자의 확대도이며, 도 4는 도 2의 반도체 발광소자의 다른 실시예를 나타내는 확대도이다.

[0027] 도시에 의하면, 디스플레이 장치(100)의 제어부(미도시)에서 처리되는 정보는 디스플레이 모듈(140)에서 출력될 수 있다. 상기 디스플레이 모듈의 테두리를 감싸는 페루프 형태의 케이스(101)가 상기 디스플레이 장치의 베젤을 형성할 수 있다.

[0028] 도시된 바와 같이, 일 실시예의 디스플레이 장치(100)는 복수개의 디스플레이 모듈(140a~140f)을 구비해 하나의 화면을 표시하도록 구성되거나 또는 도시된 바와 다르게 하나의 디스플레이 모듈(140)만을 구비해 디스플레이 장치로 구현될 수 있다. 도 1에서는 6개의 디스플레이 모듈(140a~140f)이 모여 디스플레이 장치로 구현된 예를 예시한다.

[0029] 상기 디스플레이 모듈(140)은 영상이 표시되는 패널(141)을 구비하고, 상기 패널(141)은 마이크로 크기의 반도체 발광소자(150)와 상기 반도체 발광소자(150)가 장착되는 배선기판(110)을 구비할 수 있다.

[0030] 상기 배선기판(110)에는 배선이 형성되어, 상기 반도체 발광소자(150)의 n형 전극(152) 및 p형 전극(156)과 연

결될 수 있다. 이를 통하여, 상기 반도체 발광소자(150)는 자발광하는 개별화소로서 상기 배선기판(110) 상에 구비될 수 있다.

- [0031] 상기 패널(141)에 표시되는 영상은 시각 정보로서, 매트릭스 형태로 배치되는 단위 화소(sub-pixel)의 발광이 상기 배선을 통하여 독자적으로 제어됨에 의하여 구현된다.
- [0032] 본 발명에서는 전류를 빛으로 변환시키는 반도체 발광소자(150)의 일 종류로서 마이크로 LED(Light Emitting Diode)를 예시한다. 상기 마이크로 LED는 100마이크로 이하의 작은 크기로 형성되는 발광 다이오드가 될 수 있다. 상기 반도체 발광소자(150)는 청색, 적색 및 녹색이 발광영역에 각각 구비되어 이들의 조합에 의하여 단위화소가 구현될 수 있다. 즉, 상기 단위 화소는 하나의 색을 구현하기 위한 최소 단위를 의미하며, 상기 단위 화소 내에 적어도 3개의 마이크로 LED가 구비될 수 있다.
- [0033] 보다 구체적으로, 도 3을 참조하면, 상기 반도체 발광 소자(150)는 수직형 구조가 될 수 있다. 예를 들어, 상기 반도체 발광 소자(150)는 질화 갈륨(GaN)을 주로 하여, 인듐(In) 및/또는 알루미늄(Al)이 함께 첨가되어 청색을 비롯한 다양한 빛을 발광하는 고효율의 발광 소자로 구현될 수 있다.
- [0034] 이러한 수직형 반도체 발광 소자는 p형 전극(156), p형 전극(156) 상에 형성된 p형 반도체층(155), p형 반도체층(155) 상에 형성된 활성층(154), 활성층(154) 상에 형성된 n형 반도체층(153), 및 n형 반도체층(153) 상에 형성된 n형 전극(152)을 포함한다. 이 경우, 하부에 위치한 p형 전극(156)은 배선기판의 p전극과 전기적으로 연결될 수 있고, 상부에 위치한 n형 전극(152)은 반도체 발광소자의 상측에서 n전극과 전기적으로 연결될 수 있다.
- [0035] 이러한 수직형 반도체 발광 소자(150)는 전극을 상/하로 배치할 수 있으므로, 칩 사이즈를 줄일 수 있다는 큰 장점을 가지고 있다.
- [0036] 다른 예로서 도 4를 참조하면, 상기 반도체 발광 소자는 플립 칩 타입(flip chip type)의 발광 소자가 될 수 있다.
- [0037] 이러한 예로서, 상기 반도체 발광 소자(150')는 p형 전극(156'), p형 전극(156')이 형성되는 p형 반도체층(155'), p형 반도체층(155') 상에 형성된 활성층(154'), 활성층(154') 상에 형성된 n형 반도체층(153'), 및 n형 반도체층(153') 상에서 p형 전극(156')과 수평방향으로 이격 배치되는 n형 전극(152')을 포함한다. 이 경우, p형 전극(156')과 n형 전극(152')은 모두 반도체 발광소자의 하부에서 배선기판의 p전극 및 n전극과 전기적으로 연결될 수 있다.
- [0038] 상기 수직형 반도체 발광소자와 수평형 반도체 발광소자는 각각 녹색 반도체 발광소자, 청색 반도체 발광소자 또는 적색 반도체 발광소자가 될 수 있다. 녹색 반도체 발광소자와 청색 반도체 발광소자의 경우에 질화 갈륨(GaN)을 주로 하여, 인듐(In) 및/또는 알루미늄(Al)이 함께 첨가되어 녹색이나 청색의 빛을 발광하는 고효율의 발광 소자로 구현될 수 있다. 이러한 예로서, 상기 반도체 발광소자는 n-GaN, p-GaN, AlGaN, InGaN 등 다양한 계층으로 형성되는 질화갈륨 박막이 될 수 있으며, 구체적으로 상기 p형 반도체층은 P-type GaN 이고, 상기 n형 반도체층은 N-type GaN 이 될 수 있다. 다만, 적색 반도체 발광소자의 경우에는, 상기 p형 반도체층은 P-type GaAs이고, 상기 n형 반도체층은 N-type GaAs 가 될 수 있다.
- [0039] 또한, 상기 p형 반도체층은 p 전극 쪽은 Mg가 도핑된 P-type GaN 이고, n형 반도체층은 n 전극 쪽은 Si가 도핑된 N-type GaN 인 경우가 될 수 있다. 이 경우에, 전술한 반도체 발광소자들은 활성층이 없는 반도체 발광소자가 될 수 있다.
- [0040] 이하, 배선 기판에 첨부한 도면을 참조로 자세히 설명한다.
- [0041] 바람직한 예에서, 배선 기판(110)은 물리적으로 나뉘진 적어도 2개 이상의 서브 기판을 포함해 구성되고, 서브 기판과 서브 기판 사이는 떨어져 열이 배출되는 방열 통로를 형성한다. 이에 따라, 장치가 동작과정에서 발생하는 열, 특히 드라이버 IC가 동작 과정에서 발생하는 열이 배선 기판(110)의 전면, 즉 반도체 발광소자로 전달되는 것을 효과적으로 차단할 수가 있다.
- [0042] 이에 대해서 도 5 및 내지 도 10을 참조로 자세히 설명한다.
- [0043] 도 5는 일 실시예의 배선 기판의 단면 모습을, 도 6은 서브 기판을 나뉘 도시한 것이다. 그리고, 도 7 내지 도 10은 배선 기판의 효과를 알아보기 위해서 시뮬레이션한 모습을 보여준다.
- [0044] 일 실시예에서, 배선 기판(110)은 제1 내지 제3 서브 기판(111, 113, 115)를 포함해 구성될 수 있다. 제1 서브 기판(111), 제2 서브 기판(113), 제3 서브 기판(115)은 순차적으로 배열되고, 제1 서브 기판(111)은 전면에 제3

서브 기판(115)은 후면에 배치된다. 따라서, 제2 서브 기판(113)은 제1 서브 기판(111)과 제3 서브 기판(115) 사이에 위치해서 제1 서브 기판(111)과 제3 서브 기판(115)을 전기적으로 연결하는 기능을 담당한다. 이 같은 제1 내지 제3 서브 기판은 각각이 PCB(Printed Circuit Board) 기판으로 구성된다.

- [0045] 제1 서브 기판(111)은 전면에 반도체 발광 소자(150)가 실장되고, 후면은 제1 패드(111a)를 포함하도록 구성될 수 있다. 전면에서 반도체 발광 소자(150)는 전극 라인들에 의해 서로 연결되도록 구성되는데, 이에 대해서는 아래에서 자세히 설명된다.
- [0046] 후면에 형성된 제1 패드(111a)는 제1 서브 기판(111)의 전면에 형성된 전극 라인들을 제2 서브 기판(113)과 전기적으로 연결하는 기능을 담당한다. 제1 패드(111a)는 형상은 특별한 제한 없이 다양하게 형성될 수 있다.
- [0047] 제2 서브 기판(113)은 제1 서브 기판(111)과 제3 서브 기판(115) 사이에 위치해 제1 서브 기판(111)과 제3 서브 기판(115) 사이를 물리적 전기적으로 연결한다. 이를 위해서 제2 서브 기판(113)은 복수 개의 제1 접촉구(113b1)를 포함해 구성된다. 제1 접촉구(113b1)의 위와 아래에는 제3 및 제4 패드(113a, 113b)가 배치되고, 이 제1 접촉구(113b1)는 접촉구에 형성된 연결 전극(1131)을 통해서 제3 및 제4 패드(113a, 113b)를 전기적으로 연결한다.
- [0048] 또한 복수 개의 제1 접촉구(113b1) 중 이웃한 제1 접촉구 사이로는 제2 접촉구(113b2)가 더 배치될 수 있다. 제2 접촉구(113b2)는 제1 서브 기판(111)에 설치된 반도체 발광 소자(150)가 동작 과정에서 발생하는 열을 배기하는 통로로 작용한다. 이 제1 접촉구(113b2)는 효과적인 배기를 위해서 비워져 있다. 또한 제1 접촉구(113b1)의 제1 폭(w1)은 제2 접촉구(113b3)의 제2 폭(w2)보다 작아, 열을 쉽게 배기할 수 있도록 구성된다.
- [0049] 제3 서브 기판(115)은 후면에 드라이버 IC(117)가 설치되어 반도체 발광 소자(150)에 전기적 신호를 인가한다. 후술되지만 반도체 발광 소자(150)를 개별적으로 구동시키지 않고 블록 단위로 구동시키도록 동작한다.
- [0050] 일 예에서, 드라이버 IC(117)는 반도체 발광 소자(150)의 블록별로 형성되어 반도체 발광 소자(150)와 연결될 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0051] 드라이버 IC(117) 각각은 제3 서브 기판(115) 전면에 형성된 제4 패드(115a)와 전기적으로 연결된다.
- [0052] 이처럼 구성된 물리적으로 나뉜 제1 내지 제3 서브 기판(111, 1113, 115)은 지그에 위치시킨 후 솔더를 이용해 서로 연결될 수가 있다. 지그에서 제1 서브 기판(111)에 형성된 제1 패드(111a)는 제2 서브 기판(113)에 마련된 제2 패드(113a)와 마주하게 위하고, 제3 서브 기판(115)은 제2 서브 기판(113)의 후면에 마련된 제3 패드(113b)와 마주하게 배치된다.
- [0053] 그리고, 제1 패드(111a)와 제2 패드(113a) 사이, 그리고 제4 패드(115a)와 제3 패드(113b) 사이로 솔더가 공급되고, 솔더가 열경화되면서 제1 내지 제3 서브 기판은 1장의 배선 기판으로 형성될 수가 있다.
- [0054] 이때, 솔더는 작업을 보다 쉽게 하고, 기판 사이의 높이를 형성하기 위해서, 용융 온도가 다른 2 종류의 솔더가 사용될 수 있다. 즉, 솔더는 제1 온도에서 용융되는 제1 솔더와 제1 온도보다 높은 온도에서 용융되는 제2 솔더를 포함할 수 있다.
- [0055] 일 예에서, 제2 솔더는 제2 서브 기판(113)에 마련된 제2 및 제3 패드(113a, 113b) 상에 형성되고, 제1 솔더는 제1 서브기판(111) 및 제3 서브기판(115)에 각각 형성된 제1 패드(111a) 및 제4 패드(115a) 각각에 형성될 수 있다. 또는 이와 반대로 제1 솔더와 제2 솔더의 위치는 변경될 수 있다.
- [0056] 제2 솔더의 용융 온도가 제1 솔더보다 높다 보니, 솔더를 녹여 제1 내지 제3 서브 기판을 붙일 때, 제1 솔더가 녹는 온도로 가열된 경우에 제2 솔더는 녹지 않고 형태를 유지하므로, 제1 서브 기판과 제2 서브 기판 사이, 그리고 제2 서브 기판과 제3 서브 기판 사이에 유격을 형성하기가 쉽다.
- [0057] 이처럼 배선 기판을 형성하면, 드라이버 IC에서 나온 열은 제3 서브 기판과 제2 서브 기판 사이의 방열 통로(119)를 통해서 배출할 수가 있고, 또한 제2 서브 기판에 마련된 방열구(113b1, 113b2)를 통해서 제1 서브 기판과 제2 서브 기판 사이에 마련된 방열 통로를 통해서 배출할 수가 있다.
- [0058] 또한, 반도체 발광소자가 동작과정에서 발생하는 열 역시 배선 기판 내부에 마련된 방열 통로(119)를 통해서 손쉽게 배출할 수가 있다.
- [0059] 또한 배선 기판(110)이 다층 구조를 가지기 때문에 설계 자유도가 높아질 수가 있다. 즉, 종전과 같이 1층으로 구성된 배선 기판은 어떤 패턴을 수정하고자 하면 배선 기판 전체를 수정해야 하나, 본 실시예와 같은 배선 기

판에서는 다층 구조를 가지고 있기 때문에, 해당 서브 기관의 배선 기관을 손쉽게 수정하면 된다.

- [0060] 이하, 도 7 내지 도 10을 참조해서 이 같이 구성된 배선 기관(110)의 효과에 대해서 설명한다.
- [0061] 도 7 및 도 9는 종래와 같이 합착된 배선기관을 갖는 디스플레이 장치의 동작 과정에서 발생하는 열의 분포를 보여준다. 도 7은 전면쪽, 즉 반도체 발광소자가 부착된 면의 온도 분포를 보여주며, 도 9는 드라이버 IC가 배치된 후면의 온도 분포를 보여준다.
- [0062] 도시된 바와 같이, 동작 과정에서 전면은 최저 27℃에서 최대 37℃까지 오르며, 후면은 최저 26℃에서 최대 40℃까지 오르는 것으로 조사되었다.
- [0063] 이와 비교해서, 도 8 및 도 10은 상술한 본 발명에 따른 배선 기관을 포함하는 장치의 온도를 측정할 모습을 보여준다. 도 8은 전면, 도 10은 후면의 온도를 측정한 것이다.
- [0064] 도시된 바처럼, 본 발명에 따른 전면은 최저 30℃에서 최대 40℃까지 오르는 것으로 조사되었다. 종전과 비교해 보면, 최저 온도는 올라갔지만 온도 편차는 종전이 10℃인 반면 본원 발명은 3℃로 온도 변화가 급격히 줄었고, 또한 최대 온도도 종전보다 약 4℃가 낮아지는 효과가 있다.
- [0065] 또한 본 발명에 따르면, 후면은 최저 29℃에서 최대 36℃까지 오르는 것으로 조사되었다. 종전과 비교해 보면, 최저 온도는 다소 올라 갔지만 온도 편차는 종전이 14℃인 반면 본원 발명은 7℃로 온도 변화 역시 급격히 줄었고, 또한 최대 온도도 종전보다 약 4℃가 줄었음을 알 수 있다.
- [0066] 이처럼 본원 발명을 종전과 대비해 볼 때, 본원 발명과 같은 배선 기관의 구조가 드라이버 IC에서 발생한 열이 전면으로 전파되는 것을 효과적으로 차단함을 알 수가 있고, 또한 열이 효과적으로 외부로 배출됨을 알 수 있다.
- [0067] 도 11은 블록 단위로 동작하는 디스플레이 패널(141)을 설명하는 도면이다.
- [0068] 복수 개의 반도체 발광 소자(150)를 갖는 패널(141)은 블록 단위로 구동될 수 있다.
- [0069] 배선 기관의 일 면, 보다 정확히는 전면(이미지가 표시되는 방향)으로는 해상도에 따라 무수히 많은 반도체 발광 소자(150)가 배치되고, 배선 기관의 후면으로는 이 반도체 발광 소자(150)에 데이터를 입력해 이미지를 표시하는 드라이버 IC(117)가 배치될 수 있다.
- [0070] 패널에 설치된 반도체 발광 소자(150)를 구동시키기 위해서는 발광 소자(150)를 복 수개의 블록(BL1, BL2, BL3)으로 나누고, 각 블록은 블록마다 설치된 드라이버 IC(117a, 117b, 117c)가 해당 블록에 속한 반도체 발광 소자(150)를 구동시킬 수 있다. 도면에서는 패널이 3개의 블록으로 나뉘고, 각 블록을 구동시키기 위해서 3개의 드라이버 IC가 배치되는 것으로 예시하나, 본 발명이 이에 한정되는 것은 아니다, 블록의 개수나 드라이버 IC의 개수는 서로 의존해서 조정되거나 또는 독립적으로 조정될 수 있다.
- [0071] 한편, 본 출원 전까지는 블록 내에서 반도체 발광 소자(150)는 이웃한 것과 배선 기관에 형성된 전극 라인들을 통해서 연결되었다. 그런데, 블록과 블록 사이의 더미 영역(DM)에서는 전극 라인들이 형성되지 않다 보니 더미 영역이 가로선 또는 세로선 형태로 시인되므로 제품 외관이 좋지 않은 문제가 있었다. 도면에 도시된 바에 따르면 가로선이 시인되었다.
- [0072] 일 실시예의 전극 라인들은 이 같은 문제점을 해소하고자 더미 영역(DM)에도 형성된다.
- [0073] 도 11에 예시하는 바에 따르면, 패널에 설치된 반도체 발광 소자(150)는 제1 블록 내지 제3 블록(BL1 ~ BL3)으로 나뉘질 수 있고, 제1 블록(BL1)은 제1 드라이버 IC(117a)에 의해 구동되고, 제2 블록(BL2)은 제2 드라이버 IC(117b)에 의해 구동되고, 제3 블록(BL3)은 제3 드라이버 IC(117c)에 의해 구동될 수 있다.
- [0074] 그리고, 세로 방향에서 제1 블록(BL1)과 제2 블록(BL2) 사이, 그리고 제2 블록(BL2)과 제3 블록(BL3) 사이에는 더미 영역(DM)이 위치한다. 이 더미 영역(DM) 블록과 블록의 경계를 나타낸다.
- [0075] 일 예에서, 반도체 발광 소자(150)는 PM 방식으로 구동될 수 있다. PM 방식은 시분할 방식으로 열 또는 행 방향으로 시분할된 시간동안 스캔이 이뤄지고, 시분할된 시간에 맞춰 행 또는 열 방향으로 데이터를 입력함으로써 이미지를 표시하는 방식이다.
- [0076] 한편, 반도체 발광 소자(150)는 애노드 전극과 캐소드 전극을 포함해 드라이버 IC로부터 데이터를 입력받아 발광하게 된다. 일 예에서, 애노드 전극은 공통 전압이 인가되는 공통 전극으로 사용될 수 있고, 캐소드 전극은 데이터 전압이 인가되는 데이터 전극으로 사용될 수 있다. 또는 이와 반대로, 애노드 전극이 데이터 전극, 캐소

드 전극이 공통 전극으로 사용될 수도 있다.

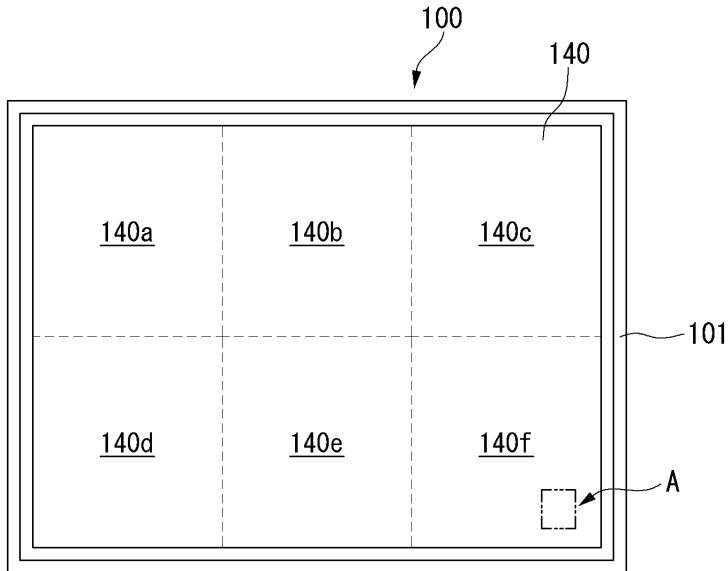
- [0077] 이하의 설명에서는 설명의 편의를 위해서 애노드 전극은 공통 전극이고, 캐소드 전극은 데이터 전극인 것으로 예시한다.
- [0078] 또한, 데이터 전압은 세로 방향으로 입력되는 것을 예시한다. 이 경우 블록 내에서 반도체 발광 소자(150)는 이웃한 것과, 세로 방향에서 캐소드는 캐소드끼리 공통 연결되며, 애노드는 애노드끼리 공통 연결된다.
- [0079] 도 12는 도 11의 "B" 부분을 확대해서 보여주는 도면이고, 도 13은 도 12에서 반도체 발광소자(150)를 제거한 모습을 보여주는 도면이고, 도 14는 반도체 발광 소자의 전극 배치를 보여주는 도면이다.
- [0080] 반도체 발광소자(150) 각각은 새로 방향에서 데이터가 입력되므로 세로 방향에서 이웃한 다른 반도체 발광소자(150), 보다 정확히는 각 반도체 발광소자의 캐소드 전극끼리 공통 연결되는데, 기관의 전면에 형성된 전극라인을 통해 공통 연결되며, 애노드 전극은 서브 기관 상에 형성된 다른 전극 라인을 통해 공통 연결된다.
- [0081] 이 예에서, 반도체 발광소자(150)는 서브 픽셀인 R, G, B가 하나로 패키징될 수 있다. 이 경우, 반도체 발광소자(150)는 도 14에서 예시하는 바와 같이 4개의 전극을 포함하도록 구성된다.
- [0082] 전극은 제1 내지 제 4 전극(151~154)을 포함하며, 이 중 제1 내지 제3 전극(151~153)은 서브 픽셀별 캐소드 전극이고, 제4 전극(154)은 서브 픽셀에 공통 연결된 캐소드 전극이다.
- [0083] 한편 이 같은 반도체 발광 소자(150)를 세로 방향에서 연결하기 위해서, 각 블록(BL1, B12, BL3)은 전극 라인을 포함해 구성된다.
- [0084] 전극 라인은 각 블록에서 세로 방향으로 이웃한 반도체 발광소자(150)의 제1 내지 제3 전극을 공통 연결시킨다.
- [0085] 이를 위해서, 전극 라인은 반도체 발광소자(150)의 전극이 접합되는 패드와 세로 방향에서 이웃한 반도체 발광소자(150a, 150b)의 전극들을 공통 연결시키는 제1 내지 제3 연결 패턴(PT1~PT3)을 포함하도록 구성될 수 있다.
- [0086] 패드는 반도체 발광소자(150)의 전극(151~154)이 부착되는 곳으로, 반도체 발광소자(150)와 마찬가지로, 제1 내지 제 4 패드(P1~P4)를 포함한다.
- [0087] 제1 내지 제3 패드((P1~P3)는 반도체 발광소자(150)의 제1 내지 제3 전극 (151~153)과 연결되고, 제4 패드(p4)는 반도체 발광소자(150)의 제4 전극(154)과 연결된다. 일 예에서, 공통 전극으로 기능하는 제4 전극(154)이 부착되는 제4 패드(P4)는 이웃하는 다른 제4 전극(154)과 기관의 다른 층에서 연결되기 위해 비아홀(Th)을 포함해 구성될 수 있다.
- [0088] 여기서, 기관의 다른 층이라 함은, 기관은 상술한 바와 같이 복수 개의 서브 기관을 포함하고, 이 중 전극 라인이 형성된 서브 기관을 제외한 나머지 서브 기관을 의미한다.
- [0089] 각 블록에서, 제1 패드(P1)끼리는 제1 연결 패턴(PT1)에 의해 연결되며, 제2 패드(P2)끼리는 제2 연결 패턴(PT2)에 의해 연결되며, 제3 패드(P3)끼리는 제3 연결 패턴(PT3)에 의해 연결됨으로써 블록내에서 제1 패드(P1)는 제1 패드끼리 공통 연결되고, 제2 패드(P2)는 제2 패드끼리 공통 연결되고, 제3 패드(P3)는 제3패드끼리 공통 연결될 수가 있고, 또한 제4 패드(P4)는 비아홀(TH)을 통해서 공통 연결될 수가 있다.
- [0090] 또한, 일 실시예에서, 전극 라인은 더미 영역(DM)에 형성된 더미 패턴을 더 포함해 구성된다. 더미 패턴은 더미 영역(DM)에 형성되어 외부에서 패드를 보았을 때 패턴 누락으로 발생하던 가로선 또는 세로선의 시인 현상을 방지한다. 일 예에서 더미 패턴은 패드를 연결하는 연결 패턴의 개수와 동일한 숫자로 형성될 수 있다.
- [0091] 즉, 예시한 바에 따르면, 더미 패턴은 제1 내지 제3 더미 패턴(DP1~DP3)을 포함할 수 있다. 여기서, 제1 더미 패턴(DP1)은 제1 연결 패턴(PT1)과 유사한 모양을 가지며, 제2 더미 패턴(DP2)는 제2 연결 패턴(PT2)과, 그리고 제3 더미 패턴(DP2)은 제3 연결 패턴(PT3)과 유사한 형상을 갖도록 구성된다.
- [0092] 이에 따르면, 더미 영역(DM)에서도 각 블록에서 보이는 것과 유사한 형태의 패턴이 형성되기 때문에, 종전과 같이 더미 영역에 패턴이 없어 가로선 또는 세로선으로 시인되던 문제를 해결할 수가 있다.
- [0093] 이 더미 패턴은 제1 내지 제3 연결 패턴(PT1~PT3)와 다르게 패드와 연결되지 않는다. 즉 더미 패턴은 단순히 모양만 있을 뿐 전기적으로 반도체 발광소자(150)를 연결하는 구성은 아니다.
- [0094] 도시된 바에 따르면, 세로 방향에서 이웃한 두 반도체 사이에서 제1 연결 패턴(PT1)은 반도체 발광 소자의 좌측에서, 제3 연결 패턴(PT3)은 우측, 그리고 제2 연결 패턴(PT2)는 제1 및 제3 연결 패턴 사이에 위치한다.

- [0095] 이와 동일하게, 제1 더미 패턴(DP1)은 좌측, 제3 더미 패턴(DP3)은 우측, 그리고 제2 더미 패턴(DP2)은 제1 및 제3 더미 패턴 사이에 배치된다.
- [0096] 도 15는 더미 패턴을 확대해서 보여주는 도면이다. 도 15에서 예시하는 바와 같이, 제1 내지 제3 더미 패턴(DP1~DP3) 각각은 패드 또는 제1 내지 제3 연결 패턴과 떨어지게 형성된다. 이때, 제1 내지 제3 더미 패턴(DP1~DP3) 각각은 반도체 발광소자(150)로부터 떨어져 배치되어 반도체 발광소자(150)와 전기적으로 연결되는 것을 미연에 방지하도록 형성될 수 있다.
- [0097] 그런데, 도 15와 같은 더미 패턴은 반도체 발광소자(150)와 떨어지게 형성되므로, 시각적으로 차이점을 느낄 수 있다.
- [0098] 이 같은 점을 고려해서, 도 16과 같이 더미 패턴이 형성될 수 있다.
- [0099] 도 16은 더미 패턴의 다른 예를 보여주는 도면이다. 도 16에서 예시하는 것과 같이, 제1 내지 제3 더미 패턴(DP1~DP3) 중 적어도 하나는 패턴의 끝이 반도체 발광소자(150)보다 안쪽으로 위치하도록 해서 제1 내지 제3 더미 패턴(DP1~DP3)의 끝이 외부로 노출되는 것을 방지할 수 있다.
- [0100] 도 16의 예에서, 제1 더미 패턴(DP1)의 한쪽 끝은 제2 반도체 발광소자(150b)쪽 제1 패드(P1)에 연결되나, 다른 쪽 끝은 제1 반도체 발광소자(150a)쪽 제1 패드(P1)와 제2 패드(P2) 사이에 위치하도록 형성될 수 있다. 따라서, 제1 더미 패턴(DP1)의 양쪽 끝은 반도체 발광소자(150a, 150b)에 의해 가려져 끝이 시인되는 것을 방지할 수 있다.
- [0101] 제2 더미 패턴(DP2) 및 제3 더미 패턴(DP3) 역시 제1 더미 패턴(DP1)과 동일하게, 형성될 수 있다. 제2 더미 패턴(DP2)의 한 쪽 끝은 제1 반도체 발광소자 쪽 제2 패드(P2)와 연결되고, 다른 편 끝은 제2 반도체 발광소자(150b)의 제1 전극(151)과 제4 전극(154) 사이에 배치될 수 있다. 마찬가지로, 제3 더미 패턴(DP3)의 한쪽 끝은 제1 반도체 발광소자(150a) 쪽 제3 패드(P3)에 연결되고, 다른 쪽 끝은 제2 반도체 발광소자(150b) 쪽 제3 패드(P3)와 제4 패드(P4) 사이에 배치될 수 있다.
- [0102] 도 17 및 도 18은 반도체 발광 소자가 서브 픽셀별로 패키징된 예를 보여주는 도면으로, 도 18은 도 17에서 반도체 발광소자가 제거된 모습을 보여준다.
- [0103] 이 예에서, 반도체 발광소자(150)는 제1 내지 제3 반도체 발광소자(150a~150c)를 포함하고, 제1 반도체 발광소자(150a)는 적색(R), 제2 반도체 발광소자(150b)는 그린(G), 제3 반도체 발광소자(150c)는 블루 색(B)을 내며, 제1 내지 제3 반도체 발광소자(150a~150c)가 모여 하나의 픽셀을 이룬다.
- [0104] 제1 내지 제3 반도체 발광소자(150a~150c)는 각각 데이터 전압이 인가되는 캐소드 전극과 공통전압이 인가되는 애노드 전극을 포함한다. 여기서, 애노드 전극은 제1 내지 제3 반도체 발광소자(150a~150c)가 개별적으로 가지지 않고 공통 연결된다.
- [0105] 전극 라인은 제1 내지 제3 반도체 발광소자(150a~150c)의 캐소드 전극과 각각 연결되는 제1 내지 제3 패드(P1~P3)와 제1 내지 제3 반도체 발광소자(150a~150c)의 애노드 전극에 공통 연결되는 제4 패드(P4)를 포함한다.
- [0106] 일 예에서, 세로 방향으로 제1 패드(P1)는 다음 픽셀의 제1 패드(P1)와 제1 비아홀(TH1)을 통해 연결될 수 있다. 이 경우, 제1 패드(P1)는 제1 비아홀(TH1)을 포함해 구성될 수 있다. 또한 제3 패드(P3)는 다음 픽셀의 제3 패드(P3)와 제2 비아홀(TH2)을 통해 연결될 수 있고, 이 경우에 제3 패드(P3)는 제1 비아홀(TH2)을 포함해 구성된다.
- [0107] 또한 제2 패드(P2)는 도전 패턴(PT)을 통해서 다음 픽셀의 제2 패드(P2)와 연결될 수 있다.
- [0108] 그리고, 제4 패드(P4)는 제1 내지 제3 반도체 발광소자(150a~150c)의 애노드 전극에 공통 연결된다. 제4 패드(P4)는 이웃한 픽셀의 제4 패드(P4)와 제3 비아홀(TH3)을 통해서 연결될 수 있고, 이 경우에 제4 패드(P4)는 제3 비아홀(TH3)을 포함해 구성된다.
- [0109] 한편, 전극 라인은 더미 영역(DM)에 형성되는 더미 패턴(DP)을 더 포함해 구성될 수 있다. 이 예에서, 더미 패턴(DP)은 도전 패턴과 실질적으로 동일한 형상을 갖도록 구성될 수 있다.
- [0110] 만약, 도전 패턴이 비아홀을 포함하는 경우에, 더미 패턴(DP)도 비아홀을 포함하도록 구성해 시각적으로 도전 패턴과 더미 패턴이 동일한 형상을 갖도록 구성된다.
- [0111] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것

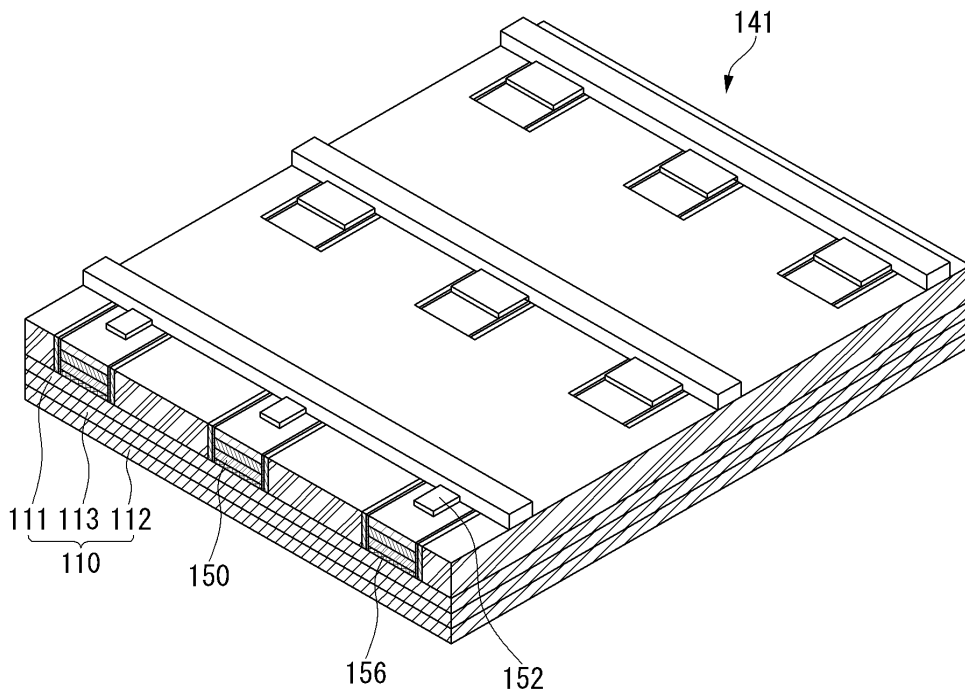
은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

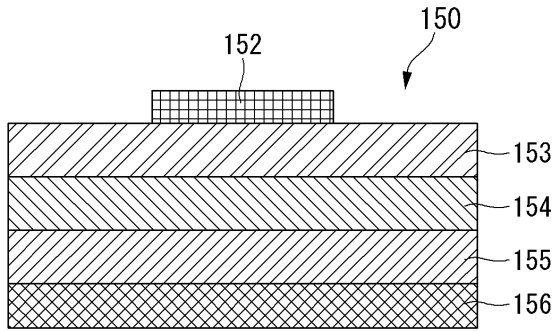
도면1



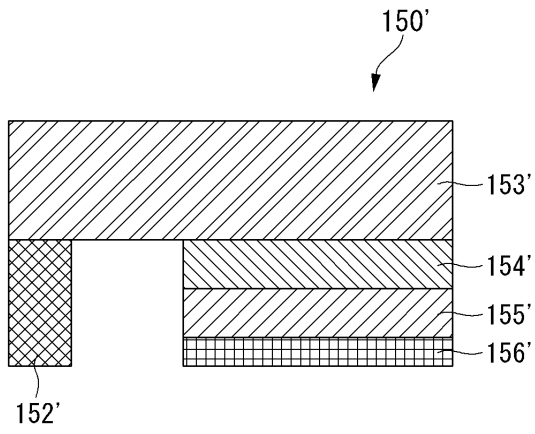
도면2



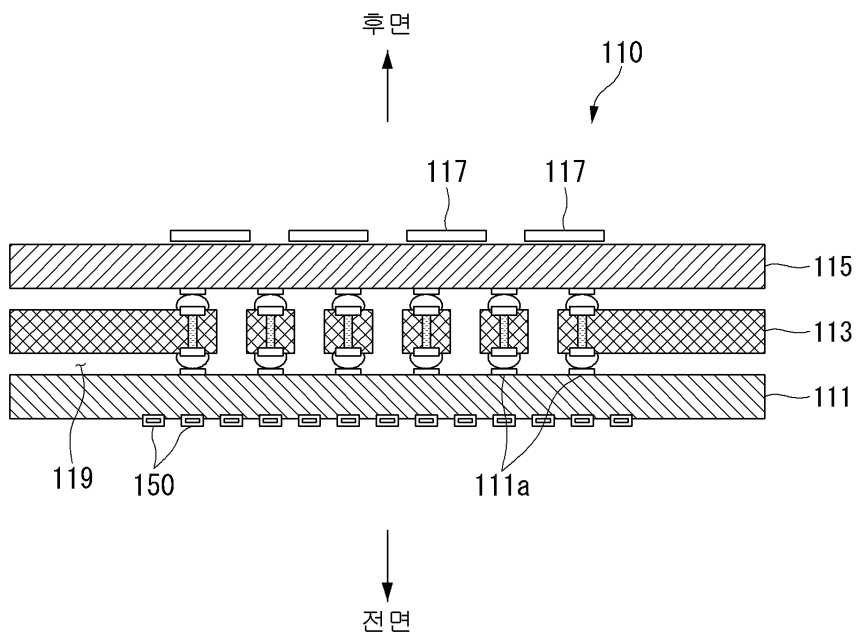
도면3



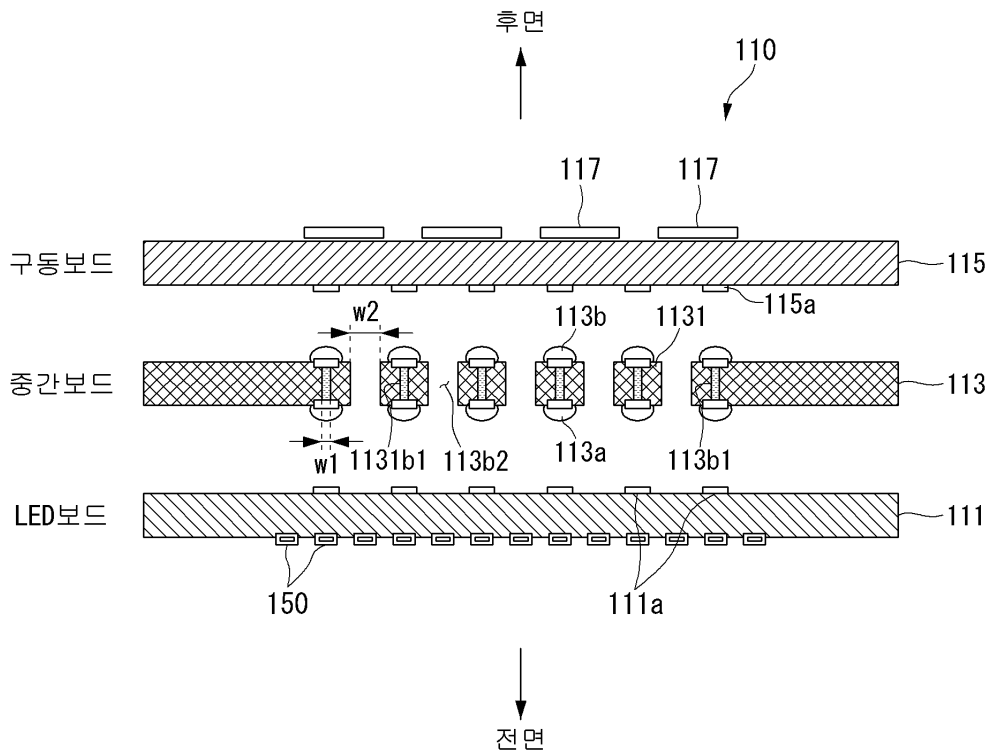
도면4



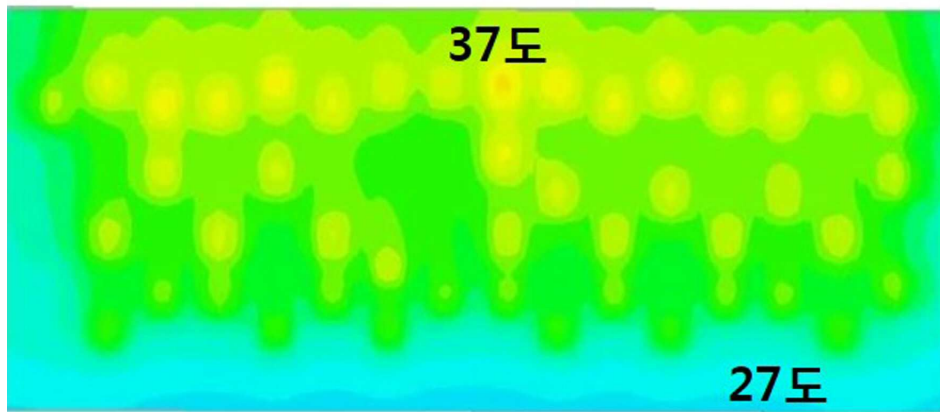
도면5



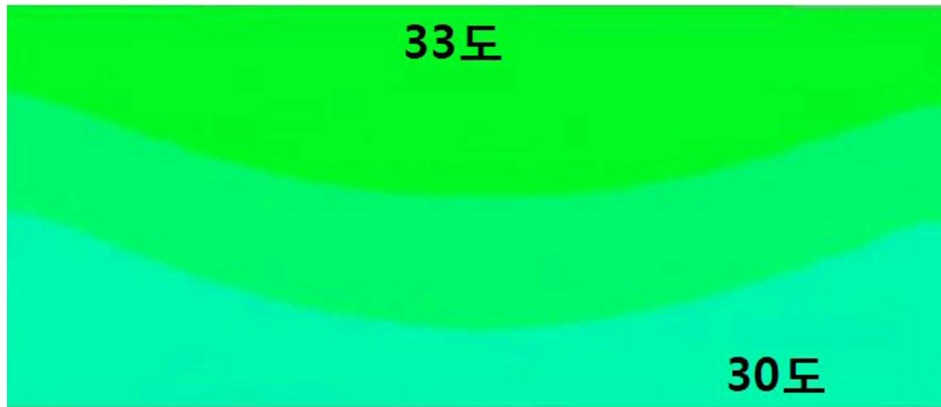
도면6



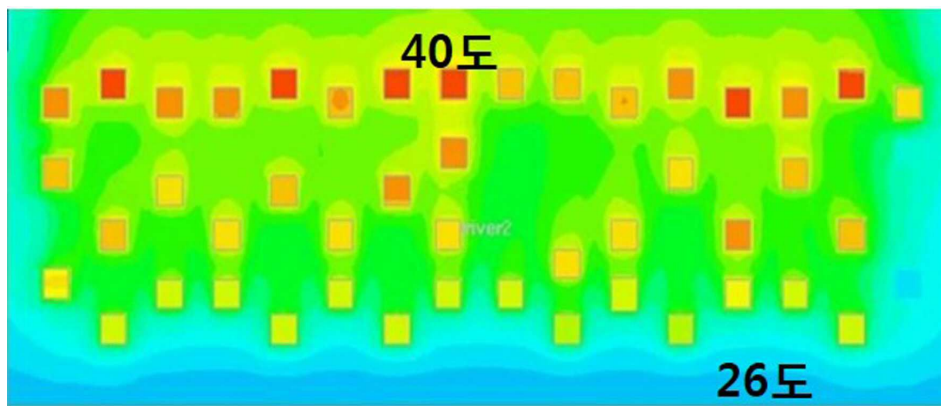
도면7



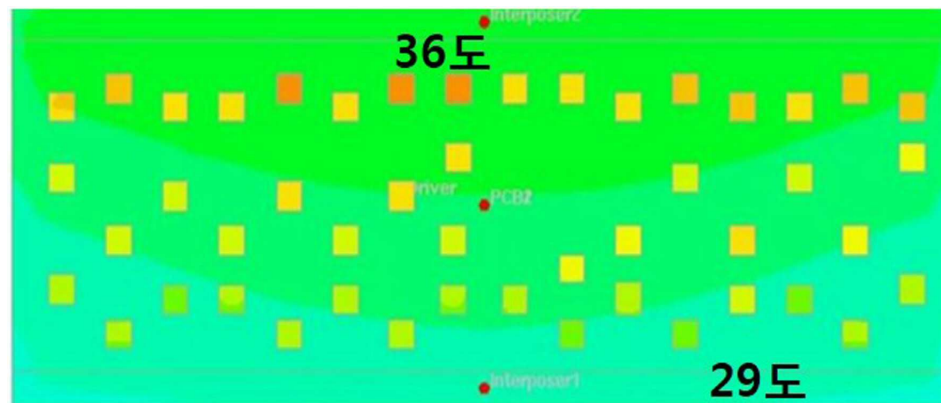
도면8



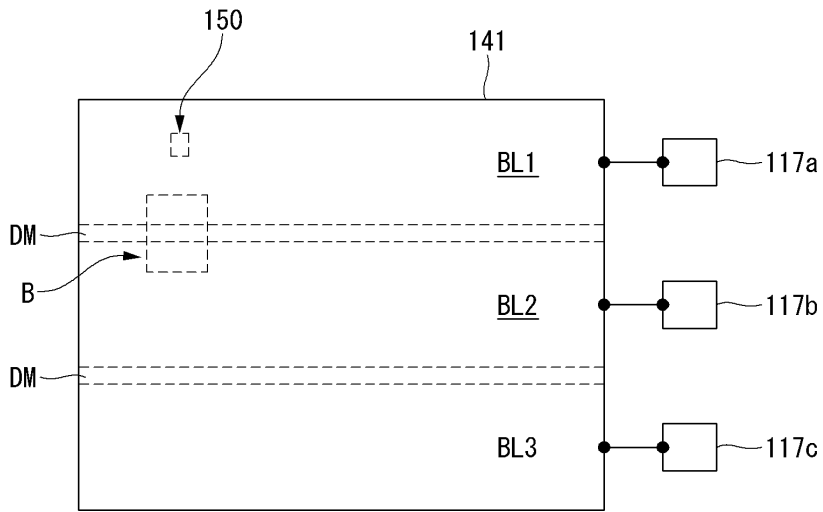
도면9



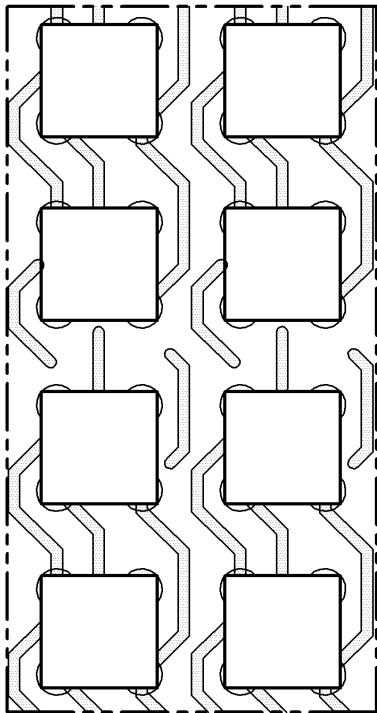
도면10



도면11



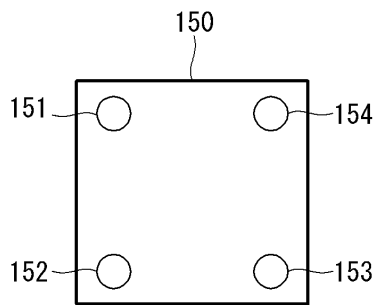
도면12



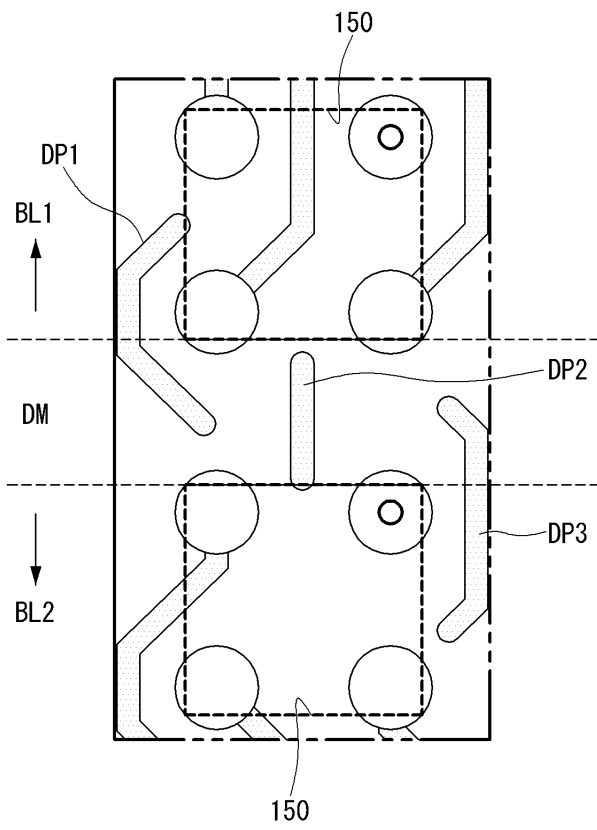
도면13



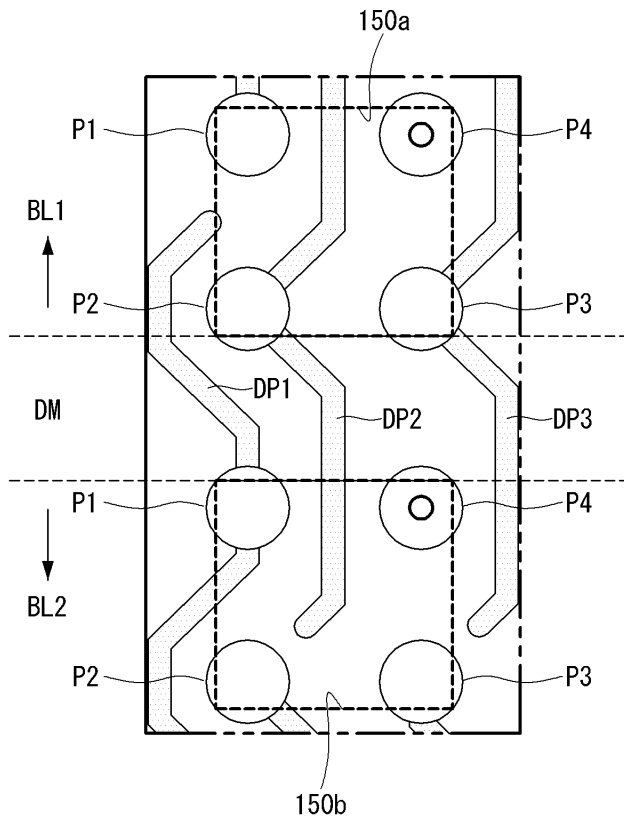
도면14



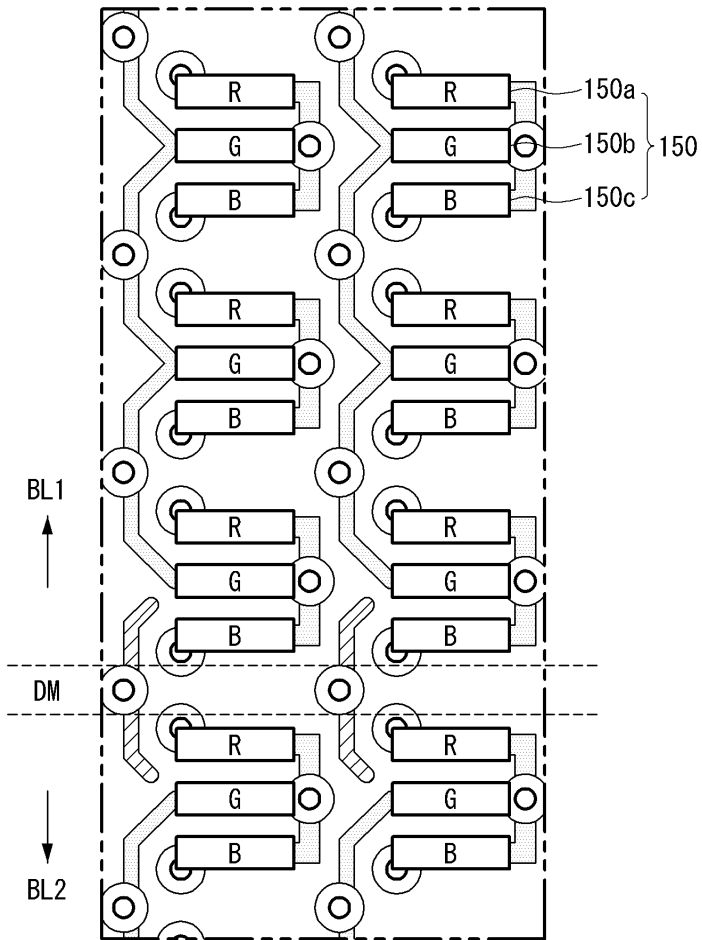
도면15



도면16



도면17



도면18

