



(12) 发明专利

(10) 授权公告号 CN 1856218 B

(45) 授权公告日 2010.05.12

(21) 申请号 200610057768.8

【0025】段 .

(22) 申请日 2006.02.27

US 6586687 B2, 2003.07.01, 说明书第 2-3 栏、图 1-2.

(30) 优先权数据

10-2005-0035626 2005.04.28 KR

审查员 武建刚

(73) 专利权人 三星电机株式会社

地址 韩国京畿道

(72) 发明人 金泰庆 吴浚禄 金镇哲

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 顾晋伟

(51) Int. Cl.

H05K 1/16 (2006.01)

H05K 3/46 (2006.01)

H01L 23/64 (2006.01)

H01L 21/48 (2006.01)

(56) 对比文件

US 2005/0081349 A1, 2005.04.21, 说明书第

【0003】段、图 1.

CN 1173803 A, 1998.02.18, 全文 .

US 2004/0000425 A1, 2004.01.01, 说明书第

权利要求书 2 页 说明书 7 页 附图 4 页

(54) 发明名称

具有使用杂化材料的嵌入式电容器的印刷电路板及其制造方法

(57) 摘要

本文公开了一种具有使用杂化材料的嵌入式电容器的印刷电路板及其制造方法。具体而言,本发明提供一种具有使用混合电介质层用材料的嵌入式电容器的印刷电路板及其制造方法,其中所述混合电介质层用材料包括液晶聚合物和陶瓷粉末。

1. 具有使用杂化材料的嵌入式电容器的印刷电路板, 包含:

(A) 双面覆铜层压板, 其一层铜箔形成为具有电路图案的第一电路层, 其另一层铜箔形成为具有电路图案的第四电路层;

(B) 混合覆铜层压板, 其包括含有液晶聚合物和陶瓷粉末的混合电介质层和层压在所述电介质层两表面上的铜箔, 混合覆铜层压板的一层铜箔形成为具有下电极和电路图案的第二电路层, 其另一层铜箔形成为具有上电极和电路图案的第三电路层, 其中形成第二电路层和第三电路层时使得第二电路层的下电极对应于第三电路层的上电极;

(C) 绝缘层, 其位于所要层压的 (A) 的覆铜层压板和 (B) 的混合覆铜层压板之间, 从而使覆铜层压板的第一电路层和混合覆铜层压板的第二电路层定位成相互面对的内层;

(D) 单面覆铜层压板, 其分别层压在第三电路层和第四电路层上;

(E) 盲通孔和贯通孔, 其形成在单面覆铜层压板的预定部分中; 和

(F) 镀覆层, 其镀覆在盲通孔和贯通孔内,

其中所述液晶聚合物在 1GHz 下具有 3.5 或更低的介电常数和 0.0007-0.002 的损耗因子。

2. 权利要求 1 的印刷电路板, 其中所述陶瓷粉末选自 $\text{BaTiO}_3\text{-TiO}_2$ 、 ZnO-MgO-SiO_2 、 $\text{CaCO}_3\text{-TiO}_2\text{-MgO}$ 、 $\text{BaO-MgO-Ta}_2\text{O}_5$ 、 $\text{ZrO}_2\text{-SnO}_2\text{-TiO}_2$ 、 $\text{BaO-ZnO-Ta}_2\text{O}_5$ 、 $\text{CaCO}_3\text{-TiO}_2\text{-Nd}_2\text{O}_3\text{-Li}_2\text{CO}_3$ 、 $\text{BaTiO}_3\text{-TiO}_2\text{-Nd}_2\text{O}_3\text{-Sm}_2\text{O}_3\text{-Bi}_2\text{O}_3$ 和 $\text{CaCO}_3\text{-TiO}_2\text{-La}_2\text{O}_3\text{-Al}_2\text{O}_3$ 。

3. 权利要求 1 的印刷电路板, 其中所述陶瓷粉末具有 0.5-2 μm 的平均粒径。

4. 权利要求 1 的印刷电路板, 其中所述陶瓷粉末在电介质层中的含量为 5-55 体积%。

5. 权利要求 1 的印刷电路板, 其中所述电介质层厚 10-300 μm 。

6. 权利要求 1 的印刷电路板, 其中包括所述电介质层的层用作信号匹配或阻抗匹配电容器。

7. 制造具有使用杂化材料的嵌入式电容器的印刷电路板的方法, 包括:

(A) 使双面覆铜层压板的任一铜箔形成为具有电路图案的第一电路层;

(B) 在包含液晶聚合物和分散于其中的陶瓷粉末并且形成为片状的混合电介质层的两表面上层压铜箔, 以形成混合覆铜层压板;

(C) 将混合覆铜层压板的任一铜箔形成为具有下电极和电路图案的第二电路层;

(D) 将 (A) 的覆铜层压板和 (C) 的混合覆铜层压板与位于其间的绝缘层一起层压, 使得覆铜层压板的第一电路层和混合覆铜层压板的第二电路层定位成相互面对的内层, 从而形成预定层压板;

(E) 将提供在 (D) 的层压板的电介质层上的外层铜箔形成为具有上电极和电路图案的第三电路层, 所述上电极对应于第二电路层的下电极;

(F) 将 (D) 的层压板的另一外层铜箔形成为具有电路图案的第四电路层;

(G) 分别在第三电路层和第四电路层上层压单面覆铜层压板;

(H) 在所述单面覆铜层压板的预定部分中形成盲通孔和贯通孔; 和

(I) 镀覆所述盲通孔和贯通孔以连接所述层,

其中所述液晶聚合物在 1GHz 下具有 3.5 或更低的介电常数和 0.0007-0.002 的损耗因子。

8. 权利要求 7 的方法, 其中所述陶瓷粉末选自 $\text{BaTiO}_3\text{-TiO}_2$ 、 ZnO-MgO-SiO_2 、

$\text{CaCO}_3\text{-TiO}_2\text{-MgO}$ 、 $\text{BaO-MgO-Ta}_2\text{O}_5$ 、 $\text{ZrO}_2\text{-SnO}_2\text{-TiO}_2$ 、 $\text{BaO-ZnO-Ta}_2\text{O}_5$ 、 $\text{CaCO}_3\text{-TiO}_2\text{-Nd}_2\text{O}_3\text{-Li}_2\text{CO}_3$ 、 $\text{BaTiO}_3\text{-TiO}_2\text{-Nd}_2\text{O}_3\text{-Sm}_2\text{O}_3\text{-Bi}_2\text{O}_3$ 和 $\text{CaCO}_3\text{-TiO}_2\text{-La}_2\text{O}_3\text{-Al}_2\text{O}_3$ 。

9. 权利要求 7 的方法,其中所述陶瓷粉末具有 0.5-2 μm 的平均粒径。
10. 权利要求 7 的方法,其中所述陶瓷粉末在电介质层中的含量为 5-55 体积%。
11. 权利要求 7 的方法,其中所述电介质层厚 10-300 μm 。
12. 权利要求 7 的方法,其中步骤 (B) 中的层压铜箔在 300-350 $^\circ\text{C}$ 和 400-600 N/cm^2 的条件下进行。
13. 权利要求 7 的方法,其中步骤 (G) 采用堆叠方法进行。

具有使用杂化材料的嵌入式电容器的印刷电路板及其制造方法

技术领域

[0001] 一般而言,本发明涉及具有使用杂化材料的嵌入式电容器的印刷电路板(PCB)及其制造方法。更具体而言,本发明涉及具有嵌入式电容器的PCB,其中包含液晶聚合物和分散在其中的高频陶瓷粉末的杂化材料形成为片状用于电容器层,并随后嵌入至PCB中,由此,与具有嵌入式电容器的传统PCB相比,减小了电容随温度的变化并且由于低损耗因子而减少信号传输损失,本发明还涉及制造该PCB的方法。

背景技术

[0002] 通常,电容器以电场形式储存能量。当直流(DC)电压源施加至电容器时,电容器充电但没有电流流动。另一方面,如果将交流(AC)电压源连接至电容器,则电流根据所施加AC信号频率和电容值而流过电容器,同时电容器充放电。

[0003] 因而,具有上述性质的电容器作为基本的无源元件用于多种用途,例如在诸如数字电路、模拟电路和高频电路的电和电子电路中的耦合与去耦、滤波、阻抗匹配、信号匹配、电荷泵和解调制。此外,以诸如芯片或磁盘的不同形式制造的电容器已经以安装在PCB上的状态使用。

[0004] 电子电路中的电容器根据其电容量和温度稳定性主要分为两类,即具有低温度稳定性和高电容量的电容器如B(A)和F型MLCC(多层陶瓷电容器)以及具有低电容量和高温度稳定性的电容器如C型MLCC。前者主要用于去耦和旁路,而后者用于信号匹配和阻抗匹配。

[0005] 迄今,虽然无源元件如电容器已经制造成安装在PCB上的各种形式如芯片或磁盘,但是近来电子器件要求微型化和复杂化,因而PCB上用来安装无源元件的面积正在减小。而且,当频率随高速电子器件而增加时,在无源元件与IC之间由导体、焊剂等引起寄生阻抗,因而导致多种问题。为了解决这些问题,已经进行了各种尝试以将电容器嵌入至PCB中,以上尝试主要由PCB和电气电子元件制造商所引导。

[0006] 然而,由于迄今制造商所开发的具有嵌入式电容器的PCB用的大多数材料具有随温度和湿度而不稳定的电容量,因此其研究仅限于在去耦和旁路方面的用途。

[0007] 在这方面,图1A-1E顺序示出制造具有嵌入式聚合物厚膜电容器的PCB的传统方法。根据该传统方法,将聚合物电容糊涂覆在基板上并随后加热干燥(或固化),以获得包含嵌入式聚合物厚膜电容器的PCB,以下参照附图具体说明。

[0008] 在第一步骤中,将用于包含FR-4的PCB 42的内层铜箔用干膜涂覆、曝光、显影并随后蚀刻,以形成阳极铜箔44a、44b、阴极铜箔43a、43b和其间的空隙(图1A)。

[0009] 在第二步骤中,采用丝网印刷方法将由包含具有高介电常数的陶瓷粉末的聚合物组成的电容糊45a、45b涂覆在阴极铜箔43a、43b上,并随后干燥或固化(图1B)。在此,丝网印刷是通过使用挤压机将介质例如墨透过模板丝网而进行的,从而将图案转移至基板表面。

[0010] 在该步骤中,阳极铜箔 44a、44b 和阴极铜箔 43a、43b 之间的空隙以电容糊 45a、45b 覆盖。

[0011] 第三步骤中,采用丝网印刷方法将包含银或铜的导电糊形成阳极 46a、46b 内,随后干燥或固化(图 1C)。

[0012] 第四步骤中,将经历 PCB 42 内层的第一至第三步骤的电容器层插入到绝缘层 47a、47b 之间,随后层压(图 1D)。

[0013] 第五步骤中,形成穿过层压板的贯通孔和激光盲通孔 49a、49b,由此 PCB 内层中的电容器连接至安装在 PCB 外部的 IC 芯片 52a、52b 的正端 51a、51b 和负端 50a、50b,从而成为嵌入式电容器(图 1E)。

[0014] 类似地,公开了通过用陶瓷填充的光致介电树脂涂覆 PCB 来制造嵌入式分立型电容器的方法,美国 Motorola Co. Ltd. 拥有上述方法的专利权。上述方法包括将含有陶瓷粉末的光致介电树脂涂覆在基板上、在树脂层上层压铜箔以形成上电极和下电极、形成电路图案以及随后蚀刻光致介电树脂,从而获得分立的电容器。

[0015] 此外,提出了通过在 PCB 内层中独立地包括具有电容性质的电介质层来制造嵌入式电容器的方法,从而使用该嵌入式电容器来取代安装在 PCB 上的去耦电容器,美国 Sanmina Co. Ltd. 拥有上述方法的专利权。在该方法中,将包含电源电极和接地电极的电介质层引入到 PCB 内层中,以得到功率分布式去耦电容器。

[0016] 实现上述技术的各种工艺处于研究中,实施每一工艺的方法均不同。

[0017] 在这方面,授权给 Howard 等人的美国专利 No. 5, 079, 069 公开了用于电容性 PCB 的电容器层压板及其制造方法,其中使用“虚构电容器(borrowed capacitor)”的概念,以制造包括由两导电层和夹在上述两层之间的电介质层构成的刚性结构电容器薄膜层的 PCB,其与大量器件有效连接。

[0018] 而且,授权给 Sisler 等人的美国专利 No. 5, 010, 641 公开了通过提供一个或多个完全固化的电源接地平面夹心元件来制作多层 PCB 以不再需要旁路电容器的方法,所述夹心元件与 PCB 的其它部分固化元件层和形成电路图案的元件一起层压。

[0019] 根据传统技术,厚膜主要由环氧树脂和陶瓷粉末形成。对薄膜而言,通过薄膜制备过程将陶瓷如钛酸钡形成薄膜,其已被发明来嵌入用于去耦和旁路的电容器。虽然该薄膜具有较高的电容量,但其随温度伴有大的电容量变化,还有高损耗因子,因此其不适合用来嵌入目前安装在 PCB 上的用于在高频电路中进行信号匹配和阻抗匹配的电容器。

发明内容

[0020] 至于本发明,本发明人对具有嵌入式电容器的 PCB 进行了深入和彻底的研究,旨在避免现有技术中所遇到的问题,结果发现可将高频陶瓷填料加入到在高频下具有高介电性能的液晶聚合物中,以制备随后用作具有嵌入式电容器的 PCB 电介质层用材料的杂化材料,从而制造具有嵌入式电容器的 PCB,其中目前安装在 PCB 上的温度补偿式 MLCC(C 型 MLCC) 可以嵌入到 PCB 中。

[0021] 因此,本发明的目的是提供一种具有使用杂化材料的嵌入式电容器的 PCB,与具有嵌入式电容器的传统 PCB 相比,其随温度和湿度可仅轻微改变电容量并由于低损耗因子而可使信号损失和热辐射最小化。

[0022] 本发明的另一目的是提供制造该 PCB 的方法。

[0023] 本发明的又一目的是提供具有适合用于高频电路中的信号匹配和阻抗匹配的嵌入式电容器的 PCB。

[0024] 本发明的再一目的是提供制造该 PCB 的方法。

[0025] 为了实现上述目的,本发明提供一种具有使用杂化材料的嵌入式电容器的 PCB,其包含 (A) 双面 CCL(覆铜层压板),其一层铜箔形成为具有电路图案的第一电路层,其另一层铜箔形成为具有电路图案的第四电路层;(B) 混合 CCL,包括含有液晶聚合物和陶瓷粉末的混合电介质层和层压在其两表面上的铜箔,混合 CCL 的一层铜箔形成为具有下电极和电路图案的第二电路层,其另一层铜箔形成为具有上电极和电路图案的第三电路层,其中形成第二电路层和第三电路层,使得第二电路层的下电极对应于第三电路层的上电极;(C) 绝缘层,位于所要层压的 (A) 的 CCL 和 (B) 的混合 CCL 之间,以使 CCL 的第一电路层和混合 CCL 的第二电路层定位成相互面对的内层;(D) 单面 CCL,层压在第三电路层和第四电路层上;(E) 盲通孔和贯通孔,形成在单面 CCL 的预定部分中;和 (F) 镀覆层,镀覆在盲通孔和贯通孔中。

[0026] 在本发明的 PCB 中,液晶聚合物优选具有 3.5 或更低的介电常数和 0.0007-0.002 的损耗因子。

[0027] 在本发明的 PCB 中,陶瓷粉末优选具有 5-120 的介电常数和 1,000-150,000 的 $Q \cdot f$ 。

[0028] 陶瓷粉末优选选自 $BaTiO_3-TiO_2$ 、 $ZnO-MgO-SiO_2$ 、 $CaCO_3-TiO_2-MgO$ 、 $BaO-MgO-Ta_2O_5$ 、 $ZrO_2-SnO_2-TiO_2$ 、 $BaO-ZnO-Ta_2O_5$ 、 $CaCO_3-TiO_2-Nd_2O_3-Li_2CO_3$ 、 $BaTiO_3-TiO_2-Nd_2O_3-Sm_2O_3-Bi_2O_3$ 和 $CaCO_3-TiO_2-La_2O_3-Al_2O_3$ 。

[0029] 陶瓷粉末优选具有 0.5-2 μm 的平均粒径。

[0030] 陶瓷粉末优选在电介质层中的含量为 5-55 体积%。此外,电介质层优选厚 10-300 μm 。

[0031] 在本发明的 PCB 中,包括电介质层的所述层用作信号匹配或阻抗匹配用电容器。

[0032] 此外,本发明提供制造具有使用杂化材料的嵌入式电容器的 PCB 的方法,包括 (A) 将双面 CCL 的任一铜箔形成为具有电路图案的第一电路层;(B) 在包含液晶聚合物和分散在其中的陶瓷粉末并形成为片状的混合电介质层的两表面上层压铜箔,以形成混合 CCL;(C) 将混合 CCL 的任一铜箔形成为具有下电极和电路图案的第二电路层;(D) 将 (A) 的 CCL 和 (C) 的混合 CCL 与置于其间的绝缘层一起层压,使得 CCL 的第一电路层和混合 CCL 的第二电路层定位成相互面对的内层,从而得到预定的层压板;(E) 将提供在 (D) 的层压板的电介质层上的外层铜箔形成为具有上电极和电路图案的第三电路层,其中所述上电极对应于第二电路层的下电极;(F) 将 (D) 的层压板的另一外层铜箔形成为具有电路图案的第四电路层;(G) 在第三电路层和第四电路层上层压单面 CCL;(H) 在该单面 CCL 的预定部分中形成盲通孔和贯通孔;和 (I) 镀覆所述盲通孔和贯通孔以连接所述层。

[0033] 在本发明的方法中,步骤 (B) 优选在 300-350°C 和 400-600N/cm² 的条件下进行。

[0034] 在本发明的方法中,步骤 (G) 优选采用堆叠方法 (building-up process) 进行。

附图说明

[0035] 图 1A-1E 为顺序示出制造具有嵌入式聚合物厚膜电容器的 PCB 的传统方法的截面图;和

[0036] 图 2A-2I 为顺序示出根据本发明制造具有嵌入式电容器的 PCB 的方法的截面图。

具体实施方式

[0037] 下文将参照附图详细描述本发明。

[0038] 本发明提供一种具有使用杂化材料的嵌入式电容器的 PCB,其中涂覆通过将高频陶瓷填料加入到具有优异高频性能的液晶聚合物中得到的混合电介质层,从而表现出适用于高频电路中信号匹配和阻抗匹配的稳定的介电常数和低损耗因子。此外,提供制造该 PCB 的方法。

[0039] 本发明中,混合电介质层通过将高频陶瓷粉末填料引入到液晶聚合物中而形成。

[0040] 作为热塑性树脂的液晶聚合物具有低介电常数和低损耗因子,因而近年来对该液晶聚合物应用于具有高频电路的 PCB 的绝缘材料进行了全面研究。液晶聚合物在 1GHz 下分别具有 3.5 或更低的介电常数和 0.003 或更低的损耗因子,这要低于其它基板材料。因此,当传输高频信号时,噪声和信号损失减小,并且对介电常数有负面影响的吸湿因子也低达 0.04%或更小。而且,液晶聚合物相对于温度变化具有稳定的介电常数性质(电容温度系数(TCC) ≤ 几百 ppm)。

[0041] 虽然用于本发明的液晶聚合物没有具体限制,但其优选具有 3.5 或更低的介电常数和 0.0007-0.002 的损耗因子,以便实现器件模块化和使信号损失最小化。

[0042] 作为填料引入到液晶聚合物中的高频陶瓷粉末在高频下具有低损耗因子,并且其性能由 $Q \cdot f$ 和介电常数表示,其中“Q”是“质量因子”的缩写,其指损耗因子的倒数,表示高频下的效率,“f”指频率。

[0043] 用于本发明的陶瓷粉末优选具有 5-120 的介电常数和 1000 或更高的 $Q \cdot f$,优选 1,000-150,000,以便表现出期望的性能。如果 $Q \cdot f$ 低于 1,000,则在高频下伴随生热而发生信号损失。

[0044] 陶瓷粉末没有具体限制,只要其性能在上述范围内即可,但优选选自 $ZnO-MgO-SiO_2$ 、 $CaCO_3-TiO_2-MgO$ 的 MCT、 $BaTiO_3-TiO_2$ 、 $ZrO_2-SnO_2-TiO_2$ 的 ZST、 $CaCO_3-TiO_2-La_2O_3-Al_2O_3$ 、 $BaTiO_3-TiO_2-Nd_2O_3-Sm_2O_3-Bi_2O_3$ 、 $CaCO_3-TiO_2-Nd_2O_3-Li_2CO_3$ 和 Ba 基钙钛矿电介质粉末,如 $BaO-ZnO-Ta_2O_5$ 的 BZT 和 $BaO-MgO-Ta_2O_5$ 的 BMT。

[0045] 这些陶瓷材料中,通常可用的高频陶瓷材料的种类和性能归纳于下表 1 中。

[0046] 表 1

[0047] 高频陶瓷粉末

[0048]

材料	ZnO MgO SiO ₂	CaCO ₃ TiO ₂ MgO	BaTiO ₃ TiO ₂	ZrO ₂ SnO ₂ TiO ₂	CaCO ₃ TiO ₂ La ₂ O ₃ Al ₂ O ₃	BaTiO ₃ TiO ₂ Nd ₂ O ₃ Sm ₂ O ₃ Bi ₂ O ₃	CaCO ₃ TiO ₂ Nd ₂ O ₃ Li ₂ O ₃
烧结体密度 (g/cm ³)	3.56	3.84	4.50	5.21	4.75	5.77	4.66
介电常数	6.43	21.09	36.65	37.36	44.88	92.03	117.32
Q · f ₀	113,745	57,024	44,436	41,808	41,164	6,712	1,132

[0049] 陶瓷粉末优选具有 0.5–2 μm 的平均粒径。如果平均粒径小于 0.5 μm，则陶瓷粉末难以分散，另一方面，如果平均粒径大于 2 μm，则对于具有相同厚度的绝缘层来说，击穿电压较低。

[0050] 陶瓷粉末在电介质层中的含量为 5–55 体积%，从而经济地表现出所期望的性能。

[0051] 本发明的混合电介质层可根据下述典型的电介质层制备方法来制备，但不限于此。

[0052] 根据典型的电介质层制备方法，将陶瓷粉末分散在液晶聚合物和溶剂中以制成浆料，随后根据所需电容量和 PET 膜上的可用面积将其形成为厚 10–300 μm 的厚膜，所述 PET 膜通过作为普通片材成型方法的流延法涂覆脱模剂。

[0053] 在本发明的优选实施方案中，利用机械搅拌，将 1GHz 下介电常数 2.96 和损耗因子 0.00099 的液晶聚合物溶于溶剂中，所述溶剂例如 PFP（五氟苯酚）、PCP（五氯苯酚）等，以制备溶液。根据溶液中液晶聚合物的量，将适量陶瓷粉末加入到该溶液中，随后使用篮式研磨机将其分散，以制备浆料。

[0054] 陶瓷粉末可通过作为普通陶瓷粉末制备方法的煅烧并随后粉碎而得到，并具有约 1 μm 的尺寸。

[0055] 将所制备的浆料涂覆在利用流延法涂覆有脱模剂的 PET 膜上以制备厚膜，随后将其干燥以得到厚度为约 20 μm 的电介质层。测量所得混合电介质层的介电性能。结果归纳于下表 2 中。

[0056] 表 2

[0057] 杂化材料的介电性能

	A	B	C	D	E	F	G
陶瓷填料	CaCO ₃ TiO ₂ MgO	BaTiO ₃ TiO ₂	ZrO ₂ SnO ₂ TiO ₂	CaCO ₃ TiO ₂ La ₂ O ₃ Al ₂ O ₃		BaTiO ₃ TiO ₂ Nd ₂ O ₃ Sm ₂ O ₃ Bi ₂ O ₃	
[0058] 陶瓷粉末量(体积%)	30	30	30	30	15	30	45
介电常数(1 GHz)	7.1	7.8	8.6	9.4	7.3	11.2	17.2
损耗值(Df)(x10 ⁻³)(1 GHz)	1.3	1.4	1.8	2.1	2.9	2.4	2.2
厚度(μm)	20	20	20	20	20	20	20
电容密度(nF/in ²)	1.35	1.49	1.64	1.79	1.39	2.13	3.28
TCC(ppm/°C)	300	370	400	510	480	700	1,000

[0059] 当将由聚合物或光敏树脂如环氧树脂和陶瓷组成的复合材料用于具有嵌入式电容器的传统PCB中的电介质层时,介电常数随温度变化极大且损耗因子高。因此,不可能将已经安装在PCB上的用于信号匹配的电容器嵌入到该PCB中。

[0060] 然而,由于由本发明的杂化材料形成的电介质层可表现出相对于温度变化稳定的介电常数(7-17.2)和0.003或更低的损耗因子,如表2所示,因此其适合于嵌入目前已经安装在PCB上的用于信号匹配的电容器。

[0061] 参考图2A-2I,示出根据本发明制造具有使用混合电介质层的嵌入式电容器的PCB的方法。

[0062] 图2A-2I是顺序示出根据本发明制造具有嵌入式电容器的PCB的方法。

[0063] 制备具有绝缘树脂层101和提供在绝缘树脂层101两个侧面上的铜箔102、103的双面CCL(图2A)。

[0064] 接着,使双面CCL的一层铜箔102经历典型的光刻过程,包括以预定图案叠置干膜,通过曝光和显影除去对应于蚀刻区域的干膜,随后使用蚀刻剂蚀刻所述蚀刻区域,以形成包括电路图案102a、102b、102c的第一电路层(图2B)。

[0065] 随后,通过将陶瓷粉末引入到液晶聚合物中而独立地制备片状的混合电介质层104,所述陶瓷粉末具有5-120的介电常数和1,000-150,000的 $Q \cdot f$ (图2C)。优选的是,片状的混合电介质层104可以通过混合液晶聚合物、溶剂和陶瓷粉末来制成浆料并随后将浆料流延而制备,但不限于此。

[0066] 这样,混合电介质层104具有10-300 μm的厚度以保持层间绝缘强度并表现出所需的电容量。

[0067] 接着,将铜箔105、106层压在混合电介质层104的两个侧面上(图2D)。优选在300-350°C和400-600N/cm²的条件下使用真空压机进行层压。如果层压条件不在上述范围内,例如,如果温度过低,则作为热塑性树脂的液晶聚合物未充分溶解因而与铜箔的粘合性降低。另一方面,如果温度过高,则由于树脂溢流导致绝缘层流出铜箔,因而变薄,导致电容密度不同于设计值。

[0068] 随后,使混合CCL的一层铜箔106经历光刻过程,包括以预定图案叠置干膜,通过曝光和显影除去对应于蚀刻区域的干膜,随后使用蚀刻剂蚀刻所述蚀刻区域,以形成包括下电极106a、106b和电路图案(未示出)的第二电路层(图2E)。

[0069] 随后,根据普通方法,利用真空压机,将具有第一电路层的CCL和具有第二电路层的混合CCL与位于其间的绝缘层107例如半固化片一起层压,使得CCL的具有电路图案102a、102b、102c的第一电路层和混合CCL的具有下电极106a、106b和电路图案(未示出)

的第二电路层定位成相互面对的内层（图 2F）。

[0070] 接着,为了使提供在所得层压板的电介质层 104 上的外层铜箔 105 形成为对应于下电极 106a、106b 的上电极 105a、105b 且电介质层 104 位于其间,使铜箔 105 经历光刻过程,包括以预定图案叠置干膜、通过曝光和显影移除对应于蚀刻区域的干膜以及随后使用蚀刻剂蚀刻所述蚀刻区域,以形成包括对应于下电极 106a、106b 的上电极 105a、105b 和电路图案（未示出）的第三电路层（图 2G）。

[0071] 类似地,使层压板的另一外层铜箔 103 经历光刻过程,包括以预定图案叠置干膜、通过曝光和显影移除对应于蚀刻区域的干膜以及随后使用蚀刻剂蚀刻所述蚀刻区域,以形成包括图案 103a、103b、103c 的第四电路层（图 2G）。

[0072] 之后,采用堆叠方法,将由 RCC（树脂覆铜板）制成的单面 CCL 108+110、109+111 分别层压在包括上电极 105a、105b 和电路图案（未示出）的第三电路层以及包括电路图案 103a、103b、103c 的第四电路层上（图 2H）。

[0073] 使单面 CCL 108+110、109+111 的外层 110、111 经历上述光刻过程以形成电路图案 110a、110b、111a、111b、111c、111d 等。接着,采用激光钻孔形成盲通孔 113,采用机械钻孔形成贯通孔 112,并且通过无电镀覆来镀覆通孔 113 和贯通孔 112 以连接层间电路（图 2I）。

[0074] 这样,由通过将高频陶瓷粉末引入到液晶聚合物中得到的杂化材料形成的电容器层嵌入到 PCB 中,由此得到嵌入式电容器,其优点在于电容量仅随温度稍有变化且由于损耗因子低而使得信号传输损失比具有嵌入式电容器的传统 PCB 更小。

[0075] 此外,目前未嵌入到 PCB 中而只是安装在 PCB 上的温度补偿型 MLCC（C 型 MLCC）可以嵌入到 PCB 中,由此提供具有适合用于在高频电路中进行信号匹配和阻抗匹配的嵌入式电容器的 PCB。

[0076] 对于具有使用杂化材料的嵌入式电容器的 PCB 及制造该 PCB 的方法而言,已经出于说明性目的而公开了本发明的优选实施方案,但不应理解为限制本发明,本领域技术人员将会理解可以在不背离本发明精神的情况下进行各种更改、添加和替换。

[0077] 如前所述,本发明提供具有使用杂化材料的嵌入式电容器的 PCB 及其制造方法。根据本发明,通过将高频陶瓷填料加入到在高频下具有高介电性能的液晶聚合物中得到的杂化材料用于具有嵌入式电容器的 PCB 的电介质层,由此得到嵌入式电容器层,该层具有低的损耗因子和 TCC,使得与具有嵌入式电容器的传统 PCB 电介质层相比,信号传输时的信号损失减少。

[0078] 此外,可以改变高频陶瓷填料的种类和用量以及电极面积,因而本发明的电容器层可满足各种电子系统对电容量和损耗因子的要求。

[0079] 因此,即使是高频电路中的信号匹配和阻抗匹配电容器也可以嵌入到 PCB 中,这类电容器由于电容量随温度变化大且电介质层的损耗因子高以前只是安装在 PCB 上。

[0080] 根据上述教导,本发明可以进行各种更改和变化,而不背离所附权利要求中公开的本发明的范围和精神。

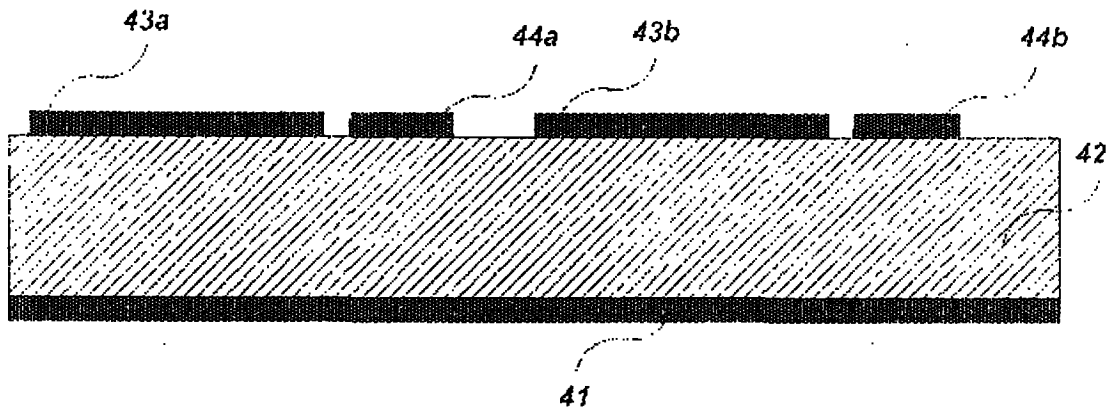


图 1A

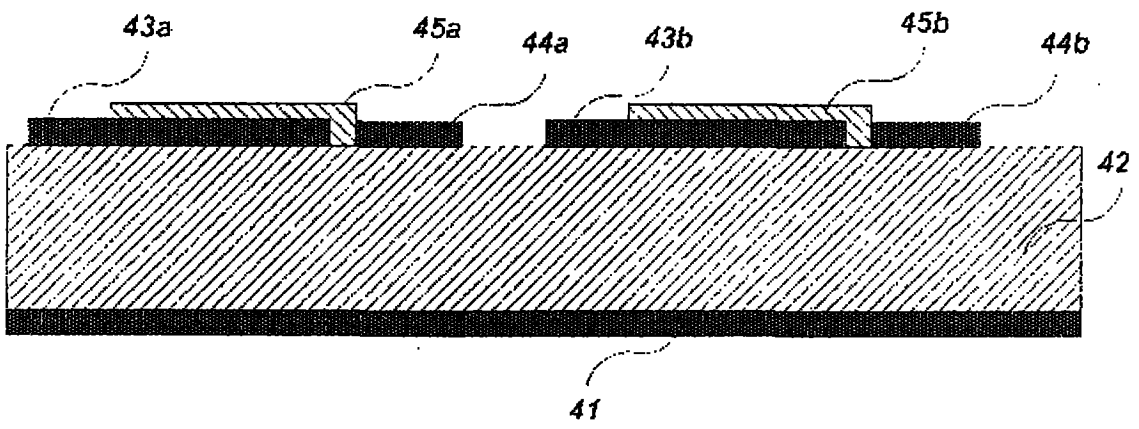


图 1B

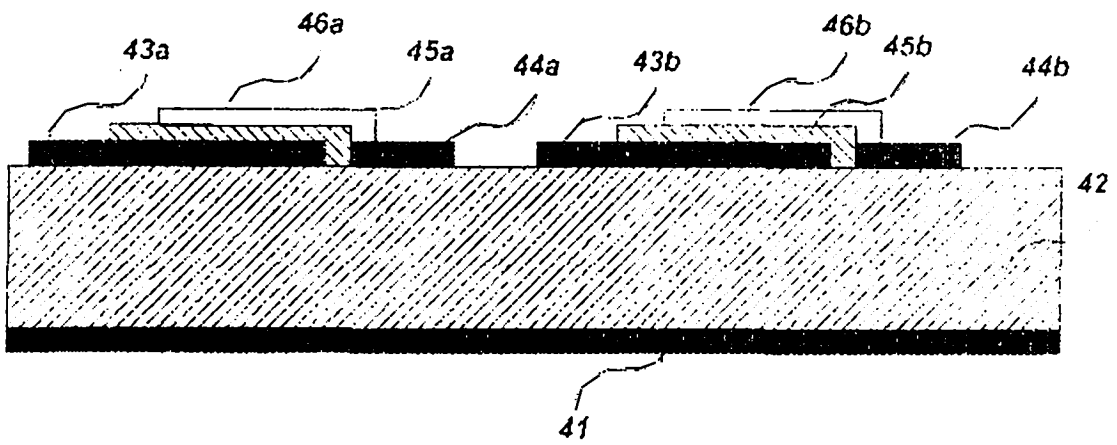


图 1C

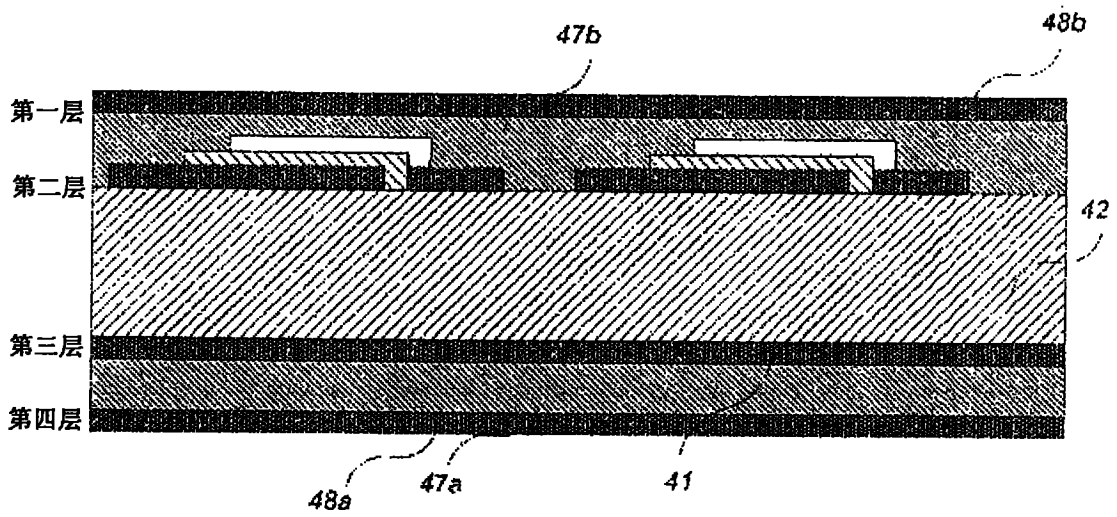


图 1D

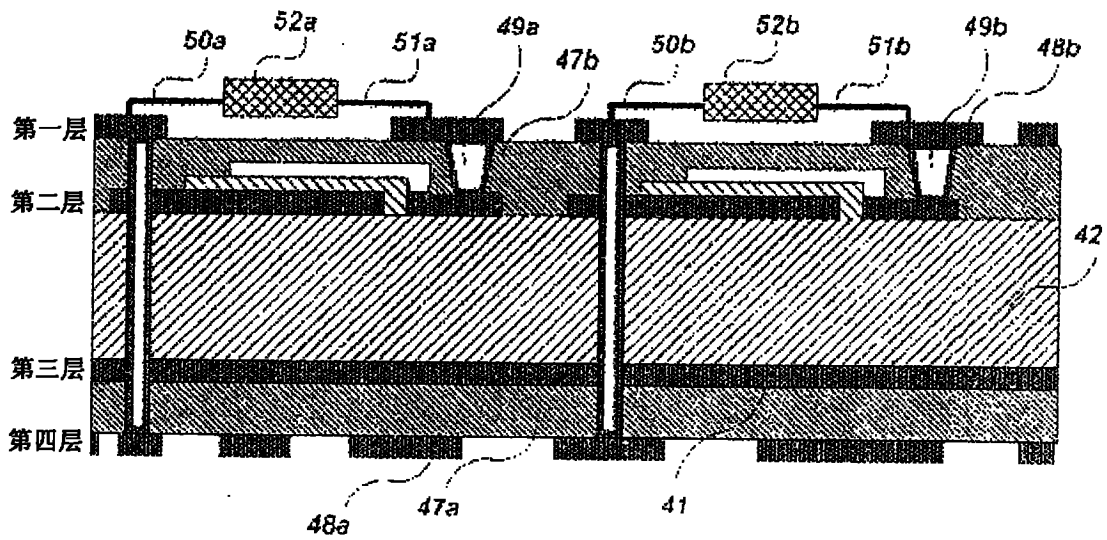


图 1E

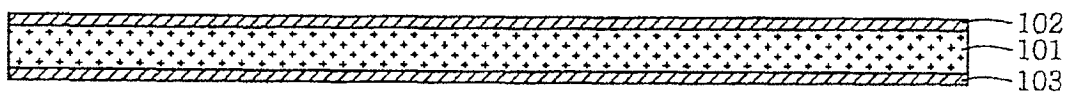


图 2A

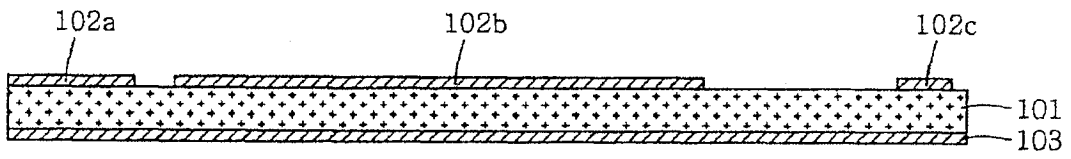


图 2B



图 2C

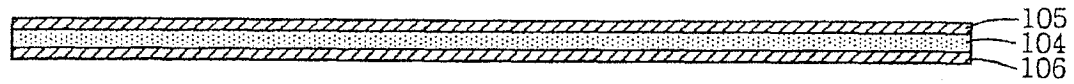


图 2D

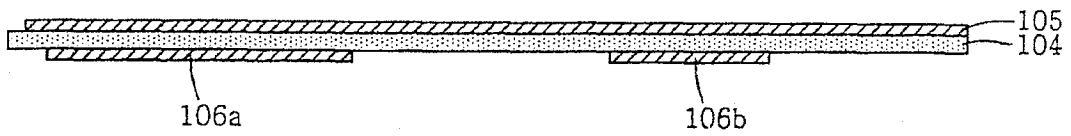


图 2E

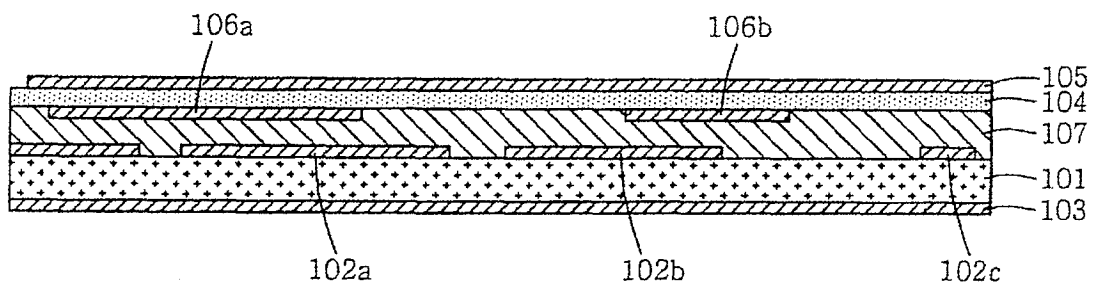


图 2F

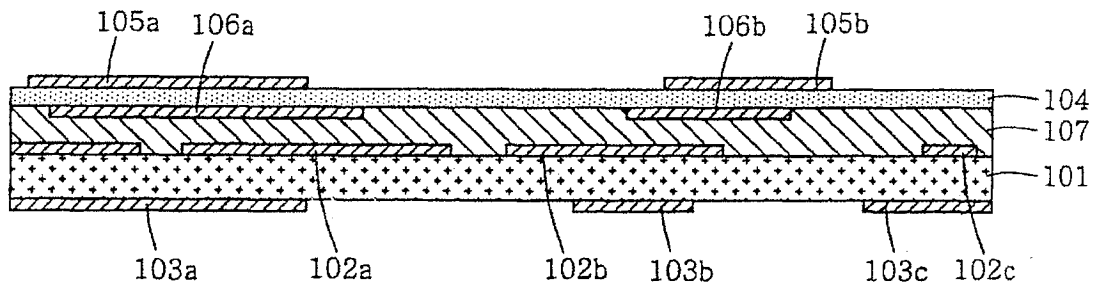


图 2G

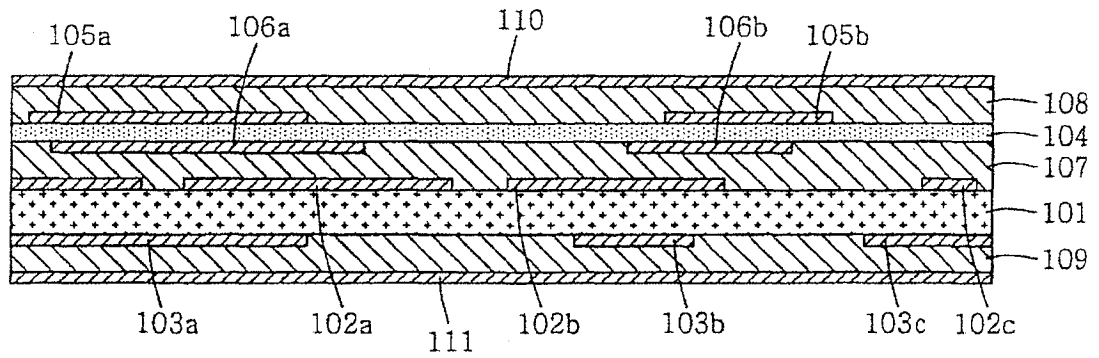


图 2H

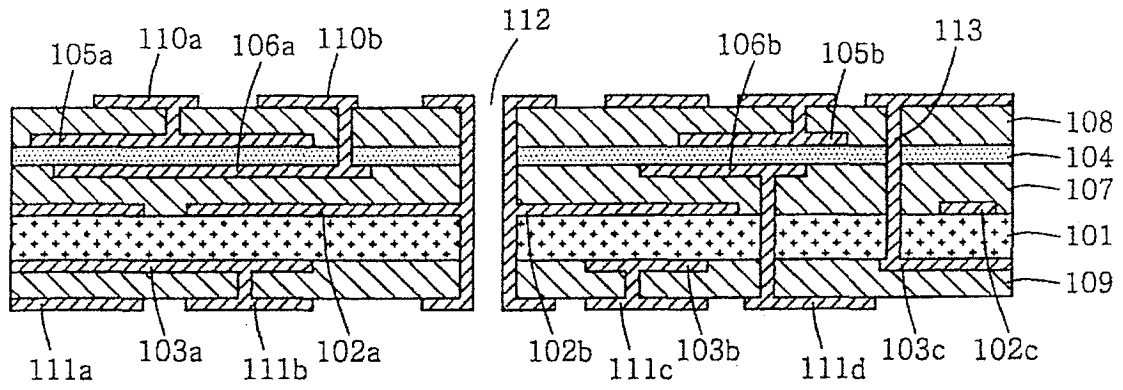


图 2I