



(12) 发明专利申请

(10) 申请公布号 CN 106206565 A

(43) 申请公布日 2016. 12. 07

(21) 申请号 201510232114. 3

(22) 申请日 2015. 05. 08

(71) 申请人 创意电子股份有限公司

地址 中国台湾新竹科学园区力行六路 10 号

申请人 台湾积体电路制造股份有限公司

(72) 发明人 林群祐 柯明道 王文泰

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国

(51) Int. Cl.

H01L 27/02(2006. 01)

H01L 29/861(2006. 01)

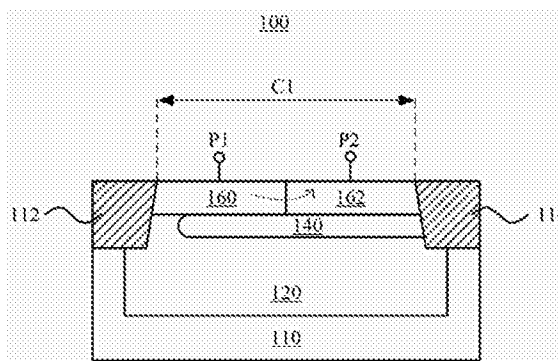
权利要求书2页 说明书5页 附图4页

(54) 发明名称

二极管与二极管串电路

(57) 摘要

本发明揭露一种二极管与二极管串电路。二极管包含基板、第一绝缘层、第二绝缘层、井区、深掺杂区、第一掺杂区与第二掺杂区。第一绝缘层设置于基板上。第二绝缘层设置于基板上，并与第一绝缘层定义元件区域。井区设置于基板上以及元件区域下方。深掺杂区设置于井区内，并位于元件区域下方。第一掺杂区设置于元件区域内，并位于深掺杂区上。第二掺杂区位于深掺杂区上并相邻设置于该第一掺杂区旁。第二掺杂区经由深掺杂区以及第一掺杂区而与井区电性绝缘。本发明所提出的二极管可降低寄生晶体管所引起的漏电流，并可降低布局面积。



1. 一种二极管,其特征在于,包含:
 - 一基板;
 - 一第一绝缘层,设置于该基板上;
 - 一第二绝缘层,设置于该基板上,并与该第一绝缘层定义一元件区域;
 - 一井区,设置于该基板上,其中该井区设置于该元件区域下方;
 - 一深掺杂区,设置于该井区内,并位于该元件区域下方;
 - 一第一掺杂区,具有一第一导电型,其中该第一掺杂区设置于该元件区域内,并位于该深掺杂区上;以及
 - 一第二掺杂区,具有一第二导电型,相邻设置于该第一掺杂区旁,其中该第二掺杂区位于该深掺杂区上,并经由该深掺杂区以及该第一掺杂区而与该井区电性绝缘。
2. 根据权利要求 1 所述的二极管,其特征在于,还包含:
 - 一间隔区,设置于该深掺杂区上,并位于该第一掺杂区与该第二掺杂区之间。
3. 根据权利要求 1 所述的二极管,还包含:
 - 一栅极电极,设置于该元件区域上,并位于该第一掺杂区与该第二掺杂区之间。
4. 根据权利要求 1 所述的二极管,其特征在于,该井区的导电型与该深掺杂区的导电型互相相反。
5. 根据权利要求 1 所述的二极管,其特征在于,还包含:
 - 一第三掺杂区,具有该第一导电型,并位于该深掺杂区上,其中该第二掺杂区设置于该第一掺杂区与该第三掺杂区之间,并经由该深掺杂区、该第一掺杂区与该第三掺杂区而与该井区电性绝缘。
6. 一种二极管串电路,其特征在于,包含:
 - 一基板;
 - 多个绝缘层,设置于该基板上,并用以定义一第一元件区域与一第二元件区域;
 - 一井区,设置于该基板上,其中该井区设置于该第一元件区域与该第二元件区域下;
 - 一第一二极管,包含:
 - 一第一深掺杂区,设置于该井区内,并位于该第一元件区域下方;
 - 一第一掺杂区,具有一第一导电型,其中该第一掺杂区设置于该第一元件区域内,并位于该第一深掺杂区上;以及
 - 一第二掺杂区,具有一第二导电型,其中该第二掺杂区位于该第一深掺杂区上与该第一掺杂区旁,并经由该第一深掺杂区以及该第一掺杂区而与该井区电性绝缘;以及
 - 一第二二极管,包含:
 - 一第二深掺杂区,设置于该井区内,并位于该第二元件区域下方;
 - 一第三掺杂区,具有该第一导电型,并耦接至该第二掺杂区,其中该第三掺杂区设置于该第二元件区域内,并位于该第二深掺杂区上;以及
 - 一第四掺杂区,具有该第二导电型,其中该第四掺杂区位于该第二深掺杂区上与该第三掺杂区旁,并经由该第二深掺杂区以及该第三掺杂区而与该井区电性绝缘。
7. 根据权利要求 6 所述的二极管串电路,其特征在于,还包含:
 - 一间隔区,位于该第一掺杂区与该第二掺杂区之间。
8. 根据权利要求 6 所述的二极管串电路,其特征在于,还包含:
 - 一间隔区,位于该第三掺杂区与该第四掺杂区之间。

9. 根据权利要求 6 所述的二极管串电路,其特征在于,还包含:

一第五掺杂区,具有该第一导电型,位于该第一深掺杂区上以及位于该第二掺杂区与
所述绝缘层的一第一者之间,以使该第二掺杂区经由该第一深掺杂区与该第五掺杂区而
与该井区电性绝缘。

10. 根据权利要求 6 所述的二极管串电路,其特征在于,还包含:

一第五掺杂区,具有该第一导电型,位于该第二深掺杂区上以及位于该第四掺杂区与
所述绝缘层的一第二者之间,以使该第四掺杂区经由该第二深掺杂区与该第五掺杂区而
与该井区电性绝缘。

二极管与二极管串电路

技术领域

[0001] 本发明是有关于一种静电放电防护装置,且特别是有关于静电放电防护装置中的二极管。

背景技术

[0002] 静电放电防护 (electrostatic discharge, ESD) 装置常应用于各种电子装置中,以增加电子装置的可靠度。

[0003] 现有的 ESD 装置常利用二极管串所实现的箝位电路来进行静电放电保护的操作。例如,电子装置中的系统电压至地之间可能会设置一组二极管串电路,以提供静电放电的路径。

[0004] 然而,在现有的制程实现二极管串电路时,会因为寄生的双极性接面晶体管 (bipolar junction transistor, BJT) 所引起的电流放大效应,造成二极管串电路中的漏电流增加。

[0005] 此外,在现有的制程中,在实现二极管串电路时,需要采用深 N 井 (deep N-well) 的特殊制程来容纳多个二极管,造成布局面积与制造成本明显增加。

发明内容

[0006] 为了解决上述问题,本发明的一方面提出一种二极管。二极管包含基板、第一绝缘层、第二绝缘层、井区、深掺杂区、第一掺杂区与第二掺杂区。第一绝缘层设置于基板上。第二绝缘层设置于基板上,并与第一绝缘层定义元件区域。井区设置于基板上以及元件区域下方。深掺杂区设置于井区内,并位于元件区域下方。第一掺杂区具有第一导电型,其中第一掺杂区设置于元件区域内,并位于深掺杂区上。第二掺杂区具有第二导电型,并相邻设置于该第一掺杂区旁。其中第二掺杂区位于深掺杂区上,并经由深掺杂区以及第一掺杂区而与井区电性绝缘。

[0007] 本发明的另一方面提出一种二极管串电路。二极管串电路包含基板、多个绝缘层、井区、第一二极管与第二二极管。多个绝缘层设置于基板上,并用以定义第一元件区域与第二元件区域。第一二极管包含第一深掺杂区、第一掺杂区以及第二掺杂区。第一深掺杂区设置于井区内,并位于第一元件区域下方。第一掺杂区具有第一导电型,其中第一掺杂区设置于第一元件区域内,并位于第一深掺杂区上。第二掺杂区具有第二导电型,其中第二掺杂区位于第一深掺杂区上与第一掺杂区旁,并经由第一深掺杂区以及第一掺杂区而与井区电性绝缘。第二二极管包含第二深掺杂区、第三掺杂区以及第四掺杂区。第二深掺杂区设置于井区内,并位于第二元件区域下方。第三掺杂区具有第一导电型,并耦接至第二掺杂区,其中第三掺杂区设置于第二元件区域内,并位于第二深掺杂区上。第四掺杂区具有第二导电型,其中第四掺杂区位于第二深掺杂区上与第三掺杂区旁,并经由第二深掺杂区以及第三掺杂区而与井区电性绝缘。

[0008] 综上所述,本发明所示的二极管与其二极管串可实现于各种类型的静电放电防护

装置。同时,通过设置深掺杂区,本发明的二极管可大幅降低漏电流的影响。进一步地,本发明的二极管串的多个二极管可设置于同一井区,故可节省布局面积,降低制造上的成本。

附图说明

[0009] 为使本发明的上述和其他目的、特征、优点与实施例能更明显易懂,所附附图的说明如下:

[0010] 图 1 为根据本发明的一实施例所绘示的一种二极管的剖面示意图;

[0011] 图 2A 为根据本发明的一实施例所绘示的一种二极管的剖面示意图;

[0012] 图 2B 为根据本发明的一实施例所绘示的一种二极管的剖面示意图;

[0013] 图 3 为根据本发明的一实施例所绘示的一种二极管的剖面示意图;

[0014] 图 4 为根据本发明的一实施例所绘示的一种二极管串电路的剖面示意图;

[0015] 图 5A 为根据本发明的一实施例所绘示的一种静电放电防护装置的剖面示意图;

[0016] 图 5B 为根据本发明的一实施例所绘示的一种静电放电防护装置的剖面示意图;
以及

[0017] 图 6 为根据本发明的一实施例所绘示的一种二极管的剖面示意图。

具体实施方式

[0018] 下文是举实施例配合所附附图作详细说明,但所提供的实施例并非用以限制本发明所涵盖的范围,而结构操作的描述非用以限制其执行的顺序,任何由元件重新组合的结构,所产生具有均等功效的装置,皆为本发明所涵盖的范围。此外,附图仅以说明为目的,并未依照原尺寸作图。为使便于理解,下述说明中相同元件将以相同的符号标示来说明。

[0019] 在本文中,使用第一、第二与第三等等的词汇,是用于描述各种元件、组件、区域、层与 / 或区块是可以被理解的。但是这些元件、组件、区域、层与 / 或区块不应该被这些术语所限制。这些词汇只限于用来辨别单一元件、组件、区域、层与 / 或区块。因此,在下文中的一第一元件、组件、区域、层与 / 或区块也可被称为第二元件、组件、区域、层与 / 或区块,而不脱离本发明的本意。

[0020] 在本文中,当一个元件被称为“在…上”时,它可泛指该元件直接在其他元件上,也可以是有其他元件存在于两者之中。相反地,当一个元件被称为“直接在”另一元件,它是不能有其他元件存在于两者的中间。如本文所用,词汇“与 / 或”包含了列出的关联项目中的一个或多个的任何组合。

[0021] 再者,本文中的相对词汇,如“下”或“底部”与“上”或“顶部”,用来描述文中在附图中所示的一元件与另一元件的关系。相对词汇是用来描述装置在附图中所描述之外的不同方位是可以被理解的。例如,如果一附图中的装置被翻转,描述原为位于其它元件的“下”侧的元件将被定向为位于其他元件的“上”侧。例示性的词汇“下”,根据附图的特定方位可以包含“下”和“上”两种方位。同样地,如果一附图中的装置被翻转,描述原为位于其它元件的“下方”或“之下”的元件将被定向为位于其他元件上的“上方”。例示性的词汇“下方”或“之下”,可以包含“下方”和“上方”两种方位。

[0022] 另外,关于本文中所使用的“耦接”或“连接”,均可指二或多个元件相互直接作实体或电性接触,或是相互间接作实体或电性接触,亦可指二或多个元件相互操作或动作。

[0023] 请参照图 1, 图 1 为根据本发明的一实施例所绘示的一种二极管的剖面示意图。如图 1 所示, 二极管 100 包含基板 110、绝缘层 112、绝缘层 114、井区 120、深掺杂区 140、掺杂区 160 以及掺杂区 162。

[0024] 于各个实施例中, 基板 110 可为 P 型基板 (P-substrate)。如图 1 所示, 绝缘层 112 与绝缘层 114 设置于基板 110 上, 以定义元件区域 C1。于一些实施例中, 如图 1 所示, 绝缘层 112 与绝缘层 114 可利用浅沟槽 (Shallow Trench Isolation, STI) 隔离实现。或者, 于另一些实施例中, 绝缘层 112 与绝缘层 114 更可为氮化硅层 (silicon nitride layer) 等其他电性绝缘材料。

[0025] 于此例中, 井区 120 为 N 型井。如图 1 所示, 井区 120 设置于基板 110 上, 并位于元件区域 C1 下。深掺杂区 140 设置于井区 120 内。掺杂区 160 具有第一导电型, 并设置于元件区域 C1。掺杂区 162 具有第二导电型, 并设置于元件区域 C1 内。例如, 于此例中, 掺杂区 160 为 P 型的掺杂区, 且掺杂区 162 为 N 型掺杂区。掺杂区 160 耦接至二极管 100 的阳极 P1, 掺杂区 162 耦接至二极管 100 的阴极 P2, 并相邻设置于掺杂区 160 旁, 而使二极管 100 内的多个载子可在 PN 接面间沿着虚线路径传递。掺杂区 160 与掺杂区 162 两者皆位于深掺杂区 140 上, 并与深掺杂区 140 接触。如此, 掺杂区 162 可经由深掺杂区 140 以及掺杂区 160 而与井区 120 电性绝缘。

[0026] 于一些实施例中, 上述的深掺杂区 140 可为 P 型深掺杂区, 例如可为 P 型静电放电防护层 (P-ESD layer)。举例而言, 在互补式金属氧化物半导体 (Complementary Metal Oxide Semiconductor, CMOS) 的制程技术中, 静电放电防护层可应用于各种类型的静电放电防护装置中, 例如用以实现前述的双极性接面晶体管等等。通过设置深掺杂区 140, 掺杂区 162 可与井区 120 电性绝缘。通过上述方式, 利用二极管 100 所形成的二极管串电路 (如后图 4 所示) 可设置于同一井区 120, 故能够在不需额外光罩或复杂制程 (例如: 深 N 井) 下降低二极管串电路所使用的电路面积。如此一来, 二极管 100 的制造成本可明显降低。此外, 本领域具有通常知识者可根据实际应用的需求, 而通过调整深掺杂区 140 的制程参数 (例如: 厚度) 来调整二极管 100 的相关元件参数 (例如: 临界电压、崩溃电压等)。

[0027] 再者, 为了避免寄生的 BJT 造成的漏电流的影响, 于一些实施例中, 前述的井区 120 设置以接收高电压。通过此设置方式, 二极管 100 内的漏电流可明显降低, 以降低不必要的功耗。

[0028] 以下将以附图说明本发明的多个实施方式。为明确说明起见, 许多实务上的细节将在以下叙述中一并说明。然而, 应了解到, 这些实务上的细节不应用以限制本发明。也就是说, 在本发明的部分实施方式中, 这些实务上的细节是非必要的。此外, 为简化附图起见, 一些已知惯用的结构与元件在附图中将以简单示意的方式绘示。

[0029] 请参照图 2A, 图 2A 为根据本发明的一实施例所绘示的一种二极管的剖面示意图。相较于前述图 1 中的二极管 100, 于此实施例中, 二极管 200 还包含了间隔区 201。间隔区 201 设置于深掺杂区 140 上, 并位于掺杂区 160 与掺杂区 162 之间。如图 2A 所示, 二极管 200 内的多个载子可在 PN 接面间沿着两条虚线路径传递。于一些实施例中, 间隔区 201 可在无掺杂下由井区 120 直接形成。或者, 于一些实施例中, 间隔区 201 可为轻掺杂区, 且此轻掺杂区的导电型与井区 120 相同。

[0030] 请参照图 2B, 图 2B 为根据本发明的一实施例所绘示的一种二极管的剖面示意图。

相较于前述图 1 中的二极管 100,于此实施例中,二极管 220 还包含了栅极电极 202。栅极电极 202 设置于元件区域 C1 上,并位于掺杂区 160 与掺杂区 162 之间。于各个实施例中,栅极电极 202 可为多晶硅层。

[0031] 请参照图 3,图 3 为根据本发明的一实施例所绘示的一种二极管的剖面示意图。相较于前述图 1 中的二极管 100,于此实施例中,二极管 300 还包含了掺杂区 301。掺杂区 301 与掺杂区 160 设置以具有相同导电型,例如皆为 P 型掺杂区。于此实施例中,掺杂区 162 设置于掺杂区 160 与掺杂区 301 之间,以通过深掺杂区 140、掺杂区 160 与掺杂区 301 而与井区 120 电性绝缘。

[0032] 请参照图 4,图 4 为根据本发明的一实施例所绘示的一种二极管串电路的剖面示意图。上述各个实施例所示的二极管 100、二极管 200、二极管 220 或二极管 300 可更进一步地应用于二极管串电路中。如图 4 所示,二极管串电路 400 包含基板 410、绝缘层 412、绝缘层 414、绝缘层 416、井区 420、深掺杂区 440、深掺杂区 442、掺杂区 460、掺杂区 462、掺杂区 464 以及掺杂区 466。

[0033] 于此例中,基板 410 为 P 型基板。绝缘层 412、绝缘层 414、绝缘层 416 设置于基板 410 上,其中绝缘层 412 与绝缘层 414 设置以定义元件区域 C1,且绝缘层 414 与绝缘层 416 设置以定义元件区域 C2。于此例中,井区 420 为 N 型井,且井区 420 设置于基板 410 上,并位于元件区域 C1 与元件区域 C2 的下方。于一些实施例中,如先前所述,井区 420 可设置以接收高电压。

[0034] 于此例中,前述的元件区域 C1 用以设置二极管 D1(亦即深掺杂区 440、掺杂区 460 以及掺杂区 462),且元件区域 C2 用以设置二极管 D2(亦即深掺杂区 442、掺杂区 464 以及掺杂区 466)。

[0035] 于此例中,深掺杂区 440 与深掺杂区 442 可为 P 型深掺杂区。具体而言,深掺杂区 440 设置于井区 420 内,并位于元件区域 C1 的下方。掺杂区 460 与掺杂区 464 为 P 型的掺杂区,且掺杂区 462 与掺杂区 466 为 N 型的掺杂区。掺杂区 460 设置于元件区域 C1 内,并位于深掺杂区 440 上。掺杂区 462 设置于元件区域 C1 内,并位于深掺杂区 440 上。如图 4 所示,于此例中,掺杂区 462 更相邻设置掺杂区 460 旁,并位于掺杂区 460 与绝缘层 414 之间。如此,掺杂区 462 可通过深掺杂区 440、掺杂区 460 与绝缘层 414 而与井区 410 电性绝缘。

[0036] 再者,深掺杂区 442 设置于井区 420 内,并位于元件区域 C2 的下方。掺杂区 464 设置于元件区域 C2 内,并位于深掺杂区 442 上。掺杂区 464 经由导线电性连接至掺杂区 462,以形成二极管串。掺杂区 466 设置于元件区域 C2 内,并位于深掺杂区 442 上。掺杂区 466 相邻设置掺杂区 464 旁,并位于掺杂区 464 与绝缘层 416 之间。如此,掺杂区 466 可通过深掺杂区 442、掺杂区 464 与绝缘层 416 而与井区 410 电性绝缘。

[0037] 如先前所述,通过设置深掺杂区 440 与深掺杂区 442,二极管串电路 400 中的多个二极管 D1 以及二极管 D2 可设置于同一井区 410。如此,二极管串电路 400 的布局面积可大幅减少,故制程上的成本可明显降低。

[0038] 需特别说明的是,图 4 中所示的二极管串电路 400 仅以图 1 中的二极管 100 的结构实施为例进行说明,但本发明并不以此为限。例如,于一些实施例中,二极管串电路 400 的二极管 D1 或二极管 D2 亦可使用图 2A 的二极管 200 实施。于另一些实施例中,二极管串

电路 400 的二极管 D1 或二极管 D2 亦可使用图 2B 的二极管 220 实施。或者,于又一些实施例中,二极管串电路 400 的二极管 D1 或二极管 D2 亦可使用图 3 的二极管 300 实施。

[0039] 请参照图 5A,图 5A 为根据本发明的一实施例所绘示的一种静电放电防护装置的剖面示意图。上述各个实施例所示的二极管 100、二极管 200、二极管 220 或二极管 300 可更进一步地应用于静电放电防护装置。如图 5A 所示,静电放电防护装置 500 包含绝缘层 501、N 型场效晶体管 M1 与二极管 100。N 型场效晶体管 M1 设置于绝缘层 501 与绝缘层 112 之间。N 型场效晶体管 M1 包含掺杂区 540、掺杂区 542 以及栅极电极 560,其中掺杂区 540 与掺杂区 542 为 N 型掺杂区。栅极电极 560 设置于掺杂区 540 与掺杂区 542 之间,并位于基板 110 的上方。掺杂区 542 更经由导线而电性连接至掺杂区 160。换句话说,N 型场效晶体管 M1 串联耦接至二极管 100。由于二极管 100 的结构与先前图 1 相似,故于此不再重复赘述。通过此设置方式,前述的二极管 100 能够与 N 型场效晶体管 M1 于同一制程制造,而实现各种类型的静电放电防护装置。

[0040] 请参照图 5B,图 5B 为根据本发明的一实施例所绘示的一种静电放电防护装置的剖面示意图。相较于图 5A 中的静电放电防护装置 500,此例中的静电放电防护装置 520 包含 P 型场效晶体管 M2 与二极管 100。如图 5B 所示,P 型场效晶体管 M2 包含掺杂区 544 与栅极电极 562,其中掺杂区 544 为 P 型掺杂区。如图 5B 所示,掺杂区 544 与栅极电极 562 设置于绝缘层 112 与掺杂区 160 之间,且 P 型场效晶体管 M2 与二极管 100 设置以共享掺杂区 160。换句话说,通过上述的设置方式,P 型场效晶体管 M2 可在不用设置额外导线,即可串联耦接至二极管 100。如此,静电放电防护装置 520 的布局面积可更进一步地降低。

[0041] 上述仅以单一场效晶体管与二极管 100 串联的方式为例说明本发明二极管 100 的结构应用于静电放电防护装置的设置方式,但本发明并不以此为限。本领域具有通常知识者可根据实际需求调整前述静电放电防护装置 500 或静电放电防护装置 520 使用合适的晶体管个数或二极管个数。

[0042] 上述的各个实施例,仅 P 型深掺杂区为例进行说明,但本发明并不以此为限。应当了解到,上述各实施例中的二极管亦可由 N 型深掺杂区实施。

[0043] 请参照图 6,图 6 为根据本发明的一实施例所绘示的一种二极管的剖面示意图。相较于图 1 中的二极管 100,本例中的二极管 600 中的深掺杂区 140 为 N 型深掺杂区。相应地,井区 120 为 P 型井,掺杂区 160 为 N 型掺杂区,并耦接至阴极 P2,且掺杂区 162 为 P 型掺杂区,并耦接至阳极 P1。如此,掺杂区 162 与掺杂区 160 可形成二极管 600 中的 PN 界面,且掺杂区 162 可经由深掺杂区 140 以及掺杂区 160 而与井区 120 电性绝缘。换句话说,于各个实施例中,井区 120 的导电型与深掺杂区 140 的导电型设置为互相相反。

[0044] 综上所述,本发明所示的二极管与其二极管串可实现于各种类型的静电放电防护装置。同时,通过设置深掺杂区,本发明的二极管可大幅降低漏电流的影响。进一步地,本发明的二极管串的多个二极管可设置于同一井区,故可节省布局面积,降低制造上的成本。

[0045] 虽然本发明已以实施方式揭露如上,然其并非用以限定本发明,任何熟悉此技艺者,在不脱离本发明的精神和范围内,当可作各种的更动与润饰,因此本发明的保护范围当视所附的权利要求书所界定的范围为准。

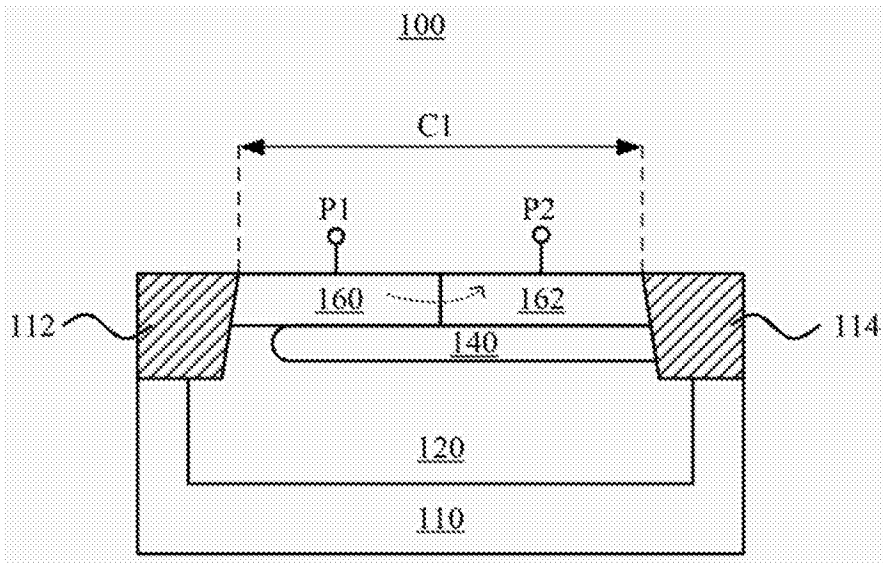


图 1

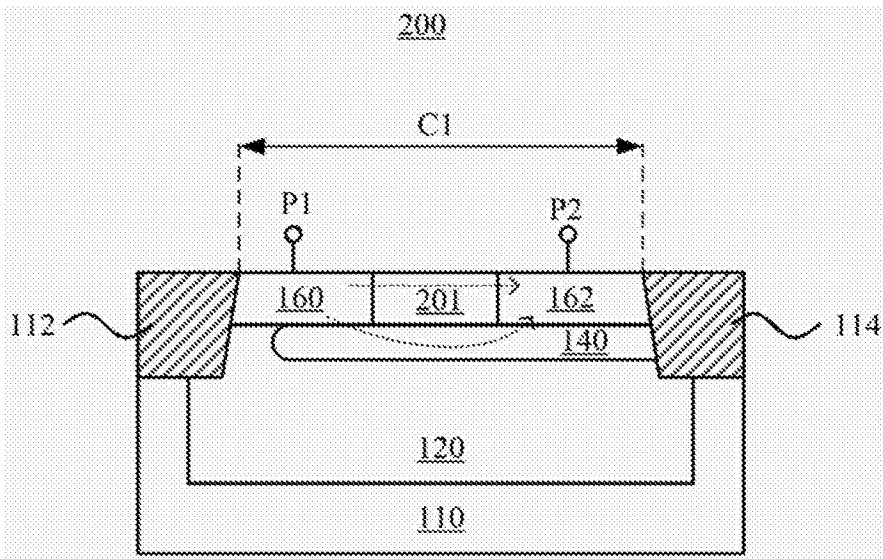


图 2A

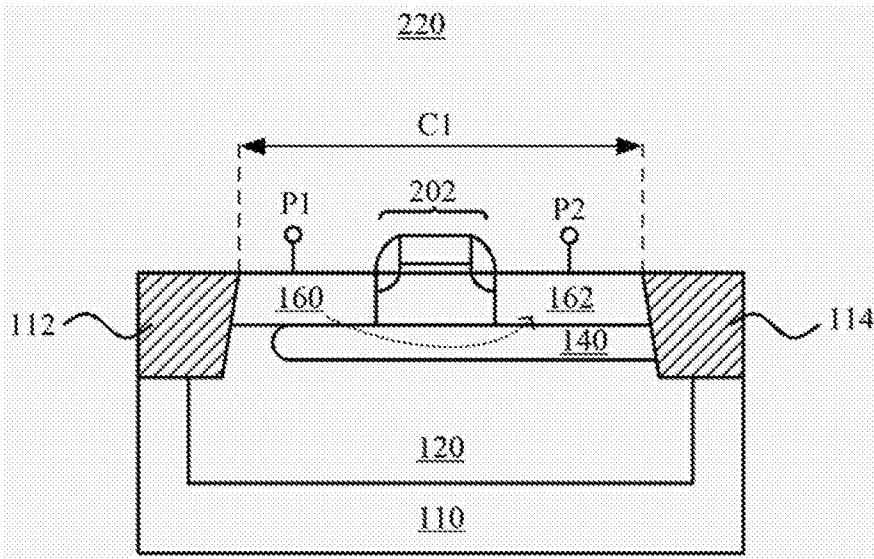


图 2B

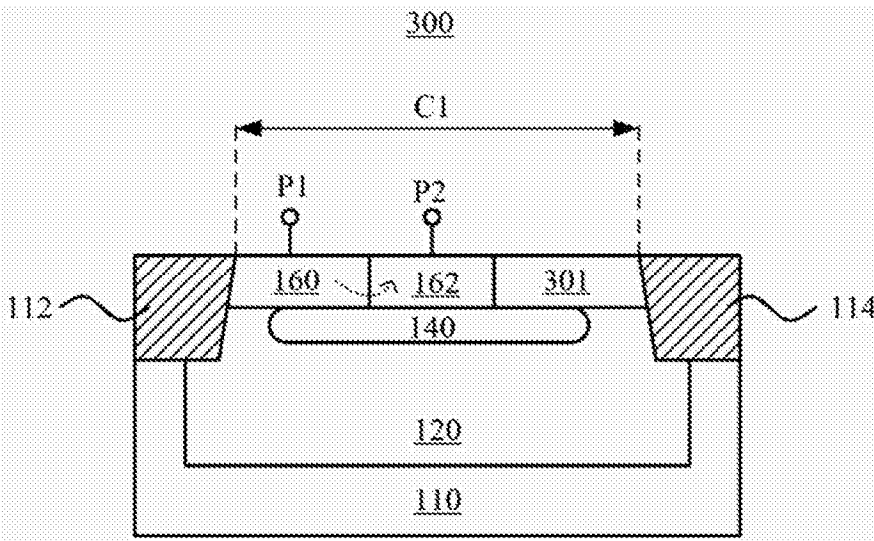


图 3

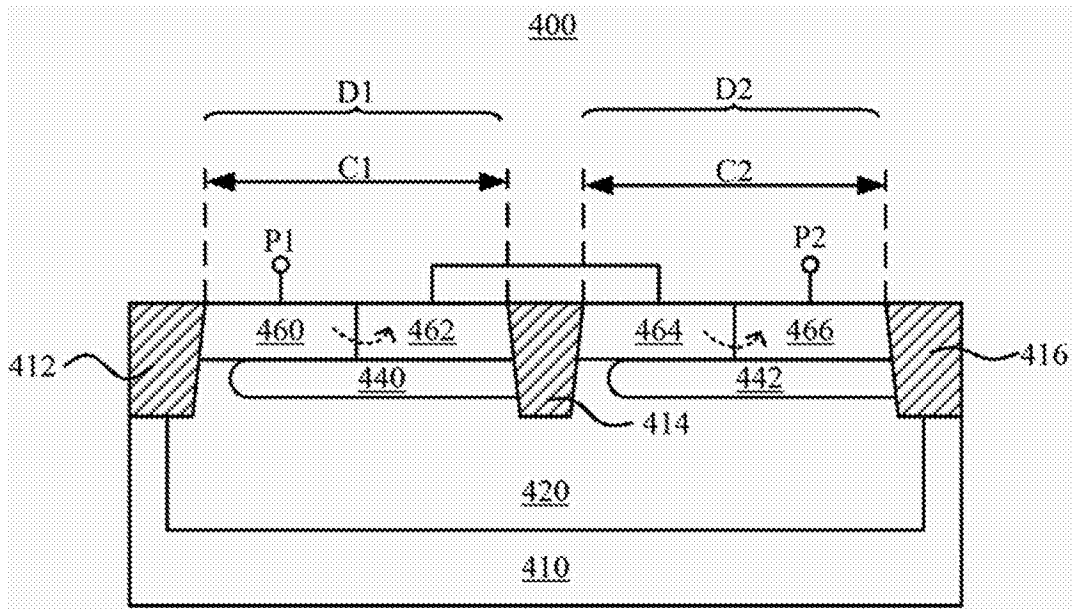


图 4

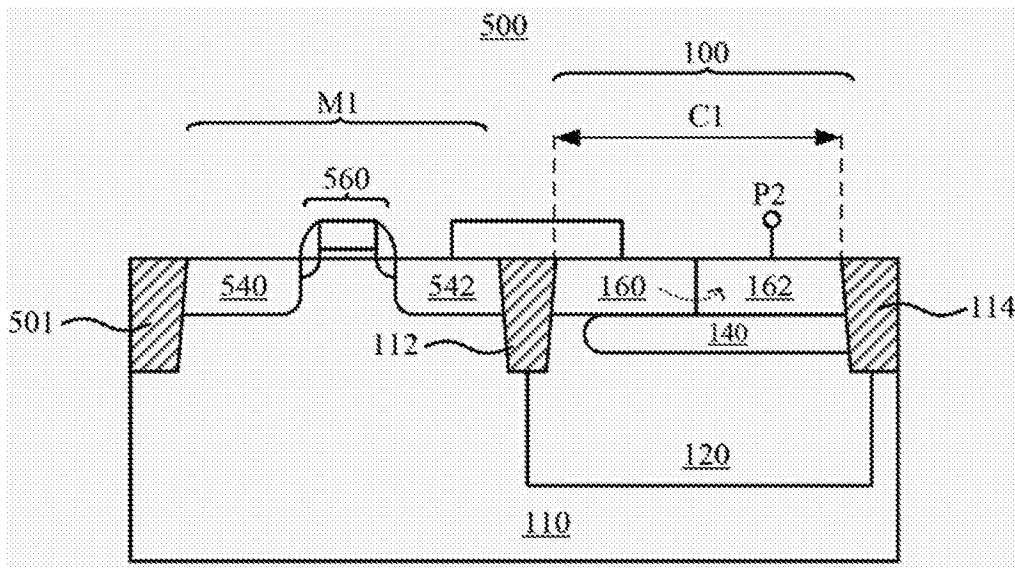


图 5A

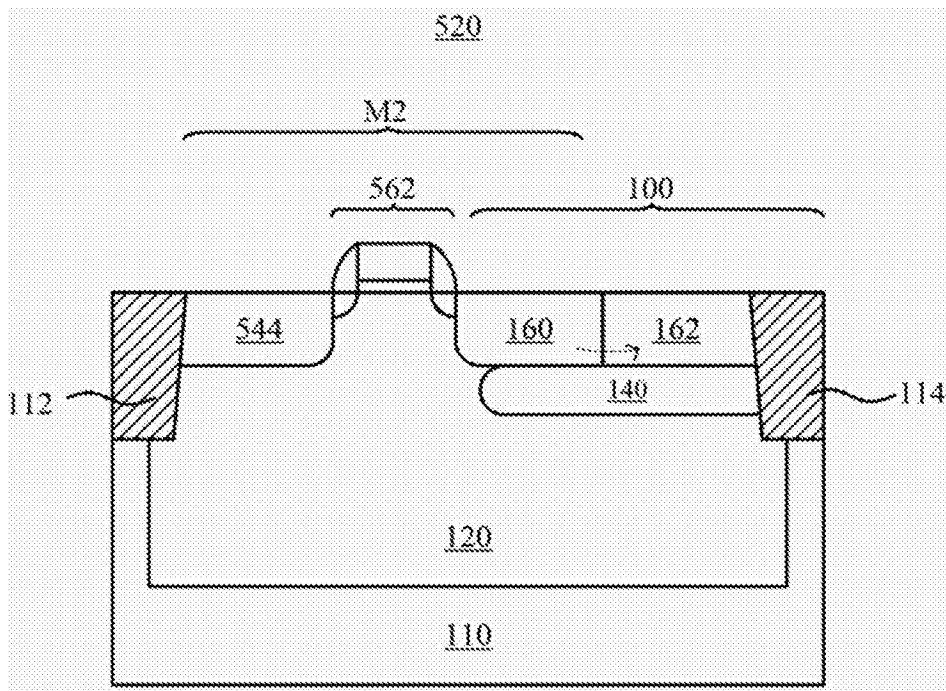


图 5B

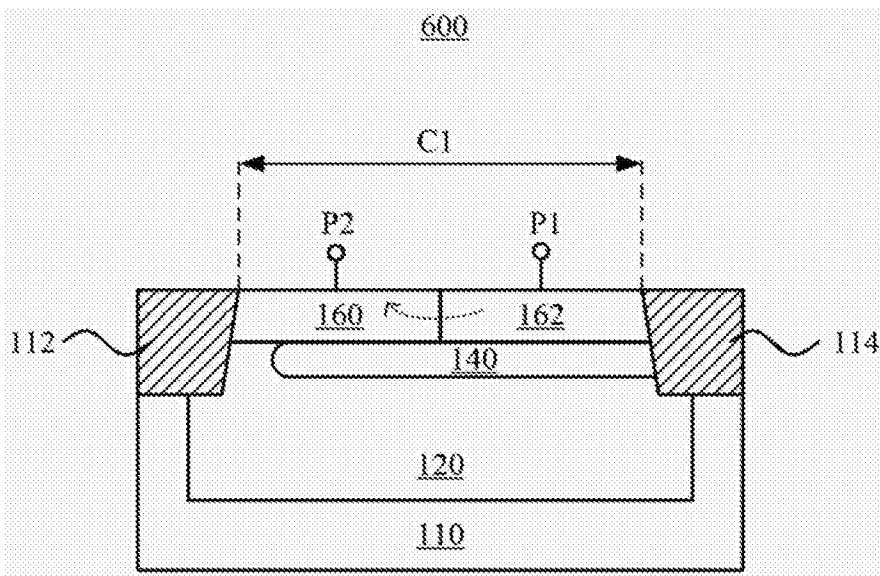


图 6