

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3701652号

(P3701652)

(45) 発行日 平成17年10月5日(2005.10.5)

(24) 登録日 平成17年7月22日(2005.7.22)

(51) Int. Cl.⁷

G06F 9/32

F I

G06F 9/32 350A

請求項の数 20 (全 11 頁)

(21) 出願番号	特願2002-530984 (P2002-530984)	(73) 特許権者	591003943 インテル・コーポレーション
(86) (22) 出願日	平成13年9月26日(2001.9.26)		アメリカ合衆国 95052 カリフォル ニア州・サンタクララ・ミッション カレ ッジ プーレバード・2200
(65) 公表番号	特表2004-510244 (P2004-510244A)	(73) 特許権者	396008222
(43) 公表日	平成16年4月2日(2004.4.2)		アナログ・デバイセズ・インコーポレイテ ッド
(86) 国際出願番号	PCT/US2001/030318		ANALOG DEVICES, INCO RPORATED
(87) 国際公開番号	W02002/027473		アメリカ合衆国02062マサチューセツ 州ノーウッド・ワン・テクノロジー・ウェ イ(番地なし)
(87) 国際公開日	平成14年4月4日(2002.4.4)	(74) 代理人	100091915
審査請求日	平成15年4月10日(2003.4.10)		弁理士 本城 雅則
(31) 優先権主張番号	09/675,817		
(32) 優先日	平成12年9月28日(2000.9.28)		
(33) 優先権主張国	米国(US)		

最終頁に続く

(54) 【発明の名称】 可変幅命令のアライメント・エンジン

(57) 【特許請求の範囲】

【請求項1】

複数のバッファ内にサイズの異なる複数の命令を格納する段階であって、各バッファは複数のサブ-バッファを含み、各サブ-バッファは命令データのユニット幅を格納し、前記ユニット幅より大きい命令は1を超えるサブ-バッファ内に格納される、段階と、

前記バッファから第1命令を調整する段階と、

前記第1命令のサイズを解釈する段階と、

前記複数のサブ-バッファの少なくとも1つを選択して、そこから出力部上に前記第1命令を出力する段階と、

前記出力中に、前記第1命令の前記サイズに基づいて選択された前記複数のサブ-バッファのうちいくつかのサブ-バッファから第2命令の始まりを決定し、前記第2命令のサイズを解釈し、前記第2命令を処理することによって前記複数のバッファの1つが消費されるかどうかを決定する段階と、

前記第2命令を処理することによって前記複数のバッファの1つが消費されるかどうかの前記決定に基づいて、前記複数のバッファの1つに追加の命令データを受信することを指示する段階と、

から成ることを特徴とするプロセッサ内の命令を調整する方法。

【請求項2】

前記複数の命令の1つを処理することによって前記バッファの1つが消費されるかどうかを決定するために、第1サブ-バッファに対するポイントの最上位ビットを、第2サブ

10

20

- バッファに対するポインタの最上位ビットと比較する段階をさらに含むことを特徴とする請求項 1 記載の方法。

【請求項 3】

前記第 1 命令の調整に優先して複数のサブ - バッファに亘って前記第 1 命令を格納する段階をさらに含むことを特徴とする請求項 1 記載の方法。

【請求項 4】

前記第 2 命令の始まりを決定するために、前記第 1 命令の前記サイズを現在の命令位置へ加える段階をさらに含むことを特徴とする請求項 1 記載の方法。

【請求項 5】

前記第 1 命令を調整する段階は、キャッシュ・レイテンシに等しいサイクル数だけ先行して調整する段階を含むことを特徴とする請求項 1 記載の方法。 10

【請求項 6】

前記プロセッサ内で命令を調整する段階は、デジタル信号プロセッサ内で命令を調整する段階を含むことを特徴とする請求項 1 記載の方法。

【請求項 7】

追加の命令データを受け取るために前記複数のバッファの 1 つを指示する段階は、前記複数のバッファの 1 つを再ロードするようメモリに要求を出す段階を含むことを特徴とする請求項 1 記載の方法。

【請求項 8】

複数のバッファ内にサイズの異なる複数の命令を格納する段階であって、各バッファは複数のサブ - バッファを含み、各サブ - バッファは命令データのユニット幅を格納し、前記ユニット幅より大きい命令は 1 を超えるサブ - バッファ内に格納される、段階と、 20

前記複数のバッファの 1 つが、キャッシュ・レイテンシとほぼ等しいサイクル数内で、命令データに消費されるかどうかを先見する段階と、

前記複数のバッファの 1 つが消費される場合に、追加の命令データでロードされる前記複数のバッファの 1 つを準備する段階と、

から成ることを特徴とするプロセッサ内の命令を処理する方法。

【請求項 9】

前記複数のバッファ内に格納された前記命令データ内の第 1 命令のサイズを解読する段階と、 30

前記第 1 命令のサイズおよび位置に基づいて前記命令データ内の第 2 命令の始まりを決定する段階と、

前記第 2 命令のサイズを解読する段階と、

をさらに含むことを特徴とする請求項 8 記載の方法。

【請求項 10】

前記先見が、第 1 サブ - バッファに対するポインタの最上位ビットを、第 2 サブ - バッファに対するポインタの最上位ビットと比較することによって遂行され、前記複数の命令の 1 つを処理することによって複数のバッファの 1 つが消費されるかどうかを決定することを特徴とする請求項 8 記載の方法。

【請求項 11】 40

前記複数のバッファに格納された前記命令データを調整する段階をさらに含むことを特徴とする請求項 8 記載の方法。

【請求項 12】

プロセッサ内で前記命令を処理する段階は、デジタル信号プロセッサ内で前記命令を処理する段階をさらに含むことを特徴とする請求項 8 記載の方法。

【請求項 13】

追加の命令データでロードされる前記複数のバッファの 1 つを準備する段階は、前記複数のバッファを再ロードするよう要求を出す段階を含むことを特徴とする請求項 8 記載の方法。

【請求項 14】 50

サイズの異なる複数の命令を格納するために適合される複数のバッファであって、各バッファは複数のサブ-バッファを含み、各サブ-バッファは命令データのユニット幅を格納し、前記ユニット幅より大きい命令は1を超えるサブ-バッファ内に格納される、バッファと、

実行のための前記複数の命令を調整するために適合される命令要求ユニットと、
前記複数の命令の前記サイズを決定するために適合される幅デコーダと、
前記複数のバッファの1つが空になるときを先見するために適合され、前記複数のバッファが空になった場合に、前記複数のバッファの1つに対して、第2命令データをロードするように命じる信号を送るために適合される、遷移検出器と、
から構成されることを特徴とするプロセッサ。

10

【請求項15】

複数の命令のうちの1つの処理がバッファを消費するかどうか決めるために、遷移検出器が複数のサブ-バッファの第1に対するポインタの最上位ビットを、前記複数のサブ-バッファの第2に対するポインタの最上位ビットと比較することを特徴とする請求項14記載のプロセッサ。

【請求項16】

前記プロセッサが、キャッシュ・レイテンシに等しいサイクル数だけ先行して調整することを特徴とする請求項14記載のプロセッサ。

【請求項17】

前記プロセッサがデジタル信号プロセッサであることを特徴とする請求項14記載のプロセッサ。

20

【請求項18】

プロセッサ内の命令を調整する機械システム内で使用するために、機械読み取り可能な記憶媒体上に存在する命令を含み、前記命令によって前記機械が、

複数のバッファ内でサイズの異なる複数の命令を格納し、各バッファは複数のサブ-バッファを含み、各サブ-バッファは命令データのユニット幅を格納し、前記ユニット幅より大きい命令は1を超えるサブ-バッファ内に格納され、

前記複数のバッファから第1命令のサイズを解読し、
前記複数のサブ-バッファの少なくとも1つを選択して、そこから出力部上に前記第1命令を出力し、

30

前記出力中に、前記第1命令の前記サイズに基づいて選択された前記複数のサブ-バッファのうちいくつかのサブ-バッファから第2命令の始まりを決定し、前記第2命令のサイズを解読し、かつ、前記第2命令を処理することによって前記複数のバッファの1つが消費されるかどうかを決定し、

前記第2命令を処理することによって前記複数のバッファの1つが消費されるかどうかの前記決定に基づいて、前記複数のバッファの1つに追加の命令データを受信することを指示する、

ことを特徴とする装置。

【請求項19】

前記複数の命令の1つを処理することがバッファの1つを消費するかどうかを決定するために、第1サブ-バッファに対するポインタの最上位ビットは、第2サブ-バッファに対するポインタの最上位ビットと比較されることを特徴とする請求項18記載の装置。

40

【請求項20】

第1命令が、前記命令の処理に優先して複数のサブ-バッファに格納されることを特徴とする請求項18記載の装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデジタル信号プロセッサに関し、さらに詳しくは、デジタル信号プロセッサ内の可変幅命令のアライメントに関する。

50

【 0 0 0 2 】

【 発明の背景 】

デジタル信号処理は、デジタル形式の信号表現および数値演算を用いたかかる信号表現の変換または処理と関連する。デジタル信号処理は、ワイヤレス通信、ネットワーキング、マルチメディア等の分野における今日の多くの先端技術製品にとって核心となる技術である。デジタル信号処理技術が普及した理由の1つは、低価格でパワフルなデジタル信号プロセッサ(DSP)が開発され、これが、これらの製品を安く効率的に生産するための信頼できる演算能力をエンジニアに提供したことである。最初のDSPが開発されて以来、DSPのアーキテクチャや設計は、ビデオ伝送順序のような複雑なリアルタイム処理でさえ行なうことができる段階にまで発展した。

10

【 0 0 0 3 】

DSPは、デジタル・ビデオ、イメージング、オーディオのような様々なマルチメディア・アプリケーションにしばしば用いられる。DSPは、かかるマルチメディア・ファイルを作成して開くためのデジタル信号を操作する。

【 0 0 0 4 】

MPEG-1 (Motion Picture Expert Group)、MPEG-2、MPEG-4およびH.263は、デジタル・ビデオ圧縮標準規格およびファイル形式である。これらの標準規格は、個々のフレーム全体を格納する代わりに、主としてあるビデオ・フレームから他のフレームへの変化を格納することにより、デジタル・ビデオ信号の高い圧縮率を達成する。ビデオ情報は、多くの異なる技術を用いて、さらに圧縮することができる。

20

【 0 0 0 5 】

DSPは、圧縮している間に、ビデオ情報に対して様々な動作を実行するために用いられる。これらの動作は、動き探索および空間補間アルゴリズムを含む。第1の目的は、隣接したフレーム内のブロック間の歪みを測定することである。これらの動作は演算が集中的であるので、高度なデータ処理能力が要求される。

【 0 0 0 6 】

標準規格のMPEGファミリーは、マルチメディア・アプリケーションおよびファイルの帯域幅を拡大する要求と歩調を合わせて発展している。標準規格の各新バージョンは、MPEG準拠のビデオ処理装置内で使用されるDSPにさらに大きな処理要求を出すより複雑なアルゴリズムを提供する。

30

【 0 0 0 7 】

ビデオ処理装置の製造者は、MPEGおよびH.263標準規格に従ってビデオ符号化のためにカスタマイズされた特定用途向け集積回路(ASIC)に依存することが多い。しかしながら、ASICは設計が複雑で、生産コストが高く、それらのアプリケーションにおいて汎用DSPよりも柔軟性がない。

【 0 0 0 8 】

【 実施例の詳細な説明 】

本発明のこれらおよび他の特徴および利点は、次の詳細な記述を読み、かつ、添付図面を参照することによって、さらに明らかになるであろう。

【 0 0 0 9 】

図1は、発明の実施例に従った、プロセッサを含むモバイル・ビデオ装置100を示す。モバイル・ビデオ装置100は、アンテナ105から、あるいは、デジタル・ビデオ・ディスク(DVD)やメモリ・カードのようなデジタル・ビデオ記憶媒体120から受信した、符号化されたビデオ信号により生成されたビデオ画像を表示する携帯装置である。プロセッサ110は、プロセッサの動作のために命令およびデータを格納するメモリ115(キャッシュ・メモリであってもよい)と通信する。プロセッサ110は、マイクロプロセッサ、デジタル信号プロセッサ(DSP)、スレーブDSPを制御するマイクロプロセッサ、またはハイブリッド・マイクロプロセッサ/DSPアーキテクチャを備えたプロセッサでもよい。本アプリケーションにおいては、プロセッサ110は、以下DSP110と呼ぶ。

40

50

【 0 0 1 0 】

D S P 1 1 0 は、符号化されたビデオ信号によって、例えば、アナログ対デジタル変換、復調、フィルタリング、データ回復、符号解読等を含む様々な動作を行なう。D S P 1 1 0 は、標準規格の M P E G ファミリーおよび H . 2 6 3 標準規格のような種々のデジタル・ビデオ圧縮標準規格の 1 つによって圧縮したデジタル・ビデオ信号を解読する。そして、解読されたビデオ信号は、ディスプレイ 1 2 5 上にビデオ画像を生成するために、ディスプレイ・ドライバ 1 3 0 に入力される。

【 0 0 1 1 】

携帯装置は、一般的に電源による制約を受ける。さらに、ビデオ解読動作は演算が集中的である。従って、そのような装置内で使用されるプロセッサとしては、比較的高速で低電力の装置が好都合である。

10

【 0 0 1 2 】

D S P 1 1 0 は、巧妙なパイプライン方式のロード / 格納アーキテクチャを有する。パイプライン方式を用いることによって、D S P の性能は、パイプライン方式でない D S P に比べて増強される。第 1 命令を取り出して第 1 命令を実行し、次に第 2 命令を取り出す代わりに、パイプライン方式の D S P 1 1 0 では、第 1 命令の実行と同時に第 2 の命令を取り出すので、これによって命令処理能力が改善する。さらに、パイプライン方式の D S P のクロック・サイクルは、パイプライン方式でない D S P のクロック・サイクルより短く、そこで命令が同じクロック・サイクル内で取り出されて実行される。

【 0 0 1 3 】

このような D S P 1 1 0 は、ビデオ・カムコーダ、電話会議、P C ビデオ・カード、および高品位テレビ (H D T V) に使用することができる。さらに、D S P 1 1 0 は、モバイル電話方式、音声認識、および他のアプリケーション内で使用される音声処理のようなデジタル信号処理を利用する他の技術と関連して使用できる。

20

【 0 0 1 4 】

図 2 には、1 つの実施例に従って、D S P 1 1 0 を含む信号処理システム 2 0 0 のブロック図が示される。1 またはそれ以上のアナログ信号が、例えばアンテナ 1 0 5 のような外部ソースによって、シグナル・コンディショナ 2 0 2 に提供される。シグナル・コンディショナ 2 0 2 は、アナログ信号によって一定の前処理機能を実行する。典型的な前処理機能は、いくつかのアナログ信号を共に混合し、濾波し、増幅するなどの段階を含む。アナログ - デジタル変換器 (A D C) 2 0 4 は、上記のように、シグナル・コンディショナ 2 0 2 から前処理されたアナログ信号を受信し、かつ、前処理されたアナログ信号をサンプルから構成されるデジタル信号に変換するために結合される。サンプルは、シグナル・コンディショナ 2 0 2 によって受信されたアナログ信号の性質によって決定されるサンプリング率によって得られる。D S P 1 1 0 は、A D C 2 0 4 の出力でデジタル信号を受信するために結合される。D S P 1 1 0 は、受信デジタル信号によって望ましい信号変換を実行し、1 またはそれ以上の出力デジタル信号を生成する。デジタル - アナログ変換器 (D A C) 2 0 6 は、D S P 1 1 0 から出力デジタル信号を受信するために結合される。D A C 2 0 6 は、出力デジタル信号を出力アナログ信号に変換する。そして、出力アナログ信号は、他のシグナル・コンディショナ 2 0 8 に伝達される。シグナル・コンディショナ 2 0 8 は、出力アナログ信号によって後処理機能を実行する。典型的な後処理機能は、上記の前処理機能に類似する。シグナル・コンディショナ 2 0 2 , 2 0 8 , A D C 2 0 4 および D A C 2 0 6 については、他にも様々な手段が周知であることに注意されたい。これらの装置の適切なアレンジメントであれば、D S P 1 1 0 を用いた信号処理システム 2 0 0 への結合が可能である。

30

40

【 0 0 1 5 】

図 3 には、別の実施例に従った信号処理システム 3 0 0 が示される。本実施例において、デジタル受信機 3 0 2 は、1 またはそれ以上のデジタル信号を受信し、かつ、D S P 1 1 0 に受信デジタル信号を伝達するために配置される。図 2 に示される実施例のように、D S P 1 1 0 は、受信デジタル信号によって望ましい信号変換を実行し、1 またはそれ以上

50

の出力デジタル信号を生成する。デジタル信号送信機 304 は、出力デジタル信号を受信するために結合される。1つの典型的なアプリケーションにおいて、信号処理システム 300 はデジタル・オーディオ装置であり、そこでデジタル受信機 302 が、DSP 110 へ、デジタル記憶装置 120 上に格納されたデータを示すデジタル信号を伝える。次に、DSP 110 は、デジタル信号を処理し、結果としての出力デジタル信号をデジタル送信機 304 に伝達する。そして、デジタル送信機 304 は、出力デジタル信号の値を、ディスプレイ 125 上にビデオ画像を生成するディスプレイドライバ 130 に送信する。

【0016】

図 4 に図示されたパイプラインは 8 つのステージを含み、それは、命令取り出し 402 - 403、デコード 404、アドレス演算 405、実行 406 - 408、および書き戻し (ライトバック) 409 のステージを含む。命令 i があるクロック・サイクルで取り出され、そして、例えば $i + 1$ 、 $i + 2$ のような新たな命令を取り出すと同時に、次のクロック・サイクルでパイプライン上で動作され、実行される。

10

【0017】

パイプライン方式は、プロセッサの性能に、追加の協調問題やハザードをもたらすことがある。プログラムの流れにおけるジャンプは、パイプライン内に空スロットまたは「バブル」を生成する。条件付き分岐を生じたり、例外や中断を発生する状況は、命令の連続的な流れを変更する。それらが発生した後は、新しい命令は、連続的なプログラム流れの外で取り出され、パイプライン内の残りの命令を無関係にする。データ・フォワーディング、分岐予測、パイプライン内の命令アドレスと有効なビットを関連付けるといった方法が、これらの複雑さに対処するために用いられることがある。

20

【0018】

図 5 は、本発明の 1 つの実施例に従った、アライメント・マルチプレクサ (alignment mux) 内のデータ・フロー 500 の論理図である。データ・フロー 500 において、命令はメモリ 505 にロードされる。メモリ 505 は、命令を格納するために複数のバッファ 510, 515 を含む。1 つの実施例では、バッファ 510, 515 は 64 ビットのバッファである。第 1 バッファ 510 は、複数のより小さい 16 ビットのバッファ 520, 525, 530, 535 に分割される。第 2 バッファ 515 もまた、複数のより小さい 16 ビットのバッファ 540, 545, 550, 555 に分割される。より小さい 16 ビットのバッファ 520 - 555 の各々は、複数の選択マルチプレクサ 560, 565, 570, 575 に接続される。選択マルチプレクサ 560, 565, 570, 575 の各々は選択ライン 580 に接続され、マルチプレクサ 560, 565, 570, 575 の出力を選択する。マルチプレクサ 560, 565, 570, 575 の各々は、パイプライン内で使用するために複数のフロップ 585, 587, 590, 592 に格納される 16 ビットの信号を出力する。

30

【0019】

複数のフロップ 585, 587, 590, 592 内に格納された信号は、パイプライン内で実行される命令を表わす。命令が 16 ビット、もしくはそれより少ない場合、第 1 フロップ 585 のみがデータを収容する。命令サイズが増加するにつれて、フロップ 585 - 592 のより多くがデータを収容するであろう。例えば、32 ビットの命令は、第 1 フロップ 585 および第 2 フロップ 587 内にデータを有し、一方、64 ビットの命令は、すべてのフロップ 585 - 592 内にデータを有する。

40

【0020】

個々の命令は、最初に複数の 16 ビットのバッファ 520 - 555 中に分割される。例えば、64 ビットの命令は、第 3 バッファ 530 内で始まり、第 6 バッファ 545 内で終わる。図 5 のアライメント・マルチプレクサは、複数のマルチプレクサ 560 - 575 へデータを転送し、次に、フロップ 585 - 592 へ送るために適切なデータを選択することにより、パイプライン内での処理に優先してその命令が調整されることを確実にする。バブルがパイプライン内に挿入されないという危険を低減するために、バッファ 510, 515 内のすべての命令データがパイプラインへ送られるとすぐに、アライメント・マルチ

50

プレクサは、メモリ505内のバッファ510, 515を再ロードする。1つの実施例において、メモリ505はキャッシュ・メモリでもよい。

【0021】

本発明は、64ビット、またはそれより小さい命令を提供する64ビットの命令レジスタを用いて記述される。もちろん、本発明は、(N-ビット)またはそれより小さい命令を提供する任意のサイズの命令レジスタ(N-ビット)上で行うことが可能である。さらに、本発明は2つのバッファ510, 515を用いて記述されるが、本発明は任意の数のバッファを収容する任意のサイズで設計することができる。

【0022】

図6は、本発明の1つの実施例に従った命令要求ユニット600のブロック図である。命令要求ユニット600は、バッファ510, 515がいつ空になるかを決定するためにいくつかのサイクルを先見できるので、いかなるバブルもこの特定の実施例のパイプライン内へ導入されることなく、バッファ510, 515が再ロードされる。本命令要求ユニット600の実施例は、2サイクルのキャッシュ・レイテンシを有して記述される。したがって、命令要求ユニットは、バッファ510, 515が継続的に再ロードされることを確実にするために、2サイクルを先見する。本発明は、様々なキャッシュ・レイテンシを有するシステム内で使用することができ、さらに、命令要求ユニット600は、バブルが挿入されないことを確実にするために、キャッシュ・レイテンシと少なくとも等しい数のサイクルを先見する必要があることを理解されたい。もちろん、命令要求ユニット600は、キャッシュ・レイテンシよりも少なく先見してもよい。本実施例において、バブルがパイプライン内に挿入されることがある。

【0023】

命令要求ユニット600は、アライメント・マルチプレクサ615内に入力されるバッファ510, 515からの命令データを受信する。アライメント・マルチプレクサ615は、バッファ510, 515から受信した現在の命令データを調整し、命令データから解析された個々の命令を出力する。アライメント・マルチプレクサ615内のデータ・フローは、図5に関連して上述された。個々の命令が、アライメント・マルチプレクサ615から受信されたとき、命令は、幅ビットを生成するために予め解読される。命令の幅(cur_width)は、命令に関連する幅ビットからブロック620内で解読される。1つの実施例では、幅ビットは、現在の命令の幅を示す2ビットの信号である。2ビットの信号で、4つの可能な幅値がある。例えば、00の幅ビットは命令が無効であることを示し、01の幅ビットは16ビットの命令を示し、10の幅ビットは32ビットの命令を示し、そして11の幅ビットは64ビットの命令を示す。

【0024】

マルチプレクサ628は、分岐目標アドレス、およびバッファ510, 515内における命令位置の現在の状態(cstate)を受信する。マルチプレクサ628は、分岐目標アドレスまたは現在の状態のいずれかを選択して、現在の状態または分岐目標アドレスのいずれかでフロップ630をロードし、それが現在の状態になる。そして、現在の状態は、ブロック625内の現在の命令の幅と結合する。現在の状態と現在の幅が結合することにより、次の命令(nstate)の開始位置が決定される。その後、この位置情報は、第2アライメント・マルチプレクサ635に供給され、次の命令を調整するために使用される。次の命令位置情報は、さらに、次のクロック・サイクルでフロップ630へフィード・バックする。次のクロック・サイクルで、次の命令位置が現在の命令位置になり、この情報がフロップ630内で更新される。次の命令位置は、さらに、第1バッファ510から第2バッファ515へ遷移が生じたことの決定を支援するために、遷移ブロック645に供給される。

【0025】

第2アライメント・マルチプレクサ635は、バッファ510', 515'から入力命令データとして受信する。バッファ510', 515'は、バッファ510, 515と同一であってもよく、または新規データを含んでもよい。バッファ510, 515が使い尽く

10

20

30

40

50

された場合、バッファ510', 515'は、次の命令のための新規データを含むことができる。第2アライメント・バッファ635は、第1アライメント・バッファ615が第1命令を調整するのと同様の方法で次の命令を調整する。そして、次の命令の幅は、対応する幅ビットを決定するためにブロック640内で予め解読される。その後、幅情報(next_width)はブロック645内の遷移ロジックに供給される。

【0026】

遷移ロジックは、バッファ510, 515のいずれが次の命令の処理の後に空になるかを決定する。遷移ブロック645は、入力として、次の状態位置および次の命令幅を含む。そして、遷移ブロック645は、バッファ510, 515のいずれが次の命令の後に使い尽くされるかを、次の状態位置および命令幅に基づいて決定する。例えば、示された次の状態位置が16ビットのバッファ530の始まりで、かつ次の命令幅が64ビットである場合、遷移ブロック645は、命令が16ビットのバッファ530, 535, 540, 545から得られるであろうと決定し、したがって、第1バッファ510を完全に空にする。そして、遷移ブロック645は、第1バッファ510が再ロード可能であることを示す信号をフロップ650へ送り、メモリに対して空のバッファ510を充填せよという要求を生成する。

10

【0027】

遷移ブロック645はまた、ポインタの最上位のビット(MSB)をバッファ520-555と比較することにより、バッファ510, 515が消耗されることを決定することができる。例えば、16ビットのバッファ520-555の各々が、関連するポインタを有することがある。8つの16ビットのバッファがあるので、3ビットのポインタは、各バッファを独自に識別するために使用される。1つの実施例では、バッファ520は000のポインタ値を有し、バッファ525は001のポインタ値を有し、バッファ530は010のポインタ値を有し、バッファ535は011のポインタ値を有し、バッファ540は100のポインタ値を有し、バッファ545は101のポインタ値を有し、バッファ550は110のポインタ値を有し、バッファ555は111のポインタ値を有する。したがって、より大きいバッファ510から構成される16ビットのバッファ520, 525, 530, 535は、最上位のビットが「0」であるポインタ値を有する。より大きなバッファ515から構成される16ビットのバッファ540, 545, 550, 555の各々は、最上位ビットが「1」であるポインタ値を有する。

20

30

【0028】

上述のように、命令は、複数の16ビットのバッファ520-555を占めることがある。例えば、64ビット命令は、バッファ525内で始まり、バッファ540で終わることがある。命令の始まりのバッファ525のポインタ値は001である。また、命令の終わりのバッファ540のポインタ値は100である。したがって、バッファ・ポインタの最上位のビットは「0」から「1」に変わり、それによって、バッファ510からバッファ515への遷移を示す。ポインタの最上位のビットをバッファ520-555と比較することによって、バッファ510と515との間の遷移を決定することができる。

【0029】

本発明の他の実施例では、カウンタが、バッファをロードするための要求の数を管理するために使用される。ロード要求がされるたびに、カウンタが追加される。バッファが空であるときは、カウンタが減少する。カウンタの値がバッファの数と等しいとき、本発明は要求の生成を停止する。したがって、カウンタは、ロード要求の送出に先立ってチェックされ、バッファがデータを受理できるかどうか決めることができる。

40

【0030】

本発明の様々な変更および修正が、当業者には容易に明らかになるだろう。従って、本発明は、その精神または本質的特質から逸脱することなく、他の特定の形で具体化することが可能である。

【図面の簡単な説明】

【図1】 本発明の1つの実施例に従ったプロセッサを利用するモバイル・ビデオ装置の

50

ブロック図である。

【図2】 本発明の実施例に従った信号処理システムのブロック図である。

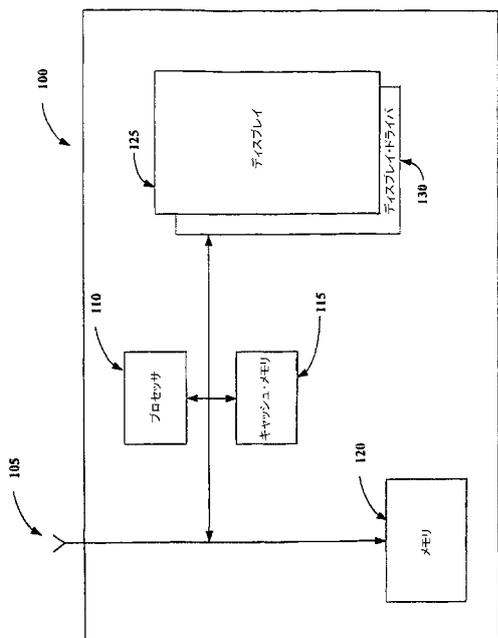
【図3】 本発明の実施例に従った他の信号処理システムのブロック図である。

【図4】 本発明の実施例に従った図1中のプロセッサの典型的なパイプライン・ステージを图示する。

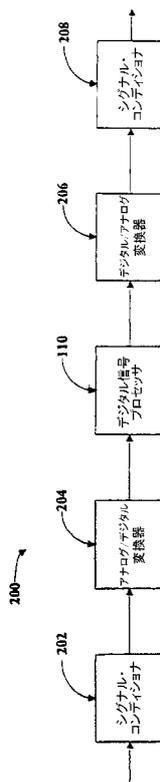
【図5】 本発明の1つの実施例に従ったアライメント・マルチプレクサ内のデータ・フローの論理図である。

【図6】 本発明の1つの実施例に従った命令要求ユニットのブロック図である。

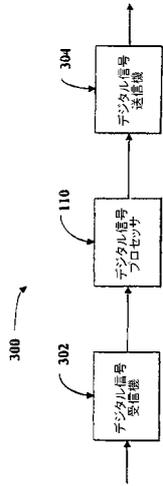
【図1】



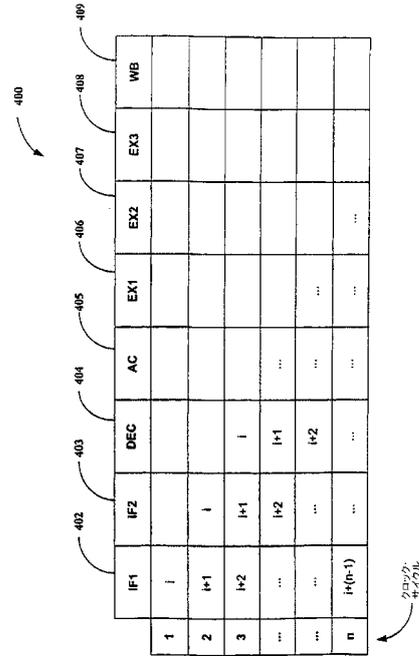
【図2】



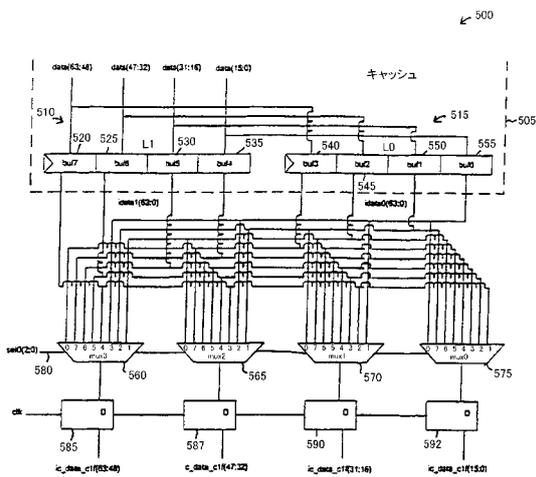
【図3】



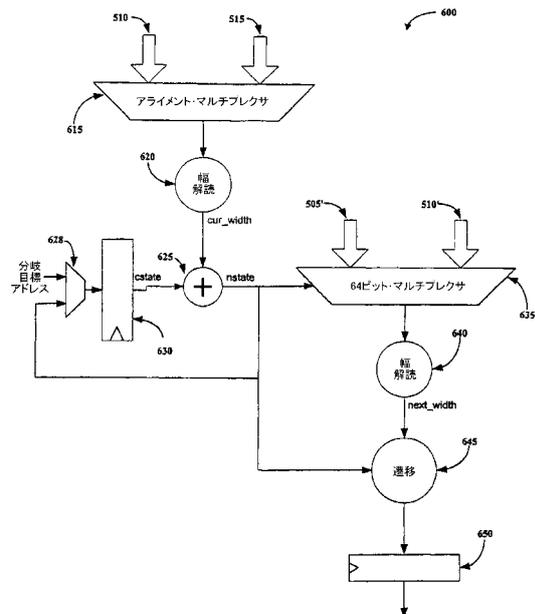
【図4】



【図5】



【図6】



フロントページの続き

- (74)代理人 100099106
弁理士 本城 吉子
- (72)発明者 トマジン, トーマス
アメリカ合衆国 テキサス州 78750 オースチン アラリア・ドライブ8112
- (72)発明者 アンダーソン, ウィリアム, シー
アメリカ合衆国 テキサス州 78731 オースチン エドワーズ・マウンテン・ドライブ39
10
- (72)発明者 ロス, チャールズ, ピー
アメリカ合衆国 テキサス州 78729 オースチン ティッケスター・コート13305
- (72)発明者 チャルマース, カイラ
アメリカ合衆国 テキサス州 78739 オースチン ロスト・オアシス・ホロー3310
- (72)発明者 レビーラ, ジュアン, ジー
アメリカ合衆国 テキサス州 78739 オースチン オーストラル・コーブ10016
- (72)発明者 シン, ラヴィ, ピー
アメリカ合衆国 テキサス州 78758 オースチン メトリック・ブルバード12349
ナンバー829

審査官 後藤 彰

- (56)参考文献 特開昭60-117335(JP,A)
特開平6-4282(JP,A)
特開昭56-27455(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G06F 9/30 - 9/38