



(12) 发明专利申请

(10) 申请公布号 CN 114241977 A

(43) 申请公布日 2022.03.25

(21) 申请号 202111561881.0

(22) 申请日 2021.12.17

(71) 申请人 昆山国显光电有限公司

地址 215300 江苏省苏州市昆山市开发区
龙腾路1号4幢

(72) 发明人 郭恩卿 潘康观 盖翠丽 李俊峰

(74) 专利代理机构 北京远智汇知识产权代理有
限公司 11659

代理人 范坤坤

(51) Int. Cl.

G09G 3/30 (2006.01)

G09G 3/32 (2016.01)

G09G 3/3225 (2016.01)

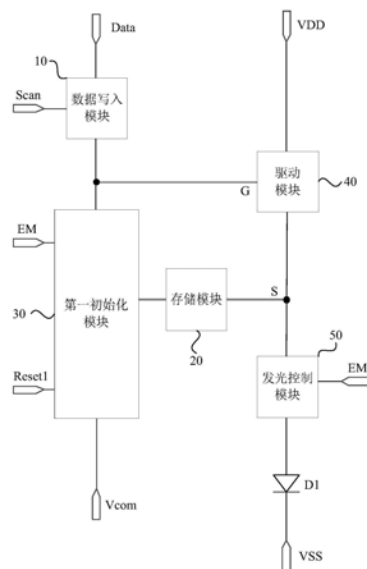
权利要求书2页 说明书10页 附图6页

(54) 发明名称

像素电路及其驱动方法和显示面板

(57) 摘要

本发明实施例公开了一种像素电路及其驱动方法和显示面板。其中，像素电路包括：数据写入模块、存储模块、第一初始化模块和驱动模块；数据写入模块用于在数据写入阶段向驱动模块的控制端写入数据电压；存储模块的第一端通过第一初始化模块连接驱动模块的控制端，存储模块的第二端连接驱动模块的第二端，存储模块用于存储驱动模块的阈值电压；第一初始化模块用于向驱动模块的控制端写入初始化电压，并向存储模块的第一端写入初始化电压，以使存储模块存储驱动模块的阈值电压；驱动模块用于在发光阶段响应自身的控制端的电压产生驱动电流，以驱动发光器件发光。本方案有助于对驱动模块的阈值电压进行补偿，从而提高显示面板的显示亮度均一性。



1. 一种像素电路,其特征在于,包括:数据写入模块、存储模块、第一初始化模块和驱动模块;

所述数据写入模块用于在数据写入阶段向所述驱动模块的控制端写入数据电压;

所述存储模块的第一端通过所述第一初始化模块连接所述驱动模块的控制端,所述存储模块的第二端连接所述驱动模块的第二端,所述存储模块用于存储所述驱动模块的阈值电压;

所述第一初始化模块用于向所述驱动模块的控制端写入初始化电压,以及,向所述存储模块的第一端写入初始化电压,以使所述存储模块存储所述驱动模块的阈值电压;

所述驱动模块用于在发光阶段响应自身的控制端的电压产生驱动电流,以驱动发光器件发光。

2. 根据权利要求1所述的像素电路,其特征在于,所述第一初始化模块包括初始化单元和开关单元;

所述初始化单元的控制端接入第一扫描信号,所述初始化单元的第一端接入所述初始化电压,所述初始化单元的第二端连接所述存储模块的第一端,所述初始化单元用于响应所述第一扫描信号,向所述存储模块的第一端写入所述初始化电压;

所述开关单元连接于所述初始化单元的第二端和所述驱动模块的控制端之间,所述开关单元的控制端接入第二扫描信号,所述开关单元用于响应所述第二扫描信号而导通或断开所述初始化单元和所述驱动模块;

优选地,所述第二扫描信号为发光控制信号。

3. 根据权利要求2所述的像素电路,其特征在于,所述初始化单元包括第一晶体管,所述开关单元包括第二晶体管;

所述第一晶体管的栅极接入所述第一扫描信号,所述第一晶体管的第一极接入所述初始化电压,所述第一晶体管的第二极连接所述存储模块的第一端;

所述第二晶体管的栅极接入所述第二扫描信号,所述第二晶体管的第一极连接所述第一晶体管的第二极,所述第二晶体管的第二极连接所述驱动模块的控制端。

4. 根据权利要求1所述的像素电路,其特征在于,所述数据写入模块包括第三晶体管,所述存储模块包括第一电容,所述驱动模块包括驱动晶体管;

所述第三晶体管的栅极接入第三扫描信号,所述第三晶体管的第一极接入所述数据电压,所述第三晶体管的第二极连接所述驱动晶体管的栅极;

所述第一电容的第一极连接所述第一初始化模块,所述第一电容的第二极连接所述驱动晶体管的第二极。

5. 根据权利要求1所述的像素电路,其特征在于,还包括第二电容,所述第二电容的第一极连接所述驱动模块的控制端,所述第二电容的第二极接入固定电压,所述第二电容用于存储所述驱动模块的控制端的电压。

6. 根据权利要求5所述的像素电路,其特征在于,所述存储模块包括第一电容,所述第二电容的容值小于所述第一电容的容值。

7. 根据权利要求1所述的像素电路,其特征在于,还包括发光控制模块,所述发光控制模块的控制端接入发光控制信号,所述发光控制模块连接于所述驱动模块的第二端和所述发光器件之间,所述发光控制模块用于响应所述发光控制信号而导通或断开所述驱动模块

和所述发光器件；

优选地，所述发光控制模块包括第四晶体管，所述第四晶体管的栅极接入所述发光控制信号，所述第四晶体管的第一极连接所述驱动模块的第二端，所述第四晶体管的第二极连接所述发光器件的第一极。

8. 根据权利要求1所述的像素电路，其特征在于，还包括第二初始化模块，所述第二初始化模块的控制端接入第四扫描信号，所述第二初始化模块的第一端接入复位电压，所述第二初始化模块的第二端连接所述发光器件的第一极，所述第二初始化模块用于响应所述第四扫描信号，向所述发光器件的第一极写入所述复位电压；

优选地，所述第二初始化模块包括第五晶体管，所述第五晶体管的栅极接入所述第四扫描信号，所述第五晶体管的第一极接入所述复位电压，所述第五晶体管的第二极连接所述发光器件的第一极。

9. 一种像素电路的驱动方法，其特征在于，所述像素电路包括：数据写入模块、存储模块、第一初始化模块和驱动模块；所述存储模块的第一端通过所述第一初始化模块连接所述驱动模块的控制端，所述存储模块的第二端连接所述驱动模块的第二端，所述存储模块用于存储所述驱动模块的阈值电压；

所述像素电路的驱动方法包括：

在初始化阶段，通过所述第一初始化模块向所述驱动模块的控制端和所述存储模块的第一端写入初始化电压；

在数据写入阶段，通过所述数据写入模块向所述驱动模块的控制端写入数据电压；

在补偿写入阶段，通过所述第一初始化模块向所述存储模块的第一端写入初始化电压，以使所述存储模块存储所述驱动模块的阈值电压；

在发光阶段，通过所述驱动模块响应自身的控制端的电压产生驱动电流，以驱动发光器件发光。

10. 一种显示面板，其特征在于，包括权利要求1-8中任一所述的像素电路。

像素电路及其驱动方法和显示面板

技术领域

[0001] 本发明实施例涉及显示技术领域,尤其涉及一种像素电路及其驱动方法和显示面板。

背景技术

[0002] 随着显示技术的不断发展,人们对于显示面板的性能要求越来越高。显示面板中包括多个像素电路,不同像素电路中的晶体管存在特性差异,例如不同像素电路中的晶体管的阈值电压存在差异。目前,现有像素电路对于晶体管的阈值电压的补偿效果较差,导致显示面板存在亮度均一性较差的问题,影响了显示效果。

发明内容

[0003] 本发明实施例提供一种像素电路及其驱动方法和显示面板,以对驱动模块的阈值电压进行补偿,从而提高显示面板的显示亮度均一性。

[0004] 第一方面,本发明实施例提供了一种像素电路,包括:数据写入模块、存储模块、第一初始化模块和驱动模块;

[0005] 所述数据写入模块用于在数据写入阶段向所述驱动模块的控制端写入数据电压;

[0006] 所述存储模块的第一端通过所述第一初始化模块连接所述驱动模块的控制端,所述存储模块的第二端连接所述驱动模块的第二端,所述存储模块用于存储所述驱动模块的阈值电压;

[0007] 所述第一初始化模块用于向所述驱动模块的控制端写入初始化电压,以及,向所述存储模块的第一端写入初始化电压,以使所述存储模块存储所述驱动模块的阈值电压;

[0008] 所述驱动模块用于在发光阶段响应自身的控制端的电压产生驱动电流,以驱动发光器件发光。

[0009] 可选地,所述第一初始化模块包括初始化单元和开关单元;

[0010] 所述初始化单元的控制端接入第一扫描信号,所述初始化单元的第一端接入所述初始化电压,所述初始化单元的第二端连接所述存储模块的第一端,所述初始化单元用于响应所述第一扫描信号,向所述存储模块的第一端写入所述初始化电压;

[0011] 所述开关单元连接于所述初始化单元的第二端和所述驱动模块的控制端之间,所述开关单元的控制端接入第二扫描信号,所述开关单元用于响应所述第二扫描信号而导通或断开所述初始化单元和所述驱动模块;

[0012] 优选地,所述第二扫描信号为发光控制信号。

[0013] 可选地,所述初始化单元包括第一晶体管,所述开关单元包括第二晶体管;

[0014] 所述第一晶体管的栅极接入所述第一扫描信号,所述第一晶体管的第一极接入所述初始化电压,所述第一晶体管的第二极连接所述存储模块的第一端;

[0015] 所述第二晶体管的栅极接入所述第二扫描信号,所述第二晶体管的第一极连接所述第一晶体管的第二极,所述第二晶体管的第二极连接所述驱动模块的控制端。

[0016] 可选地,所述数据写入模块包括第三晶体管,所述存储模块包括第一电容,所述驱动模块包括驱动晶体管;

[0017] 所述第三晶体管的栅极接入第三扫描信号,所述第三晶体管的第一极接入所述数据电压,所述第三晶体管的第二极连接所述驱动晶体管的栅极;

[0018] 所述第一电容的第一极连接所述第一初始化模块,所述第一电容的第二极连接所述驱动晶体管的第二极。

[0019] 可选地,还包括第二电容,所述第二电容的第一极连接所述驱动模块的控制端,所述第二电容的第二极接入固定电压,所述第二电容用于存储所述驱动模块的控制端的电压。

[0020] 可选地,所述存储模块包括第一电容,所述第二电容的容值小于所述第一电容的容值。

[0021] 可选地,还包括发光控制模块,所述发光控制模块的控制端接入发光控制信号,所述发光控制模块连接于所述驱动模块的第二端和所述发光器件之间,所述发光控制模块用于响应所述发光控制信号而导通或断开所述驱动模块和所述发光器件;

[0022] 优选地,所述发光控制模块包括第四晶体管,所述第四晶体管的栅极接入所述发光控制信号,所述第四晶体管的第一极连接所述驱动模块的第二端,所述第四晶体管的第二极连接所述发光器件的第一极。

[0023] 可选地,还包括第二初始化模块,所述第二初始化模块的控制端接入第四扫描信号,所述第二初始化模块的第一端接入复位电压,所述第二初始化模块的第二端连接所述发光器件的第一极,所述第二初始化模块用于响应所述第四扫描信号,向所述发光器件的第一极写入所述复位电压;

[0024] 优选地,所述第二初始化模块包括第五晶体管,所述第五晶体管的栅极接入所述第四扫描信号,所述第五晶体管的第一极接入所述复位电压,所述第五晶体管的第二极连接所述发光器件的第一极。

[0025] 第二方面,本发明实施例还提供了一种像素电路的驱动方法,所述像素电路包括:数据写入模块、存储模块、第一初始化模块和驱动模块;所述存储模块的第一端通过所述第一初始化模块连接所述驱动模块的控制端,所述存储模块的第二端连接所述驱动模块的第二端,所述存储模块用于存储所述驱动模块的阈值电压;

[0026] 所述像素电路的驱动方法包括:

[0027] 在初始化阶段,通过所述第一初始化模块向所述驱动模块的控制端和所述存储模块的第一端写入初始化电压;

[0028] 在数据写入阶段,通过所述数据写入模块向所述驱动模块的控制端写入数据电压;

[0029] 在补偿写入阶段,通过所述第一初始化模块向所述存储模块的第一端写入初始化电压,以使所述存储模块存储所述驱动模块的阈值电压;

[0030] 在发光阶段,通过所述驱动模块响应自身的控制端的电压产生驱动电流,以驱动发光器件发光。

[0031] 第三方面,本发明实施例还提供了一种显示面板,包括第一方面所述的像素电路。

[0032] 本发明实施例提供的像素电路及其驱动方法和显示面板,在数据写入阶段,通过

数据写入模块向驱动模块的控制端写入数据电压,在补偿写入阶段,通过第一初始化模块向存储模块的第一端写入初始化电压,以使存储模块存储驱动模块的阈值电压,从而使数据电压写入过程和阈值电压补偿过程沿不同的路径进行,阈值电压补偿过程不依赖于数据电压写入过程。在驱动模块中的驱动晶体管为P型晶体管,且其阈值电压大于0时,或驱动晶体管为N型晶体管,且其阈值电压小于0时,本方案均适用于对以上两种情况进行阈值电压补偿,使得本方案的适用范围更加广泛,能够对多种类型的像素电路进行阈值电压补偿,从而提高显示面板的显示亮度均一性,以提升显示效果。由于补偿写入阶段的时长不影响数据写入阶段的时长,这样还有助于缩短数据写入阶段的时长,以适用于驱动高刷新频率的显示面板。

附图说明

- [0033] 图1是现有技术中的一种像素电路的结构示意图;
- [0034] 图2是本发明实施例提供的一种像素电路的结构示意图;
- [0035] 图3是本发明实施例提供的另一种像素电路的结构示意图;
- [0036] 图4是本发明实施例提供的另一种像素电路的结构示意图;
- [0037] 图5是本发明实施例提供的一种像素电路的驱动时序示意图;
- [0038] 图6是本发明实施例提供的一种像素电路的驱动方法的流程示意图。

具体实施方式

[0039] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部结构。

[0040] 正如背景技术所述,现有像素电路对于晶体管的阈值电压补偿效果较差,导致显示面板存在亮度均一性较差的问题,影响了显示效果。经发明人研究发现,出现上述问题的原因在于,现有技术中驱动晶体管的栅极和第二极短接形式(下文简称为二极管连接形式)的阈值电压补偿方法的适用性不强,并且阈值电压补偿过程耗时较长,使得补偿效果较差。例如,N型铟镓锌氧化物(Indium Gallium Zinc Oxide,IGZO)薄膜晶体管具有漏电流低、工艺成本低的优点,有利于低刷新率,中大尺寸显示面板的制作。然而,N型IGZO薄膜晶体管的电性稳定性较差,其阈值电压可能出现小于0的情况,二极管连接形式的阈值电压补偿方法不适用于补偿N型薄膜晶体管的阈值电压小于0的情况。图1是现有技术中的一种像素电路的结构示意图。下面结合图1进行具体说明,示例性地,参见图1,该像素电路包括晶体管M1(即驱动晶体管)、晶体管M2、晶体管M3、晶体管M4和电容C,晶体管M1的第一极接入第一电源电压VDD,发光器件D的第二极接入第二电源电压VSS。晶体管M1、晶体管M2、晶体管M3和晶体管M4均为P型薄膜晶体管。在数据写入阶段,晶体管M1、晶体管M2和晶体管M3均导通,若数据电压Data为1V,晶体管M1的阈值电压为-1V,数据电压Data依次通过晶体管M2、晶体管M1和晶体管M3写入晶体管M1的栅极,直到晶体管M1关断。在晶体管M1关断时,其栅极电压约为0V。若晶体管M1的阈值电压大于0,例如晶体管M1的阈值电压为1V,则晶体管M1关断时,其栅极电压需达到2V,而数据电压Data仅为1V,无法向晶体管M1的栅极写入2V的电压。因此,该二极管连接形式的补偿方法不适用于补偿P型薄膜晶体管的阈值电压大于0的情况。同理可

知,该二极管连接形式的补偿方法也不适用于补偿N型薄膜晶体管的阈值电压小于0的情况。

[0041] 综上所述,现有像素电路的阈值电压补偿方法的适用性不强,使得其补偿效果较差,导致显示面板的亮度均一性较差,从而影响了显示效果。

[0042] 针对上述问题,本发明实施例提供了一种像素电路。图2是本发明实施例提供了一种像素电路的结构示意图。参见图2,该像素电路包括:数据写入模块10、存储模块20、第一初始化模块30和驱动模块40;数据写入模块10用于在数据写入阶段向驱动模块40的控制端G写入数据电压Data;存储模块20的第一端通过第一初始化模块30连接驱动模块40的控制端G,存储模块20的第二端连接驱动模块40的第二端,存储模块20用于存储驱动模块40的阈值电压;第一初始化模块30用于向驱动模块40的控制端G写入初始化电压Vcom,以及,向存储模块20的第一端写入初始化电压Vcom,以使存储模块20存储驱动模块40的阈值电压;驱动模块40用于在发光阶段响应自身的控制端的电压产生驱动电流,以驱动发光器件D1发光。

[0043] 示例性地,数据写入模块10连接驱动模块40的控制端G,第一初始化模块30连接驱动模块40的控制端G和存储模块20的第一端,存储模块20的第二端与驱动模块40的第二端之间的连接点为S点。存储模块20的第一端通过第一初始化模块30连接驱动模块40的控制端G,其含义可以是第一初始化模块30可用于控制存储模块20的第一端与驱动模块40的控制端G导通,以使存储模块20的第一端可通过第一初始化模块30连接驱动模块40的控制端G,或者控制存储模块20的第一端断开与驱动模块40的控制端G的连接。可选地,该像素电路还包括发光控制模块50,发光控制模块50连接于驱动模块40的第二端和发光器件D1之间,用于导通或断开驱动模块40和发光器件D1。

[0044] 下面对图2所示的像素电路的工作原理进行说明。示例性地,该像素电路的工作过程至少包括:初始化阶段、数据写入阶段、补偿写入阶段和发光阶段。

[0045] 在初始化阶段,控制第一初始化模块30导通,通过第一初始化模块30向驱动模块40的控制端G和存储模块20的第一端写入初始化电压Vcom,以对驱动模块40的控制端G和存储模块20的第一端的电位进行初始化,并将驱动模块40的控制端G和存储模块20的第一端的电位置为Vcom。

[0046] 在数据写入阶段,控制数据写入模块10导通,并控制第一初始化模块30断开存储模块20的第一端与驱动模块40的控制端G的连接。通过数据写入模块10向驱动模块40的控制端G写入数据电压Data,同时,第一电源电压VDD可通过驱动模块40向存储模块20充电。

[0047] 在补偿写入阶段,继续控制数据写入模块10导通,以通过数据写入模块10持续向驱动模块40的控制端G写入数据电压Data。控制第一初始化模块30向存储模块20的第一端写入初始化电压Vcom,控制第一初始化模块30断开存储模块20的第一端与驱动模块40的控制端G的连接,并控制发光控制模块50关断。第一电源电压VDD持续通过驱动模块40向存储模块20充电,使得S点的电位逐渐接近Data-Vth,其中,在驱动模块40中包括栅极连接驱动模块40的控制端G,第二极连接驱动模块40的第二端的驱动晶体管时,Vth为驱动晶体管的阈值电压。在补偿写入阶段结束时,控制第一初始化模块30停止对存储模块20的第一端进行置位,并控制第一初始化模块30断开存储模块20的第一端与驱动模块40的控制端G的连接,以使存储模块20结束充电,存储模块20两端的压差约为Vcom-Data+Vth。

[0048] 在发光阶段,控制数据写入模块10关断,控制发光控制模块50导通,并通过第一初始化模块30控制存储模块20的第一端与驱动模块40的控制端G导通。第一电源电压VDD通过驱动模块40和第一发光控制模块60写入发光器件D1的第一极,第二电源电压VSS写入发光器件D1的第二极,驱动模块40根据自身的控制端的电压产生驱动电流,从而驱动发光器件D1以相应的亮度进行发光显示。驱动模块40的控制端G和第二端之间的压差,即驱动模块40中的驱动晶体管的栅极与第二极之间的压差 V_{gs} 接近 $V_{com-Data}+V_{th}$ 。驱动晶体管产生的驱动电流 I_{ds} 可表示为:

$$[0049] \quad I_{ds} = (W/2L) \mu C_{ox} (V_{gs} - V_{th})^2 = (W/2L) \mu C_{ox} (V_{com-Data})^2;$$

[0050] 其中,W是晶体管的沟道宽度,L是晶体管的沟道长度, μ 是晶体管的电子迁移率, C_{ox} 是晶体管的单位面积沟道电容。

[0051] 由此可知,驱动晶体管产生的驱动电流 I_{ds} 与驱动晶体管的阈值电压 V_{th} 无关,实现了驱动模块40的阈值电压补偿,有助于提高显示面板的显示亮度均一性,从而提升显示效果。

[0052] 在图1所示的现有像素电路中,数据电压写入过程及阈值电压补偿过程同步进行,通过数据写入晶体管(晶体管M2)、驱动晶体管(晶体管M2)和补偿晶体管(晶体管M3)向驱动晶体管的栅极写入数据电压,同时进行阈值电压补偿,在驱动晶体管为P型薄膜晶体管,且其阈值电压出现大于0的情况时,以及驱动晶体管为N型薄膜晶体管,且其阈值电压出现小于0的情况时,利用数据电压难以向驱动晶体管的栅极写入满足阈值电压补偿所需的充足电压,该二极管连接形式的阈值电压补偿方法不适用于对上述两种情况进行阈值电压补偿。与现有技术相比,本方案通过数据写入模块10直接向驱动模块40的控制端G写入数据电压,并设置第一电源电压VDD通过驱动模块40向存储模块20充电,使存储模块20存储驱动模块40阈值电压,使得本方案中的数据电压写入和阈值电压补偿沿不同的路径进行,驱动模块50的阈值电压补偿过程不依赖于数据电压写入过程。在驱动模块50中的驱动晶体管为P型薄膜晶体管,且其阈值电压出现大于0的情况时,或者驱动晶体管为N型薄膜晶体管,且其阈值电压出现小于0的情况时,本方案均适用于对以上两种情况进行阈值电压补偿,使得本方案的适用范围更加广泛。

[0053] 综上所述,本发明实施例的技术方案,在数据写入阶段,通过数据写入模块向驱动模块的控制端写入数据电压,在补偿写入阶段,通过第一初始化模块向存储模块的第一端写入初始化电压,以使存储模块存储驱动模块的阈值电压,从而使数据电压写入过程和阈值电压补偿过程沿不同的路径进行,阈值电压补偿过程不依赖于数据电压写入过程。在驱动模块中的驱动晶体管为P型晶体管,且其阈值电压大于0时,或驱动晶体管为N型晶体管,且其阈值电压小于0时,本方案均适用于对以上两种情况进行阈值电压补偿,使得本方案的适用范围更加广泛,能够对多种类型的像素电路进行阈值电压补偿,从而提高显示面板的显示亮度均一性,以提升显示效果。由于补偿写入阶段的时长不影响数据写入阶段的时长,这样还有助于缩短数据写入阶段的时长,以适用于驱动高刷新频率的显示面板。

[0054] 图3是本发明实施例提供的另一种像素电路的结构示意图。参见图3,在上述实施例的基础上,可选地,设置第一初始化模块30包括初始化单元31和开关单元32;初始化单元31的控制端接入第一扫描信号Reset1,初始化单元31的第一端接入初始化电压 V_{com} ,初始化单元31的第二端连接存储模块20的第一端,初始化单元31用于响应第一扫描信号

Reset1,向存储模块20的第一端写入初始化电压Vcom;开关单元32连接于初始化单元31的第二端和驱动模块40的控制端G之间,开关单元32的控制端接入第二扫描信号,开关单元32用于响应第二扫描信号而导通或断开初始化单元31和驱动模块40。

[0055] 具体地,初始化单元31响应第一扫描信号Reset1而导通或关断,以在导通时向存储模块20的第一端写入初始化电压Vcom。开关单元32响应第二扫描信号而导通或关断,以在导通时连通初始化单元31的第二端和驱动模块40的控制端G,在关断时断开初始化单元31的第二端和驱动模块40的控制端G的连接。通过控制初始化单元31响应第一扫描信号Reset1导通,开关单元32响应第二扫描信号导通,能够使初始化电压Vcom通过初始化单元31写入存储模块20的第一端,并通过初始化单元31和开关单元32写入驱动模块40的控制端G。

[0056] 可选地,发光控制模块50的控制端接入发光控制信号EM,开关单元32的控制端接入的第二扫描信号为发光控制信号EM。开关单元32的控制端和发光控制模块50的控制端均接入的信号相同,以利用相同的信号来控制开关单元32和发光控制模块50,使开关单元32的控制端和发光控制模块50的控制端能够连接至同一条信号线,从而减少像素电路连接的信号线的数量。

[0057] 继续参见图3,在上述实施例的基础上,可选地,设置初始化单元31包括第一晶体管T1,开关单元32包括第二晶体管T2。第一晶体管T1的栅极接入第一扫描信号Reset1,第一晶体管T1的第一极接入初始化电压Vcom,第一晶体管T1的第二极连接存储模块20的第一端。第一晶体管T1可响应第一扫描信号Reset1而导通或关断,以在导通时向存储模块20的第一端写入初始化电压Vcom。第二晶体管T2的栅极接入第二扫描信号,第二晶体管T2的第一极连接第一晶体管T1的第二极,第二晶体管T2的第二极连接驱动模块40的控制端G。第二晶体管T2可响应第二扫描信号而导通或关断,以在导通时连通初始化单元31的第二端和驱动模块40的控制端G,在关断时断开初始化单元31的第二端和驱动模块40的控制端G的连接。

[0058] 继续参见图3,可选地,数据写入模块10包括第三晶体管T3,存储模块20包括第一电容Cst1,驱动模块40包括驱动晶体管DT。第三晶体管T3的栅极接入第三扫描信号Scan,第三晶体管T3的第一极接入数据电压Data,第三晶体管T3的第二极连接驱动晶体管DT的栅极,第三晶体管T3可响应第三扫描信号Scan而导通或关断,以在导通时向驱动晶体管DT的栅极写入数据电压Data。第一电容Cst1的第一极连接第一初始化模块30,第一电容Cst1的第二极连接驱动晶体管DT的第二极,第一电容Cst1用于存储驱动晶体管DT的阈值电压。

[0059] 继续参见图3,可选地,发光控制模块50连接于驱动模块40的第二端和发光器件D1之间,发光控制模块50用于响应发光控制信号EM而导通或断开驱动模块40和发光器件D1。具体地,发光控制模块50可响应发光控制信号EM而导通或关断,以在导通时连通驱动模块40的第二端和发光器件D1的第一极,在关断时断开驱动模块40的第二端和发光器件D1的第一极的连接。可选地,发光控制模块50包括第四晶体管T4,第四晶体管T4的栅极接入发光控制信号EM,第四晶体管T4的第一极连接驱动模块40的第二端,第四晶体管T4的第二极连接发光器件D1的第一极。具体地,第四晶体管T4可响应发光控制信号EM而导通或关断,以在导通时连通驱动模块40的第二端和发光器件D1的第一极,在关断时断开驱动模块40的第二端和发光器件D1的第一极的连接。

[0060] 继续参见图3,可选地,该像素电路还包括第二初始化模块60,第二初始化模块60的控制端接入第四扫描信号Reset2,第二初始化模块60的第一端接入复位电压Vref,第二初始化模块60的第二端连接发光器件D1的第一极,第二初始化模块60用于响应第四扫描信号Reset2,向发光器件D1的第一极写入复位电压Vref。具体地,第二初始化模块60响应第四扫描信号Reset2而导通或关断,以在导通时向发光器件D1的第一极写入复位电压Vref,对发光器件D1的第一极的电位进行初始化。可选地,在初始化阶段,控制第二初始化模块60响应第四扫描信号Reset2而导通,并控制发光控制模块50响应发光控制信号EM而导通,以通过第二初始化模块60向发光器件D1的第一极写入复位电压Vref,并通过第二初始化模块60和发光控制模块50向S点写入复位电压Vref,对存储模块20的第二端的电位进行初始化。

[0061] 可选地,在发光阶段之前,控制第二初始化模块60响应第四扫描信号Reset2而导通,以在发光阶段之前,持续通过第二初始化模块60向发光器件D1的第一极写入复位电压Vref,以延长发光器件D1的第一极的初始化时间,这样有助于避免上一帧显示画面的残留电荷对下一帧显示画面产生影响,并有助于确保屏体的黑态显示画面足够黑,以避免产生像素电路中的信号耦合导致发光器件D1瞬间发光的问题,有利于提高显示画面的对比度。

[0062] 可选地,第二初始化模块60包括第五晶体管T5,第五晶体管T5的栅极接入第四扫描信号Reset2,第五晶体管T5的第一极接入复位电压Vref,第五晶体管T5的第二极连接发光器件D1的第一极。第五晶体管T5可响应第四扫描信号Reset2而导通或关断,以在导通时向发光器件D1的第一极写入复位电压Vref,对发光器件D1的第一极的电位进行初始化。

[0063] 图4是本发明实施例提供的另一种像素电路的结构示意图。参见图4,在上述各实施例的基础上,可选地,该像素电路还包括第二电容Cst2,第二电容Cst2的第一极连接驱动模块40的控制端G,第二电容Cst2的第二极接入固定电压,第二电容Cst2用于存储驱动模块40的控制端G的电压。示例性地,在数据写入阶段,控制数据写入模块导通,以通过数据写入模块向驱动模块40的控制端G写入数据电压Data,并通过第二电容Cst2存储驱动模块40的控制端G的电压。这样设置的好处在于,能够通过第二电容Cst2暂存数据电压Data,无需通过持续控制数据写入模块导通的方式来使驱动模块40的控制端G的电压保持为数据电压Data,有助于缩短数据写入阶段的时长,以适用于驱动高刷新频率的显示面板。

[0064] 可选地,存储模块20包括第一电容Cst1,第二电容Cst2的容值小于第一电容Cst1的容值。示例性地,在发光阶段,控制第二晶体管T2和第四晶体管T4响应发光控制信号EM导通,使N点和驱动晶体管DT的栅极短接,通过设置第二电容Cst2的容值小于第一电容Cst1的容值,能够使驱动晶体管DT的栅极与第二极之间的压差Vgs接近第一电容Cst1两端的压差,即 $V_{com}-Data+V_{th}$,从而使驱动晶体管在发光阶段产生的驱动电流 $I_{ds} = (W/2L) \mu C_{ox} (V_{com}-Data)^2$,实现驱动晶体管的阈值电压补偿。另外,容值较小的第一电容Cst1相对于容值较大的第二电容Cst2的充电速度更快,因此通过容值较小的第一电容Cst1来存储数据电压Data,有助于缩短数据写入阶段的时长,并且,还有助于节约显示面板的制作成本并减少功耗。

[0065] 需要说明的是,图3和图4均示出了像素电路中的各晶体管均为N型晶体管的情况。在实际应用中,像素电路中的各晶体管既可以是P型晶体管,也可以是N型晶体管,本发明实施例对此不进行限制。在设置驱动晶体管DT为铟镓锌氧化物晶体管,即N型IGZO晶体管时,不仅有利于降低像素电路的漏电流和工艺成本,使得该像素电路适用于低刷新率,中大尺

寸显示面板的制作,通过该像素电路还能够对驱动晶体管DT的阈值电压小于0的情况进行补偿,以提高显示亮度均一性。并且,第二电容Cst2的设置,还有助于缩短数据写入阶段的时长,以使该像素电路适用于驱动高刷新频率的显示面板,从而进一步拓宽了该像素电路的刷新频率适用范围。

[0066] 图5是本发明实施例提供的一种像素电路的驱动时序示意图,图5所示的驱动时序可适用于驱动图4所示的像素电路工作。下面结合图4和图5,以图4中的各晶体管均是N型晶体管为例,对该像素电路的工作原理进行说明。示例性地,该像素电路的工作阶段包括第一阶段t1、第二阶段t2、第三阶段t3、第四阶段t4、第五阶段t5和第六阶段t6。

[0067] 第一阶段t1:第一阶段t1为初始化阶段。第三扫描信号Scan为低电平信号,发光控制信号EM和第四扫描信号Reset2为高电平信号。第二晶体管T2、第四晶体管T4和第五晶体管T5导通,第三晶体管T3关断。复位电压Vref通过第五晶体管T5写入发光器件D1的第一极,以对发光器件D1的第一极的电位进行初始化,使A点的电位被置为Vref。复位电压Vref还通过第五晶体管T5和第四晶体管T4写入S点,使S点的电位被置为Vref,以对第一电容Cst1的第二极的电位进行初始化。在第一扫描信号Reset1由低电平信号变为高电平信号时,第一晶体管T1导通,初始化电压Vcom通过第一晶体管T1写入N点,使N点的电位被置为Vcom,以对第一电容Cst1的第一极的电位进行初始化。初始化电压Vcom还通过第一晶体管T1和第二晶体管T2写入驱动晶体管DT的栅极和第二电容Cst2的第一极,使驱动晶体管DT的栅极和第二电容Cst2的第一极的电位被置为Vcom,以对驱动晶体管DT的栅极和第二电容Cst2的第一极的电位进行初始化。

[0068] 第二阶段t2:第二阶段t2为数据写入阶段。发光控制信号EM为低电平信号,第一扫描信号Reset1和第四扫描信号Reset2为高电平信号。第一晶体管T1和第五晶体管T5导通,第二晶体管T2和第四晶体管T4关断。复位电压Vref通过第五晶体管T5写入发光器件D1的第一极,持续将A点的电位置为Vref。初始化电压Vcom通过第一晶体管T1写入N点,持续将N点的电位置为Vcom。在第三扫描信号Scan由低电平信号变为高电平信号时,第三晶体管T3导通,数据电压Data通过第三晶体管T3写入驱动晶体管DT的栅极并存储至第二电容Cst2。同时,第一电源电压VDD通过驱动晶体管DT向第一电容Cst1充电。

[0069] 第三阶段t3:第三阶段t3为补偿写入阶段。第三扫描信号Scan和发光控制信号EM为低电平信号,第一扫描信号Reset1和第四扫描信号Reset2为高电平信号。第三晶体管T3关断,其他晶体管的导通状态与第二阶段t2相同。第一电源电压VDD通过驱动晶体管DT持续向第一电容Cst1充电,使得S点的电位逐渐接近Data-Vth。

[0070] 第四阶段t4:第一扫描信号Reset1为低电平信号,其他信号与第三阶段t3相同。第一晶体管T1关断,其他晶体管的导通状态与第三阶段t3相同。第一电容Cst1已结束充电,第一电容Cst1两端的压差约为Vcom-Data+Vth。

[0071] 第五阶段t5:发光控制信号EM为高电平信号,其他信号与第四阶段t4相同。第四晶体管T4导通,其他晶体管的导通状态与第四阶段t4相同。复位电压Vref通过第五晶体管T5和第四晶体管T4写入S点,使S点的电位被拉至Vref,N点和驱动晶体管DT的栅极短接,由于第二电容Cst2的容值小于第一电容Cst1的容值,驱动晶体管DT的栅极与第二极之间的压差Vgs接近第一电容Cst1两端的压差,即Vcom-Data+Vth(虽然S点的电位被拉至Vref,但是由于第一电容Cst1的耦合作用,第一电容Cst1两端的压差维持不变)。

[0072] 第六阶段t6:第六阶段t6为发光阶段。第四扫描信号Reset2为低电平信号,其他信号与第五阶段t5相同。驱动晶体管DT和第四晶体管T4导通,第五晶体管T5关断。第一电源电压VDD通过驱动晶体管DT和第四晶体管T4写入发光器件D1的第一极,发光器件D1的第二极写入第二电源电压VSS,驱动晶体管DT根据自身的栅极电压产生驱动电流,从而驱动发光器件D1以相应的亮度进行发光显示。驱动晶体管产生的驱动电流 I_{ds} 可表示为:

$$[0073] \quad I_{ds} = (W/2L) \mu C_{ox} (V_{gs} - V_{th})^2 = (W/2L) \mu C_{ox} (V_{com} - Data)^2;$$

[0074] 由此可知,驱动晶体管DT产生的驱动电流 I_{ds} 与阈值电压 V_{th} 无关,实现了驱动晶体管DT的阈值电压补偿,有助于提高显示面板的显示亮度均一性,从而提升显示效果。

[0075] 结合图4和图5可以看出,第二阶段t2(即数据写入阶段)的时长极短,第三阶段t3(即补偿写入阶段)的时长不影响第二阶段t2的时长,本方案缩短了数据写入阶段的时长,以适用于高分辨率及高刷新率的显示面板。在第六阶段t6之前,复位电压 V_{ref} 通过第五晶体管T5持续写入发光器件D1的第一极,对发光器件D1的第一极的电位进行置位,使得驱动晶体管DT在第六阶段t6之前均未产生驱动电流,发光器件D1中没有电流 I_{oled} 流过,使得屏体显示黑画面时不会发光,有助于提升显示画面的对比度。

[0076] 示例性地,参见图5,在设置第三扫描信号Scan的高电平信号维持至第三阶段t3结束才变为低电平信号时,该驱动时序还可用于驱动图3所示的像素电路工作,以在第二阶段t2和第三阶段t3控制第三晶体管T3导通,以通过第三晶体管T3持续向驱动晶体管DT的栅极写入数据电压Data,以维持驱动晶体管DT的栅极电位。该像素电路的数据写入时间较长,可适用于驱动低分辨率或低刷新率的显示面板工作。该像素电路的其他工作阶段的工作原理与图4所示的像素电路的工作原理类似,具体可参见图4所示的像素电路的工作原理进行理解,这里不再赘述。

[0077] 本发明实施例还提供了一种显示面板,该显示面板可以是发光二极管LED显示面板、有机发光二极管OLED显示面板或微发光二极管Micro LED显示面板等。本发明实施例提供的显示面板,包括本发明任意实施例所提供的像素电路,其技术原理和产生的效果类似,不再赘述。

[0078] 本发明实施例还提供了一种像素电路的驱动方法,图6是本发明实施例提供的一种像素电路的驱动方法的流程示意图。本发明实施例提供的像素电路的驱动方法,适用于驱动本发明任意实施例提供的像素电路工作。参见图6,该像素电路的驱动方法具体包括如下步骤:

[0079] S110、在初始化阶段,通过第一初始化模块向驱动模块的控制端和存储模块的第一端写入初始化电压。

[0080] S120、在数据写入阶段,通过数据写入模块向驱动模块的控制端写入数据电压。

[0081] S130、在补偿写入阶段,通过第一初始化模块向存储模块的第一端写入初始化电压,以使存储模块存储驱动模块的阈值电压。

[0082] S140、在发光阶段,通过驱动模块响应自身的控制端的电压产生驱动电流,以驱动发光器件发光。

[0083] 本发明实施例的技术方案,在数据写入阶段,通过数据写入模块向驱动模块的控制端写入数据电压,在补偿写入阶段,通过第一初始化模块向存储模块的第一端写入初始化电压,以使存储模块存储驱动模块的阈值电压,从而使数据电压写入过程和阈值电压补

偿过程沿不同的路径进行,阈值电压补偿过程不依赖于数据电压写入过程。在驱动模块中的驱动晶体管为P型晶体管,且其阈值电压大于0时,或驱动晶体管为N型晶体管,且其阈值电压小于0时,本方案均适用于对以上两种情况进行阈值电压补偿,使得本方案的适用范围更加广泛,能够对多种类型的像素电路进行阈值电压补偿,从而提高显示面板的显示亮度均一性,以提升显示效果。由于补偿写入阶段的时长不影响数据写入阶段的时长,这样还有助于缩短数据写入阶段的时长,以适用于驱动高刷新频率的显示面板。

[0084] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

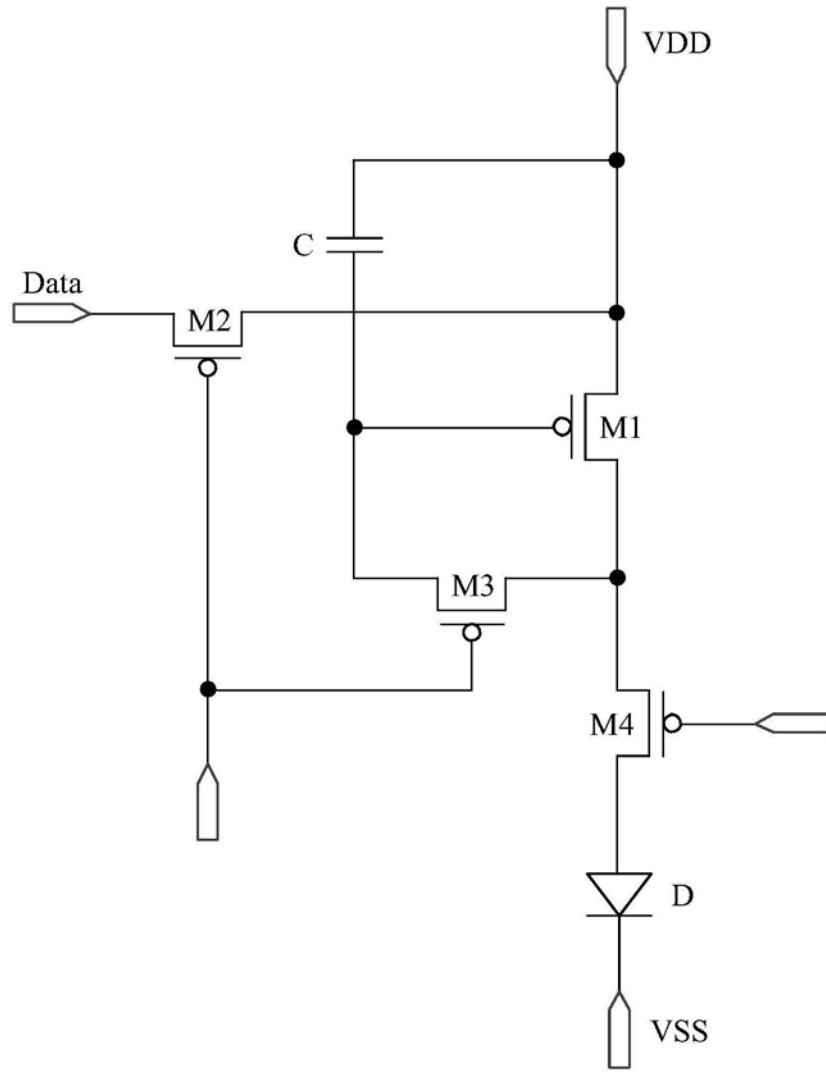


图1

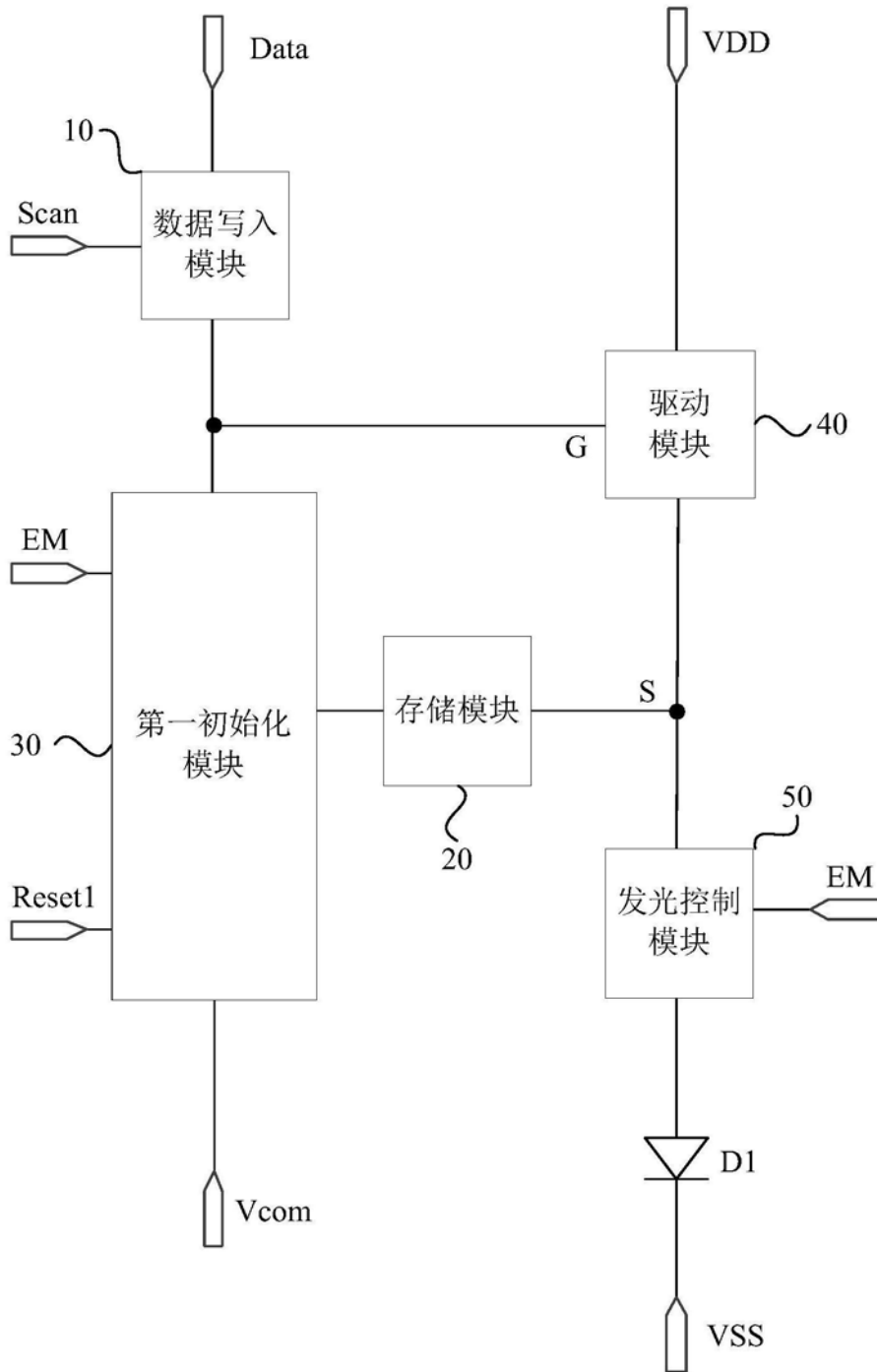


图2

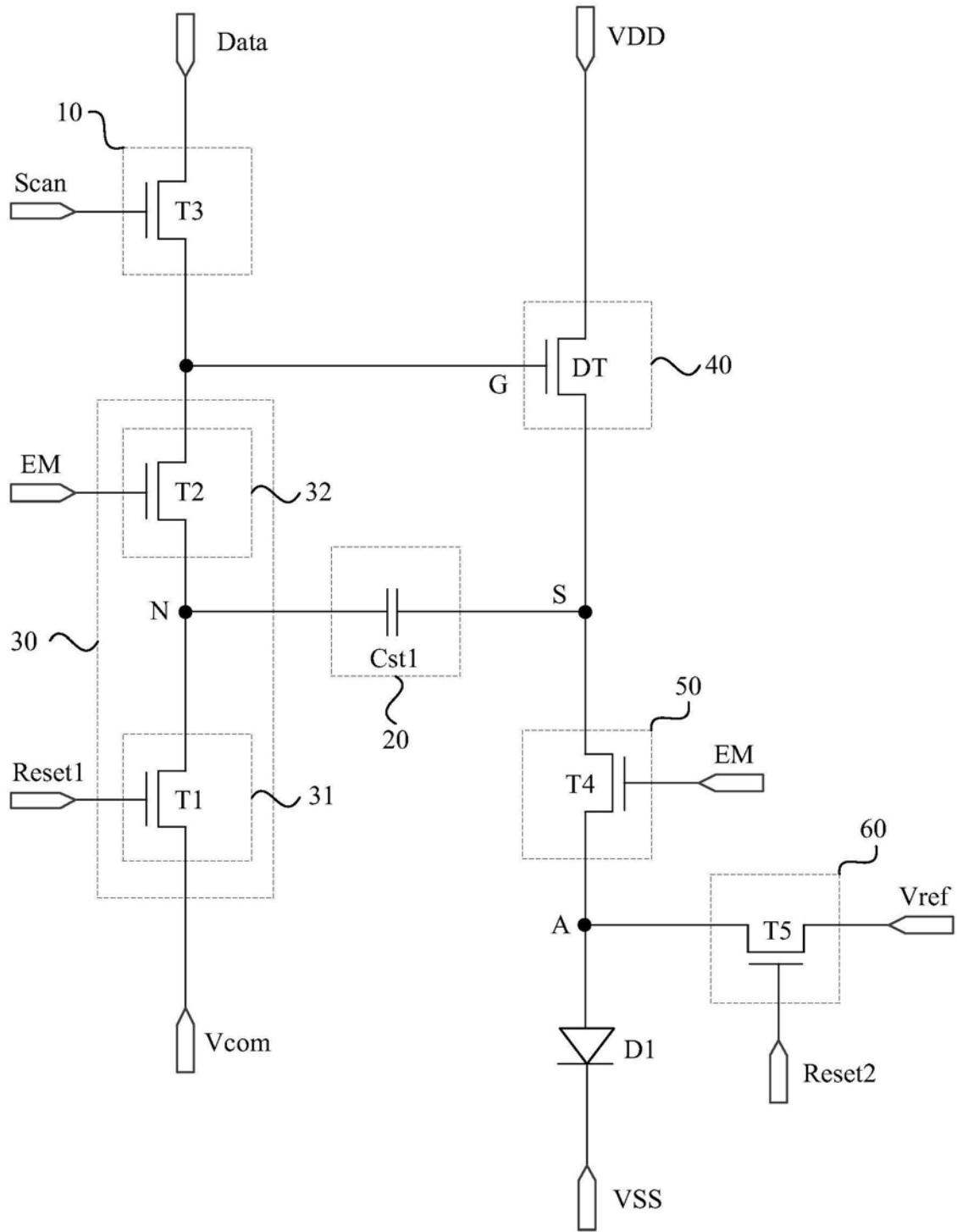


图3

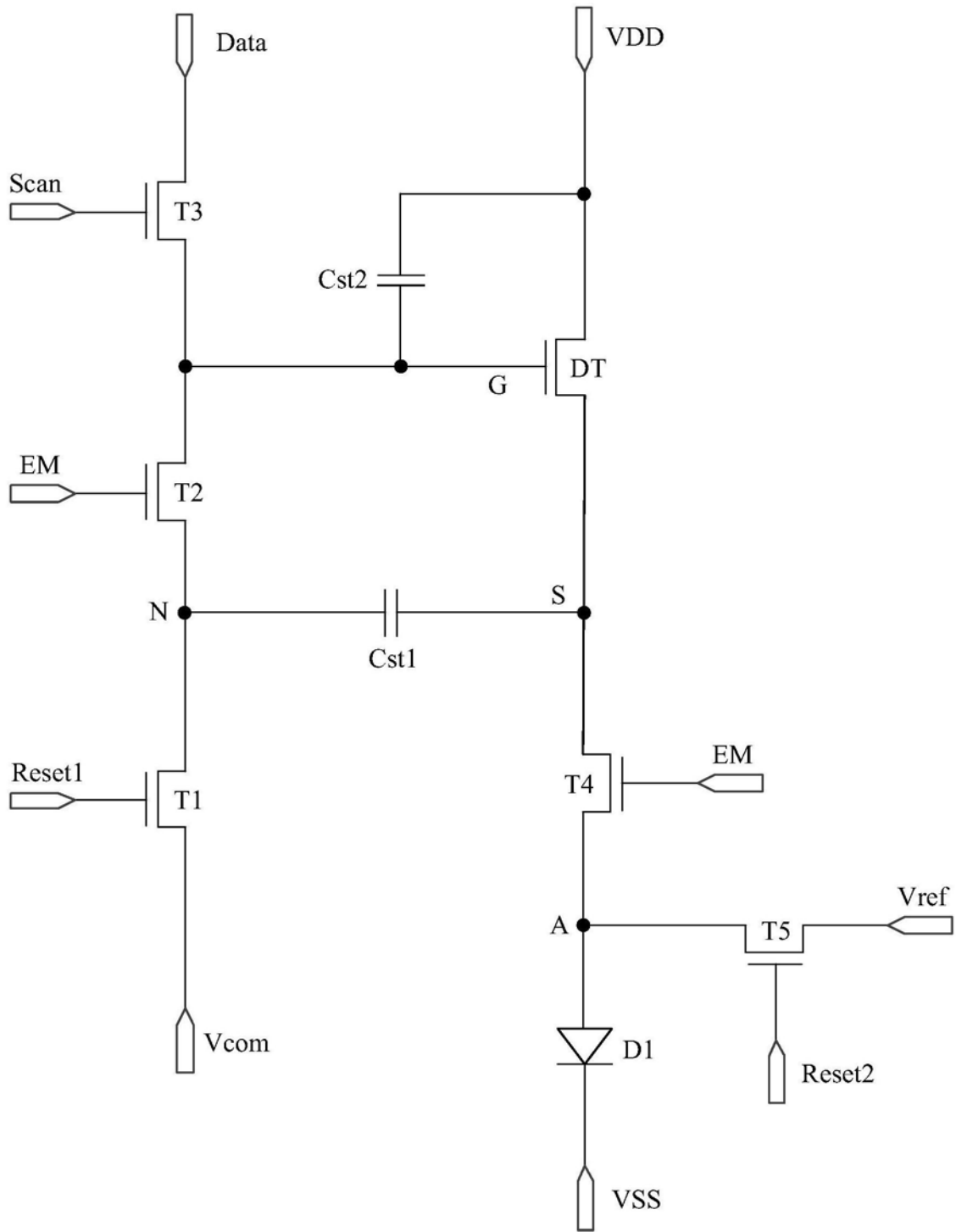


图4

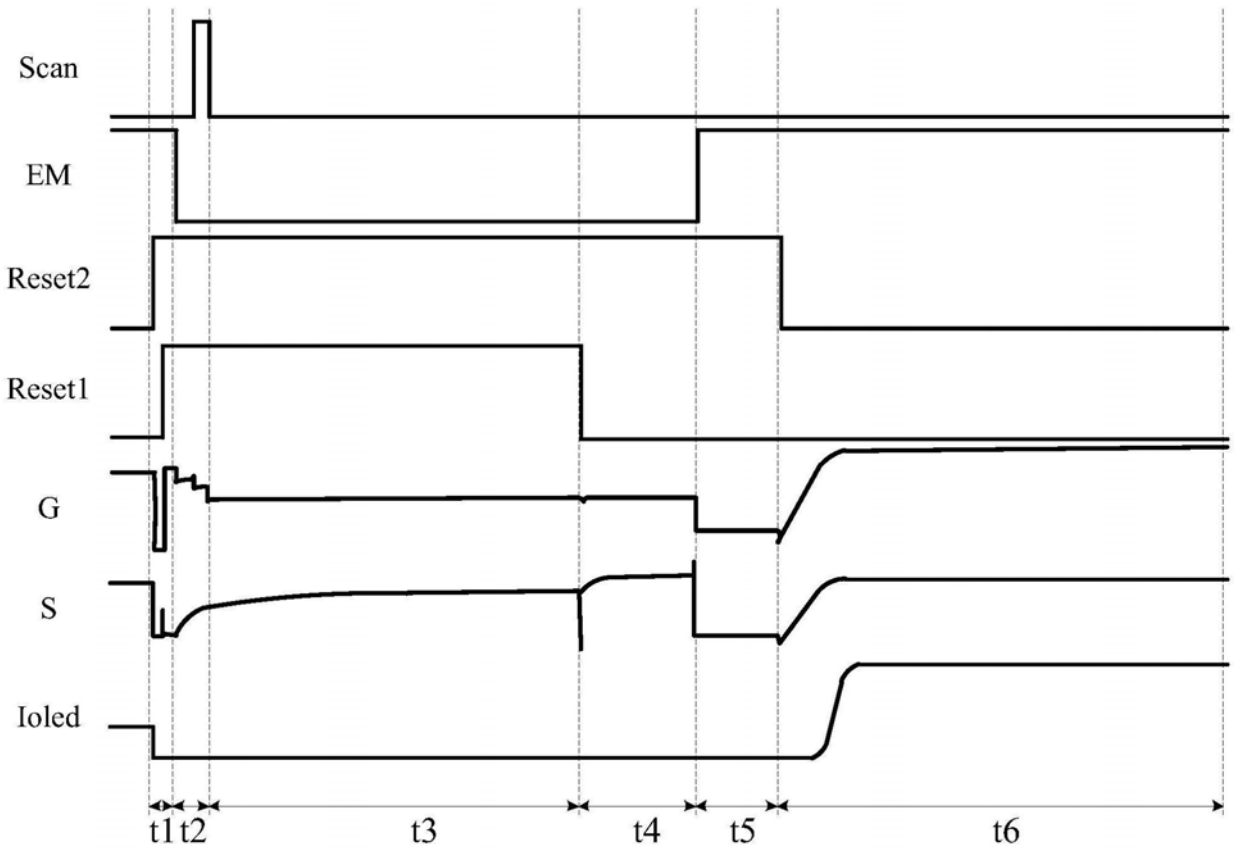


图5

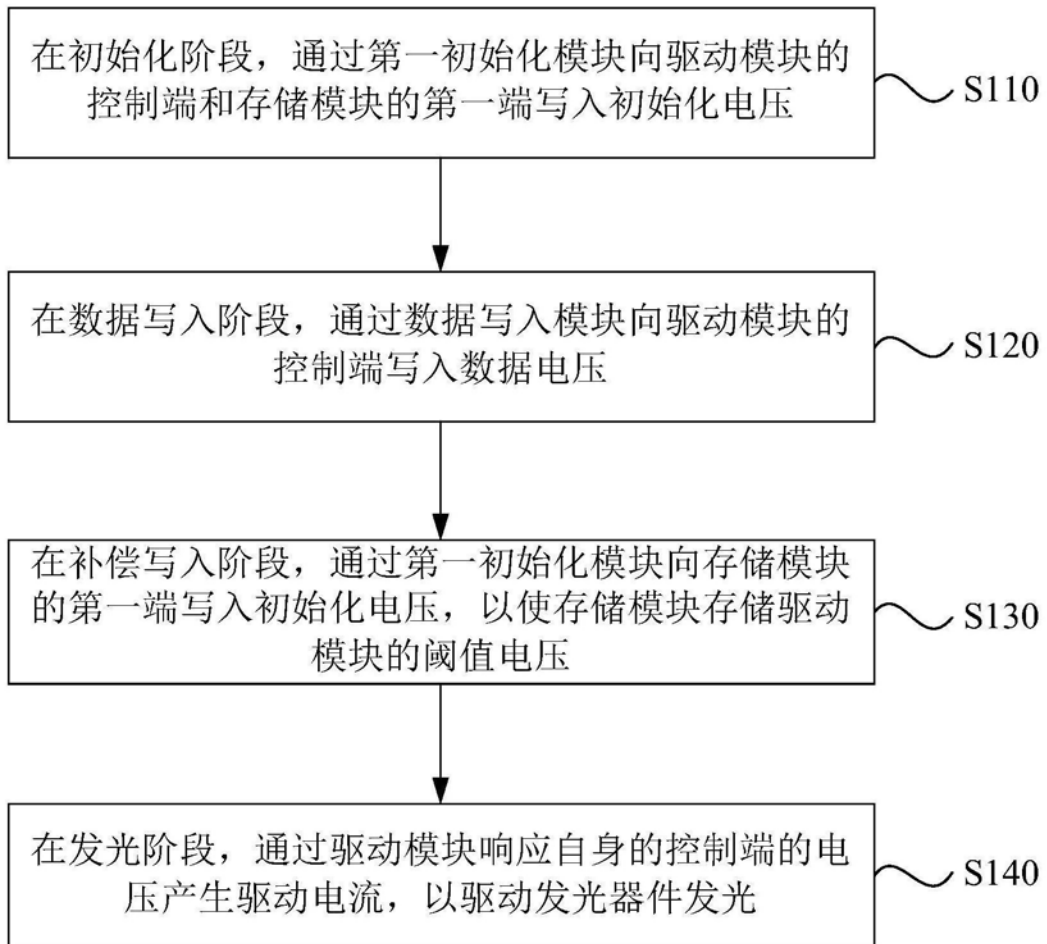


图6