



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I768549 B

(45)公告日：中華民國 111(2022)年 06 月 21 日

(21)申請案號：109140483

(22)申請日：中華民國 109(2020)年 11 月 19 日

(51)Int. Cl. : H03M1/06 (2006.01)

H03M1/38 (2006.01)

(71)申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORPORATION (TW)

新竹市東區新竹科學工業園區創新二路 2 號

(72)發明人：黃詩雄 HUANG, SHIH-HSIUNG (TW)

(74)代理人：林昱初

(56)參考文獻：

TW	I499218	CN	103219996B
US	6563445B1	US	6914550B2
US	7397412B1	US	8471753B1
US	8497789B2	US	9294116B2
US	10536161B1	US	10608658B2

審查人員：范士隆

申請專利範圍項數：10 項 圖式數：5 共 21 頁

(54)名稱

管線式類比數位轉換器與類比數位轉換方法

(57)摘要

管線式類比數位轉換器包含複數個轉換器電路系統。複數個轉換器電路系統用以按照次序轉換一輸入訊號為複數個數位碼。該些轉換器電路系統包含第一轉換器電路系統與第二轉換器電路系統。第一轉換器電路系統用以轉換第一訊號為該些數位碼中之第一數位碼，並根據第一訊號與第一數位碼產生第一殘餘訊號。第二轉換器電路系統用以接收第一訊號以及第一數位碼以根據第一數位碼量化第一訊號以產生該些數位碼中之第二數位碼，並根據第一殘餘訊號與第二數位碼產生第二殘餘訊號。

A pipeline analog to digital converter (ADC) includes converter circuitries. The converter circuitries are configured to successively convert an input signal to digital codes. The converter circuitries include a first converter circuitry and a second converter circuitry. The first converter circuitry is configured to convert a first signal to a first digital code of the digital codes, and to generate a first residue signal according to the first signal and the first digital code. The second converter circuitry is configured to receive the first signal and the first digital code to quantize the first signal according to the first signal, in order to generate a second digital code of the digital codes, and is configured to generate a second residue signal according to the first residue signal and the second digital code.

指定代表圖：

## 符號簡單說明：

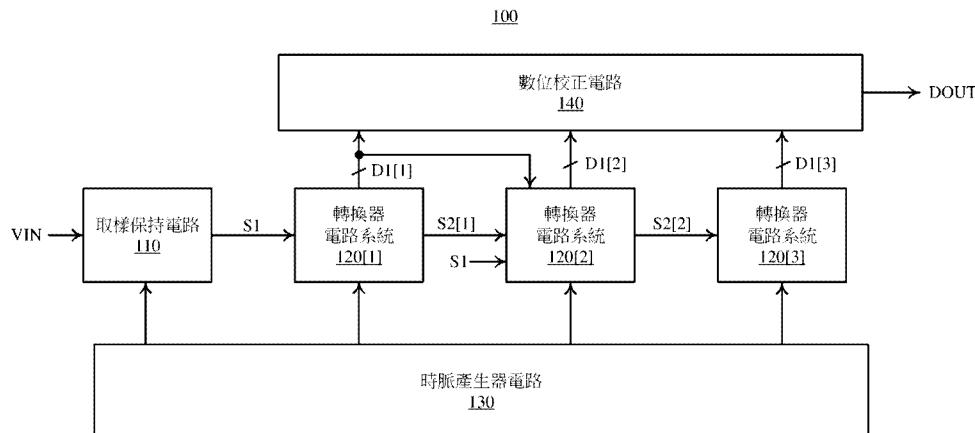


圖 1A

- 100:管線式類比數位轉換器
- 110:取樣保持電路
- 120[1], 120[2], 120[3]:轉換器電路系統
- 130:時脈產生器電路
- 140:數位校正電路
- D1[1]~D1[3], DOUT: 數位碼
- S1:訊號
- S2[1], S2[2]:殘餘訊號
- VIN:輸入訊號

I768549

## 【發明摘要】

【中文發明名稱】 管線式類比數位轉換器與類比數位轉換方法

【英文發明名稱】 PIPELINE ANALOG TO DIGITAL CONVERTER AND  
ANALOG TO DIGITAL CONVERSION METHOD

### 【中文】

管線式類比數位轉換器包含複數個轉換器電路系統。複數個轉換器電路系統用以按照次序轉換一輸入訊號為複數個數位碼。該些轉換器電路系統包含第一轉換器電路系統與第二轉換器電路系統。第一轉換器電路系統用以轉換第一訊號為該些數位碼中之第一數位碼，並根據第一訊號與第一數位碼產生第一殘餘訊號。第二轉換器電路系統用以接收第一訊號以及第一數位碼以根據第一數位碼量化第一訊號以產生該些數位碼中之第二數位碼，並根據第一殘餘訊號與第二數位碼產生第二殘餘訊號。

### 【英文】

A pipeline analog to digital converter (ADC) includes converter circuitries. The converter circuitries are configured to successively convert an input signal to digital codes. The converter circuitries include a first converter circuitry and a second converter circuitry. The first converter circuitry is configured to convert a first signal to a first digital code of the digital codes, and to generate a first residue signal according to the first signal and the first digital code. The second converter circuitry is configured to receive the first signal and the first digital code to quantize the first signal according to the first signal, in order to generate a second digital code of the digital

codes, and is configured to generate a second residue signal according to the first residue signal and the second digital code.

**【指定代表圖】圖1A**

**【代表圖之符號簡單說明】**

100:管線式類比數位轉換器

110:取樣保持電路

120[1], 120[2], 120[3]:轉換器電路系統

130:時脈產生器電路

140:數位校正電路

D1[1]~D1[3], DOUT:數位碼

S1:訊號

S2[1], S2[2]:殘餘訊號

VIN:輸入訊號

## 【發明說明書】

【中文發明名稱】 管線式類比數位轉換器與類比數位轉換方法

【英文發明名稱】 PIPELINE ANALOG TO DIGITAL CONVERTER AND  
ANALOG TO DIGITAL CONVERSION METHOD

### 【技術領域】

【0001】 本案是關於管線式類比數位轉換器，尤其是關於具有延長放大期間的管線式類比數位轉換器與類比數位轉換方法。

### 【先前技術】

【0002】 管線式類比數位轉換器可透過多級轉換來依序轉換輸入訊號為對應的數位碼。在現有技術中，每一級轉換的操作期間為固定的。隨著時脈速度越來越高，一個週期的時間也越來越短。為了讓管線式類比數位轉換器能夠在很短的週期內正確處理該轉換結果，管線式類比數位轉換器中的部分電路（例如為殘值放大器）需要具有較高的電流。如此一來，將造成整體功率消耗變高與整體電路面積變大。

### 【發明內容】

【0003】 於一些實施例中，管線式類比數位轉換器包含複數個轉換器電路系統。複數個轉換器電路系統用以按照次序轉換一輸入訊號為複數個數位碼。該些轉換器電路系統包含第一轉換器電路系統與第二轉換器電路系統。第一轉換器電路系統用以轉換第一訊號為該些數位碼中之第一數位碼，並根據第

一訊號與第一數位碼產生第一殘餘訊號。第二轉換器電路系統用以接收第一訊號以及第一數位碼以根據第一數位碼量化第一訊號以產生該些數位碼中之第二數位碼，並根據第一殘餘訊號與第二數位碼產生第二殘餘訊號。

**【0004】** 於一些實施例中，類比數位轉換方法包含下列操作：轉換第一訊號為第一數位碼，並根據第一訊號與第一數位碼產生第一殘餘訊號；以及根據第一數位碼量化第一訊號以產生第二數位碼，並根據第一殘餘訊號與第二數位碼產生第二殘餘訊號。

**【0005】** 有關本案的特徵、實作與功效，茲配合圖式作較佳實施例詳細說明如下。

#### **【圖式簡單說明】**

##### **【0006】**

〔圖1A〕為根據本案一些實施例繪製一種管線式（pipeline）類比數位轉換器的示意圖；

〔圖1B〕為根據本案一些實施例繪製圖1A中多個轉換器電路系統的操作時序圖；

〔圖2〕為根據本案一些實施例繪製圖1A中多個轉換器電路系統的電路示意圖；

〔圖3〕為根據本案一些實施例繪製圖2中子類比數位轉換器電路的示意圖；

〔圖4〕為根據本案一些實施例繪製一種管線式類比數位轉換器的示意圖；以及

〔圖5〕為根據本案一些實施例繪製的一種類比數位轉換方法之流程圖。

## 【實施方式】

**【0007】** 本文所使用的所有詞彙具有其通常的意涵。上述之詞彙在普遍常用之字典中之定義，在本案的內容中包含任一於此討論的詞彙之使用例子僅為示例，不應限制到本案之範圍與意涵。同樣地，本案亦不僅以於此說明書所示出的各種實施例為限。

**【0008】** 關於本文中所使用之『耦接』或『連接』，均可指二或多個元件相互直接作實體或電性接觸，或是相互間接作實體或電性接觸，亦可指二或多個元件相互操作或動作。如本文所用，用語『電路系統（circuitry）』可為由至少一電路（circuit）所形成的單一系統，且用語『電路』可為由至少一個電晶體與/或至少一個主被動元件按一定方式連接以處理訊號的裝置。

**【0009】** 如本文所用，用語『與/或』包含了列出的關聯項目中的一個或多個的任何組合。在本文中，使用第一、第二與第三等等之詞彙，是用於描述並辨別各個元件。因此，在本文中的第一元件也可被稱為第二元件，而不脫離本案的本意。為易於理解，於各圖式中的類似元件將被指定為相同標號。

**【0010】** 圖1A為根據本案一些實施例繪製一種管線式（pipeline）類比數位轉換器100的示意圖，且圖1B為根據本案一些實施例繪製圖1A中轉換器電路系統120[1]以及轉換器電路系統120[2]的操作時序圖。

**【0011】** 管線式類比數位轉換器100包含取樣保持電路110、多個轉換器電路系統120[1]~120[3]、時脈產生器電路130以及數位校正電路140。取樣保持電路110對輸入訊號VIN取樣，並將取樣到的輸入訊號VIN輸出為訊號S1。於一些實施例中，取樣保持電路110可由切換式電容電路實施。

**【0012】** 多個轉換器電路系統120[1]～120[3]按照次序轉換取樣到的輸入訊號VIN（即訊號S1）為多個數位碼D1[1]～D1[3]。詳細而言，轉換器電路系統120[1]轉換訊號S1以產生數位碼D1[1]，並根據數位碼D1[1]以及訊號S1產生殘餘訊號S2[1]。轉換器電路系統120[2]接收訊號S1、殘餘訊號S2[1]以及數位碼D1[1]。轉換器電路系統120[2]根據數位碼D1[1]量化訊號S1以產生數位碼D1[2]。轉換器電路系統120[2]更根據數位碼D1[2]以及殘餘訊號S2[1]產生殘餘訊號S2[2]。關於轉換器電路系統120[1]以及轉換器電路系統120[2]的相關操作將於後參照圖2與圖3說明。於一些實施例中，轉換器電路系統120[3]可為（但不限於）快閃式類比數位轉換器電路，其用以根據殘餘訊號S2[2]產生數位碼D1[3]。

**【0013】** 時脈產生器電路130用以產生多個時脈訊號（未示出）給取樣保持電路110以及多個轉換器電路系統120[1]～120[3]。如此，取樣保持電路110以及多個轉換器電路系統120[1]～120[3]可根據該些時脈訊號依序執行上述多個操作。數位校正電路140用以組合多個數位碼D1[1]～D1[3]以產生數位碼DO<sub>UT</sub>。於一些實施例中，數位校正電路140可用以校正多個轉換器電路系統120[1]～120[3]每一者的偏移誤差（offset error）與/或增益誤差（gain error）。於一些實施例中，數位校正電路140可由數個數位邏輯電路實施。

**【0014】** 於一些相關技術中，管線式類比數位轉換器中之一級轉換器經設置以轉換前級殘餘訊號以產生對應的數位碼，且此數位碼僅用以在該級轉換器內產生對應的殘餘訊號。於這些技術中，轉換器需要等待前一級轉換器產生殘餘訊號後才能夠進行類比數位轉換。如此，每一級轉換器的類比數位轉換之可運作期間將受到限制。相較於上述技術，於本案一些實施例中，轉換器電路

系統120[2]經設置以轉換取樣到的輸入訊號VIN（即轉換訊號S1而非殘餘訊號S2[1]），且轉換器電路系統120[2]更設置以直接接收數位碼D1[1]。藉由此設置方式，轉換器電路系統120[2]可提前進入放大期間，以開始產生殘餘訊號S2[2]。

**【0015】** 例如，如圖1B所示，當轉換器電路系統120[1]於放大期間T1產生殘餘訊號S2[1]時，轉換器電路系統120[2]可於取樣暨解碼期間T2同時進行類比數位轉換（即產生數位碼D1[2]）以及取樣殘餘訊號S2[1]。轉換器電路系統120[1]是在非重疊期間t1進行類比數位轉換。相較於轉換器電路系統120[1]，轉換器電路系統120[2]的類比數位轉換是在取樣暨解碼期間T2（而非取樣暨解碼期間T2與放大期間T3之間的非重疊時間）內執行。如此，轉換器電路系統120[2]執行類比數位轉換（即產生數位碼D1[2]）之期間可以放寬，並可提前進入放大期間T3來產生殘餘訊號S2[2]。藉此設置方式，放大期間T3可久於放大期間T1。如此一來，可以降低轉換器電路系統120[2]的電流，進而降低整體功率與電路面積。

**【0016】** 圖2為根據本案一些實施例繪製圖1A中轉換器電路系統120[1]以及轉換器電路系統120[2]的電路示意圖。轉換器電路系統120[1]包含子類比數位轉換器電路210以及乘法數位類比轉換器（multiplying digital to analog converter）電路220。子類比數位轉換器電路210用以轉換訊號S1以產生數位碼D1[1]。於一些實施例中，子類比數位轉換器電路210可為（但不限於）快閃式類比數位轉換器電路。乘法數位類比轉換器電路220用以處理數位碼D1[1]以及訊號S1，以產生殘餘訊號S2[1]。

**【0017】** 詳細而言，乘法數位類比轉換器電路220包含子數位類比轉換器電路220-1、減法器電路220-2以及殘值放大器電路220-3。子數位類比轉換器電路220-1可轉換數位碼D1[1]為訊號S21。減法器電路220-2用以自訊號S1減去訊號S21，以產生訊號S31。殘值放大器電路220-3可放大訊號S31以輸出殘餘訊號S2[1]。於一些實施例中，子數位類比轉換器電路220-1、減法器電路220-2以及殘值放大器電路220-3可由切換式開關電容電路（未示出）實施。該切換式開關電容電路的一些開關在取樣期間導通，以取樣輸入訊號VIN為訊號S1。該切換式開關電容電路的另一些開關在放大期間T1導通，以產生殘餘訊號S2[1]。

**【0018】** 轉換器電路系統120[2]包含子類比數位轉換器電路230以及乘法數位類比轉換器電路240。子類比數位轉換器電路230接收數位碼D1[1]以及訊號S1，並根據數位碼D1[1]量化訊號S1以產生數位碼D1[2]。於一些實施例中，子類比數位轉換器電路230可為（但不限於）逐漸逼近暫存式（*successive approximation register, SAR*）類比數位轉換器電路。乘法數位類比轉換器電路240用以處理數位碼D1[2]以及殘餘訊號S2[1]，以產生殘餘訊號S2[2]。

**【0019】** 乘法數位類比轉換器電路240包含子數位類比轉換器電路240-1、減法器電路240-2以及殘值放大器電路240-3。子數位類比轉換器電路240-1可轉換數位碼D1[2]為訊號S22。減法器電路240-2用以自殘餘訊號S2[1]減去訊號S22，以產生訊號S32。殘值放大器電路240-3可放大訊號S32以輸出殘餘訊號S2[2]。於一些實施例中，子數位類比轉換器電路240-1、減法器電路240-2以及殘值放大器電路240-3可由切換式開關電容電路（未示出）實施。該切換式開關電容電路的一些開關在取樣暨解碼期間T2導通，以取樣殘餘訊號S2[1]。該切換式開關電容電路的另一些開關在放大期間T3導通，以產生殘餘訊號S2[2]。

**【0020】** 圖3為根據本案一些實施例繪製圖2中子類比數位轉換器電路230的示意圖。於此例中，子類比數位轉換器電路230為SAR類比數位轉換器電路，其包含比較器電路310、控制邏輯電路320以及電容陣列電路330。

**【0021】** 電容陣列電路330的一端在取樣暨解碼期間T2經由開關SW接收預定電壓VCM（或稱共模電壓），且電容陣列電路330之另一端對訊號S1取樣，以產生訊號ST。比較器電路310用以比較預定電壓VCM以及訊號ST以產生決策訊號SD。控制邏輯電路320根據決策訊號SD執行二元搜索（binary search）演算法，以控制電容陣列電路330依序切換來產生數位碼D1[2]的多個位元。在控制邏輯電路320開始切換電容陣列電路330前（即在開始輸出數位碼D1[2]前），電容陣列電路330更用以根據數位碼D1[1]切換部分電容（例如為電容C3～C6）以調整訊號ST。

**【0022】** 詳細而言，電容陣列電路330包含切換電路331、切換電路332以及多個電容C1～C6。多個電容C1～C6的容值依序為C、2C、4C、8C、16C以及32C。換言之，電容C1的權重值為1，電容C2的權重值為2，…，且電容C6的權重值為32。於一些實施例中，具有較高權重值的多個電容C3～C6對應於最高有效位元（most significant bit, MSB），且具有於較低權重值的多個電容C1～C2對應於最低有效位元（least significant bit, LSB）。

**【0023】** 切換電路331包含多個開關，其用以根據數位碼D1[1]的多個位元選擇性地傳輸訊號S1、參考電壓VREF1或參考電壓VREF2（例如可為地電壓或為負參考電壓）至多個電容C3～C6。切換電路332包含多個開關，其用以根據控制邏輯電路320之控制（即根據數位碼D1[2]的多個位元）選擇性地傳輸訊號S1、參考電壓VREF1或參考電壓VREF2至多個電容C1～C2。換句話說，多個

電容C3～C6是經由數位碼D1[1]（其來自於前一級轉換器電路系統）控制，多個電容C1～C2是經由數位碼D1[2]（其來自於本級轉換器電路系統）控制，且多個電容C3～C6中每一者所對應的權重值高於多個電容C1～C2中每一者所對應的權重值。如此一來，在控制邏輯電路320開始切換電容陣列電路330前，訊號ST的位準可根據數位碼D1[1]的多個位元（於此例中，為4個位元）被預先調整。

**【0024】** 上述圖1A至圖3中是以3個轉換器電路系統120[1]～120[3]作為示例，但本案並不以此為限。於其他實施例中，管線式類比數位轉換器100可包含更多的轉換器電路系統，且該些轉換器電路系統之設置方式皆類似於轉換器電路系統120[2]。圖3以SAR類比數位轉換器電路為例說明，但本案並不以此為限。可根據數位碼D1[1]預先調整訊號位準之各種子類比數位轉換器電路230皆為本案所涵蓋之範圍。

**【0025】** 圖4為根據本案一些實施例繪製一種管線式類比數位轉換器400的示意圖。舉例而言，管線式類比數位轉換器400更包含轉換器電路系統120[4]，其耦接於轉換器電路系統120[2]與轉換器電路系統120[3]之間。轉換器電路系統120[4]根據殘餘訊號S2[1]產生數位碼D1[4]，並根據數位碼D1[4]以及殘餘訊號S2[2]產生殘餘訊號S2[3]。應當理解，轉換器電路系統120[4]之設置方式類似於轉換器電路系統120[2]。例如，在轉換器電路系統120[4]中，子類比數位轉換器電路（例如為子類比數位轉換器電路230）根據數位碼D1[2]量化來自於前兩個轉換器電路系統120[1]的先前殘餘訊號S2[1]以產生數位碼D1[4]。類似地，在轉換器電路系統120[4]中，乘法數位類比轉換器電路（例如為乘法數位

類比轉換器電路240) 處理數位碼D1[2]以及殘餘訊號S2[2]以產生殘餘訊號S2[3]。

**【0026】** 為易於理解，上述各實施例之操作是以單端電路為例說明，但本案並不以此為限。應當理解，上述各實施例亦可由差動式電路實施。換言之，以單端電路或差動式電路實施的管線式類比數位轉換器100（或管線式類比數位轉換器400）皆為本案所涵蓋的範圍。

**【0027】** 圖5為根據本案一些實施例繪製一種類比數位轉換方法500的流程圖。於一些實施例中，類比數位轉換方法500可由（但不限於）圖1A的管線式類比數位轉換器100或圖4的管線式類比數位轉換器400執行。

**【0028】** 於操作S510，轉換第一訊號為第一數位碼，並根據第一訊號與第一數位碼產生第一殘餘訊號。例如，第一訊號可為圖1A與圖4中之取樣後的輸入訊號VIN（即訊號S1）或為圖4的殘餘訊號S2[1]。

**【0029】** 於操作S520，根據第一數位碼量化第一訊號以產生第二數位碼，並根據第一殘餘訊號與第二數位碼產生第二殘餘訊號。

**【0030】** 上述操作S510以及操作S520之說明可參照前述各個實施例，故不重複贅述。上述類比數位轉換方法500的多個操作僅為示例，並非限定需依照此示例中的順序執行。在不違背本案的各實施例的操作方式與範圍下，在類比數位轉換方法500下的各種操作當可適當地增加、替換、省略或以不同順序執行。或者，在類比數位轉換方法500下的一或多個操作可以是同時或部分同時執行。

**【0031】** 綜上所述，本案一些實施例中的管線式類比數位轉換器以及類比數位轉換方法可放寬類比數位轉換的運行期間限制，並延長產生殘餘訊號的放大期間。如此一來，可節省一定功率與電路面積。

**【0032】** 雖然本案之實施例如上所述，然而該些實施例並非用來限定本案，本技術領域具有通常知識者可依據本案之明示或隱含之內容對本案之技術特徵施以變化，凡此種種變化均可能屬於本案所尋求之專利保護範疇，換言之，本案之專利保護範圍須視本說明書之申請專利範圍所界定者為準。

### 【符號說明】

#### 【0033】

100, 400:管線式類比數位轉換器

110:取樣保持電路

120[1], 120[2], 120[3], 120[4]:轉換器電路系統

130:時脈產生器電路

140:數位校正電路

210, 230:子類比數位轉換器電路

220, 240:乘法數位類比轉換器電路

220-1, 240-1:子數位類比轉換器電路

220-2, 240-2:減法器電路

220-3, 240-3:殘值放大器電路

310:比較器電路

320:控制邏輯電路

330:電容陣列電路

331, 332:切換電路

500:類比數位轉換方法

C1~C6:電容

C, 2C, 4C, 8C, 16C, 32C:電容值

D1[1]~D1[4], DOUT:數位碼

S1, S21, S22, S31, S32, ST:訊號

S2[1], S2[2], S2[3]:殘餘訊號

S510, S520:操作

SD:決策訊號

SW:開關

T1, T3:放大期間

T2:取樣暨解碼期間

t1:非重疊期間

VCM:預定電壓

VIN:輸入訊號

VREF1, VREF2:參考電壓

## 【發明申請專利範圍】

**【請求項1】** 一種管線式類比數位轉換器，包含：

複數個轉換器電路系統，用以按照次序轉換一輸入訊號為複數個數位碼，其中該些轉換器電路系統包含：

一第一轉換器電路系統，用以轉換一第一訊號為該些數位碼中之一第一數位碼，並根據該第一訊號與該第一數位碼產生一第一殘餘訊號；以及  
一第二轉換器電路系統，用以接收該第一訊號以及該第一數位碼以根據該第一數位碼量化該第一訊號以產生該些數位碼中之一第二數位碼，並根據該第一殘餘訊號與該第二數位碼產生一第二殘餘訊號。

**【請求項2】** 如請求項1之管線式類比數位轉換器，其中該第一訊號為該輸入訊號或一先前殘餘訊號中之一對應者，且該先前殘餘訊號為該些轉換器電路系統中在該第二轉換器電路系統之前兩個轉換器電路系統產生的一殘餘訊號。

**【請求項3】** 如請求項1之管線式類比數位轉換器，其中該第二轉換器電路系統包含一逐漸逼近暫存式類比數位轉換器電路，且該逐漸逼近暫存式類比數位轉換器電路用以根據該第一數位碼量化該第一訊號以產生該第二數位碼。

**【請求項4】** 如請求項1之管線式類比數位轉換器，其中該第二轉換器電路系統包含：

一子類比數位轉換器電路，用以根據該第一數位碼量化該第一訊號，以產生該第二數位碼；以及  
一乘法數位類比轉換器電路，用以根據該第二數位碼與該第一殘餘訊號產生該第二殘餘訊號。

**【請求項5】** 如請求項4之管線式類比數位轉換器，其中該子類比數位轉換器電路包含：

一比較器電路，用以比較一第二訊號與一預定電壓，以產生一決策訊號；

一控制邏輯電路，用以根據該決策訊號產生該第二數位碼；以及

一電容陣列電路，用以根據該第一數位碼以及該第二數位碼產生該第二訊號。

**【請求項6】** 如請求項5之管線式類比數位轉換器，其中該電容陣列電路包含複數個第一電容與複數個第二電容，該些第一電容經由該第一數位碼控制，該些第二電容經由該第二數位碼控制，且該些第一電容中每一者對應的權重值高於該些第二電容中每一者對應的權重值。

**【請求項7】** 如請求項5之管線式類比數位轉換器，其中在該控制邏輯電路產生該第二數位碼前，該電容陣列電路用以根據該第一數位碼調整該第二訊號的一位準。

**【請求項8】** 如請求項1之管線式類比數位轉換器，其中該第一轉換器電路系統在一第一放大期間產生該第一殘餘訊號，該第二轉換器電路系統在一第二放大期間產生該第二殘餘訊號，且該第二放大期間久於該第一放大期間。

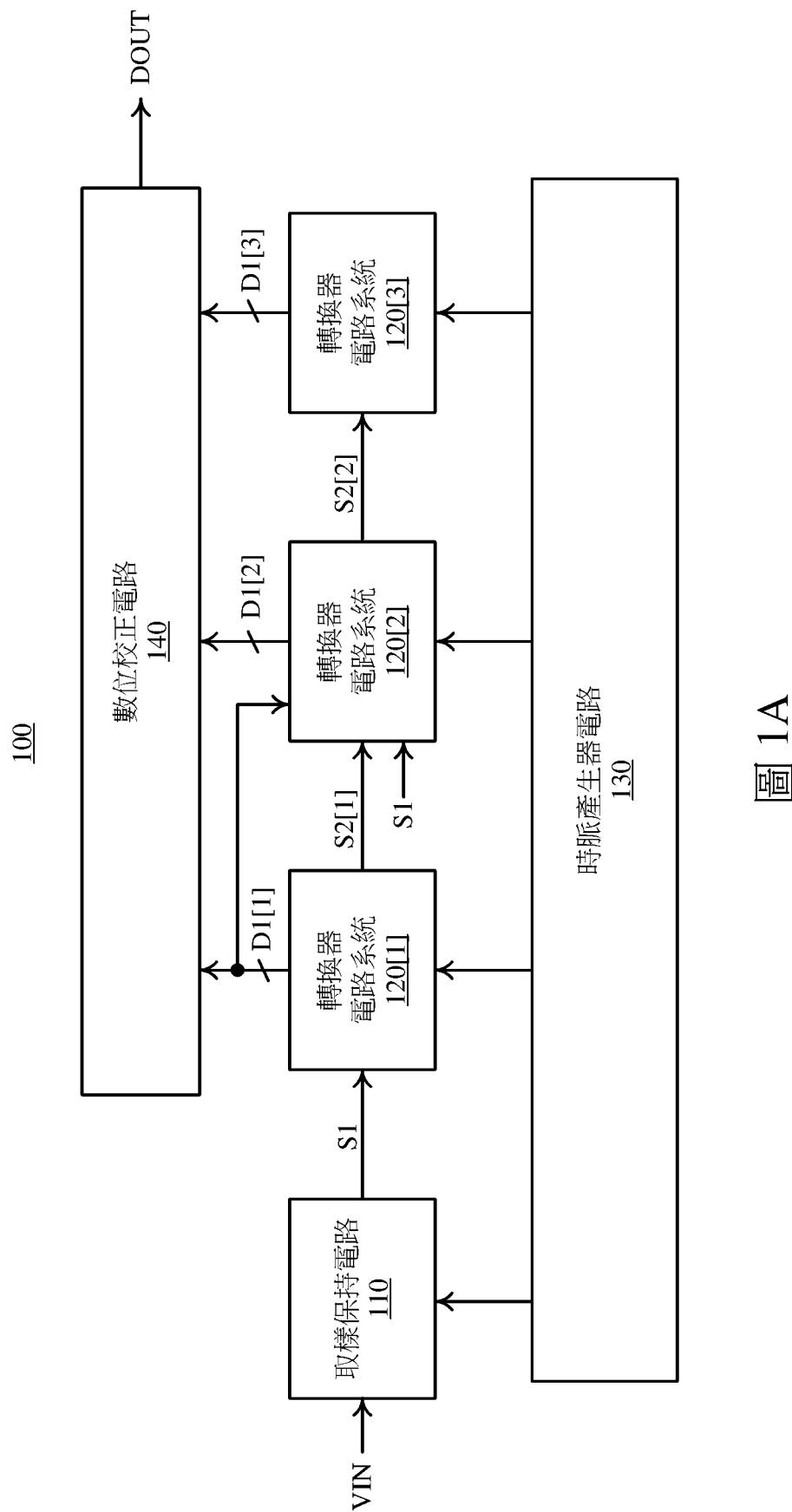
**【請求項9】** 如請求項1之管線式類比數位轉換器，其中該第二轉換器電路系統在同一期間內產生該第二數位碼並取樣該第一殘餘訊號。

**【請求項10】** 一種類比數位轉換方法，包含：

轉換一第一訊號為一第一數位碼，並根據該第一訊號與該第一數位碼產生第一  
一殘餘訊號；以及

藉由一轉換器電路系統接收該第一訊號並根據該第一數位碼量化該第一訊號以產生一第二數位碼，並根據該第一殘餘訊號與該第二數位碼產生一第二殘餘訊號。

## 【發明圖式】



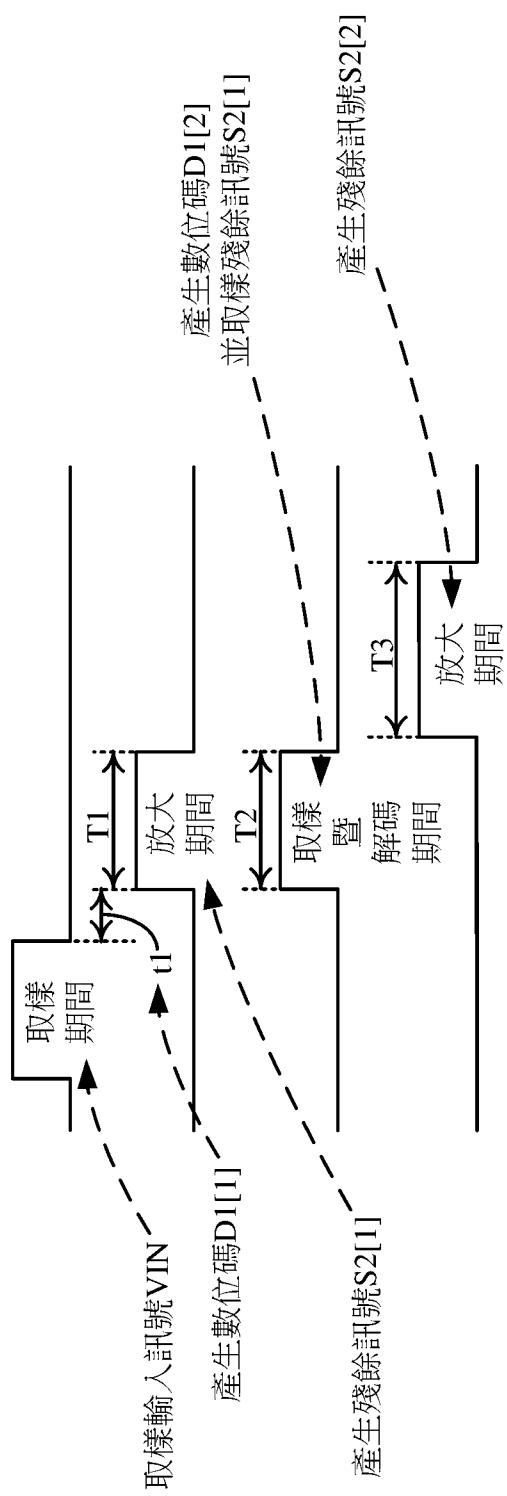


圖 1B

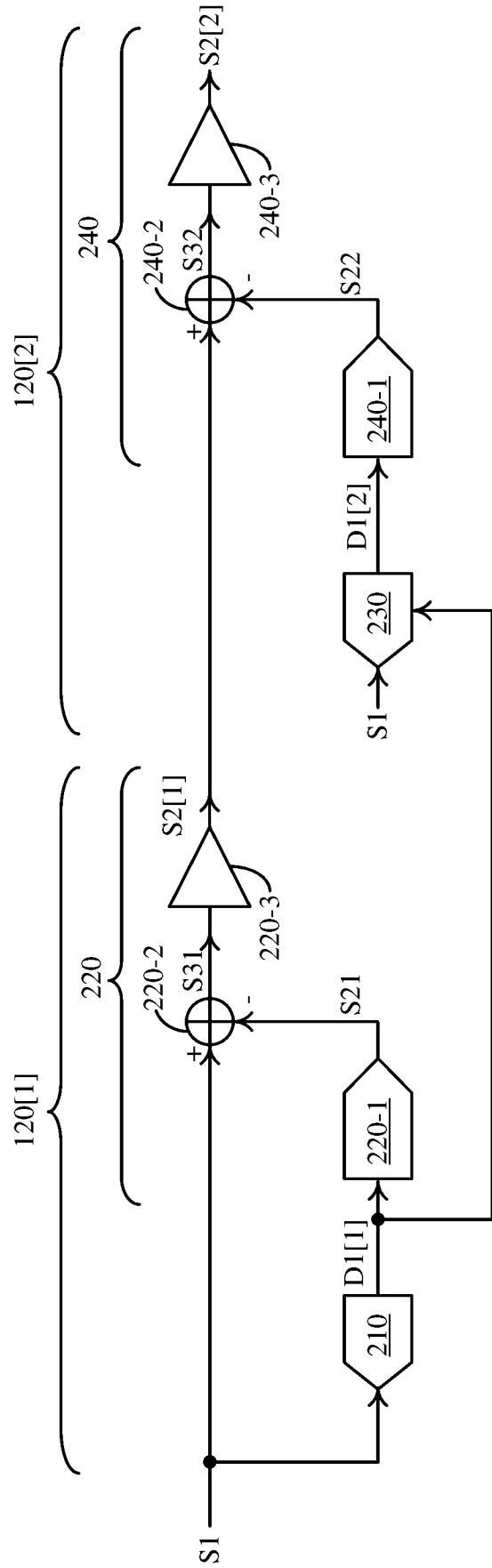


圖 2

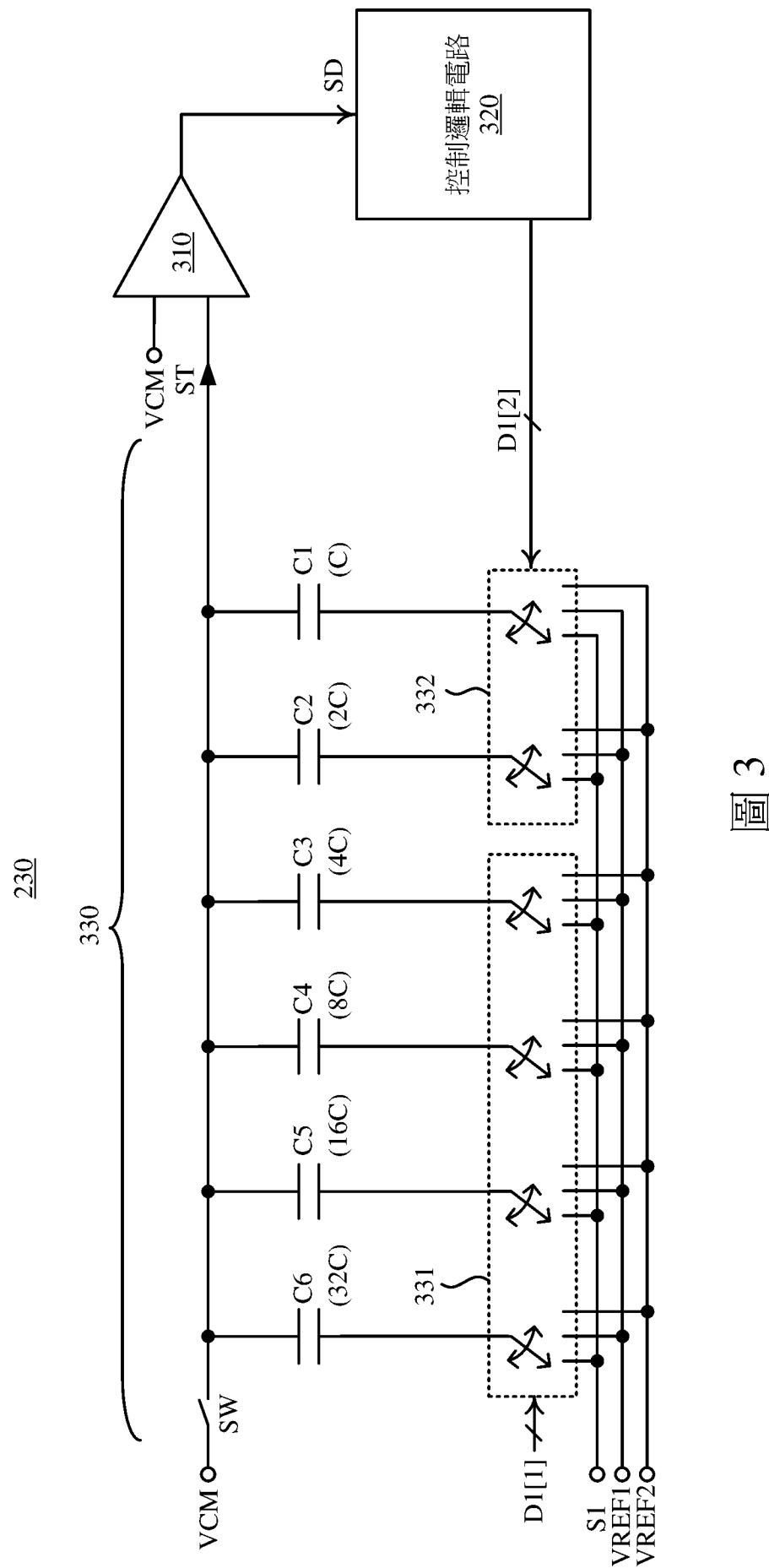


圖 3

400

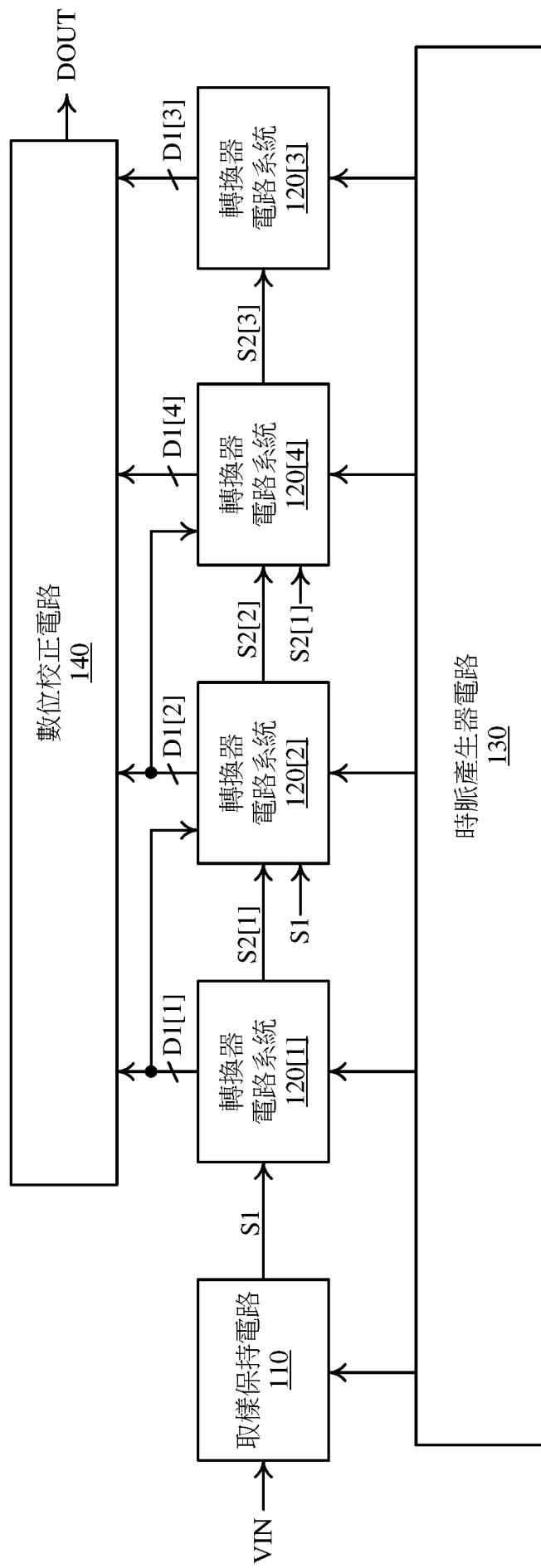


圖 4

500

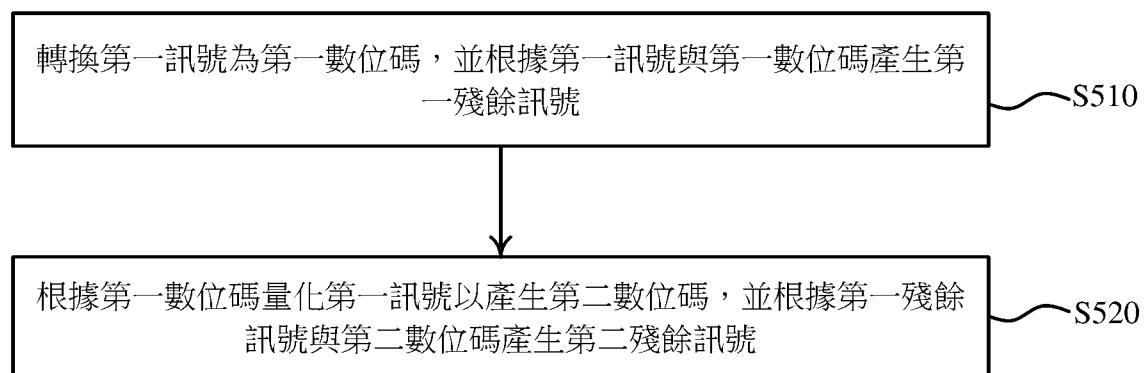


圖 5