



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2016-0044489  
(43) 공개일자 2016년04월25일

- |   |   |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/> <i>H01L 29/66</i> (2006.01) <i>H01L 21/02</i> (2006.01)<br/> <i>H01L 21/3065</i> (2006.01) <i>H01L 23/367</i> (2006.01)<br/> <i>H01L 23/373</i> (2006.01) <i>H01L 29/16</i> (2006.01)<br/> <i>H01L 29/20</i> (2006.01) <i>H01L 29/778</i> (2006.01)</p> <p>(52) CPC특허분류<br/> <i>H01L 29/66462</i> (2013.01)<br/> <i>H01L 21/02115</i> (2013.01)</p> <p>(21) 출원번호 10-2016-7004427<br/>                 (22) 출원일자(국제) 2014년08월21일<br/>                 심사청구일자 없음<br/>                 (85) 번역문제출일자 2016년02월19일<br/>                 (86) 국제출원번호 PCT/US2014/052127<br/>                 (87) 국제공개번호 WO 2015/027080<br/>                 국제공개일자 2015년02월26일</p> <p>(30) 우선권주장<br/>                 61/868,736 2013년08월22일 미국(US)<br/>                 14/464,406 2014년08월20일 미국(US)</p> | <p>(71) 출원인<br/> <b>노스롭 그루먼 시스템즈 코퍼레이션</b><br/>                 미국 버지니아주 22042-4511 폴스 처치 페어뷰 파크 드라이브 2980<br/> <b>미합중국 (관리부서 : 미합중국 해군성)</b><br/>                 미합중국 워싱턴 디씨 20375 코드 1008.2 사우스웨스트 오버룩 애버뉴 4555 나발 리서치 라보라토리<br/> <b>더 리전츠 오브 더 유니버시티 오브 캘리포니아, 어 캘리포니아 코퍼레이션</b><br/>                 미국 캘리포니아주 94607 오클랜드 프랭클린 스트리트 1111 12층</p> <p>(72) 발명자<br/> <b>호바트, 칼, 디.</b><br/>                 미국, 메릴랜드 20772, 어퍼 말보로, 크룸 로드 8610<br/> <b>페이젤슨, 타티아나, 아이.</b><br/>                 미국, 버지니아 22152, 스프링필드, 레드 자켓 로드 6616<br/>                 (뒷면에 계속)</p> <p>(74) 대리인<br/> <b>특허법인씨엔에스</b></p> |
|---|---|

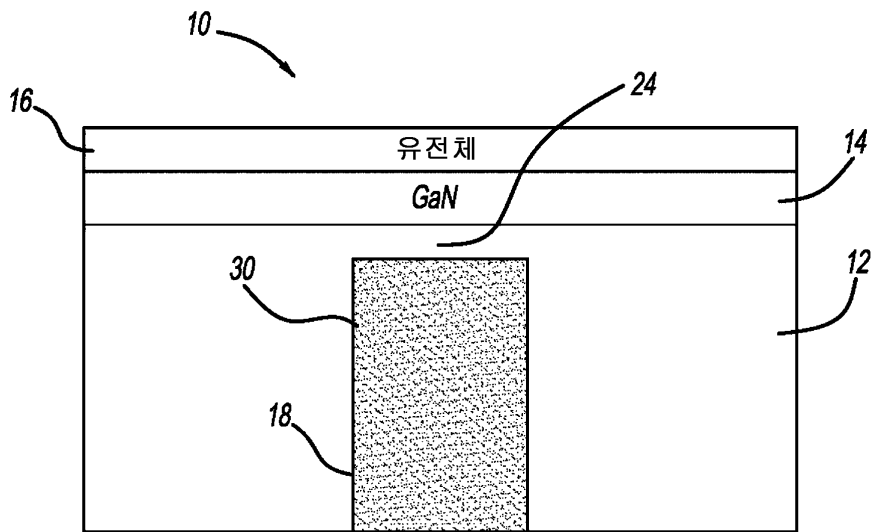
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **열적 비아들 내 다이아몬드의 선택적 증착**

**(57) 요약**

반도체 기판의 후면에 열적 비아를 에칭하는 단계 및 기판의 후면을 가로질러 다이아몬드 핵생성 씨드층을 증착하는 단계를 포함하는, GaN 고전자 이동도 트랜지스터(HEMT) 장치와 같은, 반도체 장치의 제조 방법. 상기 방법은 마스크층으로 다이아몬드 핵생성부를 코팅하는 단계 및 기판 후면의 평판부 상에 있는, 열적 비아 바깥쪽의 마스크 물질을 제거하는 단계를 더 포함한다. 상기 방법은 평판부 상의 다이아몬드 핵생성 층 부분들을 제거하는 단계 및 이후 열적 비아 내 잔여 마스크 물질을 제거하는 단계를 포함한다. 이후, 상기 방법은 열적 비아 내에, 잔부의 다이아몬드 핵생성 층 상에 벌크 다이아몬드 층을 증착하는 단계를 포함하여, 다이아몬드가 열적 비아 안에서만 성장하고 기판의 평판부 상에는 성장하지 않도록 한다.

대표도 - 도6



(52) CPC특허분류

- H01L 21/02164 (2013.01)
- H01L 21/0217 (2013.01)
- H01L 21/0254 (2013.01)
- H01L 21/3065 (2013.01)
- H01L 23/3677 (2013.01)
- H01L 23/3732 (2013.01)
- H01L 29/1602 (2013.01)
- H01L 29/2003 (2013.01)
- H01L 29/778 (2013.01)

(72) 발명자

**임호프, 유진, 에이.**

미국, 워싱턴 디씨 20003, 베이 스트리트 사우스 이스트 1839

**앤더슨, 트라비스, 제이.**

미국, 버지니아 22312, 알렉산드리아, 트리아델피아 웨이 525

**콜드웰, 조슈아, 디.**

미국, 메릴랜드 20607, 아코키크, 리빙스톤 로드 16708

**콜러, 앤드류, 디.**

미국, 워싱턴 디씨 20375, 사우스 웨스트, 오버룩 애버뉴 4555, 나발 리서치 라보라토리

**페이트, 브래드포트, 비.**

미국, 버지니아 22309, 알링턴, 노쓰 로도스 스트리트 1912

**타드예르, 마르코, 제이.**

미국, 버지니아 23462, 버지니아 비치, 애플비 코트 924

**산두, 라진더, 에스.**

미국, 캘리포니아 91384, 카스타익, 벨리 글렌 코트 30152

**감빈, 빈센트**

미국, 캘리포니아 91384, 토런스, 브라이언 애버뉴 2634

**루이스, 그레고리**

미국, 캘리포니아 92782, 터스틴, 산 시르온 13421

**스모퀴코바, 올리아**

미국, 캘리포니아 90713,레이크우드, 던로빈 애버뉴 6120

**구스키, 마크**

미국, 캘리포니아 91355, 발렌시아, 비아 비긴 23621

**맥케이, 제프**

미국, 캘리포니아 91478, 롤랜드 하이츠, 홀랜데일 애버뉴 1604

## 명세서

### 청구범위

#### 청구항 1

정면 및 후면을 포함하는 반도체 기판을 제공하는 단계;  
반도체 기판의 정면 상에 반도체 에피택셜층들을 증착하는 단계;  
반도체 기판의 후면에 적어도 하나의 열적 비아를 에칭하는 단계;  
기판 후면의 평판부 상에 및 측벽을 포함하는 적어도 하나의 열적 비아 안에 다이아몬드 핵생성 층이 증착되도록, 반도체 기판의 후면 전체를 가로질러 다이아몬드 핵생성 씨드층을 증착하는 단계;  
다이아몬드 핵생성 층 상에 마스크층을 증착하는 단계;  
마스크 재료가 열적 비아 안에만 남도록 기판 후면의 평판부 상에 있는, 열적 비아 바깥쪽의 일부 마스크층을 제거하는 단계;  
적어도 하나의 열적 비아의 바깥쪽 기판의 평판부 상의 일부 다이아몬드 핵생성 층을 제거하는 단계;  
열적 비아 내 잔여 마스크 물질을 제거하는 단계;  
다이아몬드가 기판 후면의 평판부에는 형성되지 않고 열적 비아 안에만 형성되게 하는 방식으로, 잔부의 다이아몬드 핵생성 층 상의 열적 비아 내에 벌크 다이아몬드층을 증착하는 단계; 및  
에피택셜층들 상에 장치 층들을 제조하는 단계를 포함하는, 반도체 장치의 제조 방법.

#### 청구항 2

제1항에 있어서,  
반도체 기판을 제공하는 단계는 실리콘 카바이드 기판을 제공하는 단계를 포함하는, 방법.

#### 청구항 3

제1항에 있어서,  
기판 상에 에피택셜층들을 증착하는 단계는 기판 상에 GaN 에피택셜층들을 성장시키는 단계를 포함하는, 방법.

#### 청구항 4

제1항에 있어서,  
열적 비아를 에칭하기 전에 에피택셜층들 상에 유전체 보호층을 증착하는 단계를 더 포함하는, 방법.

#### 청구항 5

제4항에 있어서,  
보호층을 증착하는 단계는 실리콘 니트라이드(SiN)층, 실리콘 디옥사이드(SiO<sub>2</sub>)층 또는 이의 조합을 증착하는 단계를 포함하는, 방법.

#### 청구항 6

제1항에 있어서,

다이아몬드 핵생성 씨드층을 증착하는 단계는 0.1-2 $\mu$ m 범위의 두께로 다이아몬드 핵생성 씨드층을 증착하는 단계를 포함하는, 방법.

#### 청구항 7

제1항에 있어서,

다이아몬드 핵생성 씨드층을 증착하는 단계 및 벌크 다이아몬드층을 증착하는 단계는 나노결정질 또는 다결정질 (polycrystalline) 다이아몬드 핵생성 씨드층을 증착하는 단계를 포함하는, 방법.

#### 청구항 8

제1항에 있어서,

일부 마스크층을 제거하는 단계는 화학-기계적 폴리싱 공정을 이용하는 단계를 포함하는, 방법.

#### 청구항 9

제1항에 있어서,

일부 다이아몬드 씨드층을 제거하는 단계는 산소 공정으로 반응성 이온 에칭하는 것을 이용하는 단계를 포함하는, 방법.

#### 청구항 10

제1항에 있어서,

일부 다이아몬드 씨드층을 제거하는 단계는 마스크층 뒤에서 다이아몬드 씨드층이 리세스되도록 열적 비아의 립 (lip) 주위의 일부 다이아몬드층을 제거하는 단계를 포함하는, 방법.

#### 청구항 11

제10항에 있어서,

열적 비아의 립(lip) 주위의 일부 다이아몬드 씨드층을 제거하는 단계는 고온 산화 열적 에칭 공정을 이용하는 단계를 포함하는, 방법.

#### 청구항 12

제10항에 있어서,

열적 비아의 립(lip) 주위의 일부 다이아몬드 씨드층을 제거하는 단계는 기판 후면의 평판부로부터 다이아몬드 씨드층을 제거하는 것 외의 다른 공정을 이용하는 단계를 포함하는, 방법.

#### 청구항 13

제1항에 있어서,

기판 상에 다이아몬드 핵생성 씨드층을 증착하기 전에 기판 상에 나노-다이아몬드 입자층을 형성하는 단계를 더 포함하는, 방법.

**청구항 14**

제1항에 있어서,

반도체 장치 층들을 제조하는 단계는 열적 비아에 맞추어 장치 층들을 조정하는 단계(aligning)를 포함하는, 방법.

**청구항 15**

제1항에 있어서,

반도체 장치는 고전자 이동도 트랜지스터인, 방법.

**청구항 16**

정면 및 후면을 포함하는 반도체 기판을 제공하는 단계;

기판 상에 나노-다이아몬드 입자층을 형성하는 단계;

반도체 기판의 정면 상에 반도체 에피택셜층들을 증착하는 단계;

반도체 기판의 후면에 적어도 하나의 열적 비아를 에칭하는 단계;

기판 후면의 평판부 상에 및 측벽을 포함하는 적어도 하나의 열적 비아 안에 다이아몬드 핵생성 층이 증착되도록, 반도체 기판의 후면 전체를 가로질러 다이아몬드 핵생성 씨드층을 증착하는 단계;

다이아몬드 핵생성 층 상에 마스크층을 증착하는 단계;

마스크 재료가 열적 비아 안에만 남도록 기판 후면의 평판부 상에 있는, 열적 비아 바깥쪽의 일부 마스크층을 제거하는 단계;

적어도 하나의 열적 비아의 바깥쪽 기판의 평판부 상의 일부 다이아몬드 핵생성 층을 제거하는 단계, 여기서 일부 다이아몬드 씨드층을 제거하는 단계는 마스크층 뒤에서 다이아몬드 씨드층이 리세스되도록 열적 비아의 립(lip) 주위의 일부 다이아몬드층을 제거하는 단계를 포함함;

열적 비아 내 잔여 마스크 물질을 제거하는 단계;

다이아몬드가 기판 후면의 평판부에는 형성되지 않고 열적 비아 안에만 형성되게 하는 방식으로, 잔부의 다이아몬드 핵생성 층 상의 열적 비아 내에 벌크 다이아몬드층을 증착하는 단계; 및

에피택셜층들 상에 장치 층들을 제조하는 단계를 포함하는, GaN 고전자 이동도 트랜지스터 장치의 제조 방법.

**청구항 17**

제16항에 있어서,

열적 비아를 에칭하기 전에 에피택셜층들 상에 유전체 보호층을 증착하는 단계를 더 포함하는, 방법.

**청구항 18**

제16항에 있어서,

다이아몬드 핵생성 씨드층을 증착하는 단계는 0.1-2 $\mu$ m 범위의 두께로 다이아몬드 핵생성 씨드층을 증착하는 단

계를 포함하는, 방법.

**청구항 19**

제16항에 있어서,

다이아몬드 핵생성 씨드층을 증착하는 단계 및 벌크 다이아몬드층을 증착하는 단계는 나노결정질 또는 다결정질 (polycrystalline) 다이아몬드 핵생성 씨드층을 증착하는 단계를 포함하는, 방법.

**청구항 20**

정면 및 후면을 포함하는 반도체 기판을 제공하는 단계;

반도체 기판의 정면 상에 GaN 에피택셜층들을 증착하는 단계;

반도체 기판의 후면에 적어도 하나의 열적 비아를 에칭하는 단계;

기판 후면의 평판부 상에 및 측벽을 포함하는 적어도 하나의 열적 비아 안에 다이아몬드 핵생성 층이 증착되도록, 반도체 기판의 후면 전체를 가로질러 다이아몬드 핵생성 씨드층을 증착하는 단계, 여기서 다이아몬드 핵생성 씨드층을 증착하는 단계는 0.1-2 $\mu$ m 범위의 두께로 다이아몬드 핵생성 씨드층을 증착하는 단계를 포함함;

다이아몬드 핵생성 층 상에 마스크층을 증착하는 단계;

마스크 재료가 열적 비아 안에만 남도록 기판 후면의 평판부 상에 있는, 열적 비아 바깥쪽의 일부 마스크층을 제거하는 단계;

적어도 하나의 열적 비아의 바깥쪽 기판의 평판부 상의 일부 다이아몬드 핵생성 층을 제거하는 단계;

열적 비아 내 잔여 마스크 물질을 제거하는 단계; 및

다이아몬드가 기판 후면의 평판부에는 형성되지 않고 열적 비아 안에만 형성되게 하는 방식으로, 잔부의 다이아몬드 핵생성 층 상의 열적 비아 내에 벌크 다이아몬드층을 증착하는 단계를 포함하는, 반도체 장치의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 방위 고등 연구 프로젝트 기관에 의해 수여된 계약 번호 HR001-09-C-0132에 따라 정부의 지원으로 이루어졌다. 정부는 본 발명에 일정한 권리를 갖는다.

**배경 기술**

[0002] 기술분야

[0003] 본 발명은 일반적으로 반도체 장치의 제조 방법, 보다 구체적으로, 장치의 기판 후면의 열적 비아 내에 다이아몬드를 선택적으로 증착하는 단계를 포함하는 GaN 반도체 장치의 제조 방법에 관련된다.

[0004] 논의

[0005] 디바이스의 회로 구성 요소를 제공하기 위해, 일반적으로, 집적 회로는 웨이퍼 기판 상에 다양한 반도체 층들을 증착 또는 성장시키는 에피택셜 제조 공정들에 의해 제조된다. 집적 회로용 기판들은 다양한 재료, 대개는 반도체 재료, 예컨대 실리콘, 사파이어, SiC, InP, GaAs 등을 포함할 수 있다. 집적 회로 제조 기술이 발전하고 더욱 복잡해짐에 따라, 더 많은 회로 구성요소가 동일 구역 내에서 기판 상에 제조될 수 있으며 함께 보다 근접하게 이격될 수 있다. 또한, 이들 집적 회로 제조 기술은 회로의 동작 주파수를 매우 높은 주파수까지, GHz의 범위까지도 증가시킨다.

[0006] 거의 모든 전자 부품은 열적으로 제한된 용량으로 작동하며, 즉, 장치의 성능은 환경으로 소실될 수 있는 열의

양에 의해 제한된다. 열적 소실량은 장치의 작동 전압, 전류 및 주파수에 비례하고, 임의의 증가는 보다 높은 전력 소모 및 그에 따른 패열을 초래한다. 장치에서 전자 장치 접합부 온도의 상승은 장치 채널 또는 접합부와 열이 환경으로 방출되는 지점 사이의 열 저항에 비례한다. 모든 장치는 최대 접합 온도를 가지며 상기 온도를 초과한 장치의 작동은 반도체 및 패키징 재료의 기본적 한계로 인한 저하된 성능 및 신뢰성의 결과를 가져온다. 보다 높은 전력(전압, 전류, 및/또는 주파수)에서 작동시키려는 바램은 열 저항의 감소에 대한 필요를 일으킨다. 일 예는 고르게 된 클럭 주파수를 갖는 마이크로 프로세서를 포함하며, 증가된 처리 능력은 프로세서 코어의 수를 확대함으로써 가능해졌다.

[0007] 다른 예는 갈륨 니트라이드(GaN)계 RF 및 마이크로파 전력 증폭기를 포함한다. GaN는 와이드 밴드갭 반도체이고 GaN계 고전자 이동도 트랜지스터(HEMTs)는 높은 전류 및 높은 전압 모두에서 작동할 수 있다. 미세 형상과 결부된 이런 유형의 작동은 장치의 게이트 핑거 근처에서 평방 센티미터당 메가와트( $MW/cm^2$ ) 전력 밀도의 결과를 가져온다. GaN HEMT 장치들은 이들 어플리케이션에 적합한 기판 상에서 전형적으로 에피택셜 성장하며, 상기 기판은 매우 열전도성, 전기 절연성일 필요가 있고, GaN와 유사한 열팽창 계수를 가지며 적절한 에피택셜 성장을 위한 격자 상수 정합을 제공한다. 매우 열전도성이고 전기 절연성인 적절한 재료들은 비교적 고유하다. 높은 전력 소모는 '자가 발열' 효과 때문에 감소된 성능에 이르게 하며 높은 접합 온도 때문에 장기 신뢰성을 제한한다.

[0008] 장치가 신뢰성 있는 방식으로 높은 전력에서 작동할 수 있도록, 에피택셜층들 및 기판을 통해 장치 접합부로부터 열이 제거되도록 하기 위해, 이들 장치를 위한 매우 열전도성인 기판은 필연적이다. 구체적으로, 상기한 바와 같이, 장치의 온도가 일부 한계 온도를 초과하여 증가함에 따라, 장치의 전기적 성능은 감소하며, 이는 이의 고전력 용량을 감소시킨다. 또한, 장치 내 너무 높은 온도는 파단 시간이 감소될 것이기 때문에 신뢰성을 감소시킨다. 또한, 이러한 유형의 장치들은 전형적으로 고주파 소자이며, 이는 주파수가 증가함에 따라 소형화되고, 이는 이들의 열 회수 능력을 감소시킨다. HEMT 장치의 소자 접합층에서 발생된 열을 위한 도전성 경로는 열이 에피택셜층들 및 기판을 통해 그리고 장치 패키징으로 전파되도록 한다. 따라서, 소자로부터 방출되는 열 경로를 방해하지 않고, 보다 넓은 영역으로 열이 확산하도록 하는 매우 열전도성인 기판을 제공하는 것이 필요하다. 기판의 두께는, 장치에서 패키징으로 저 저항 열 경로를 제공하고 장치 밖으로 열을 확산시키는 기능을 제공하도록 최적화된다.

[0009] 종래에, GaN는 사파이어 상에 성장시켰으며, 사파이어는 낮은 열전도성을 가져 이용가능한 출력 전력을 심히 제한하였다. 보다 최근에는 GaN용 기판으로서 실리콘 카바이드(SiC)가 사파이어를 대체하였다. GaN HEMT 장치들의 경우, 실리콘 카바이드(SiC) 기판들은 현재, 전기 절연성, 높은 열전도성, GaN와의 정밀 격자 정합 및 GaN와 유사한 열팽창 계수의 바람직한 특성들을 제공하는 산업 표준이다. SiC는 훨씬 더 높은 열 전도성을 가지지만, 전력 소모가 여전히 열적 제한에 의해 제한되고, 장치는 최대 수준으로 수행되도록 허용되지 않는다. 상술한 바와 같이, SiC는 좋은 열 전도체이지만 그 열전도율은 여전히 제한되고, 장치 내 접합점 온도가 상승함에 따라 열을 제거하는 SiC 기판의 기능이 제한되며, 이는 GaN HEMT 장치의 출력 전력 및 이어서 이의 신뢰성을 제한한다.

[0010] SiC보다 큰 열전도율을 갖는 GaN HEMT 장치에 적합한 기판을 제공하는 것이 바람직하다. 다이아몬드는 전기 절연성이며 임의의 벌크 물질 중 가장 높은 열전 도성을 갖는다. 그러나, 가용성, 큰 격자 상수 부정합 및 다른 열팽창 계수를 포함한 여러 이유로, 큰 면적의 단결정 다이아몬드 기판 상에 GaN 층들을 에피택셜 성장시키는 것은 현재 불가능하다.

[0011] 당해 업계에서 이러한 문제를 극복하기 위해, GaN HEMT 장치들과 같은 반도체 장치에서 다이아몬드 기판을 사용하려는 시도가 있었다. 예를 들면, GaN 층들이 효과적으로 성장될 수 있는 SiC 기판 또는 다른 기판을 제거한 다음, 결합층을 이용해 장치에 다이아몬드 기판을 결합시키는 것은 당해 기술분야에 공지이다. 그러나, 현재 GaN 장치 층들과 다이아몬드 기판 사이엔 적절한 열 전도성을 갖지 않는 약간의 두께의 결합층이 있고, 따라서 다이아몬드 기판을 통해 장치로부터 열이 제거되는 능력에 영향을 미친다. 또한, 벌크 다이아몬드는 낮은 열적 팽창 계수를 갖기 때문에, 장치 층들과 기판의 열팽창 계수 사이의 차이가 웨이퍼 곡률 및 가능하게는 에피택셜층 균열을 발생시키는 문제가 여전히 남아있다.

[0012] 이러한 유형의 장치들의 열 전도성을 향상시키기 위한 다른 개념은 상기 기판을 다이아몬드로 완전히 대체하는 것이다. 그러나, 이들 다이아몬드 기판은 사실상 다결정질이기 때문에, GaN가 다이아몬드 기판으로 전사되어야 하거나 본래의 호스트 기판의 제거 뒤 GaN 상에 다이아몬드가 성장되어야 한다. 이 과정은 GaN 및 다이아몬드 사이의 큰 열팽창 계수(CTE) 때문에 상당히 제한된다. CTE 불일치는 공정의 확장성을 제한하고, 트랜지스터로

가공할 수 없는 뒤틀린 웨이퍼로 이어진다.

[0013] 또한, 상기 기판에 대항하는 장치의 정면에 다이아몬드를 성장시키는 것은 당해 분야에 공지되어있다. 그러나, 기판을 통한 열흐름이 여전히 매우 중요하기 때문에 이러한 유형의 장치는 장치 밖으로의 열흐름 및 열전도율에서 제한된 개선을 갖는 것으로 나타났다. 또한, GaN 층들은 고온 다이아몬드 증착 공정을 견딜 수 없을 수 있고, 따라서, 열 저항층을 사용하여 보호할 필요가 있을 수 있으며, 이는 다시 열 성능을 제한한다.

[0014] 다이아몬드 열적 비아들은 열이 가장 집중되는 장치 활성 영역 옆에 높은 열 전도성 다이아몬드 도관을 가져옴으로써 반도체 기판의 내열성을 개선하고자 앞서 고안되었다. 고밀도의 높은 종횡비의 열적 비아들은 합성 다이아몬드/반도체 기판의 전반적인 열전도성 및 전력 핸들링을 증가시키는 이점을 갖는다. 비아들에 충전된 두꺼운 다이아몬드를 갖는 대형 비아들 또한 흥미있는 접근이다. 크고 작은 비아들 모두 큰 CTE 불일치로 인한 용인할 수 없는 웨이퍼의 구부러짐(bow)과 잠재적인 웨이퍼의 파손을 방지하기 위해 비아들을 코팅하고 채우는 선택적 방법을 필요로 한다.

**도면의 간단한 설명**

[0015] 도 1-7은 장치의 기판 후면에 다이아몬드 열적 비아를 선택적으로 증착하는 단계를 포함하는, GaN 반도체 장치 프로파일의 점진적 제조 단계들을 도시한다.

**발명을 실시하기 위한 구체적인 내용**

[0016] 장치의 기판 후면을 통해 확장하는, 다이아몬드가 충전된 열적 비아를 포함하는 GaN 반도체 장치들의 제조방법에 관련된 본 발명의 구현 예들의 하기의 논의는 사실상 단지 예시일 뿐이며, 본 발명 또는 이의 적용 또는 용도를 한정하려는 의도는 전혀 없다.

[0017] 본 개시는 GaN 트랜지스터 같은 반도체 장치의 기판 후면에서 열적 비아들 내에 다이아몬드의 선택적 증착을 제공하여, 절연된(isolated) 열적 비아를 제공하는 제조공정 또는 방법을 서술한다. 도 1-7은 이러한 다이아몬드 열적 비아를 제조하기 위한 점진적 제조 단계들을 도시하는, GaN 반도체 장치(10)의 측면도이다.

[0018] 도 1은 SiC 웨이퍼 기판(12), 및 공지의 에피택셜 성장 기술들을 이용하여, 비제한적 예로서 GaN 고전자 이동도 트랜지스터(HEMT) 장치를 제조하도록 나중에 가공될 기판(12)의 정면에 증착된 다수의 에피택셜 GaN 장치 층들(14)을 포함하는, 장치(10)를 도시한다. 비제한적 예로서 상기 기판(12)은 SiC 기판이지만, 상기 기판(12)은 본 명세서에서 논의된 목적에 적절한 임의의 기판, 예컨대 사파이어, GaN, AlN, 실리콘 등일 수 있다. 에피택셜 장치 층들(14)은 GaN 버퍼층, AlN 핵생성 층, AlGaIn 배리어층, GaN 채널층 등과 같이, HEMT 장치 또는 다른 반도체 장치용, 임의의 적절한 순서의, 장치 층들의 임의의 조합일 수 있다. 모든 에피택셜층들(14)이 기판(12) 상에 성장된 후, 에피택셜층들(14)은 열적으로 안정한 보호성 유전체(dielectric)층(16), 예컨대 실리콘 나이트라이드(SiN), 실리콘 디옥사이드(SiO<sub>2</sub>), 이의 조합, 또는 다른 적절한 내화성 물질로 보호된다.

[0019] 이후 장치(10)를 뒤집어, 적절한 마스크(미도시)를 이용해 기판(12)의 후면을 패터닝하고, 당업자에게 잘 알려진, 예로서 건조 플라즈마 에칭 공정에 의해 깊은 열적 비아(18)를 제공한다. 비제한적 예에서, 열적 비아(18)를 형성하는 상기 식각은 기판(12)을 통과해 GaN 층들(14)까지 완전히 확장되지 않고, 층들(14) 앞에서 멈추어 비아(18) 및 층들(14) 사이에 얇은 기판층(24)을 규정함에 유의한다. 상기 층(24)의 두께는 바람직한 열적 성능을 위해 선택적으로 제어될 수 있다. 박층(24)의 기판 물질을 제공하는 것은 HEMT 장치에 특정한 바람직한 반도체 특성을 줄 수 있다. 열적 비아(18)가 트랜지스터 장치로부터 폐열의 제거를 위한 통로를 제공하도록, 비아(18)의 폭 또는 직경은 기판(12)의 상부에 형성된 트랜지스터 장치의 영역에 맞게 신중히 선택된다. 일 구현 예에서, 웨이퍼 기판(12) 상에 형성되는 각각의 트랜지스터 장치들은 이런 크기의 단일의 비아를 포함할 것이며, 웨이퍼 기판(12) 영역의 대부분은 열적 비아를 포함하지 않을 것이다.

[0020] 비아(18)를 포함하는 웨이퍼(10)의 후면 전체는 본 명세서에서 다이아몬드 핵생성 씨드층(20)으로 언급되는, 박층의 나노결정질 또는 다결정질(polycrystalline) 다이아몬드로 코팅된다. 일 구현 예에서, 다이아몬드 층(20)은 예를 들어 적절한 화학적 기상 증착법에 의해 .0.1-2 $\mu$ m 범위의 두께로 증착되며, 공지의 에피택셜 공정들을 이용하여 핀홀이 없는 얇은 컨포멀(conformal) 층을 형성한다. 다이아몬드 층(20)이 기판(12)의 후면에 증착되기 전, 나노-다이아몬드 입자들을 포함하는 용액에 웨이퍼 기판(12)을 둌으로써 웨이퍼 기판(12) 전체는 매우 얇은 층의 나노-다이아몬드 입자들로 코팅된다. 이러한 최소 두께 층의 나노-다이아몬드 입자들은 다이아몬드 핵생성 층(20)이 성장될 수 있는 씨드층을 제공한다. 이후 다이아몬드 층(20)은 적절한 등각적 특성을 갖는



마스크층(22), 예를 들어, SiO<sub>2</sub>, SiN 또는 다른 적절한 유전체들로 코팅된다.

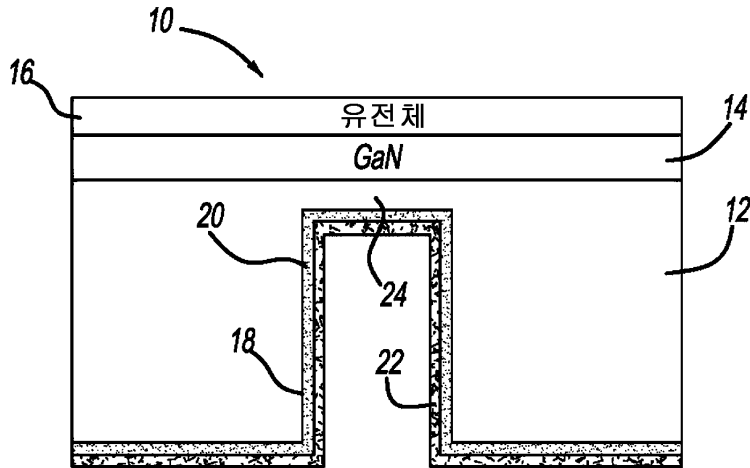
- [0021] 비아 바닥 및 측벽들을 포함하여 비아 안의 다이아몬드 층(20)을 보호하기 위해, 비아(18) 안에만 마스크 물질이 남도록, 기판(12) 후면의 평평한 영역에 있는 비아(18) 바깥쪽의 일부 마스크층(22)은, 도 2에 도시된 바와 같이, 예를 들어 화학 기계적 폴리싱(CMP) 공정에 의해 장치로부터 제거된다. 이는 도시된 바와 같이, 노출된 다이아몬드 층(20)의 잔여 평판부(26)를 남긴다. 다이아몬드 핵생성 층(20) 일부는 일부분의 마스크층(22)을 제거하는 이런 공정 동안 비아(18)의 바깥쪽 기판(12) 후면의 평판부(26)로부터 제거될 수 있다.
- [0022] 다음으로, 기판(12)의 후면은 예를 들어, 반응성 가스 스트림에 첨가된 산소로 반응성 이온 에칭하는 것과 같이, 반응성 플라즈마 에칭 공정을 이용하여 선택적으로 에칭되어, 도 3에 도시된 바와 같이, 비아(18)의 바깥쪽 다이아몬드 층(20)의 평판부(26)를 완전히 제거한다. 비아(18) 내 잔부의 마스크층(22) 뒤에 있는 잔부의 다이아몬드 층(20)은, 도 4에 도시된 바와 같이, 선택적으로 리세스될(recessed) 수 있다. 예를 들어, 비아(18)의 측면 에지를 따라 일부 다이아몬드가 마스크층(22) 뒤로부터 제거되어 리세스(28)를 형성할 수 있도록, 저항성으로 가열된 튜브 노에서 유동 산소로 고온(700℃)의 산화 열적 에칭 공정이 수행될 수 있다. 하기 논의될 다이아몬드 물질로 비아(18)를 채우는 다이아몬드 성장 공정 동안, 다이아몬드는 에지에서 더 빨리 성장하는 경향이 있고 이는 다이아몬드 물질이 비아(18)의 에지 위로 그리고 기판(12)의 후면의 평판부로 다시 "쏟아져 나오도록(spill out)" 할 것이기 때문에, 상기 단계가 이로울 수 있다. 다이아몬드는 비교적 저온에서 분해되므로, 기판(12) 및 마스크층(22)에 영향을 주지 않으면서, 비아(18)의 측벽들을 따라 다이아몬드를 선택적으로 제거하도록 이러한 고온 산화 공정을 이용하는 것이 가능하다. 대안적 구현 예에서, 평판부(26)를 제거하며 동시에 리세스(28)를 생성하도록 단일의 열적 에칭 단계가 수행될 수 있다. 하나의 비제한적 구현 예에서, 리세스(28)는 깊이는 대략 20-30 마이크로론이다.
- [0023] 도 5에 도시된 바와 같이, 비아(18) 내 잔부의 마스크층(22)은 습식 또는 건식 에칭 공정으로 선택적으로 에칭함으로써 이후 제거된다. 일 비제한적 구현 예에서, 마스크층(22)용 마스크 물질로서 SiO<sub>2</sub>가 이용되는 경우, 이런 에칭 단계는 SiO<sub>2</sub>를 선택적으로 식각하고 아래의 다이아몬드 층(20)은 식각하지 않는, 플루오르화 수소산(HF) 함유 버퍼드 옥시드 에치(buffered oxide etch, BOE)로 수행될 수 있다. 대안적 구현 예에서, SiN이 마스크 물질로서 이용되는 경우, 마스크층(22)은 가스 스트림 내 SF<sub>6</sub>의 첨가로 플라즈마 내 반응성 이온 에칭으로 선택적으로 에칭될 수 있다.
- [0024] 다음으로, 도 6에 도시된 바와 같이, 고 다이아몬드 성장률 공정에서 비아들(18) 안에 다이아몬드가 선택적으로 증착되어, 다이아몬드 물질로 비아(18)를 채워, 두꺼운 나노결정질 또는 다결정질 다이아몬드 층(30)을 형성한다. 이런 다이아몬드 성장 공정에서, 다이아몬드 핵생성 층(20)은 다이아몬드 층(30)의 다이아몬드 성장을 위한 씨드 템플릿으로서 이용된다. 최적화된 조건 하에, 다이아몬드 층(30)은 비아(18) 내에서만 성장하고, 리세스(28)를 포함해 비아(18)를 완전히 채우며, 기판(12) 후면의 비아(18)의 바깥쪽에서는 이 부분들로부터 다이아몬드 핵생성 층(20)이 제거되었기 때문에 다이아몬드가 성장되지 않는다. 상기 구현 예에서는 다이아몬드 층(30)이 비아(18)를 완전히 채우지만, 다른 구현 예에서는 다이아몬드 층(30)으로 비아(18)를 부분적으로만 채우는 것이 바람직할 수 있다.
- [0025] 또한, 웨이퍼 성형은 공정 내내 모니터링될 수 있으며, 이때 웨이퍼 모양은 초기에, 대략 1마이크로미터의 초기 다이아몬드 성장 후, 그리고 다이아몬드의 선택적 제거 후 측정된다. 이런 공정에서, 웨이퍼 구부러짐은 다이아몬드 재성장 후 가장 크지만, 공정의 핵심 이점을 입증하는 다이아몬드의 선택적 제거 후 최소화된다. 비아(18) 내 다이아몬드 층(30)의 품질은 다양한 지점에서 재료 품질을 비교하도록, Raman 분광학에 의해, 에칭을 통해 기판(12)을 제거함으로써 시험될 수 있다.
- [0026] 일단 다이아몬드 층(30)이 비아(18) 내에 증착된 다음 웨이퍼 기판(12)을 뒤집어, 도 7에 도시된 바와 같이, 먼저 보호층(16)을 선택적으로 에칭하고, 공지의 공정들에 의해 소스 단자(32), 게이트 단자(34) 및 드레인 단자(36)를 제조함으로써 GaN 층들(14) 상에 전력 트랜지스터 구성성분이 제조될 수 있다.
- [0027] 본 명세서에 논의된 장치는 HEMT 장치이지만, 기판 상에 증착된 GaN 장치 층들을 이용하는, 레이저 다이오드 또는 발광 다이오드와 같은, 다른 유형의 장치들이 본 명세서에 논의된 열적으로 전도성인 다이아몬드 비아들에 의해 제공되는 보다 높은 성능으로 인해 유익할 수 있다. 나아가, 본 명세서에 논의된 구현 예들은 구체적으로 SiC 기판에 대한 것이지만, 앞서 언급된 바와 같은 다른 적절한 기판들 또한 동일한 목적으로 다이아몬드로 채워진 형성된 비아들을 포함할 수 있다.

[0028]

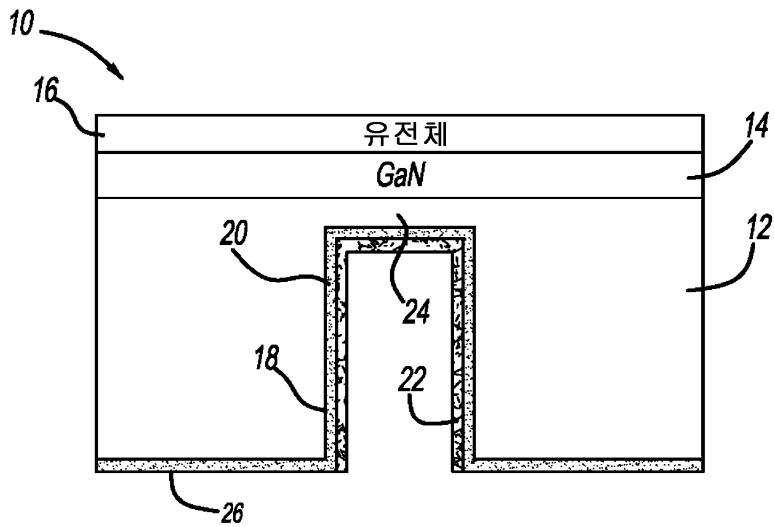
상술된 논의는 본 발명의 예시적 구현 예만을 개시하고 서술한다. 당업자는 이러한 논의로부터 그리고 동반된 도면들 및 청구항들로부터, 하기 청구범위에 정의된 본 발명의 사상 및 범위로부터 벗어나지 않고서 다양한 변경, 변형, 및 수정이 이루어질 수 있음을 쉽게 인식할 것이다.

도면

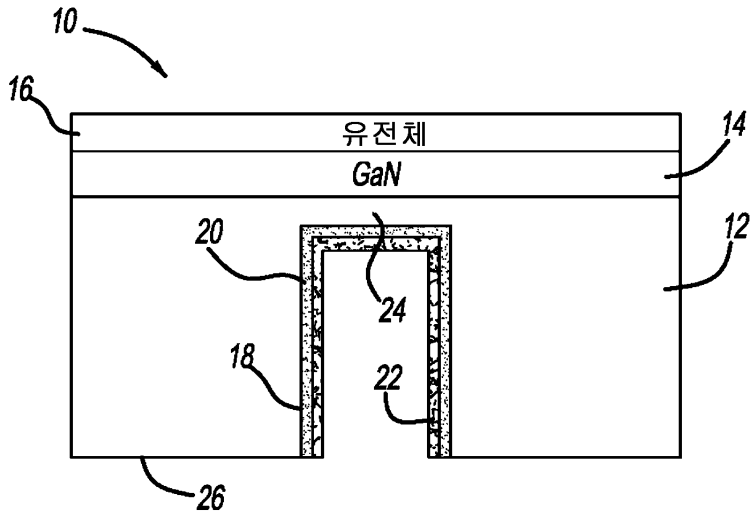
도면1



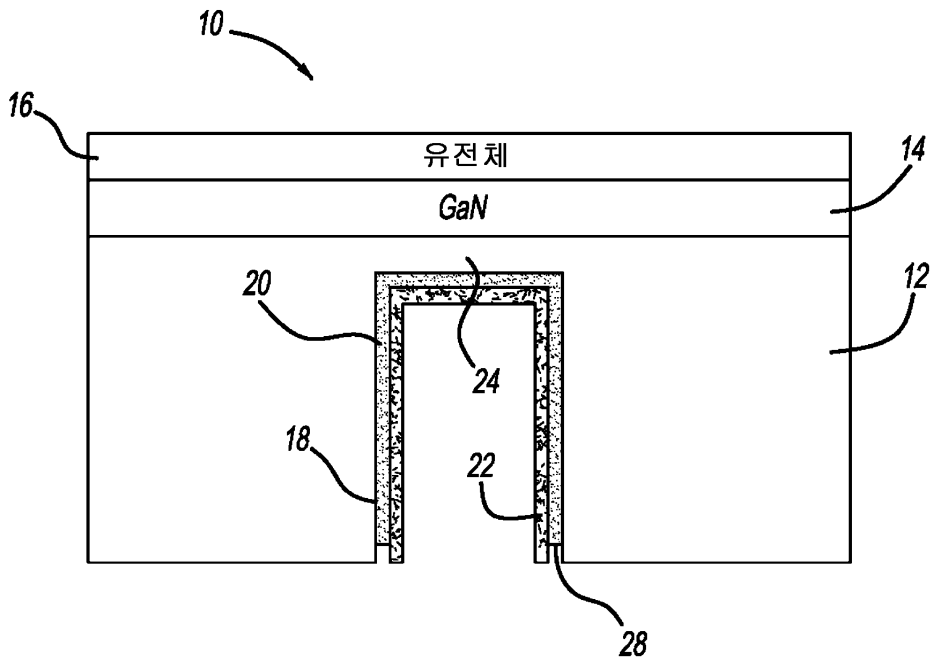
도면2



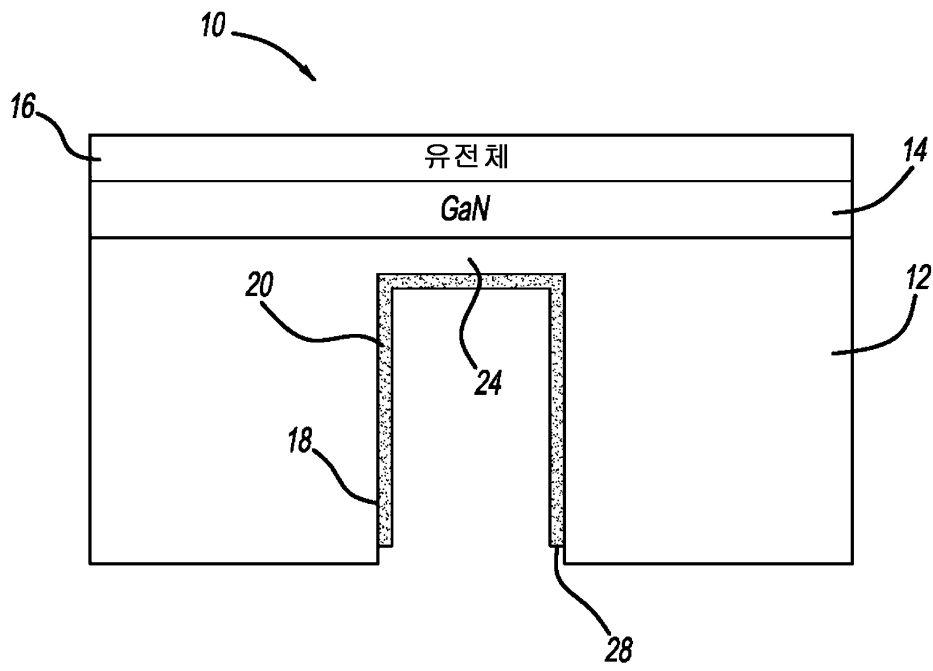
도면3



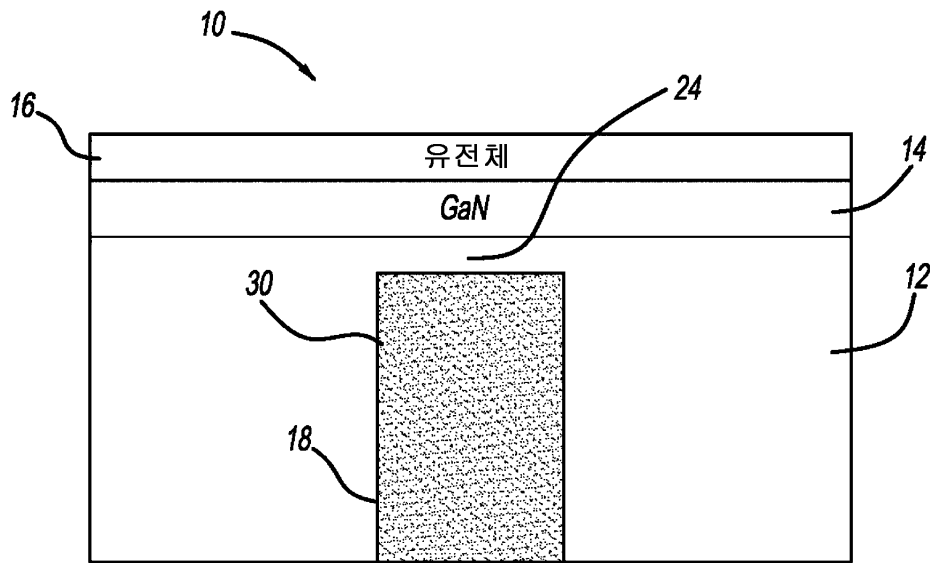
도면4



도면5



도면6



도면7

