

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-165531

(P2006-165531A)

(43) 公開日 平成18年6月22日(2006.6.22)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 A	5 F 1 1 0
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B	

審査請求 未請求 請求項の数 6 O L (全 44 頁)

(21) 出願番号	特願2005-325369 (P2005-325369)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成17年11月9日(2005.11.9)	(71) 出願人	304021417 国立大学法人東京工業大学 東京都目黒区大岡山2丁目12番1号
(31) 優先権主張番号	特願2004-326686 (P2004-326686)	(74) 代理人	100065385 弁理士 山下 穰平
(32) 優先日	平成16年11月10日(2004.11.10)	(74) 代理人	100122921 弁理士 志村 博
(33) 優先権主張国	日本国(JP)	(74) 代理人	100130029 弁理士 永井 道雄
		(72) 発明者	藪田 久人 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 電界効果型トランジスタの製造方法

(57) 【要約】

【課題】 電界効果型トランジスタに関する新規な製造方法を提供する。

【解決手段】 基板上に、非晶質酸化物層を形成する前に、基板表面にオゾン雰囲気中で紫外線を照射したり、基板表面にプラズマを照射したり、あるいは基板表面を過酸化水素を含有する薬液により洗浄する。または、非晶質酸化物を含み構成される活性層を形成する工程をオゾンガス、窒素酸化物ガス等の少なくともいずれかを含む雰囲気中で行う。または、基板上に、非晶質酸化物層を形成する後に、非晶質酸化物層の成膜温度よりも高い温度で熱処理する工程を含む。

【選択図】 なし

【特許請求の範囲】**【請求項 1】**

電界効果型トランジスタの製造方法であって、
基板を用意する第 1 の工程、及び該基板上に非晶質酸化物を含み構成される活性層を形成する第 2 の工程を備え、且つ

該第 2 の工程前に、

該基板表面にオゾン雰囲気中で紫外線を照射する工程、該基板表面にプラズマを照射する工程、及び該基板表面を、過酸化水素を含有する薬液により洗浄する工程
のうちの、少なくともいずれかの工程を行うことを特徴とする電界効果型トランジスタの製造方法。

10

【請求項 2】

電界効果型トランジスタの製造方法であって、

基板を用意する第 1 の工程、及び該基板上に非晶質酸化物を含み構成される活性層を形成する第 2 の工程を備え、且つ

該第 2 の工程を、

オゾンガス、窒素酸化物ガス、酸素含有ラジカル、原子状酸素、酸素イオン、及び酸素ラジカルのうちの少なくともいずれかを含む雰囲気中で行うことを特徴とする電界効果型トランジスタの製造方法。

【請求項 3】

電界効果型トランジスタの製造方法であって、

基板を用意する第 1 の工程、及び該基板上に非晶質酸化物を含み構成される活性層を形成する第 2 の工程を備え、且つ

該第 2 の工程後に、

該第 2 の工程における該活性層の成膜温度よりも高い温度で熱処理する工程、及び該活性層を備えている該基板に酸素含有プラズマを照射する工程
のうちの、少なくともいずれかの工程を含むことを特徴とする電界効果型トランジスタの製造方法。

20

【請求項 4】

電界効果型トランジスタの製造方法であって、

基板を用意する第 1 の工程、及び該基板上に非晶質酸化物を含み構成される活性層を形成する第 2 の工程を備え、且つ

該第 2 の工程を、

抵抗加熱蒸着法、電子ビーム蒸着法、化学気相成長法、ラインビームレーザー蒸着法、あるいは電気析出法により行うことを特徴とする電界効果型トランジスタの製造方法。

30

【請求項 5】

電界効果型トランジスタの製造方法であって、

基板を用意する第 1 の工程、及び該基板上に非晶質酸化物を含み構成される活性層を成膜する第 2 の工程を備え、且つ

該第 2 の工程を、成膜温度が 70 以上で行うことを特徴とする電界効果型トランジスタの製造方法。

40

【請求項 6】

前記成膜温度が、70 以上 200 以下であることを特徴とする請求項 5 記載の電界効果型トランジスタの製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は電界効果型トランジスタの製造方法に関する。

【背景技術】**【0002】**

近年、液晶やエレクトロルミネッセンス (Electro Luminescence : 50

EL)技術等の進歩により、平面薄型画像表示装置(Flat Panel Display:FPD)が実用化されている。

【0003】

これらFPDは、ガラス基板上に設けた非晶質シリコン薄膜や多結晶シリコン薄膜を活性層に用いる電界効果型薄膜トランジスタ(Thin Film Transistor:TFT)のアクティブマトリクス回路により駆動されている。

【0004】

一方、これらFPDのより一層の薄型化、軽量化、耐破損性の向上を求めて、ガラス基板の代わりに軽量で可撓性のある樹脂基板を用いる試みも行われている。

【0005】

しかし、上述のシリコン薄膜を用いるトランジスタの製造は、比較的高温の熱工程を要し、一般的に耐熱性の低い樹脂基板上に直接形成することは困難である。

【0006】

そこで、低温での成膜が可能な、たとえばZnOを材料とした酸化物半導体薄膜を用いるTFTの開発が活発に行われている(特許文献1)。

【特許文献1】特開2003-298062号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明者らの知見によれば、ZnOは一般に安定なアモルファス相を形成することができず、殆どのZnOは多結晶相を呈するために、多結晶粒子間の界面でキャリアは散乱され、結果として電子移動度を大きくすることができないことが判明した。即ち、電界効果型トランジスタの活性層に好適に用いられる非晶質酸化物の製造方法が模索されていた。

【0008】

本発明は、上記背景に鑑み、新規な電界効果型トランジスタの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

以下、具体的に本発明について説明する。

【0010】

(第1の本発明：成膜前処理から成膜後処理)

本発明に係る電界効果型トランジスタの製造方法は、基板を用意する第1の工程、及び該基板上に非晶質酸化物を含み構成される活性層を形成する第2の工程を備え、且つ該第2の工程前に、該基板表面にオゾン雰囲気中で紫外線を照射する工程、あるいは該基板表面にプラズマを照射する工程、あるいは該基板表面を、過酸化水素を含有する薬液により洗浄する工程の、少なくともいずれかの工程を行うことを特徴とする。

【0011】

また、本発明に係る電界効果型トランジスタの製造方法は、基板を用意する第1の工程、及び該基板上に非晶質酸化物を含み構成される活性層を形成する第2の工程を備え、且つ該第2の工程を、オゾンガス、窒素酸化物ガス、酸素含有ラジカル、原子状酸素、酸素イオン、酸素ラジカルの少なくともいずれかを含む雰囲気中で行うことを特徴とする。

【0012】

また、本発明に係る電界効果型トランジスタの製造方法は、基板を用意する第1の工程、及び

10

20

30

40

50

該基板上に非晶質酸化物を含み構成される活性層を形成する第 2 の工程を備え、且つ該第 2 の工程後に、該第 2 の工程における該活性層の成膜温度よりも高い温度で熱処理する工程、あるいは該活性層を備えている該基板に酸素含有プラズマを照射する工程の少なくともいずれかの工程を含むことを特徴とする。

【 0 0 1 3 】

また、本発明は、前記第 2 の工程後に、熱処理をする工程、酸化物膜に酸素含有プラズマを照射する工程、膜のパターニングを行うためのマスクデポジション工程、膜のパターニングを行うためのエッチング工程の少なくともいずれかの工程を含むことを特徴とする。

10

【 0 0 1 4 】

また、本発明は、前記第 2 の工程の後に、前記非晶質酸化物を有する基板を、オゾンを含む雰囲気中で熱処理したり、あるいは窒素酸化物を含む雰囲気中で熱処理したり、あるいは水蒸気を含む雰囲気中で熱処理することを含むことを特徴とする。

【 0 0 1 5 】

また、本発明は、前記第 2 の工程後に、前記非晶質酸化物を有する基板を、酸素ラジカルを含む雰囲気中で熱処理したり、あるいは前記非晶質酸化物に酸素含有プラズマを照射したり、あるいは前記基板を加熱した状態で、前記非晶質酸化物に酸素含有プラズマを照射することを特徴とする。

20

【 0 0 1 6 】

また、本発明は、前記第 2 の工程後に、前記非晶質酸化物に、酸素含有ラジカルビームを照射したり、あるいは前記非晶質酸化物のパターニングを行うためのマスクをデポジションしたり、あるいは前記非晶質酸化物のパターニングを行うためのエッチング工程を含むことを特徴とする。

【 0 0 1 7 】

(第 2 の本発明：成膜方法)

本発明に係る電界効果型トランジスタの製造方法は、基板を用意する第 1 の工程、及び該基板上に非晶質酸化物を含み構成される活性層を形成する第 2 の工程を備え、且つ該第 2 の工程を、抵抗加熱蒸着法、電子ビーム蒸着法、化学気相成長法、ラインビームレーザー蒸着法、あるいは電気析出法により行う特徴とする。

30

【 0 0 1 8 】

なお、抵抗加熱蒸着法とは例えば、クヌーセンセルを用いた抵抗加熱蒸着法がある。化学気相成長法においては、プラズマによる原料ガス分解促進手段や、触媒による原料ガス分解促進手段を有する場合がある。

(第 3 の本発明：基板温度)

本発明に係る電界効果型トランジスタの製造方法であって、基板を用意する第 1 の工程、及び該基板上に非晶質酸化物を含み構成される活性層を成膜する第 2 の工程を備え、且つ該第 2 の工程を、成膜温度が 7 0 以上で行うことを特徴とする電界効果型トランジスタの製造方法。

40

【 0 0 1 9 】

なお、成膜温度の下限は、適宜設定できるが、基板の熱変形温度より低いことが好ましい。

【 0 0 2 0 】

ここで、熱変形温度とは例えば 1 0 0 以上 2 0 0 以下である。従って、前記成膜温度は、好適には、7 0 以上 2 0 0 以下である。

50

【0021】

なお、前記第1から第3の発明において製造される非晶質酸化物とは、例えば、電子キャリア濃度が $10^{18}/\text{cm}^3$ 未満であるか、あるいは電子キャリア濃度が増加すると共に、電子移動度が増加する傾向を有する非晶質酸化物であることを特徴とする。

【0022】

当該非晶質酸化物は、例えば、In、Zn、及びSnの少なくとも一つを含む酸化物であるか、あるいはIn、Zn、及びGaを含む酸化物である。

【0023】

なお、前述の第1のから第3の発明において、第1の工程と第2の工程間に、別な工程が含まれていてもよい。本発明において、基板上に非晶質酸化物を成膜するとは、該基板に直接成膜する場合は勿論、他の層を介して、該基板の上に非晶質酸化物を成膜する場合をも含む。

10

【0024】

本発明により、非晶質酸化物を有する新規な電界効果型のトランジスタの製造方法が提供される。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施の形態について図面を用いて詳細に説明する。

【0026】

以下では、まず第1から第3の実施形態において、上記第1から第3の本発明について

20

【0027】

その後、本発明に係る非晶質酸化物について、各実施形態に共通する事項について述べる。

(第1の実施形態：成膜前から成膜後)

1-A 本実施形態に係る電界効果型トランジスタの製造方法は、基板を用意した後、該基板の上に非晶質酸化物を含み構成される活性層を形成する前に、下記のいずれかの工程を行うことを特徴とする。

該工程とは、該基板表面にオゾン雰囲気中で紫外線を照射する工程、あるいは

該基板表面にプラズマを照射する工程、あるいは

該基板表面を、過酸化水素を含有する薬液により洗浄する工程、あるいは

シリコンと酸素を含む膜をコーティングする工程のことである。

30

【0028】

上記した基板の表面処理工程により、該基板表面に付着していた不純物が除去され、基板表面が清浄化される。

【0029】

上記工程により、TFT(薄膜トランジスタ)などの電界効果型トランジスタを構成する膜中への不純物拡散による性能劣化を低減させることができる。

また、付着物を基板表面から取り除くことにより、基板とトランジスタを構成する膜との密着性向上させることも可能である。

40

【0030】

1-B また、本発明に係る電界効果型トランジスタの製造方法は、成膜用の基板を用意した後、所定の雰囲気中で、非晶質酸化物を成膜することを特徴とする。

【0031】

当該所定の雰囲気とは、オゾンガス、窒素酸化物ガス、酸素含有ラジカル、原子状酸素、酸素イオン、酸素ラジカルの少なくともいずれかを含む雰囲気である。

【0032】

なお、前記オゾンガスや窒素酸化物ガスや酸素含有ラジカルや酸素ラジカルは、成膜チャンバーの外部から該成膜チャンバー内に導入することができる。

50

【 0 0 3 3 】

また、酸素含有プラズマを前記基板に照射することで、該成膜チャンバー内に原子状酸素や酸素イオンや酸素ラジカルを生じさせることができる。

【 0 0 3 4 】

上記オゾンガス等は、分子状態の酸素よりも酸化力が強いため、酸素欠損が少ない非晶質酸化物を得ようとする場合には好適である。

【 0 0 3 5 】

なお、前記非晶質酸化物を電界効果型トランジスタの活性層として使用する場合には、上記本発明により、不要な酸素欠陥を少なくできるので、欠陥準位形成によるトランジスタ特性劣化を抑制することが可能となる。

10

【 0 0 3 6 】

また、本発明において前記非晶質酸化物を絶縁層として使用する場合も包含する。そして、上記方法により当該絶縁層を形成すれば、その絶縁性が向上する、という効果が得られる。

【 0 0 3 7 】

なお、本発明は、非晶質酸化物の成膜時に、上記の雰囲気に加え、酸素分子を含む場合をも包含するものである。

【 0 0 3 8 】

1 - C また、本発明は、基板を用意し（第1の工程）、その基板の上に非晶質酸化物を含み構成される活性層を形成する第2の工程後に、

20

下記の後処理工程の少なくとも一つの工程（後処理工程）を行なうことを特徴とする。

該後処理工程とは、

該第2の工程における該活性層の成膜温度よりも高い温度で熱処理する熱処理工程、あるいは

該活性層を備えている該基板に酸素含有プラズマを照射する工程である。

【 0 0 3 9 】

成膜温度とは、例えば室温である。具体的には、0 から 40 の範囲である。

前記活性層の成膜時には、室温で成膜を行う場合のように、意図的に基板を加熱しないで成膜を行う場合がある。

【 0 0 4 0 】

30

前記熱処理工程は、前記非晶質酸化物形成後であれば適宜行うことができる。

勿論、基板の上にゲート絶縁膜形成後、あるいはドレイン電極やソース電極やゲート電極など電極膜を形成した後に前記熱処理工程を行ってもよい。

【 0 0 4 1 】

特に、前記電極膜として酸化物を用いる場合は、当該電極膜形成後に熱処理工程を行うことが好ましい。

【 0 0 4 2 】

なお、前記熱処理工程時には、オゾンを含む雰囲気や、窒素酸化物ガスを含む雰囲気や、水蒸気を含む雰囲気や、酸素ラジカルを含む雰囲気などで行うことができる。

【 0 0 4 3 】

40

熱処理工程における温度は、例えば室温より高く、600 以下の温度である。好ましくは、200 以下である。PET（ポリエチレンテレフタレート）などの可撓性基板を用いている場合には、200 以下、好ましくは100 以下、より好ましくは50 以下である。

【 0 0 4 4 】

これにより、不要な酸素欠陥を少なくし、欠陥準位形成によるトランジスタ特性劣化を低減できる。

【 0 0 4 5 】

また、基板の上に酸化物よりなる絶縁膜を有する場合には、その絶縁性を向上させ得る。

【 0 0 4 6 】

50

また、酸素含有プラズマ照射を行う工程は、前記非晶質酸化物形成後であれば適宜行うことができる。

【0047】

具体的には、前記非晶質酸化物の活性層を成膜後や、ゲート絶縁膜に酸化物を用いた場合のゲート絶縁膜成膜後、ドレイン電極やソース電極やゲート電極の電極膜に酸化物を用いた場合の電極膜成膜後である。

【0048】

なお、プラズマを照射する際は、基板を加熱しながら行うことも可能である。

【0049】

このようなプラズマ照射により、不要な酸素欠陥を少なくし、欠陥準位形成によるトランジスタ特性劣化を抑制できる。また、基板上に絶縁膜を有する場合は、絶縁性が向上し得る。

10

【0050】

なお、前記第2の工程後に、TFTなどの電界効果型トランジスタを構成するために形成されている膜をパターニングすることもできる。

【0051】

具体的には、前記パターニングのためのマスク層を堆積させる。または、前記膜を成膜後に、レジストの塗布とリソグラフィ工程を経た後にエッチングを行うこともできる。

【0052】

こうすることで、TFT素子形成時の工程数を減少させることができ、素子間の特性ばらつきが少ない回路、装置が得られる。

20

(第2の実施形態：成膜方法)

本実施形態に係る電界効果型トランジスタの製造方法は、基板を用意し(第1の工程)、その後、該基板上に非晶質酸化物を含み構成される活性層を形成する第2の工程時において、該第2の工程を、抵抗加熱蒸着法、あるいは電子ビーム蒸着法、あるいは化学気相成長法、あるいはラインビームレーザー蒸着法、あるいは電気析出法により行うことを特徴とする。

30

【0053】

また、本発明は、基板を用意し、その後、該基板上に電界効果型トランジスタのアモルファス酸化物活性層、ソース電極、ドレイン電極、ゲート絶縁膜、及びゲート電極のうちの、少なくとも1つを形成する際に、前述した、抵抗加熱蒸着法、または電子ビーム蒸着法、または化学気相成長法、またはラインビームレーザー蒸着法、または電気析出法により形成することをも包含する。

【0054】

これにより、通常のパルスレーザー蒸着法と同等あるいはそれ以上の品質の活性層あるいは電極膜あるいは絶縁膜を得ることができる。また、本実施形態に係る発明によれば、スパッタ法と同程度あるいはそれ以上の面積の基板上に前述した非晶質酸化物を堆積できる。

40

【0055】

なお、上記製造方法により非晶質酸化物を成膜する場合の酸素に関する条件(例えば、酸素分圧)は、成膜のために使用する装置にもよるが、例えば以下の範囲で設定できる。

【0056】

抵抗加熱蒸着法や電子ビーム蒸着法では、酸素分圧あるいは全圧が、 10^{-3} から10Paの範囲で設定する。

【0057】

化学気相成長法の場合は、チャンバー内の全圧の半分を例えば、酸素分圧とする。

【0058】

50

ラインビームレーザー蒸着法の場合は、酸素分圧の範囲は、例えば4.5 Paから6.5 Pa未満である。

【0059】

このラインビームレーザー蒸着法とは、後述するパルスレーザー蒸着法（PLD法）に用いるレーザーを用い、それに、ライン光学系を付加して発生させる、所定の幅を有するレーザーラインビームを用いて蒸着する方法である。

（第3の実施形態：基板温度）

本実施形態に係る電界効果型トランジスタの製造方法は、基板を用意し（第1の工程）、
該基板上に非晶質酸化物を含み構成される活性層を成膜する第2の工程の際に、成膜温度を70以上にして行うことを特徴とする。

【0060】

ここで、成膜温度とは、例えば基板の温度、あるいは基板の最表面（膜が成長している面）の温度、基板付近の温度、あるいは各成膜装置に取り付けられているチャンバー内温度計が示す温度である。

【0061】

従って、雰囲気温度を室温にして成膜している場合（例えば、ヒータなどにより、特に加熱することなく成膜する場合）であっても、基板自体の温度や基板の最表面の温度が、結果的に70以上になっている場合は、本実施形態に係る発明の範囲内である。

【0062】

前記成膜温度（例えば、基板温度）の下限は適宜設定できるが、例えば基板の熱変形温度より低くすることが好ましい。

【0063】

熱変形温度とは、基板にも依存するが、例えば100以上200以下である。

【0064】

成膜時の成膜温度（例えば基板温度）を70以上にすることで、非晶質酸化物膜を形成後のプロセスにおける、当該膜の特性ばらつきが生じにくくなり、最終的には素子特性のばらつきが小さくなる。ここで素子特性としては、前記非晶質酸化物を用いて、トランジスタを作製した場合における、電子移動度、オンオフ比、ドレインソース間電圧、ゲート閾値電圧などがあげられる。

【0065】

なお、70以上にするのは、非晶質酸化物を用いてトランジスタを表示装置等のデバイスを形成する場合に、その後のプロセスにおいて、60程度の加熱が行われたり、当該デバイスを使用時に60程度になる場合があり得るからである。

【0066】

さらに、高温動作時や高温環境保管後における、素子の安定性が向上する。その概念を図7を用いて示す。

【0067】

図7(a)には、典型的な(60-10時間保管後の素子特性ばらつき)/(保管前の素子特性ばらつき)を縦軸にして、横軸に非晶質酸化物膜の成膜時の基板温度とした場合の関係を示している。70以上にすることで特性ばらつきが小さくなることがわかる。

【0068】

好ましい基板温度の範囲は、成膜方法や成膜条件にも依存するが、たとえばスパッタ法の場合には高エネルギーの粒子が基板表面に照射されるため、比較的lowめの温度でも良好であることから、スパッタ法は好ましい成膜方法である。

【0069】

ここで、基板温度とは厳密には成膜時の基板表面の温度であるが、成膜時の温度を直接測定することが難しい場合には、成膜前の基板温度と成膜直後の基板温度の平均値とすることもできる。基板温度は放射温度計や熱電対など任意の温度計をもちいて測定することができる。

10

20

30

40

50

【0070】

また、成膜温度（例えば、基板温度）が、基板の熱変形温度より低いことが好ましい。特に樹脂基板を用いる場合には、熱変形温度より高い温度で成膜する場合、膜はがれや膜破損が生じる場合がある。

【0071】

すなわち作製歩留まりが下がる。図7（b）には、歩留まりを縦軸にして、横軸に成膜時の基板温度として、両者の関係を示す概念図である。基板温度を、熱変形温度以上にすると歩留まりが下がることがわかる。

【0072】

さらには、基板の熱変形温度が、100 以上200 以下である基板を用いることが、素子の安定性や基板の柔軟性の観点から好ましい。 10

【0073】

どのような基板を用いるかにもよるが、本実施形態に係る発明における成膜温度（例えば、基板温度）を、70 以上200 以下にして成膜することが好ましい。より好ましくは、70 以上100 以下である。

【0074】

また、基板の熱変形温度が120～150 程度の材料を用い、80～100 程度の基板温度で成膜することは、フレキシブルな基板上にTFTを作製する上で好ましい条件である。

【0075】

典型的な樹脂基板の熱変形温度は、アクリル樹脂（PMMA）で75 程度、PETで70 程度、PC（ポリカーボネイト）で150 程度であるが、作成方法や混合物などによってさまざまなものがある。たとえばガラス繊維などで補強することで、PET系の材料も、熱変形温度が200 程度までを上昇させた材料もある。 20

【0076】

ここで熱変形温度は、JIS K7206の試験規格に沿って評価することができる。

【0077】

なお、透明膜を形成する基板としては、ガラス基板、プラスチック基板又はプラスチックフィルムなどを用いることができる。プラスチックの種類としては、ポリエチレン・テレフタレート（PET）、ポリイミド、アクリル（PMMA）、エポキシ等からなる任意の樹脂を使用することができる。 30

【0078】

なお、本実施形態における成膜方法は、上記第2の実施形態で説明した成膜方法に加え、例えば、パルスレーザー堆積法（PLD法）やスパッタリング法（SP法）も含めた中から適宜選択される。

【0079】

以下では、上記第1から第3の実施形態において、適用される非晶質酸化物について詳述する。

（非晶質酸化物）

本発明に係る非晶質酸化物の電子キャリア濃度は、室温で測定する場合の値である。室温とは、例えば25 であり、具体的には0 から40 程度の範囲から適宜選択されるある温度である。なお、本発明に係るアモルファス酸化物の電子キャリア濃度は、0 から40 の範囲全てにおいて、 $10^{18} / \text{cm}^3$ 未満を充足する必要はない。例えば、25 において、キャリア電子密度 $10^{18} / \text{cm}^3$ 未満が実現されていればよい。また、電子キャリア濃度を更に下げ、 $10^{17} / \text{cm}^3$ 以下、より好ましくは $10^{16} / \text{cm}^3$ 以下にするとノーマリーオフのTFTが歩留まり良く得られる。 40

【0080】

なお、 $10^{18} / \text{cm}^3$ 未満とは、好ましくは $1 \times 10^{18} / \text{cm}^3$ 未満であり、より好適には、 $1.0 \times 10^{18} / \text{cm}^3$ 未満である。

【0081】

電子キャリア濃度の測定は、ホール効果測定により求めることが出来る。

【0082】

なお、本発明において、アモルファス酸化物とは、X線回折スペクトルにおいて、ハローパターンが観測され、特定の回折線を示さない酸化物をいう。

【0083】

本発明のアモルファス酸化物における、電子キャリア濃度の下限値は、TFEのチャンネル層として適用できれば特に限定されるものではない。下限値は、例えば、 $10^{12} / \text{cm}^3$ である。

【0084】

従って、本発明においては、後述する各実施例のようにアモルファス酸化物の材料、組成比、製造条件などを制御して、例えば、電子キャリア濃度を、 $10^{12} / \text{cm}^3$ 以上 $10^{18} / \text{cm}^3$ 未満とする。より好ましくは $10^{13} / \text{cm}^3$ 以上 $10^{17} / \text{cm}^3$ 以下、更には $10^{15} / \text{cm}^3$ 以上 $10^{16} / \text{cm}^3$ 以下の範囲にすることが好ましいものである。

【0085】

前記非晶質酸化物としては、InZnGa酸化物のほかにも、In酸化物、 $\text{In}_x\text{Zn}_{1-x}$ 酸化物 ($0.2 < x < 1$)、 $\text{In}_x\text{Sn}_{1-x}$ 酸化物 ($0.8 < x < 1$)、あるいは $\text{In}_x(\text{Zn}, \text{Sn})_{1-x}$ 酸化物 ($0.15 < x < 1$) から適宜選択できる。

【0086】

なお、 $\text{In}_x(\text{Zn}, \text{Sn})_{1-x}$ 酸化物は、 $\text{In}_x(\text{Zn}_y\text{Sn}_{1-y})_{1-x}$ 酸化物と記載することができ、yの範囲は1から0である。

【0087】

なお、ZnとSnを含まないIn酸化物の場合は、Inの一部をGaに置換することもできる。即ち、 $\text{In}_x\text{Ga}_{1-x}$ 酸化物 ($0 < x < 1$) の場合である。

【0088】

以下に、本発明者らが作製することに成功した電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満の非晶質酸化物について詳述する。

【0089】

上記酸化物とは、In-Ga-Zn-Oを含み構成され、結晶状態における組成が $\text{InGaO}_3(\text{ZnO})_m$ (mは6未満の自然数) で表され、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満であることを特徴とする。

【0090】

また上記酸化物は、In-Ga-Zn-Mg-Oを含み構成され、結晶状態の組成が $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ (mは6未満の自然数、 $0 < x < 1$) で表され、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満であることを特徴とする。

【0091】

なお、これらの酸化物で構成される膜において、電子移動度が $1 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超になるように設計することも好ましい。

【0092】

上記膜をチャンネル層に用いれば、トランジスターオフ時のゲート電流が0.1マイクロアンペア未満のノーマリーオフで、オン・オフ比が 10^3 超のトランジスタ特性を実現できる。そして、可視光に対して、透明あるいは透光性を有し、フレキシブルなTFEが実現される。

【0093】

なお、上記膜は、伝導電子数の増加と共に、電子移動度が大きくなることを特徴とする。透明膜を形成する基板としては、ガラス基板、樹脂製プラスチック基板又はプラスチックフィルムなどを用いることができる。

【0094】

上記非晶質酸化物膜をチャンネル層に利用する際には、 Al_2O_3 、 Y_2O_3 、又は HfO_2 の1種、又はそれらの化合物を少なくとも二種以上含む混晶化合物をゲート絶縁膜に

利用できる。

【0095】

また、非晶質酸化物中に、電気抵抗を高めるための不純物イオンを意図的に添加せず、酸素ガスを含む雰囲気中で、成膜することも好ましい形態である。

【0096】

本発明者らは、この半絶縁性酸化物アモルファス薄膜は、伝導電子数の増加と共に、電子移動度が大きくなるという特異な特性を見出した。そして、その膜を用いてTFTを作成し、オン・オフ比、ピンチオフ状態での飽和電流、スイッチ速度などのトランジスタ特性が更に向上することを見出した。即ち、非晶質酸化物を利用して、ノーマリーオフ型のTFTを実現できることを見出した。

10

【0097】

非晶質酸化物薄膜を膜トランジスタのチャネル層として用いると、電子移動度が $1\text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超、好ましくは $5\text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超にすることができる。

【0098】

電子キャリア濃度が、 $10^{18} / \text{cm}^3$ 未満、好ましくは、 $10^{16} / \text{cm}^3$ 未満のときは、オフ時（ゲート電圧無印加時）のドレイン・ソース端子間の電流を、10マイクロアンペア未満、好ましくは0.1マイクロアンペア未満にすることができる。

【0099】

また、該膜を用いれば、電子移動度が $1\text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超、好ましくは $5\text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超の時は、ピンチオフ後の飽和電流を10マイクロアンペア超にでき、オン・オフ比を 10^3 超とすることができる。

20

【0100】

TFTでは、ピンチオフ状態では、ゲート端子に高電圧が印加され、チャネル中には高密度の電子が存在している。

【0101】

したがって、本発明によれば、電子移動度が増加した分だけ、より飽和電流値を大きくすることができる。この結果、オン・オフ比の増大、飽和電流の増大、スイッチング速度の増大など、トランジスタ特性の向上が期待できる。

【0102】

なお、通常の化合物中では、電子数が増大すると、電子間の衝突により、電子移動度は減少する。

30

【0103】

なお、上記TFTの構造としては、半導体チャネル層の上にゲート絶縁膜とゲート端子を順に形成するスタガ（トップゲート）構造や、ゲート端子の上にゲート絶縁膜と半導体チャネル層を順に形成する逆スタガ（ボトムゲート）構造を用いることができる。

（第1の成膜法：PLD法）

結晶状態における組成が $\text{InGaO}_3(\text{ZnO})_m$ (m は6未満の自然数)で表される非晶質酸化物薄膜は、 m の値が6未満の場合は、800以上の高温まで、非晶質状態が安定に保たれるが、 m の値が大きくなるにつれ、結晶化しやすくなる。すなわち、 InGaO_3 に対する ZnO の比が増大して、 ZnO 組成に近づくにつれ、結晶化しやすくなる。

40

【0104】

したがって、非晶質TFTのチャネル層としては、 m の値が6未満であることが好ましい。

【0105】

成膜方法は、 $\text{InGaO}_3(\text{ZnO})_m$ 組成を有する多結晶焼結体をターゲットとして、気相成膜法を用いるのが良い。気相成膜法の中でも、スパッタ法、パルスレーザー蒸着法が適している。さらに、量産性の観点から、スパッタ法が最も適している。

【0106】

しかしながら、通常の条件で該非晶質膜を作製すると、多くの酸素欠損が生じ、これまで、電子キャリア濃度を $10^{18} / \text{cm}^3$ 未満、電気伝導度にして、 $10\text{ S} / \text{cm}$ 以下に

50

することができなかつた。そうした膜を用いた場合、ノーマリーオフのトランジスタを構成することができない。

【0107】

本発明者らは、図8で示される装置により、パルスレーザー蒸着法で作製したIn-Ga-Zn-Oを作製した。

【0108】

図8に示すようなPLD成膜装置を用いて、成膜を行った。

【0109】

同図において、701はRP（ロータリーポンプ）、702はTMP（ターボ分子ポンプ）、703は準備室、704はRHEED用電子銃、705は基板を回転、上下移動するための基板保持手段、706はレーザー入射窓である。また、707は基板、708はターゲット、709はラジカル源、710はガス導入口、711はターゲットを回転、上下移動するためのターゲット保持手段、712はバイパスライン、713はメインライン、714はTMP（ターボ分子ポンプ）である。また、715はRP（ロータリーポンプ）、716はチタンゲッターポンプ、717はシャッターである。また、図中718はIG（イオン真空計）、719はPG（ピラニ真空計）、720はBG（バラトロン真空計）、721は成長室（チャンパー）である。

10

【0110】

KrFエキシマレーザーを用いたパルスレーザー蒸着法により、SiO₂ガラス基板（コーニング社製1737）上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させた。堆積前の処理として、基板の超音波による脱脂洗浄を、アセトン、エタノール、超純水を用いて、各5分間行った後、空气中100℃で乾燥させた。

20

【0111】

前記多結晶ターゲットには、InGaO₃(ZnO)₄焼結体ターゲット（サイズ20mm×5mm）を用いた。これは、出発原料として、In₂O₃：Ga₂O₃：ZnO（各4N試薬）を湿式混合した後（溶媒：エタノール）、仮焼（1000℃：2h）、乾式粉碎、本焼結（1550℃：2h）を経て得られるものである。こうして作製したターゲットの電気伝導度は、90（S/cm）であった。

【0112】

成長室の到達真空を 2×10^{-6} （Pa）にして、成長中の酸素分圧を6.5（Pa）に制御して成膜を行った。

30

【0113】

チャンパー721内酸素分圧は6.5 Pa、基板温度は25℃である。

【0114】

なお、ターゲット708と被成膜基板707間の距離は、30（mm）であり、入射窓716から入射されるKrFエキシマレーザーのパワーは、1.5-3（mJ/cm²/pulse）の範囲である。また、パルス幅は、20（nsec）、繰り返し周波数は10（Hz）、そして照射スポット径は、1×1（mm角）とした。こうして、成膜レート7（nm/min）で成膜を行った。

【0115】

得られた薄膜について、薄膜のすれすれ入射X線回折（薄膜法、入射角0.5度）を行ったところ、明瞭な回折ピークは認められなかったことから、作製したIn-Ga-Zn-O系薄膜はアモルファスであるといえる。

40

【0116】

さらに、X線反射率測定を行い、パターンの解析を行った結果、薄膜の平均二乗粗さ（R_{rms}）は約0.5 nmであり、膜厚は約120 nmであることが分かった。蛍光X線（XRF）分析の結果、薄膜の金属組成比はIn：Ga：Zn = 0.98：1.02：4であった。電気伝導度は、約10⁻² S/cm未満であった。電子キャリア濃度は約10¹⁶/cm³以下、電子移動度は約5 cm²/（V・秒）と推定される。

【0117】

光吸収スペクトルの解析から、作製したアモルファス薄膜の禁制帯エネルギー幅は、約3 eVと求めた。以上のことから、作製したIn-Ga-Zn-O系薄膜は、結晶のInGaO₃(ZnO)₄

50

の組成に近いアモルファス相を呈しており、酸素欠損が少なく、電気伝導度が小さな透明な平坦薄膜であることが分かった。

【0118】

具体的に図1を用いて説明する。同図は、In-Ga-Zn-Oから構成され、結晶状態を仮定した時の組成が $\text{InGaO}_3(\text{ZnO})_m$ (m は6未満の数)で表される透明アモルファス酸化物薄膜を本実施例と同じ条件下で作成する場合の特性図である。この特性図は、酸素分圧を変化させた場合に、成膜された酸化物の電子キャリア濃度の変化を示したものである。

【0119】

本実施例と同じ条件下で酸素分圧を4.5 Pa超の高い雰囲気中で、成膜することにより、図1に示すように、電子キャリア濃度を $10^{18} / \text{cm}^3$ 未満に低下させることができた。この場合、基板の温度は意図的に加温しない状態で、ほぼ室温に維持されている。フレキシブルなプラスチックフィルムを基板として使用するには、基板温度は100 未満に保つことが好ましい。

【0120】

酸素分圧をさらに大きくすると、電子キャリア濃度をさらに低下させることができる。例えば、図1に示す様に、基板温度25、酸素分圧5 Paで成膜した $\text{InGaO}_3(\text{ZnO})_4$ 薄膜では、さらに、電子キャリア数を $10^{16} / \text{cm}^3$ に低下させることができた。

【0121】

得られた薄膜は、図2に示す様に、電子移動度が $1 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ 超であった。しかし、本実施例のパルスレーザー蒸着法では、酸素分圧を6.5 Pa以上にすると、堆積した膜の表面が凸凹となり、TFTのチャンネル層として用いることが困難となる。

【0122】

従って、酸素分圧4.5 Pa超、望ましくは5 Pa超、6.5 Pa未満の雰囲気中で、パルスレーザー蒸着法で、結晶状態における組成 $\text{InGaO}_3(\text{ZnO})_m$ (m は6未満の数)で表される透明アモルファス酸化物薄膜を作製する。この透明アモルファス酸化物薄膜を用いれば、ノーマリーオフのトランジスタを構成することができる。

【0123】

また、該薄膜の電子移動度は、 $1 \text{ cm}^2 / \text{V} \cdot \text{秒}$ 超が得られ、オン・オフ比を 10^3 超に大きくすることができた。

【0124】

以上、説明したように、本実施例に示した条件下でPLD法によりInGaZn酸化物の成膜を行う場合は、酸素分圧を4.5 Pa以上6.5 Pa未満になるように制御することが望ましい。

【0125】

なお、電子キャリア濃度を $10^{18} / \text{cm}^3$ 未満を実現するためには、酸素分圧の条件、成膜装置の構成や、成膜する材料や組成などに依存する。

【0126】

次に、上記装置における酸素分圧6.5 Paの条件で、アモルファス酸化物を作製し、図5に示すトップゲート型MISFET素子を作製した。具体的には、まず、ガラス基板(1)上に上記のアモルファスIn-Ga-Zn-O薄膜の作製法により、チャンネル層(2)として用いる厚さ120nmの半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜を形成した。

【0127】

さらにその上に、チャンパー内酸素分圧を1Pa未満にして、パルスレーザー堆積法により電気伝導度の大きな $\text{InGaO}_3(\text{ZnO})_4$ 及び金膜をそれぞれ30nm積層する。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成した。最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜し(厚み:90nm、比誘電率:約15、リーク電流密度:0.5 MV/cm印加時に 10^{-3} A/cm^2)、その上に金を成膜する。そして、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成した。

【0128】

10

20

30

40

50

MISFET素子の特性評価

図6に、室温下で測定したMISFET素子の電流 - 電圧特性を示す。ドレイン電圧 V_{DS} の増加に伴い、ドレイン電流 I_{DS} が増加したことからチャンネルがn型半導体であることが分かる。これは、アモルファスIn-Ga-Zn-O系半導体がn型であるという事実と矛盾しない。 I_{DS} は $V_{DS} = 6$ V程度で飽和（ピンチオフ）する典型的な半導体トランジスタの挙動を示した。利得特性を調べたところ、 $V_{DS} = 4$ V印加時におけるゲート電圧 V_{GS} の閾値は約-0.5 Vであった。また、 $V_G = 10$ V時には、 $I_{DS} = 1.0 \times 10^{-5}$ Aの電流が流れた。これはゲートバイアスにより絶縁体のIn-Ga-Zn-O系アモルファス半導体薄膜内にキャリアを誘起できたことに対応する。

【0129】

トランジスタのオン・オフ比は、 10^3 超であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $7\text{cm}^2(\text{Vs})^{-1}$ の電界効果移動度が得られた。作製した素子に可視光を照射して同様の測定を行なったが、トランジスタ特性の変化は認められなかった。

【0130】

本実施例によれば、電子キャリア濃度が小さく、したがって、電気抵抗が高く、かつ電子移動度が大きいチャンネル層を有する薄膜トランジスタを実現できる。

【0131】

なお、上記したアモルファス酸化物は、電子キャリア濃度の増加と共に、電子移動度が増加し、さらに縮退伝導を示すという優れた特性を備えていた。

【0132】

本実施例では、ガラス基板上に薄膜トランジスタを作製したが、成膜自体が室温で行えるので、プラスチック板やフィルムなどの基板が使用可能である。

【0133】

また、本実施例で得られたアモルファス酸化物は、可視光の光吸収が殆どなく、透明なフレキシブルTFTを実現できる。

（第2の成膜法：スパッタ法（SP法））

雰囲気ガスとしてアルゴンガスを用いた高周波SP法により、成膜する場合について説明する。

【0134】

SP法は、図9に示す装置を用いて行った。同図において、807は被成膜基板、808はターゲット、805は冷却機構付き基板保持手段、814は、ターボ分子ポンプ、815はロータリーポンプ、817はシャッターである。また、818はイオン真空計、819はピラニ真空計、821は成長室（チャンバー）、830はゲートバルブである。

【0135】

被成膜基板807としては、 SiO_2 ガラス基板（コーニング社製1737）を用意した。成膜前処理として、この基板の超音波脱脂洗浄を、アセトン、エタノール、超純水により各5分ずつ行った後、空气中100 で乾燥させた。

【0136】

ターゲット材料としては、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体（サイズ20mm 5mm）を用いた。

【0137】

この焼結体は、出発原料として、 In_2O_3 ： Ga_2O_3 ： ZnO （各4N試薬）を湿式混合（溶媒：エタノール）し、仮焼（1000 : 2h）、乾式粉碎、本焼結（1550 : 2h）を経て作製した。このターゲット808の電気伝導度は90 (S/cm)であり、半絶縁体状態であった。

【0138】

成長室821内の到達真空は、 1×10^{-4} (Pa)であり、成長中の酸素ガスとアルゴンガスの全圧は、 $4 \sim 0.1 \times 10^{-1}$ (Pa)の範囲での一定の値とした。そして、アルゴンガスと酸素との分圧比を変えて、酸素分圧を $10^{-3} \sim 2 \times 10^{-1}$ (Pa)の範囲で変化させた。

10

20

30

40

50

【0139】

また、基板温度は、室温とし、ターゲット808と被成膜基板807間の距離は、30 (mm)であった。

【0140】

投入電力は、RF180 Wであり、成膜レートは、10 (nm/min)で行った。得られた膜に関し、膜面にすれすれ入射X線回折(薄膜法、入射角0.5度)を行ったところ、明瞭な回折ピークは検出されず、作製したIn-Zn-Ga-O系膜はアモルファス膜であることが示された。

【0141】

さらに、X線反射率測定を行い、パターンの解析を行った結果、薄膜の平均二乗粗さ(R_{rms})は約0.5 nmであり、膜厚は約120 nmであることが分かった。蛍光X線(XRF)分析の結果、薄膜の金属組成比はIn : Ga : Zn = 0.98 : 1.02 : 4であった。

【0142】

成膜時の雰囲気酸素分圧を変化させ、得られたアモルファス酸化物膜の電気伝導度を測定した。その結果を図3に示す。

【0143】

図3に示すように、酸素分圧を 3×10^{-2} Pa超の高い雰囲気中で、成膜することにより、電気伝導度を10 S/cm未満に低下させることができた。酸素分圧をさらに大きくすることにより、電子キャリア数を低下させることができた。例えば、図3に示す様に、基板温度25℃、酸素分圧 10^{-1} Paで成膜した $\text{InGaO}_3(\text{ZnO})_4$ 薄膜では、さらに、電気伝導度を約 10^{-10} S/cmに低下させることができた。また、酸素分圧 10^{-1} Pa超で成膜した $\text{InGaO}_3(\text{ZnO})_4$ 薄膜は、電気抵抗が高すぎて電気伝導度は測定できなかった。この場合、電子移動度は測定できなかったが、電子キャリア濃度が大きな膜での値から外挿して、電子移動度は、約 $1 \text{ cm}^2 / \text{V} \cdot \text{秒}$ と推定された。

【0144】

すなわち、酸素分圧 3×10^{-2} Pa超、望ましくは 5×10^{-1} Pa超のアルゴンガス雰囲気中で、スパッタ蒸着法で作製したIn-Ga-Zn-Oから構成され、結晶状態における組成 $\text{InGaO}_3(\text{ZnO})_m$ (mは6未満の自然数)で表される透明アモルファス酸化物薄膜を作製した。この透明アモルファス酸化物薄膜を用い、ノーマリーオフで、かつオン・オフ比を 10^3 超のトランジスタを構成することができた。

【0145】

本実施例で示した装置、材料を用いる場合は、スパッタによる成膜の際の酸素分圧としては、例えば、 3×10^{-2} Pa以上、 5×10^{-1} Pa以下の範囲である。なお、パルスレーザー蒸着法およびスパッタ法で作成された薄膜では、図2に示す様に、伝導電子数の増加と共に、電子移動度が増加する。

【0146】

上記のとおり、酸素分圧を制御することにより、酸素欠陥を低減でき、その結果、電子キャリア濃度を減少できる。また、アモルファス状態では、多結晶状態とは異なり、本質的に粒子界面が存在しないために、高電子移動度のアモルファス薄膜を得ることができる。

【0147】

なお、ガラス基板の代わりに厚さ200 μm のポリエチレン・テレフタレート(PET)フィルムを用いた場合にも、得られた $\text{InGaO}_3(\text{ZnO})_4$ アモルファス酸化物膜は、同様の特性を示した。

【0148】

なお、ターゲットとして、多結晶 $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ (mは6未満の自然数、 $0 < x < 1$)を用いれば、1 Pa未満の酸素分圧下でも、高抵抗非晶質 $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ 膜を得ることができる。

【0149】

例えば、Znを80 at%のMgで置換したターゲットを使用した場合、酸素分圧0.8

10

20

30

40

50

P a の雰囲気、パルスレーザー堆積法で得られた膜の電子キャリア濃度を $10^{16} / \text{cm}^3$ 未満とすることができる（電気抵抗値は、約 10^{-2} S / cm である。）。

【0150】

こうした膜の電子移動度は、Mg無添加膜に比べて低下するが、その程度は少なく、室温での電子移動度は約 $5 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ で、アモルファスシリコンに比べて、1桁程度大きな値を示す。同じ条件で成膜した場合、Mg含有量の増加に対して、電気伝導度と電子移動度は、共に低下するので、Mgの含有量は、好ましくは、20%超、85%未満（ x にして、 $0.2 < x < 0.85$ ）である。

【0151】

上記のとおり、酸素分圧を制御することにより、酸素欠陥を低減でき、その結果、特定の不純物イオンを添加することなしに、電子キャリア濃度を減少できる。また、非晶質状態では、多結晶状態とは異なり、本質的に粒子界面が存在しないために、高電子移動度の非晶質膜を得ることができる。さらに、特定の不純物を添加せずに伝導電子数を減少できるので、不純物による散乱がなく、電子移動度を高く保つことができる。

【0152】

上記した非晶質酸化物膜を用いた薄膜トランジスタにおいて、 Al_2O_3 、 Y_2O_3 、 HfO_2 、又はそれらの化合物を少なくとも二つ以上含む混晶化合物をゲート絶縁膜とすることが好ましい。

【0153】

ゲート絶縁薄膜とチャネル層薄膜との界面に欠陥が存在すると、電子移動度の低下及びトランジスタ特性にヒステリシスが生じる。また、ゲート絶縁膜の種類により、リーク電流が大きく異なる。このために、チャネル層に適合したゲート絶縁膜を選定する必要がある。 Al_2O_3 膜を用いれば、リーク電流を低減できる。また、 Y_2O_3 膜を用いればヒステリシスを小さくできる。さらに、高誘電率の HfO_2 膜を用いれば、電子移動度を大きくすることができる。また、これらの膜の混晶を用いて、リーク電流、ヒステリシスが小さく、電子移動度の大きなTFTを形成できる。また、ゲート絶縁膜形成プロセス及びチャネル層形成プロセスは、室温で行うことができるので、TFT構造として、スタガ構造及び逆スタガ構造いずれをも形成することができる。

【0154】

このように形成したTFTは、ゲート端子、ソース端子、及び、ドレイン端子を備えた3端子素子である。このTFTは、セラミックス、ガラス、又はプラスチックなどの絶縁基板上に成膜した半導体薄膜を、電子又はホールが移動するチャネル層として用いる。また、このTFTはゲート端子に電圧を印加して、チャネル層に流れる電流を制御し、ソース端子とドレイン端子間の電流をスイッチングする機能を有するアクティブ素子である。

【0155】

なお、酸素欠損量を制御して所望の電子キャリア濃度を達成できていることが本発明においては重要である。

【0156】

上記記載においては、非晶質酸化物膜の酸素量（酸素欠損量）の制御を、成膜時に酸素を所定濃度含む雰囲気中で行うことで制御している。しかし、成膜後、当該酸化物膜を酸素を含む雰囲気中で後処理して酸素欠損量を制御（低減あるいは増加）することも好ましいものである。

【0157】

効果的に酸素欠損量を制御するには、酸素を含む雰囲気中の温度を0以上300以下、好ましくは、25以上、250以下、更に好ましくは100以上200以下で行うのがよい。

【0158】

勿論、成膜時にも酸素を含む雰囲気中で行い、且つ成膜後の後処理でも酸素を含む雰囲気中で後処理してもよい。また、所定の電子キャリア濃度（ $10^{18} / \text{cm}^3$ 未満）を得

られるのであれば、成膜時には、酸素分圧制御は行わないで、成膜後の後処理を酸素を含む雰囲気中で行ってもよい。

【0159】

なお、本発明における電子キャリア濃度の下限としては、得られる酸化物膜をどのような素子や回路あるいは装置に用いるかにもよるが、例えば $10^{14} / \text{cm}^3$ 以上である。
(材料系の拡大)

さらに、組成系を拡大して研究を進めた結果、Zn, In及びSnのうち、少なくとも1種類の元素の酸化物からなるアモルファス酸化物で、電子キャリア濃度が小さく、かつ電子移動度が大きいアモルファス酸化物膜を作製できることを見出した。

【0160】

また、このアモルファス酸化物膜は、伝導電子数の増加と共に、電子移動度が大きくなるという特異な特性を有することを見出した。

【0161】

その膜を用いてTFTを作成し、オン・オフ比、ピンチオフ状態での飽和電流、スイッチ速度などのトランジスタ特性に優れたノーマリーオフ型のTFTを作成できる。

【0162】

上記のZn, In及びSnのうち、少なくとも1種類の元素を含むアモルファス酸化物に、以下の元素を含む複合酸化物を構成できる。

【0163】

Znより原子番号の小さい2族元素M2 (M2は、Mg, Ca)、Inより原子番号の小さい3族元素M3 (M3は、B, Al, Ga, Y)、Snより小さい原子番号の小さい4族元素M4 (M4は、Si, Ge, Zr)、5族元素M5 (M5は、V, Nb, Ta) およびLu、Wのうち、少なくとも1種類の元素である。

【0164】

本発明には、以下(a)から(h)の特徴を有する酸化物を用いることができる。

(a) 室温での電子キャリア濃度が、 $10^{18} / \text{cm}^3$ 未満のアモルファス酸化物。

(b) 電子キャリア濃度が増加すると共に、電子移動度が増加することを特徴とするアモルファス酸化物。

【0165】

なおここで、室温とは0 から40 程度の温度をいう。アモルファスとは、X線回折スペクトルにおいて、ハローパターンのみが観測され、特定の回折線を示さない化合物をいう。また、ここでの電子移動度は、ホール効果測定で得られる電子移動度をいう。

(c) 室温での電子移動度が、 $0.1 \text{ cm}^2 / \text{V} \cdot \text{秒}$ 超であることを特徴とする上記(a)又は(b)に記載されるアモルファス酸化物。

(d) 縮退伝導を示す上記(b)から(c)のいずれかに記載されるアモルファス酸化物である。なお、ここでの縮退伝導とは、電気抵抗の温度依存性における熱活性化エネルギーが、 30 meV 以下の状態をいう。

(e) Zn, In及びSnのうち、少なくとも1種類の元素を構成成分として含む上記(a)から(d)のいずれかに記載されるアモルファス酸化物。

(f) 上記(e)に記載のアモルファス酸化物に、Znより原子番号の小さい2族元素M2 (M2は、Mg, Ca)、Inより原子番号の小さい3族元素M3 (M3は、B, Al, Ga, Y)、Snより小さい原子番号の小さい4族元素M4 (M4は、Si, Ge, Zr)、5族元素M5 (M5は、V, Nb, Ta) およびLu、Wのうち、少なくとも1種類の元素を含むアモルファス酸化物膜。

(g) 結晶状態における組成が $\text{In}_{1-x} \text{M}_3 \text{O}_3 (\text{Zn}_{1-y} \text{M}_2 \text{O})_m$ ($0 < x, y < 1, m$ は0又は6未満の自然数) である化合物単体又はmの異なる化合物の混合体である(a)から(f)のいずれかに記載のアモルファス酸化物膜。M3たとえば、Gaであり、M2は例えば、Mgである。

【0166】

(h) ガラス基板、金属基板、プラスチック基板又はプラスチックフィルム上に設けた

10

20

30

40

50

上記(a)から(g)記載のアモルファス酸化物膜。

【0167】

また、本発明は、(10)上記記載のアモルファス酸化物、又はアモルファス酸化物膜をチャンネル層に用いた電界効果型トランジスタである。

【0168】

なお、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満、 $10^{15} / \text{cm}^3$ 超のアモルファス酸化物膜をチャンネル層に用い、ソース端子、ドレイン端子及びゲート絶縁膜を介してゲート端子を配した電界効果型トランジスタを構成する。ソース・ドレイン端子間に5V程度の電圧を印加したとき、ゲート電圧を印加しないときのソース・ドレイン端子間の電流を約 10^{-7} アンペアにすることができる。

10

【0169】

酸化物結晶の電子移動度は、金属イオンのs軌道の重なりが大きくなるほど、大きくなり、原子番号の大きなZn, In, Snの酸化物結晶は、 0.1 から $200 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ の大きな電子移動度を持つ。

【0170】

さらに、酸化物では、酸素と金属イオンとがイオン結合している。

【0171】

そのため、化学結合の方向性がなく、構造がランダムで、結合の方向が不均一なアモルファス状態でも、電子移動度は、結晶状態の電子移動度に比較して、同程度の大きさを有することが可能となる。

20

【0172】

一方で、Zn, In, Snを原子番号の小さな元素で置換することにより、電子移動度は小さくなる、こうした結果により、本発明のよるアモルファス酸化物の電子移動度は、約 $0.01 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ から $20 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ である。

【0173】

上記酸化物を用いてトランジスタのチャンネル層を作製する場合、トランジスタにおいて、 Al_2O_3 、 Y_2O_3 、 HfO_2 、又はそれらの化合物を少なくとも二つ以上含む混晶化合物をゲート絶縁膜とすることが好ましい。

【0174】

ゲート絶縁薄膜とチャンネル層薄膜との界面に欠陥が存在すると、電子移動度の低下及びトランジスタ特性にヒステリシスが生じる。また、ゲート絶縁膜の種類により、リーク電流が大きく異なる。このために、チャンネル層に適合したゲート絶縁膜を選定する必要がある。 Al_2O_3 膜を用いれば、リーク電流を低減できる。また、 Y_2O_3 膜を用いればヒステリシスを小さくできる。さらに、高誘電率の HfO_2 膜を用いれば、電界効果移動度を大きくすることができる。また、これらの化合物の混晶からなる膜を用いて、リーク電流、ヒステリシスが小さく、電界効果移動度の大きなTFETを形成できる。また、ゲート絶縁膜形成プロセス及びチャンネル層形成プロセスは、室温で行うことができるので、TFET構造として、スタガ構造及び逆スタガ構造いずれをも形成することができる。

30

【0175】

In_2O_3 酸化物膜は、気相法により成膜でき、成膜中の雰囲気中に水分を、 0.1 Pa 程度添加することにより、アモルファス膜が得られる。

40

【0176】

また、ZnO及び SnO_2 は、アモルファス膜を得ることは難しいが、 In_2O_3 を、ZnOの場合には20原子量%程度、 SnO_2 の場合には、90原子量%程度添加することによりアモルファス膜を得ることができる。特に、Sn-In-O系アモルファス膜を得るためには、雰囲気中に窒素ガスを 0.1 Pa 程度導入すればよい。

【0177】

上記のアモルファス膜に、Znより原子番号の小さい2族元素M2(M2は、Mg, Ca)、Inより原子番号の小さい3属元素M3(M3は、B, Al, Ga, Y)、Snより小さい原子番号の小さい4属元素M4(M4は、Si, Ge, Zr)、5属元素M5(

50

M5は、V, Nb, Ta)およびLu, Wのうち、少なくとも1種類の複合酸化物を構成する元素を添加できる。

【0178】

それにより、室温での、アモルファス膜をより安定化させることができる。また、アモルファス膜が得られる組成範囲を広げることができる。

【0179】

特に、共有結合性の強い、B, Si, Geの添加は、アモルファス相安定化に有効であるし、イオン半径の差の大きいイオンから構成される複合酸化物は、アモルファス相が安定化する。

【0180】

たとえば、In-Zn-O系では、Inが約20原子%超の組成範囲でないと、室温で安定なアモルファス膜は得難いが、MgをInと当量添加することにより、Inが約15原子量%超の組成範囲で、安定なアモルファス膜を得ることができる。

【0181】

気相法による成膜において、雰囲気制御することにより、電子キャリア濃度が、 $10^{18} / \text{cm}^3$ 未満、 $10^{15} / \text{cm}^3$ 超のアモルファス酸化膜を得ることができる。

【0182】

アモルファス酸化物の成膜方法としては、パルスレーザー蒸着法(PLD法)、スパッタ法(SP法)及び電子ビーム蒸着法などの気相法を用いるのがよい。気相法の中でも、材料系の組成を制御しやすい点では、PLD法が、量産性の点からは、SP法が適している。しかし、成膜法は、これらの方法に限られるものではない。

【0183】

(PLD法によるIn-Zn-Ga-O系アモルファス酸化膜の成膜)

KrFエキシマレーザーを用いたPLD法により、ガラス基板(コーニング社製1737)上にIn-Zn-Ga-O系アモルファス酸化物膜を堆積させた。このとき、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をそれぞれターゲットとする。

【0184】

成膜装置は、既述の図9に記載されている装置を用い、成膜条件は、当該装置を用いた場合と同様とした。

【0185】

基板温度は25℃である。得られた膜に関し、膜面にすれすれ入射X線回折(薄膜法、入射角0.5度)を行ったところ、明瞭な回折ピークは検出されず、2種類のターゲットから作製したIn-Zn-Ga-O系膜は、いずれもアモルファス膜であることが示された。

【0186】

さらに、ガラス基板上のIn-Zn-Ga-O系アモルファス酸化物膜のX線反射率測定を行い、パターンの解析を行った結果、薄膜の平均二乗粗さ(Rrms)は約0.5nmであり、膜厚は約120nmであることが分かった。

【0187】

蛍光X線(XRF)分析の結果、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとして得られた膜の金属組成比は $\text{In} : \text{Ga} : \text{Zn} = 1.1 : 1.1 : 0.9$ であった。また、 $\text{InGaO}(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとして得られた膜の金属組成比は、 $\text{In} : \text{Ga} : \text{Zn} = 0.98 : 1.02 : 4$ であった。

【0188】

成膜時の雰囲気酸素分圧を変化させ、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとして得られたアモルファス酸化膜の電子キャリア濃度を測定した。その結果を図1に示す。酸素分圧が4.2Pa超の雰囲気中で成膜することにより、電子キャリア濃度を $10^{18} / \text{cm}^3$ 未満に低下させることができた。この場合、基板の温度は意図的に加温しない状態でほぼ室温に維持されている。また、酸素分圧が6.5Pa未満の時は、得られたアモルファス酸化物膜の表面は平坦であった。

10

20

30

40

50

【0189】

酸素分圧が5 Paの時、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとして得られたアモルファス酸化膜の電子キャリア濃度は $10^{16}/\text{cm}^3$ 、電気伝導度は、 $10^{-2} \text{ S}/\text{cm}$ であった。また、電子移動度は、約 $5 \text{ cm}^2/\text{V}\cdot\text{秒}$ と推測された。光吸収スペクトルの解析から、作製したアモルファス酸化膜の禁制帯エネルギー幅は、約3 eVと求まった。

【0190】

酸素分圧をさらに大きくすると、電子キャリア濃度をさらに低下させることができた。図1に示す様に、基板温度25℃、酸素分圧6 Paで成膜したIn-Zn-Ga-O系アモルファス酸化膜では、電子キャリア濃度を $8 \times 10^{15}/\text{cm}^3$ （電気伝導：約 $8 \times 10^{-3} \text{ S}/\text{cm}$ ）に低下させることができた。得られた膜は、電子移動度が $1 \text{ cm}^2/(\text{V}\cdot\text{秒})$ 超と推測された。しかし、PLD法では、酸素分圧を6.5 Pa以上にすると、堆積した膜の表面が凸凹となり、TFTのチャンネル層として用いることが困難となった。

【0191】

$\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとし、異なる酸素分圧で成膜したIn-Zn-Ga-O系アモルファス酸化膜に関して、電子キャリア濃度と電子移動度の関係を調べた。その結果を図2に示す。電子キャリア濃度が、 $10^{16}/\text{cm}^3$ から $10^{20}/\text{cm}^3$ に増加すると、電子移動度は、約 $3 \text{ cm}^2/(\text{V}\cdot\text{秒})$ から約 $11 \text{ cm}^2/(\text{V}\cdot\text{秒})$ に増加することが示された。また、 $\text{InGaO}_3(\text{ZnO})$ 組成を有する多結晶焼結体をターゲットとして得られたアモルファス酸化膜に関しても、同様の傾向が見られた。

【0192】

ガラス基板の代わりに厚さ200 μmのポリエチレン・テレフタレート(PET)フィルムを用いた場合にも、得られたIn-Zn-Ga-O系アモルファス酸化膜は、同様の特性を示した。

(PLD法によるIn-Zn-Ga-Mg-O系アモルファス酸化膜の成膜)

ターゲットとして多結晶 $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_4$ ($0 < x < 1$)を用い、PLD法により、ガラス基板上に $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_4$ ($0 < x < 1$)膜を成膜した。成膜装置は、図8に記載の装置を用いた。

【0193】

被成膜基板としては、 SiO_2 ガラス基板(コーニング社製1737)を用意した。その基板に前処理として、超音波脱脂洗浄を、アセトン、エタノール、超純水により各5分間ずつ行った後、空气中100℃で乾燥させた。ターゲットとしては、 $\text{InGa}(\text{Zn}_{1-x}\text{Mg}_x\text{O})_4$ ($x=1-0$)焼結体(サイズ20mm×5mm)を用いた。

【0194】

ターゲットは、出発原料 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}:\text{MgO}$ (各4N試薬)を、湿式混合(溶媒:エタノール)、仮焼(1000℃:2h)、乾式粉碎、本焼結(1550℃:2h)を経て作製した。成長室到達真空は、 2×10^{-6} (Pa)であり、成長中の酸素分圧は、0.8 (Pa)とした。基板温度は、室温(25℃)で行い、ターゲットと被成膜基板間の距離は、30 (mm)であった。

【0195】

なお、KrFエキシマレーザーのパワーは、 $1.5 \text{ (mJ/cm}^2/\text{pulse)}$ 、パルス幅は、20 (nsec)、繰り返し周波数は、10 (Hz)、照射スポット径は、 $1 \times 1 \text{ (mm角)}$ とした。成膜レートは、7 (nm/min)であった。

【0196】

雰囲気は酸素分圧0.8 Paで、基板温度は25℃である。得られた膜に関し、膜面にすれすれ入射X線回折(薄膜法、入射角0.5度)を行ったところ、明瞭な回折ピークは検出されず、作製したIn-Zn-Ga-Mg-O系膜はアモルファス膜であることが示された。得られた膜の表面は平坦であった。

【0197】

10

20

30

40

50

異なる x 値のターゲットを用いて、酸素分圧 0.8 Pa の雰囲気中で成膜した In-Ga-Mg-O 系アモルファス酸化物膜の電気伝導度、電子キャリア濃度及び電子移動度の x 値依存性を調べた。

【0198】

その結果を、図4に示す。 x 値が 0.4 超のとき、酸素分圧 0.8 Pa の雰囲気中で、PLD法により成膜したアモルファス酸化物膜では、電子キャリア濃度を $10^{18} / \text{cm}^3$ 未満にできることが示された。また、 x 値が 0.4 超のアモルファス酸化物膜では、電子移動度は、 $1 \text{ cm}^2 / \text{V} \cdot \text{秒}$ 超であった。

【0199】

図4に示すように、 Zn を 80 原子%の Mg で置換したターゲットを使用した場合、酸素分圧 0.8 Pa の雰囲気中で、パルスレーザー堆積法で得られた膜の電子キャリア濃度を $10^{16} / \text{cm}^3$ 未満とすることができる（電気抵抗値は、約 $10^{-2} \text{ S} / \text{cm}$ である）。こうした膜の電子移動度は、 Mg 無添加膜に比べて低下するが、その程度は少なく、室温での電子移動度は約 $5 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ で、アモルファスシリコンに比べて、1桁程度大きな値を示す。同じ条件で成膜した場合、 Mg 含有量の増加に対して、電気伝導度と電子移動度は、共に低下するので、 Mg の含有量は、好ましくは、 20 原子%超、 85 原子%未満（ x にして、 $0.2 < x < 0.85$ ）、より好適には $0.5 < x < 0.85$ である。

【0200】

ガラス基板の代わりに厚さ $200 \mu\text{m}$ のポリエチレン・テレフタレート（PET）フィルムを用いた場合にも、得られた $\text{InGaO}_3 \cdot (\text{Zn}_{1-x}\text{Mg}_x\text{O})_4$ ($0 < x < 1$) アモルファス酸化物膜は、同様の特性を示した。

（PLD法による In_2O_3 アモルファス酸化物膜の成膜）

KrFエキシマレーザーを用いたPLD法により、 In_2O_3 多結晶焼結体をターゲットとして、厚さ $200 \mu\text{m}$ のPETフィルム上に In_2O_3 膜を成膜した。

【0201】

装置は、図8に示した装置を用いた。被成膜基板として、 SiO_2 ガラス基板（コーニング社製1737）を用意した。

【0202】

この基板の前処理として、超音波脱脂洗浄を、アセトン、エタノール、超純水で各5分間ずつ行った後、空气中 100°C で乾燥させた。

【0203】

ターゲットとしては、 In_2O_3 焼結体（サイズ $20\text{mm} \times 5\text{mm}$ ）を用いた。これは、出発原料 In_2O_3 （4N試薬）を仮焼（ 1000°C : 2h）、乾式粉碎、本焼結（ 1550°C : 2h）を経て準備した。

【0204】

成長室到達真空は、 $2 \times 10^{-6} \text{ Pa}$ 、成長中の酸素分圧は、 5 Pa 、基板温度は室温とした。

【0205】

酸素分圧は 5 Pa 、水蒸気分圧は 0.1 Pa とし、さらに、酸素ラジカル発生装置に 200 W を印加して、酸素ラジカルを発生させた。

【0206】

ターゲットと被成膜基板間の距離は、 40 mm 、KrFエキシマレーザーのパワーは $0.5 \text{ mJ/cm}^2 / \text{pulse}$ 、パルス幅は、 20 nsec 、繰り返し周波数は、 10 Hz 、照射スポット径は $1 \times 1 \text{ mm}$ （角）であった。成膜レートは、 3 nm/min であった。

【0207】

得られた膜に関し、膜面にすれすれ入射X線回折（薄膜法、入射角 0.5° ）を行ったところ、明瞭な回折ピークは検出されず、作製した In-O 系膜はアモルファス膜であることが示された。膜厚は、 80 nm であった。

【0208】

得られた In - O系アモルファス酸化物膜の電子キャリア濃度は $5 \times 10^{17} / \text{cm}^3$ で、電子移動度は、約 $7 \text{ cm}^2 / \text{V} \cdot \text{秒}$ であった。

(PLD法による In - Sn - O系アモルファス酸化物膜の成膜)

KrFエキシマレーザーを用いたPLD法により、 $(\text{In}_{0.9}\text{Sn}_{0.1})\text{O}_{3.1}$ 多結晶焼結体をターゲットとして、厚さ $200 \mu\text{m}$ のPETフィルム上に In - Sn - O系酸化物膜を成膜した。

【0209】

具体的には、

被成膜基板として、 SiO_2 ガラス基板 (コーニング社製1737) を用意した。

【0210】

基板前処理として、超音波脱脂洗浄をアセトン、エタノール、超純水を用いて各5分間ずつ行った。その後、空气中 100°C で乾燥させた。

【0211】

ターゲットは、 In_2O_3 - SnO_2 焼結体 (サイズ $20\text{mm} \times 5\text{mm}$) を準備した。これは、出発原料として、 In_2O_3 - SnO_2 (4N試薬) を湿式混合 (溶媒: エタノール)、仮焼 (1000°C : 2h)、乾式粉碎、本焼結 (1550°C : 2h) を経て得られる。

【0212】

基板温度は室温である。酸素分圧は 5 Pa 、窒素分圧は、 0.1 Pa とし、さらに、酸素ラジカル発生装置に 200 W を印加して、酸素ラジカルを発生させた。

【0213】

ターゲットと被成膜基板間の距離は、 30 (mm) とし、KrFエキシマレーザーのパワーは、 $1.5 \text{ (mJ/cm}^2 \text{ /pulse)}$ 、パルス幅は、 20 (nsec) であった。また、繰り返し周波数は、 10 (Hz) 、照射スポット径は、 $1 \times 1 \text{ (mm角)}$ であった。成膜レートは、 6 (nm/min) であった。

【0214】

得られた膜に関し、膜面にすれすれ入射 X 線回折 (薄膜法、入射角 0.5°) を行ったところ、明瞭な回折ピークは検出されず、作製した In - Sn - O系膜はアモルファス膜であることが示された。

【0215】

得られた In - Sn - Oアモルファス酸化物膜の電子キャリア濃度は、 $8 \times 10^{17} / \text{cm}^3$ で、電子移動度は、約 $5 \text{ cm}^2 / \text{V} \cdot \text{秒}$ であった。膜厚は、 100 nm であった。

(PLD法による In - Ga - O系アモルファス酸化物膜の成膜)

被成膜基板として、 SiO_2 ガラス基板 (コーニング社製1737) を用意した。

【0216】

基板の前処理として、超音波脱脂洗浄をアセトン、エタノール、超純水を用いて、各5分間行った後、空气中 100°C で乾燥させた。

【0217】

ターゲットとして、 $(\text{In}_2\text{O}_3)_{1-x}(\text{Ga}_2\text{O}_3)_x$ ($X = 0-1$) 焼結体 (サイズ $20\text{mm} \times 5\text{mm}$) を用意した。なお、例えば $x = 0.1$ の場合は、ターゲットは、 $(\text{In}_{0.9}\text{Ga}_{0.1})_2\text{O}_3$ 多結晶焼結体ということになる。

【0218】

これは、出発原料: In_2O_3 - Ga_2O_3 (4N試薬) を、湿式混合 (溶媒: エタノール)、仮焼 (1000°C : 2h)、乾式粉碎、本焼結 (1550°C : 2h) を経て得られる。

【0219】

成長室到達真空は、 $2 \times 10^{-6} \text{ (Pa)}$ であり、成長中の酸素分圧は、 1 (Pa) とした。

【0220】

基板温度は、室温で行い、ターゲットと被成膜基板間の距離は、 30 (mm) 、KrFエキシマレーザーのパワーは、 $1.5 \text{ (mJ/cm}^2 \text{ /pulse)}$ であった。また、パルス幅は、 20 (nsec) 、繰り返し周波数は、 10 (Hz) 、照射スポット径は、 $1 \times 1 \text{ (mm角)}$ であった。成膜レートは、 6 (nm/min) であった。

10

20

30

40

50

【0221】

基板温度は25 である。酸素分圧は1 Paであった。得られた膜に関し、膜面にすれすれ入射X線回折（薄膜法、入射角0.5度）を行ったところ、明瞭な回折ピークは検出されず、作製したIn-Ga-O系膜はアモルファス膜であることが示された。膜厚は、120 nmであった。

【0222】

得られたIn-Ga-Oアモルファス酸化物膜の電子キャリア濃度は、 $8 \times 10^{16} / \text{cm}^3$ で、電子移動度は、約 $1 \text{ cm}^2 / \text{V} \cdot \text{秒}$ であった。
(In-Zn-Ga-O系アモルファス酸化物膜を用いたTF T素子の作製（ガラス基板））

10

TF T素子の作製

図5に示すトップゲート型TF T素子を作製した。

【0223】

まず、ガラス基板（1）上に、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとし、酸素分圧5 Paの条件で、前述したPLD装置を用いて、In-Ga-Zn-O系アモルファス酸化物膜を作製した。チャンネル層（2）として用いる厚さ120nmのIn-Ga-Zn-O系アモルファス膜を形成した。

【0224】

さらにその上に、チャンパー内の酸素分圧を1Pa未満にして、PLD法により電気伝導度の大きなIn-Ga-Zn-O系アモルファス膜及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィー法とリフトオフ法により、ドレイン端子（5）及びソース端子（6）を形成した。

20

【0225】

最後にゲート絶縁膜（3）として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜し（厚み：90nm、比誘電率：約15、リーク電流密度： 0.5 MV/cm 印加時に 10^{-3} A/cm^2 ）、その上に金を成膜した。そして、フォトリソグラフィー法とリフトオフ法により、ゲート端子（4）を形成した。チャンネル長は、 $50 \mu\text{m}$ で、チャンネル幅は、 $200 \mu\text{m}$ であった。

【0226】

TF T素子の特性評価

図6に、室温下で測定したTF T素子の電流-電圧特性を示す。ドレイン電圧 V_{DS} の増加に伴い、ドレイン電流 I_{DS} が増加したことからチャンネルがn型伝導であることが分かる。

30

【0227】

これは、アモルファスIn-Ga-Zn-O系アモルファス酸化物膜がn型伝導体であるという事実と矛盾しない。 I_{DS} は $V_{DS} = 6 \text{ V}$ 程度で飽和（ピンチオフ）する典型的な半導体トランジスタの挙動を示した。利得特性を調べたところ、 $V_{DS} = 4 \text{ V}$ 印加時におけるゲート電圧 V_{GS} の閾値は約 -0.5 V であった。

【0228】

また、 $V_G = 10 \text{ V}$ 時には、 $I_{DS} = 1.0 \times 10^{-5} \text{ A}$ の電流が流れた。これはゲートバイアスにより絶縁体のIn-Ga-Zn-O系アモルファス酸化物膜内にキャリアを誘起できたことに対応する。

40

【0229】

トランジスタのオン・オフ比は、 10^3 超であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $7 \text{ cm}^2 (\text{Vs})^{-1}$ の電界効果移動度が得られた。作製した素子に可視光を照射して同様の測定を行なったが、トランジスタ特性の変化は認められなかった。

【0230】

なお、アモルファス酸化物の電子キャリア濃度を $10^{18} / \text{cm}^3$ 未満にすることでTF Tのチャンネル層として適用できる。この電子キャリア濃度としては、 $10^{17} / \text{cm}^3$ 以下がより好ましく、 $10^{16} / \text{cm}^3$ 以下にすると更に好ましかった。

(In-Zn-Ga-O系アモルファス酸化物膜を用いたTF T素子の作製（アモルファ

50

ス基板))

図5に示すトップゲート型TFET素子を作製した。まず、ポリエチレン・テレフタレート(PET)フィルム(1)上に、PLD法により、酸素分圧5Paの雰囲気中で、チャンネル層(2)として用いる厚さ120nmのIn-Zn-Ga-O系アモルファス酸化物膜を形成した。このとき、InGaO₃(ZnO)組成を有する多結晶焼結体をターゲットとした。

【0231】

さらにその上に、チャンバー内酸素分圧を1Pa未満にして、PLD法により電気伝導度の大きなIn-Zn-Ga-O系アモルファス酸化物膜及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成した。最後にゲート絶縁膜(3)を電子ビーム蒸着法により成膜して、その上に金を成膜し、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成した。チャンネル長は、50μmで、チャンネル幅は、200μmであった。ゲート絶縁膜として、Y₂O₃(厚さ:140nm)、Al₂O₃(厚さ:130μm)及びHfO₂(厚さ:140μm)を用いた3種類の上記の構造を有するTFETを作成した。

10

【0232】

TFET素子の特性評価

PETフィルム上に形成したTFETの室温下で測定した電流-電圧特性は、図6と同様であった。すなわち、ドレイン電圧V_{DS}の増加に伴い、ドレイン電流I_{DS}が増加したことから、チャンネルがn型伝導であることが分かる。これは、アモルファスIn-Ga-Zn-O系アモルファス酸化物膜がn型伝導体であるという事実と矛盾しない。I_{DS}はV_{DS}=6V程度で飽和(ピンチオフ)する典型的なトランジスタの挙動を示した。また、V_g=0のときには、I_{DS}=10⁻⁸A、V_g=10V時には、I_{DS}=2.0×10⁻⁵Aの電流が流れた。これはゲートバイアスにより絶縁体のIn-Ga-Zn-O系アモルファス酸化物膜内に電子キャリアを誘起できたことに対応する。

20

【0233】

トランジスタのオン・オフ比は、10³超であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約7cm²(Vs)⁻¹の電界効果移動度が得られた。

【0234】

PETフィルム上に作成した素子を、曲率半径30mmで屈曲させ、同様のトランジスタ特性の測定を行ったが、トランジスタ特性に変化は認められなかった。また、可視光を照射して同様の測定を行なったが、トランジスタ特性の変化は認められなかった。

30

【0235】

ゲート絶縁膜としてAl₂O₃膜を用いたTFETでも、図6に示したものと類似のトランジスタ特性を示したが、V_g=0のときには、I_{DS}=10⁻⁸A、V_g=10V時には、I_{DS}=5.0×10⁻⁶Aの電流が流れた。トランジスタのオン・オフ比は、10²超であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約2cm²(Vs)⁻¹の電界効果移動度が得られた。

【0236】

ゲート絶縁膜としてHfO₂膜を用いたTFETでも、図6に示したものと類似のトランジスタ特性を示したが、V_g=0のときには、I_{DS}=10⁻⁸A、V_g=10V時には、I_{DS}=1.0×10⁻⁶Aの電流が流れた。トランジスタのオン・オフ比は、10²超であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約10cm²(Vs)⁻¹の電界効果移動度が得られた。

40

(PLD法によるIn₂O₃アモルファス酸化物膜を用いたTFET素子の作成)

図5に示すトップゲート型TFET素子を作製した。まず、ポリエチレン・テレフタレート(PET)フィルム(1)上に、PLD法により、チャンネル層(2)として用いる厚さ80nmのIn₂O₃アモルファス酸化物膜を形成した。

【0237】

さらにその上に、チャンバー内酸素分圧を1Pa未満にして、さらに酸素ラジカル発生装

50

置への印加電圧をゼロにして、PLD法により、電気伝導度の大きな In_2O_3 アモルファス酸化物膜及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成した。最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜して、その上に金を成膜した。そして、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成した。

【0238】

TFT素子の特性評価

PETフィルム上に形成したTFTの室温下で測定した電流-電圧特性を測定した。ドレイン電圧 V_{DS} の増加に伴い、ドレイン電流 I_{DS} が増加したことからチャンネルがn型半導体であることが分かる。これは、In-O系アモルファス酸化物膜がn型伝導体であるという事実と矛盾しない。 I_{DS} は $V_{DS}=5$ V程度で飽和(ピンチオフ)する典型的なトランジスタの挙動を示した。また、 $V_g=0$ V時には、 2×10^{-8} A、 $V_g=10$ V時には、 $I_{DS}=2.0 \times 10^{-6}$ Aの電流が流れた。これはゲートバイアスにより絶縁体のIn-O系アモルファス酸化物膜内に電子キャリアを誘起できたことに対応する。

10

【0239】

トランジスタのオン・オフ比は、約 10^2 であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $10 \text{ cm}^2 (\text{Vs})^{-1}$ の電界効果移動度が得られた。ガラス基板上に作成したTFT素子も同様の特性を示した。

【0240】

PETフィルム上に作成した素子を、曲率半径30mmで曲げ、同様のトランジスタ特性の測定を行ったが、トランジスタ特性に変化は認められなかった。

20

(PLD法によるIn-Sn-O系アモルファス酸化物膜を用いたTFT素子の作成)

図5に示すトップゲート型TFT素子を作製した。まず、ポリエチレン・テレフタレート(PET)フィルム(1)上に、PLD法により、チャンネル層(2)として用いる厚さ100nmのIn-Sn-O系アモルファス酸化物膜を形成した。さらにその上に、チャンパー内酸素分圧を1Pa未満にして、さらに酸素ラジカル発生装置への印加電圧をゼロにして、PLD法により、電気伝導度の大きなIn-Sn-O系アモルファス酸化物膜及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成した。最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜し、その上に金を成膜して、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成した。

30

【0241】

TFT素子の特性評価

PETフィルム上に形成したTFTの室温下で測定した電流-電圧特性を測定した。ドレイン電圧 V_{DS} の増加に伴い、ドレイン電流 I_{DS} が増加したことからチャンネルがn型半導体であることが分かる。これは、In-Sn-O系アモルファス酸化物膜がn型伝導体であるという事実と矛盾しない。 I_{DS} は $V_{DS}=6$ V程度で飽和(ピンチオフ)する典型的なトランジスタの挙動を示した。また、 $V_g=0$ V時には、 5×10^{-8} A、 $V_g=10$ V時には、 $I_{DS}=5.0 \times 10^{-5}$ Aの電流が流れた。これはゲートバイアスにより絶縁体のIn-Sn-O系アモルファス酸化物膜内に電子キャリアを誘起できたことに対応する。

40

【0242】

トランジスタのオン・オフ比は、約 10^3 であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $5 \text{ cm}^2 (\text{Vs})^{-1}$ の電界効果移動度が得られた。ガラス基板上に作成したTFT素子も同様の特性を示した。

【0243】

PETフィルム上に作成した素子を、曲率半径30mmで曲げ、同様のトランジスタ特性の測定を行ったが、トランジスタ特性に変化は認められなかった。

(PLD法によるIn-Ga-O系アモルファス酸化物膜を用いたTFT素子の作成)

図5に示すトップゲート型TFT素子を作製した。まず、ポリエチレン・テレフタレー

50

ト (P E T) フィルム (1) 上に、実施例 6 に示した成膜法により、チャンネル層 (2) として用いる厚さ 120nm の In-Ga-O 系アモルファス酸化物膜を形成した。さらにその上に、チャンパー内の酸素分圧を 1Pa 未満にして、さらに酸素ラジカル発生装置への印加電圧をゼロにして、P L D 法により、電気伝導度の大きな In-Ga-O 系アモルファス酸化物膜及び金膜をそれぞれ 30nm 積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子 (5) 及びソース端子 (6) を形成した。最後にゲート絶縁膜 (3) として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜し、その上に金を成膜して、フォトリソグラフィ法とリフトオフ法により、ゲート端子 (4) を形成した。

【 0 2 4 4 】

T F T 素子の特性評価

10

P E T フィルム上に形成した T F T の室温下で測定した電流 - 電圧特性を測定した。ドレイン電圧 V_{D_S} の増加に伴い、ドレイン電流 I_{D_S} が増加したことからチャンネルが n 型半導体であることが分かる。これは、 In-Ga-O 系アモルファス酸化物膜が n 型伝導体であるという事実と矛盾しない。 I_{D_S} は $V_{D_S} = 6 \text{ V}$ 程度で飽和 (ピンチオフ) する典型的なトランジスタの挙動を示した。また、 $V_g = 0 \text{ V}$ 時には、 $1 \times 10^{-8} \text{ A}$ 、 $V_g = 10 \text{ V}$ 時には、 $I_{D_S} = 1.0 \times 10^{-6} \text{ A}$ の電流が流れた。これはゲートバイアスにより絶縁体の In-Ga-O 系アモルファス酸化物膜内に電子キャリアを誘起できたことに対応する。

【 0 2 4 5 】

トランジスタのオン・オフ比は、約 10^2 であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $0.8 \text{ cm}^2 (\text{Vs})^{-1}$ の電界効果移動度が得られた。ガラス基板上に作成した T F T 素子も同様の特性を示した。

20

【 0 2 4 6 】

P E T フィルム上に作成した素子を、曲率半径 30 mm で曲げ、同様のトランジスタ特性の測定を行ったが、トランジスタ特性に変化は認められなかった。

【 0 2 4 7 】

なお、アモルファス酸化物の電子キャリア濃度を $10^{18} / \text{cm}^3$ 未満にすることで T F T のチャンネル層として適用できる。この電子キャリア濃度としては、 $10^{17} / \text{cm}^3$ 以下がより好ましく、 $10^{16} / \text{cm}^3$ 以下にすると更に好ましかった。

【 0 2 4 8 】

以下では、 In-Ga-Zn-O 系酸化物について主として説明するが、第 1 から第 3

30

【 0 2 4 9 】

まず、第 1 の本発明 (成膜前処理から後処理) に関する実施例について説明する。

(実施例 1 - 1)

まず、PET 基板を UV/O₃ 表面処理装置のチャンパーに入れ、基板表面に紫外線を照射する。本装置が有するチャンパーは、大気圧下の酸素含有雰囲気中で成膜を行う装置であり、紫外線照射によりチャンパー内にオゾンが発生し、オゾンと紫外線により基板表面の汚染物質を除去し、清浄表面を得ることが出来る。

【 0 2 5 0 】

この方法を用いて表面処理を行った基板上に、KrF エキシマレーザーを用いたパルスレーザー蒸着法により、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとして、 In-Ga-Zn-O 系アモルファス酸化物半導体薄膜を堆積させる。成膜条件は、既述の範囲で適宜設定して行う。

40

【 0 2 5 1 】

その後、図 5 に示すトップゲート型 MISFET 素子を作製する。具体的には以下のように行う。

【 0 2 5 2 】

まず、ガラス基板 (1) 上に上記のアモルファス In-Ga-Zn-O 薄膜の作製法により、チャンネル層 (2) として用いる厚さ 120nm の半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜を形成する。

50

【0253】

さらにその上に、パルスレーザー堆積法により電気伝導度の大きな $\text{InGaO}_3(\text{ZnO})_4$ 及び金膜をそれぞれ30nm積層し、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成する。最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜し(厚み:90nm、比誘電率:約15)、その上に金を成膜し、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成する。こうして、電界効果型のトランジスタが得られる。

(実施例1-2)

まず、ガラス基板(コーニング社製1737)を平行平板型常圧プラズマ装置のチャンバーに入れ、基板表面に低エネルギーのプラズマを照射する。

10

【0254】

本装置は低エネルギーのプラズマを基板表面に照射することにより基板表面の汚染物質を除去し、基板最表面の状態を変化させることが出来る。

【0255】

この方法を用いて表面処理を行った基板の上に、KrFエキシマレーザーを用いたパルスレーザー蒸着法により、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとして、In-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。

【0256】

得られたアモルファス酸化物膜の剥離試験を行うと、基板とアモルファス酸化物膜との密着性は非常に良好あることが確認できる。

20

【0257】

こうして得られる非晶質酸化物を用いて、例えば実施例1に示すようなトランジスタを作製できる。

(実施例1-3)

まず、ガラス基板(コーニング社製1737)を過酸化水素5%、アンモニア5%水溶液(APM)中に浸漬し、5分間の超音波洗浄を行う。

【0258】

基板をAPMから取り出した後、純水中に浸漬し、5分間の超音波洗浄を行う。その後、基板を過酸化水素5%、塩化水素5%水溶液(HPM)中に浸漬し、5分間の超音波洗浄を行う。

30

【0259】

HPMの代わりにフッ化水素水溶液あるいはフッ化水素と過酸化水素の混合水溶液を用いてもよい。基板をHPMから取り出した後、純水中に浸漬し、5分間の超音波洗浄を行う。その後に乾燥窒素により基板を乾燥させる。

【0260】

以上の洗浄工程により、基板上の汚染物質を除去し、清浄な基板表面を得ることが出来る。

【0261】

この方法を用いて表面処理を行った基板の上に、既述のIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。

40

【0262】

当該アモルファス酸化物膜の剥離試験を行うと、基板とアモルファス酸化物膜との密着性が非常に良好であることが確認できる。

(実施例1-4)

まず、PET基板の上にシロキサン系縮合物液体をスピンコーティングにより薄く塗布する。

【0263】

こうして得られる基板を、室温、且つ低湿度条件下で十分乾燥させる。

【0264】

あるいは、あらかじめハードコート加工されたPET基板、PETフィルム製品を用いること

50

も出来る。

【0265】

上記方法を用いて表面処理を行った基板上に、例えばIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。こうして得られる薄膜を利用して、トランジスタを形成することができる。

(実施例1-5)

KrFエキシマレーザーを用いたパルスレーザー蒸着法により、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとして、ガラス基板(コーニング社製1737)上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。

【0266】

チャンパーには、オゾン発生装置が取り付けられており、通常の O_2 ガスの代わりに、オゾン含有酸素ガスをチャンパー内に導入しながら成膜を行う。

【0267】

オゾンを含めたチャンパー内酸素分圧は、例えば6 Pa、基板温度は25 とする。こうして得られる薄膜を用いてFETを作製する。

【0268】

具体的には、図5に示すトップゲート型MISFET素子を作製する。

【0269】

まず、ガラス基板(1)上に上記のアモルファスIn-Ga-Zn-O薄膜の作製法により、チャンネル層(2)として用いる厚さ120nmの半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜を形成する。

【0270】

さらにその上に、チャンパー内酸素分圧を1Pa未満にして、パルスレーザー堆積法により電気伝導度の大きな $\text{InGaO}_3(\text{ZnO})_4$ 及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成する。

【0271】

最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜する(厚み:90nm、比誘電率:約15、リーク電流密度:0.5 MV/cm印加時に 10^{-3} A/cm²)。

【0272】

電子ビーム蒸着装置にもオゾン発生装置が取り付けられておき、オゾン+ O_2 ガスを導入しながら成膜を行う。

【0273】

その上に金を成膜し、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成する。

【0274】

このように、ゲート絶縁膜形成時にもオゾンを利用することで絶縁特性を向上させることができる。

(実施例1-6)

KrFエキシマレーザーを用いたパルスレーザー蒸着法により、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとして、ガラス基板(コーニング社製1737)上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。

【0275】

チャンパーには通常の O_2 ガスラインの他に、 N_2O ガスラインを取り付けておき、 O_2 ガスと N_2O ガスを同流量チャンパー内に導入しながら成膜を行う。

【0276】

N_2O の代わりに、 NO_2 または NO を用いることもできる。

【0277】

チャンパー内の O_2 + N_2O 圧力は約6 Pa、基板温度は25 とする。

【0278】

10

20

30

40

50

この装置を用いて、基板の上に非晶質酸化物を堆積させ、図5に示すトップゲート型MISFET素子を作製する。

【0279】

まず、ガラス基板(1)上に上記のアモルファスIn-Ga-Zn-O薄膜の作製法により、チャンネル層(2)として用いる厚さ120nmの半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜を形成する。さらにその上に、チャンパー内酸素分圧を1Pa未満にして、パルスレーザー堆積法により電気伝導度の大きな $\text{InGaO}_3(\text{ZnO})_4$ 及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成する。

【0280】

最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜する(厚み:90nm、比誘電率:約15、リーク電流密度:0.5 MV/cm印加時に 10^{-3} A/cm²)。 10

【0281】

電子ビーム蒸着装置にも N_2O ラインを取り付けておき、 $\text{N}_2\text{O}+\text{O}_2$ ガスを導入しながら成膜を行う。その上に金を成膜し、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成する。

【0282】

このように、ゲート絶縁膜形成時にもオゾンを利用することで絶縁特性を向上させることができる。

(実施例1-7)

KrFエキシマレーザーを用いたパルスレーザー蒸着法により、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとして、ガラス基板(コーニング社製1737)上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。 20

【0283】

チャンパーにはラジカル発生器が据え付けられており、 O_2 ガスをラジカル発生器を通すことで、酸素ラジカルを基板に導入する。

【0284】

チャンパー内の酸素分圧は6 Pa、基板温度は25 とする。

【0285】

上記薄膜を用いたFETを作製する。図5に示すトップゲート型MISFET素子を作製する。 30

【0286】

まず、ガラス基板(1)上に上記のアモルファスIn-Ga-Zn-O薄膜の作製法により、チャンネル層(2)として用いる厚さ120nmの半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜を形成する。

【0287】

さらにその上に、チャンパー内酸素分圧を1Pa未満にして、パルスレーザー堆積法により電気伝導度の大きな $\text{InGaO}_3(\text{ZnO})_4$ 及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成する。

【0288】

最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜する(厚み:90nm、比誘電率:約15、リーク電流密度:0.5 MV/cm印加時に 10^{-3} A/cm²)。 40

【0289】

電子ビーム蒸着装置にも同様にラジカル発生器を据え付けておき、酸素ラジカルを導入しながら成膜を行う。その上に金を成膜し、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成する。

【0290】

こうして、ゲート絶縁膜の絶縁性が非常に良好であるFETが実現される。

(実施例1-8)

KrFエキシマレーザーを用いたパルスレーザー蒸着法により、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有す 50

る多結晶焼結体をターゲットとして、ガラス基板（コーニング社製1737）上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。

【0291】

チャンパーには、ECRプラズマ発生器を据え付けておき、 O_2 ガスをECRプラズマ発生器を通すことで、酸素プラズマを基板に導入する。

【0292】

プラズマ発生装置は、RFプラズマ発生装置でもDCプラズマ発生装置でもよい。チャンパー内の酸素分圧は6 Pa、基板温度は25 とする。

【0293】

こうして得られる薄膜を用いて、図5に示すトップゲート型MISFET素子を作製する。

10

【0294】

まず、ガラス基板（1）上に上記のアモルファスIn-Ga-Zn-O薄膜の作製法により、チャンネル層（2）として用いる厚さ120nmの半絶縁性アモルファス $InGaO_3(ZnO)_4$ 膜を形成する。

【0295】

さらにその上に、チャンパー内酸素分圧を1Pa未満にして、パルスレーザー堆積法により電気伝導度の大きな $InGaO_3(ZnO)_4$ 及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子（5）及びソース端子（6）を形成する。

【0296】

最後にゲート絶縁膜（3）として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜する（厚み：90nm、比誘電率：約15、リーク電流密度：0.5 MV/cm印加時に 10^{-3} A/cm²）。なお、電子ビーム蒸着装置にも同様にECRプラズマ発生器を据え付けておき、酸素プラズマを導入しながら成膜を行う。その上に金を成膜し、フォトリソグラフィ法とリフトオフ法により、ゲート端子（4）を形成する。

20

【0297】

こうして、ゲート絶縁膜の絶縁性が非常に良好であるFETが実現される。

（実施例1-9）

KrFエキシマレーザーを用いたパルスレーザー蒸着法により、 $InGaO_3(ZnO)_4$ 組成を有する多結晶焼結体をターゲットとして、ガラス基板（コーニング社製1737）上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。

30

【0298】

チャンパー内の酸素分圧は6 Pa、基板温度は25 とする。

【0299】

薄膜堆積後の基板を、電気炉を用いて、大気中150、2時間の熱処理を行う。

【0300】

こうして得られる薄膜を利用して、図5に示すトップゲート型MISFET素子を作製する。

【0301】

まず、ガラス基板（1）上に上記のアモルファスIn-Ga-Zn-O薄膜の作製法により、チャンネル層（2）として用いる厚さ120nmの半絶縁性アモルファス $InGaO_3(ZnO)_4$ 膜を形成する。

40

【0302】

さらにその上に、チャンパー内酸素分圧を1Pa未満にして、パルスレーザー堆積法により電気伝導度の大きな $InGaO_3(ZnO)_4$ 及び金膜をそれぞれ30nm積層した。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子（5）及びソース端子（6）を形成する。

最後にゲート絶縁膜（3）として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜する（厚み：90nm、比誘電率：約15、リーク電流密度：0.5 MV/cm印加時に 10^{-3} A/cm²）。 Y_2O_3 膜堆積後も電気炉で大気中150 2時間の熱処理を行う。その上に金を成膜し、フォトリソグラフィ法とリフトオフ法により、ゲート端子（4）を形成する。

50

【0303】

こうして、ゲート絶縁膜の絶縁性が非常に良好であるFETが実現される。

【0304】

なお、本実施例1-9において、アモルファス酸化物膜堆積後、および Y_2O_3 膜堆積後の熱処理を、電気炉にオゾン発生器を取り付けることにより、オゾン雰囲気中で行うこともできる。

【0305】

また、本実施例1-9において、アモルファス酸化物膜堆積後、および Y_2O_3 膜堆積後の熱処理を、電気炉に N_2O ガスラインおよび酸素ガスラインを設置することにより、 N_2O+O_2 雰囲気中で行うこともできる。

10

【0306】

また、本実施例1-9において、アモルファス酸化物膜堆積後、および Y_2O_3 膜堆積後の熱処理を、水蒸気酸化用電気炉において、ほぼ飽和水蒸気圧の大気中に行うこともできる。

【0307】

また、本実施例1-9において、アモルファス酸化物膜堆積後、および Y_2O_3 膜堆積後の熱処理を、基板加熱用ヒーターにより基板を200 に加熱することもできる。このとき、成膜チャンパーに設置してあるラジカル発生器から酸素ラジカルを発生させ、それをチャンパー内に導入しながら、熱処理を行う。

【0308】

また、本実施例1-9において、アモルファス酸化物膜堆積後、および Y_2O_3 膜堆積後の熱処理を、成膜チャンパーに設置してあるECRプラズマ発生装置より酸素プラズマを発生させて行うこともできる。酸素プラズマ発生装置はRFプラズマ発生装置でもDCプラズマ発生装置でもよい。例えば、酸素プラズマを基板に照射しながら2時間保持する。

20

【0309】

そして、酸素基板にプラズマ照射する際に、基板加熱用ヒーターにより基板を200 に加熱しながら行うこともできる。

(実施例1-10)

KrFエキシマレーザーを用いたパルスレーザー蒸着法により、 $InGaO_3(ZnO)_4$ 組成を有する多結晶焼結体をターゲットとして、ガラス基板(コーニング社製1737)上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。チャンパー内の酸素分圧6 Pa、基板温度は25 である。こうして得られる薄膜を用いて、図5に示すトップゲート型MISFET素子を作製する。

30

【0310】

まず、ガラス基板(1)上に上記のアモルファスIn-Ga-Zn-O薄膜の作製法により、チャンネル層(2)として用いる厚さ120nmの半絶縁性アモルファス $InGaO_3(ZnO)_4$ 膜を形成する。

【0311】

さらにその上に、ドレイン端子(5)とソース端子(6)の形状に開放口を設けたメタルマスクを先ほど堆積させた $InGaO_3(ZnO)_4$ 膜表面に密着させ設置した。それをチャンパー内に設置し、チャンパー内酸素分圧を1Pa未満にして、パルスレーザー堆積法により電気伝導度の大きな $InGaO_3(ZnO)_4$ 及び金膜をそれぞれ30nm積層する。その後、メタルマスクを除去することで、ドレイン端子(5)及びソース端子(6)を形成した。最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を、電子ビーム蒸着法により成膜する(厚み:90nm、比誘電率:約15、リーク電流密度:0.5 MV/cm印加時に 10^{-3} A/cm²)。このとき、 Y_2O_3 膜の成膜は、やはりメタルマスクを用いてソース端子(5)とドレイン端子(6)の間、すなわちチャンネル上に堆積するように行う。さらにその上に金を成膜する。その後、メタルマスクを除去することで、ゲート端子(4)を形成する。メタルマスクを用いることで、リソグラフィ工程を経ることなくTFT素子を形成することが出来る。

40

(実施例1-11)

KrFエキシマレーザーを用いたパルスレーザー蒸着法により、 $InGaO_3(ZnO)_4$ 組成を有す

50

る多結晶焼結体をターゲットとして、ガラス基板（コーニング社製1737）上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。

【0312】

チャンパー内の酸素分圧は6 Pa、基板温度は25 である。

【0313】

こうして得られる薄膜を利用して、図5に示すトップゲート型MISFET素子を作製する。

【0314】

まず、ガラス基板（1）上に上記のアモルファスIn-Ga-Zn-O薄膜の作製法により、チャンネル層（2）として用いる厚さ120nmの半絶縁性アモルファスInGaO₃(ZnO)₄膜を形成する。

10

【0315】

チャンパー内酸素分圧を1Pa未満にして、パルスレーザー堆積法により金膜を30nm積層し、フォトリソグラフィ法とKI+I₂水溶液を用いたウエットエッチングにより、ドレイン端子（5）及びソース端子（6）を形成する。

【0316】

最後にゲート絶縁膜（3）として用いるY₂O₃膜を、電子ビーム蒸着法により成膜し（厚み：90nm、比誘電率：約15、リーク電流密度：0.5 MV/cm印加時に10⁻³ A/cm²）、その上に金を成膜する。そして、フォトリソグラフィ法とCF₄+Arガスを用いたプラズマドライエッチングにより、ゲート端子（4）を形成する。

【0317】

こうして、基板上に形成されるTFT素子間におけるバラツキの小さなTFTを作製することができる。

20

【0318】

次に、第2の本発明（成膜方法）に関する実施例について説明する。

（実施例2-1）

タングステンボートを抵抗加熱蒸発源とする蒸着装置に、In-Ga-Zn混合物あるいは合金を配置する。

【0319】

そして、酸素雰囲気中で加熱蒸発させることで、加熱蒸発源に対向して配置されたガラス基板（コーニング社製1737）上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。チャンパー内酸素分圧は約0.1 Pa、基板温度は25 である。

30

【0320】

タングステンボートに配置したIn-Ga-Zn混合物あるいは合金の組成は、蒸着によりガラス基板上に堆積された膜の組成が所望のものになるように調整しておく。

【0321】

抵抗加熱蒸発源はボートでなく、フィラメントやバスケットなどを用いてよく、その材質はモリブデンやタンタルなどでもよい。

【0322】

こうして、基板上に非晶質酸化物の薄膜が形成される。

【0323】

そして、当該膜を用いて、図5に示すようなトランジスタが作製される。

40

（実施例2-2）

3本のクヌーセンセルをおよびガス導入口を有する分子線エピタキシー（MBE）装置を用いて成膜を行う。

【0324】

それぞれのクヌーセンセルに、In、Ga、Zn単体金属を配置し、クヌーセンセルのヒーターを加熱する。

【0325】

これにより、In、Ga、Znをそれぞれ蒸発させ、同時にガス導入口から酸素ガスを導入する。そして、クヌーセンセルおよびガス導入口が向けられた方向に配置されたガラス基板

50

(コーニング社製1737)上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。

【0326】

チャンパー内圧力は0.005 Pa、基板温度は 25 である。

【0327】

クヌーセンセルの加熱温度は、ガラス基板上に堆積された膜の組成が所望のものになるようにそれぞれ調整しておく。

【0328】

ガス導入口から導入される酸素ガスは、通常のO₂分子ガスでも良いが、オゾンガスを用いることもできる。

【0329】

また酸素ラジカルを導入することもできる。

上記方法により得られる薄膜を利用して、図5に示すトップゲート型MISFET素子を作製する。

【0330】

まず、ガラス基板(1)上に上記のアモルファスIn-Ga-Zn-O薄膜の作製法により、チャンネル層(2)として用いる厚さ120nmの半絶縁性アモルファスInGaO₃(ZnO)₄膜を形成する。

【0331】

さらにその上に、チャンパー内圧力を0.005Paに保ちながら酸素ガス導入量を、上記薄膜作成時の約2分の1に減少させて、上記薄膜作成法により電気伝導度の大きなInGaO₃(ZnO)₄を30nm形成する。その上に、タングステンボートを用いた抵抗加熱蒸着法により金膜を30nm積層し、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成する。

【0332】

最後にゲート絶縁膜(3)として用いるY₂O₃膜を電子ビーム蒸着法により成膜し(厚み:90nm、比誘電率:約15、リーク電流密度:0.5 MV/cm印加時に10⁻³ A/cm²)、その上に金を成膜し、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成した。

【0333】

こうして、図5に示すFETが得られる。

(実施例2-3)

電子ビーム蒸着法により、In₂O₃-Ga₂O₃-ZnO酸化物焼結体をターゲットとして、酸素ガスを基板に向けて放射導入しながら、ガラス基板(コーニング社製1737)上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。

【0334】

チャンパー内圧力は0.01 Pa、基板温度は25 である。

【0335】

In₂O₃-Ga₂O₃-ZnO酸化物焼結体の組成は、ガラス基板上に堆積された膜の組成が所望のものになるように調整しておく。

【0336】

こうして得られる非晶質酸化物の薄膜を用いて、実施例2-2で示す方法によりFETを作製することができる。

(実施例2-4)

化学気相成長法(CVD法)により、基板(コーニング社製1737)上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。このとき、原料ガスは、トリメチルガリウム(TM₃G)、トリメチルインジウム(TM₃I)、ジメチル亜鉛(DMZ)および酸素である。チャンパー内圧力は1Pa、基板温度は200 である。

【0337】

原料ガス流量は、ガラス基板上に堆積された膜の組成が所望のものになるように調整する。

10

20

30

40

50

【0338】

TMGの代わりにトリエチルガリウム(TEG)、トリイソブチルガリウム(TIBG)やガリウムアルコキシドを用いることが出来る。

【0339】

また、TMIの代わりにトリエチルインジウム(TEI)やインジウムアルコキシドを用いることが出来る。また、DMZの代わりにトリエチル亜鉛(TEZ)や亜鉛アルコキシドを用いることが出来る。

【0340】

酸素ガスは通常の O_2 分子ガスでも良いが、オゾンガスを用いても良い。またチャンパー内に酸素ラジカルとして導入しても良い。

【0341】

また、 NO_2 、 N_2O などの酸化ガスを用いることもできる。

【0342】

こうして得られる非晶質酸化物の薄膜を用いて、実施例2-2で示す方法によりFETを作製することができる。

(実施例2-5)

実施例2-4において、CVD法によりアモルファスIn-Ga-Zn-O薄膜を形成する際に、プラズマをチャンパー内に発生させることで、より低い基板加熱温度で残留有機物の少ない膜を形成することが出来る。

【0343】

具体的には、ECRプラズマ発生器を用いてチャンパー内にプラズマを導入し、実施例2-4と同様の原料ガスを用いて、チャンパー内圧力0.1Pa、基板温度100でIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。

(実施例2-6)

実施例2-4において、CVD法によりアモルファスIn-Ga-Zn-O薄膜を形成する際に、原料ガスをチャンパーに導入した直後、基板に到達する前に、この原料ガスが、1000以上に加熱されたタングステンメッシュを通過し、基板に到達するようにする。

【0344】

これにより、原料ガスがタングステン触媒により分解するため、より低い基板加熱温度で残留有機物の少ない膜を形成することが出来る。

【0345】

タングステンメッシュの代わりに白金、モリブデン、タンタルなどを用いることも出来る。

【0346】

例えば、1500に加熱したタングステンメッシュをチャンパー内に導入し、実施例2-4と同様の原料ガスを用いて、チャンパー内圧力1Pa、基板温度100でIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。

(実施例2-7)

KrFエキシマレーザーにライン光学系を付加して発生させた100mm幅のレーザーラインビームを用いたラインビームパルスレーザー蒸着法を用いて成膜する。

【0347】

$InGaO_3(ZnO)_4$ 組成を有する、幅100mmの大きさの多結晶焼結体をターゲットとして用いる。

【0348】

100mm×100mmのガラス基板上に、成長する膜が基板面内に均一に堆積するように、基板をビームラインに対して垂直方向に動かしながら、アモルファス酸化物半導体薄膜を堆積させる。

【0349】

チャンパー内酸素分圧は6Pa、基板温度は25とする。

【0350】

10

20

30

40

50

こうして得られる非晶質酸化物薄膜を用いて、図5に示すトップゲート型MISFET素子を作製する。

【0351】

まず、ガラス基板(1)上に上記のアモルファスIn-Ga-Zn-O薄膜の作製法により、チャンネル層(2)として用いる厚さ120nmの半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜を形成する。

【0352】

さらにその上に、チャンパー内酸素分圧を1Pa未満にして、ラインビームパルスレーザー蒸着法により電気伝導度の大きな $\text{InGaO}_3(\text{ZnO})_4$ 及び金膜をそれぞれ30nm積層する。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成する。 10

【0353】

最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を、ラインビームパルスレーザー蒸着法により成膜し(厚み:90nm、比誘電率:約15、リーク電流密度:0.5 MV/cm印加時に 10^{-3} A/cm²)、その上に金を成膜する。そして、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成する。こうして、図5に示すFETが形成される。

(実施例2-8)

電気析出法により、非晶質酸化物を成膜する場合について説明する。

【0354】

硝酸インジュウム、硝酸ガリウム、硝酸亜鉛、ジメチルアミンボラン(DMAB)を含有する水溶液を原料として、基板(コーニング社製1737)上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。 20

【0355】

はじめに、無電界堆積を行った後、ジメチルアミンボラン(DMAB)を含有しない水溶液で外部電源を用いて電界をかけ、電気析出を行う。

【0356】

水溶液の温度は60(無電界時)~85(電気析出時)である。

【0357】

原料となる水溶液は、ガラス基板上に堆積される膜の組成が所望のものになるように調整しておく。 30

【0358】

実施例2-4等で示した方法により、電気析出法で作製した非晶質酸化物の薄膜を用いたFETが実現される。

【0359】

次に、第3の本発明(成膜温度)に関する実施例について説明する。

(実施例3-1)

KrFエキシマレーザーを用いたパルスレーザー蒸着法により、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する多結晶焼結体をターゲットとして、ガラス基板(コーニング社製1737)上にIn-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積させる。

【0360】

チャンパー内酸素分圧は6Pa、基板温度は70とする。 40

【0361】

こうして得られる非晶質酸化物の薄膜を利用して、図5に示すトップゲート型MISFET素子を作製する。

【0362】

まず、ガラス基板(1)上に上記のアモルファスIn-Ga-Zn-O薄膜の作製法により、チャンネル層(2)として用いる厚さ120nmの半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜を形成する。

【0363】

さらにその上に、チャンパー内酸素分圧を1Pa未満にして、パルスレーザー堆積法によ 50

り電気伝導度の大きな $\text{InGaO}_3(\text{ZnO})_4$ 及び金膜をそれぞれ30nm積層する。そして、フォトリソグラフィ法とリフトオフ法により、ドレイン端子(5)及びソース端子(6)を形成する。

【0364】

最後にゲート絶縁膜(3)として用いる Y_2O_3 膜を電子ビーム蒸着法により成膜し(厚み:90nm、比誘電率:約15、リーク電流密度:0.5 MV/cm印加時に 10^{-3} A/cm²)、その上に金を成膜する。そして、フォトリソグラフィ法とリフトオフ法により、ゲート端子(4)を形成する。

【0365】

こうして、図5に示すFETが得られる。

10

【0366】

さらに、In-Ga-Zn-O系アモルファス酸化物半導体薄膜を堆積時の基板温度を、例えば120とすることができる。

(実施例3-2)

基板としては、透明なポリカーボネート(PC)基板を用いる。

【0367】

ここでは厚さ0.3mmの基板を用いたが、10 μm ~100 μm 程度の樹脂フィルムを用いることもできる。また、表面に酸化シリコン膜や酸化窒化シリコン膜などをコートした樹脂基板や樹脂フィルムを用いることもできる。

【0368】

In-Ga-Zn-O系アモルファス酸化物半導体薄膜は、酸素分圧 3×10^{-1} Pa超、望ましくは 5×10^{-1} Pa超のアルゴンガス雰囲気中、スパッタ蒸着法で作製する。そして、成膜時の基板温度を120とすると、このように加熱した状態で成膜することにより、例えば、60恒温室内で動作させた場合の素子の安定性を高めることができる。

20

【0369】

なお、成膜時の基板温度を、PC基板の熱変形温度(150)以上とすると、TFET素子の特性(ゲート電圧 V_{GS} の閾値や I_{DS} など)のばらつきは大きくなる。

【産業上の利用可能性】

【0370】

本発明に係る非晶質酸化物をチャンネル層に用いて、トランジスタ、とりわけノーマリーオフ型のFETが実現される。

30

【0371】

このトランジスタは、液晶ディスプレイ(LCD)や有機ELディスプレイのスイッチング素子として利用できる。

【0372】

また、該非晶質酸化物は、プラスチックフィルムをはじめとするフレキシブル基板上に形成できるので、本発明はフレキシブル・ディスプレイをはじめ、ICカードやIDタグなどに幅広く応用される。

【図面の簡単な説明】

【0373】

【図1】パルスレーザー蒸着法で成膜したIn-Ga-Zn-O系アモルファス膜の電子キャリア濃度と成膜中の酸素分圧の関係を示すグラフである。

40

【図2】アルゴンガスを用いたスパッタ法で成膜したIn-Ga-Zn-O系アモルファス膜の電気伝導度と成膜中の酸素分圧の関係を示すグラフである。

【図3】パルスレーザー蒸着法で成膜したIn-Ga-Zn-O系アモルファス膜の電子キャリアの数と電子移動度の関係を示すグラフである。

【図4】酸素分圧0.8Paの雰囲気中パルスレーザー蒸着法で成膜した $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})$ のxの値に対する電気伝導度、キャリア濃度、電子移動度の変化を示すグラフである。

【図5】トップゲート型MISFET素子構造を示す模式図である。

50

【図6】 トップゲート型MISFET素子の電流 - 電圧特性を示すグラフである。

【図7】 第3の本発明を説明するための概念図である。

【図8】 PLD法により成膜を行うための装置の模式図である。

【図9】 スパッタ法により成膜を行うための装置の模式図である。

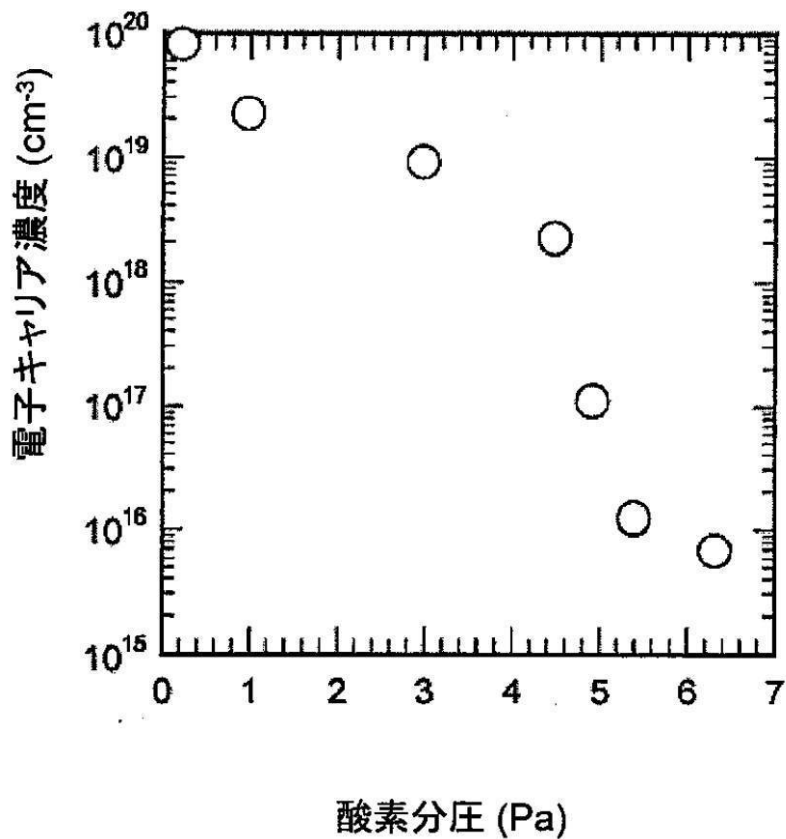
【符号の説明】

【0374】

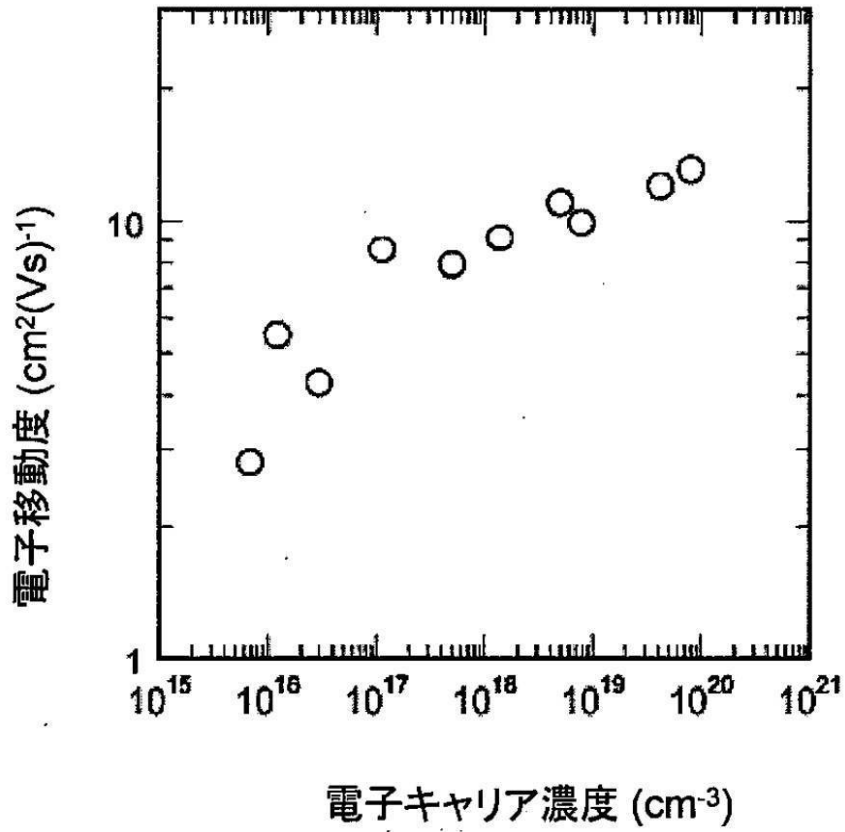
- 1 基板
- 2 チャンネル層
- 3 ゲート絶縁膜
- 4 ゲート端子
- 5 ドレイン端子
- 6 ソース端子

10

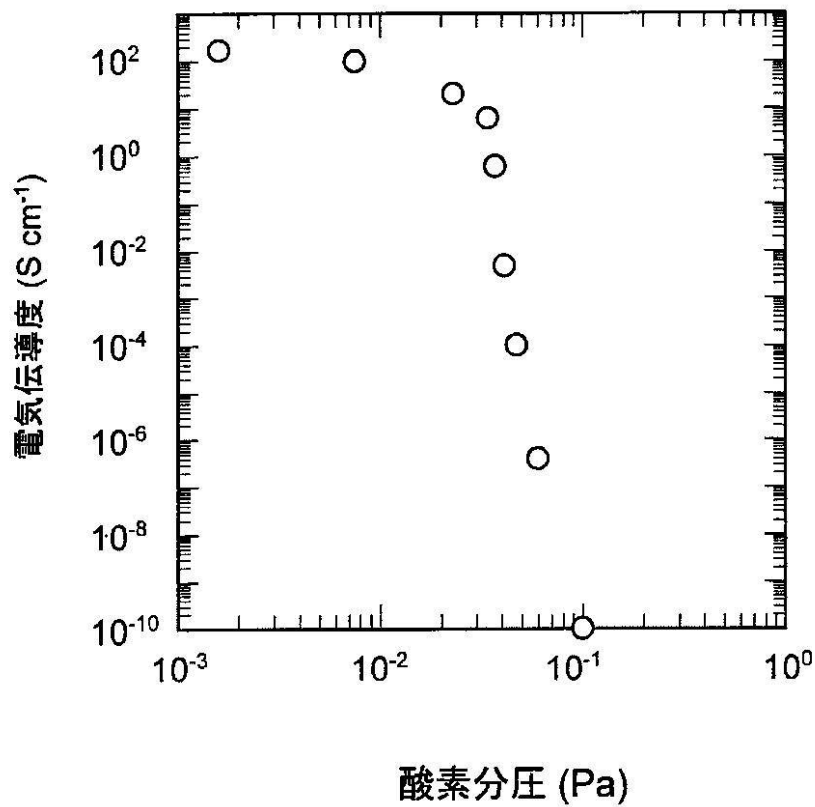
【図1】



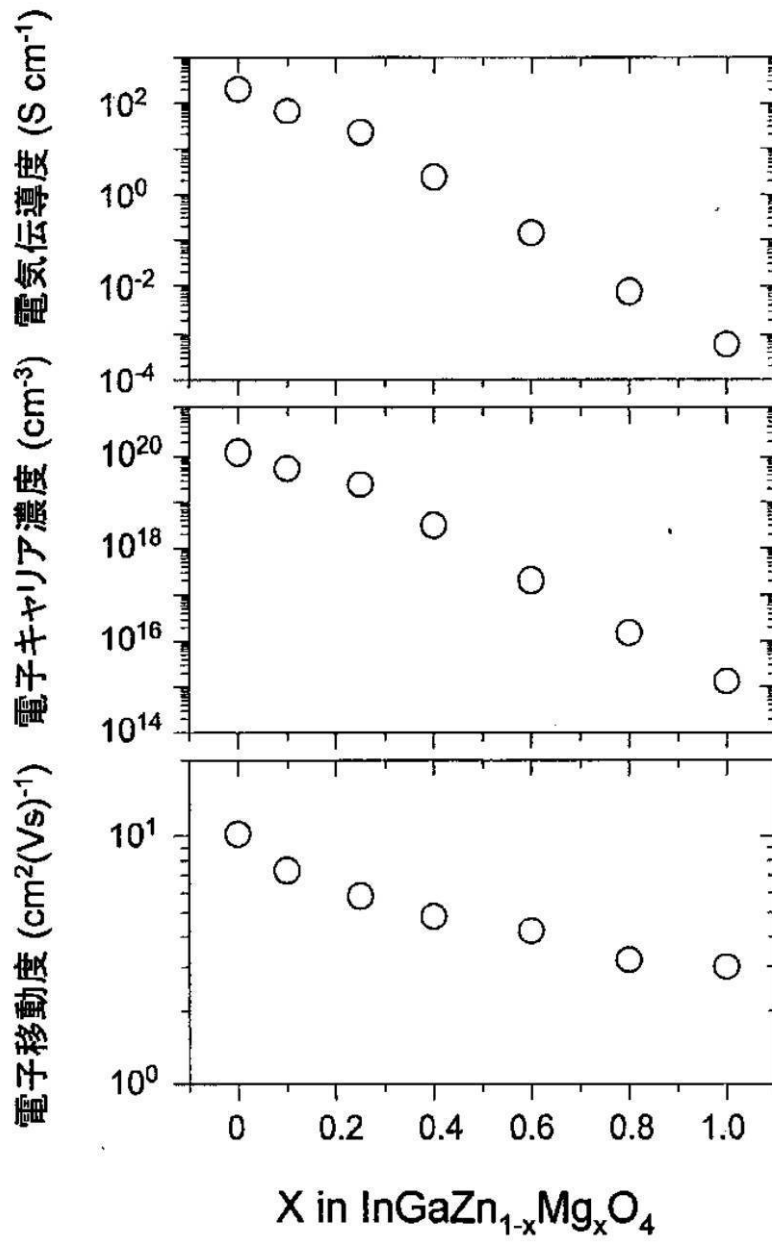
【 図 2 】



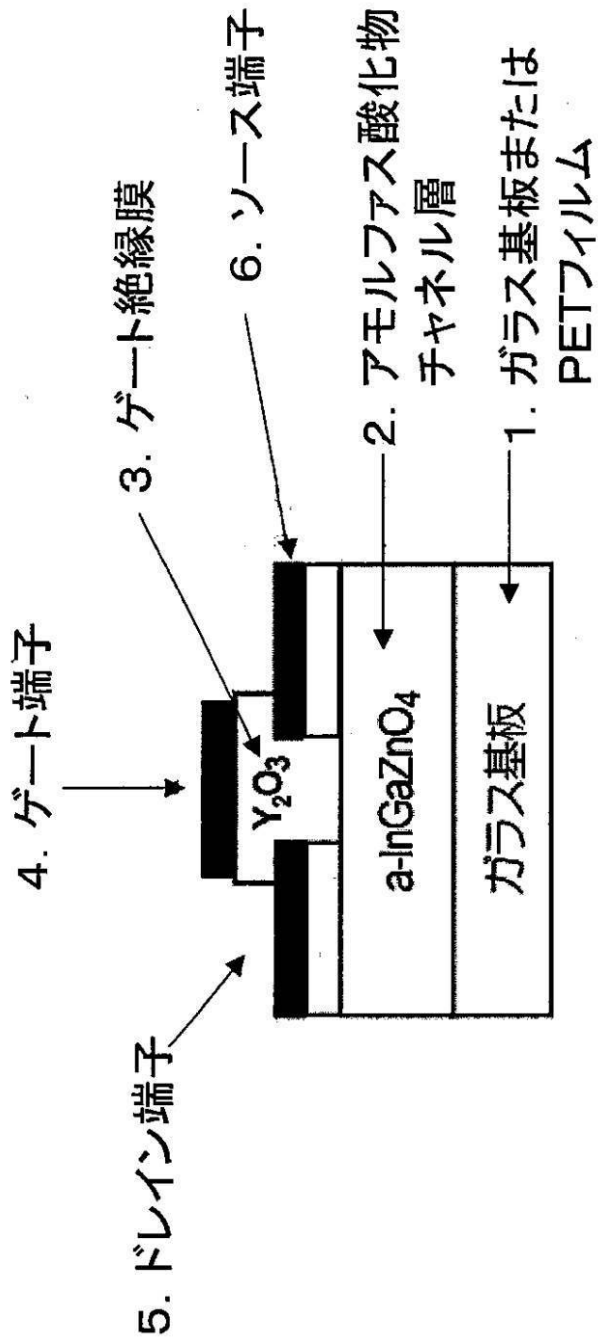
【 図 3 】



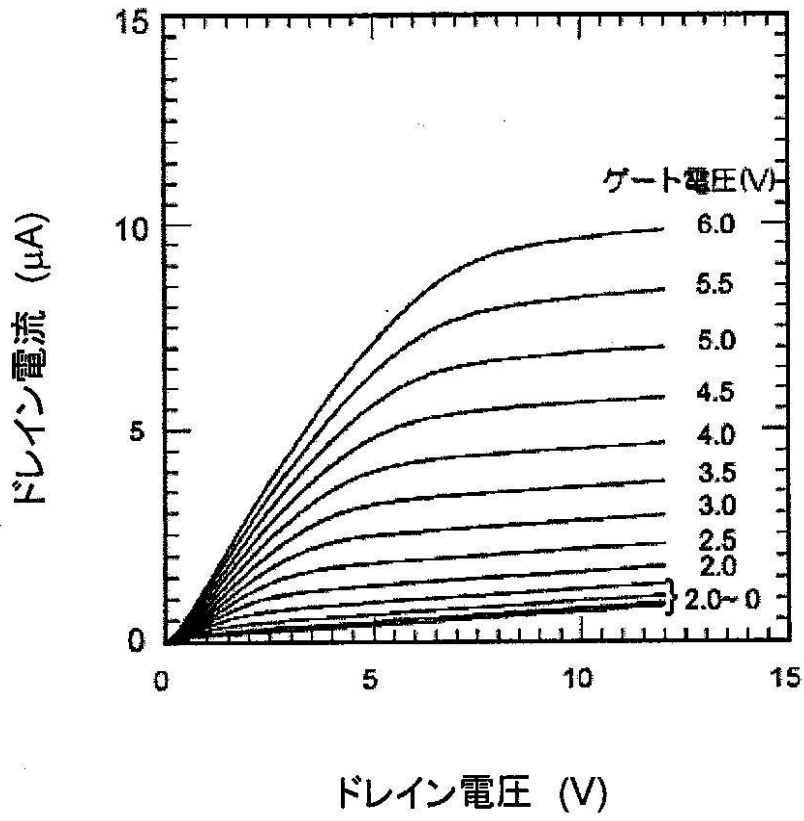
【 図 4 】



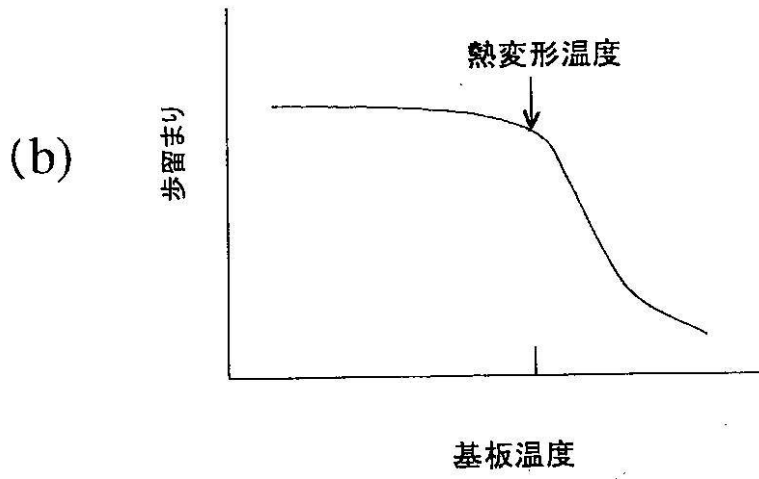
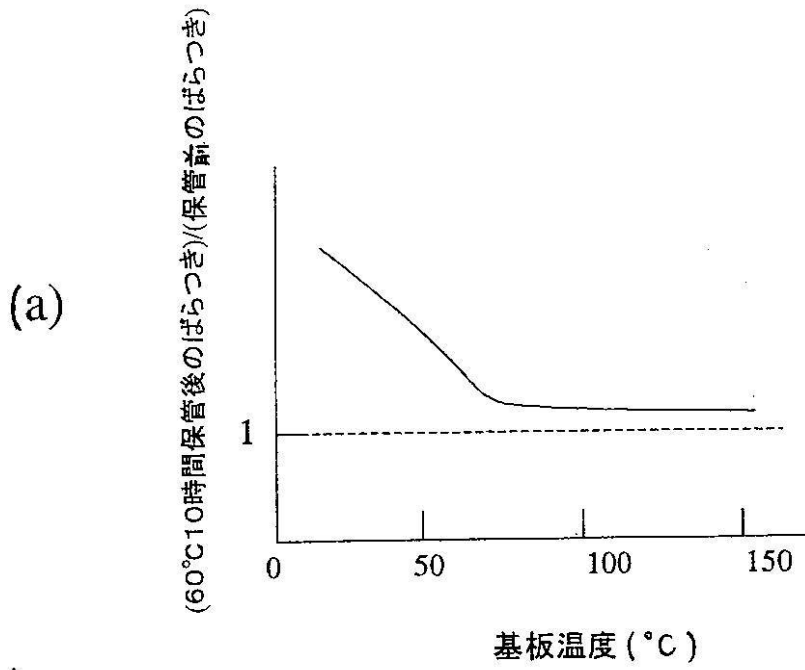
【 図 5 】



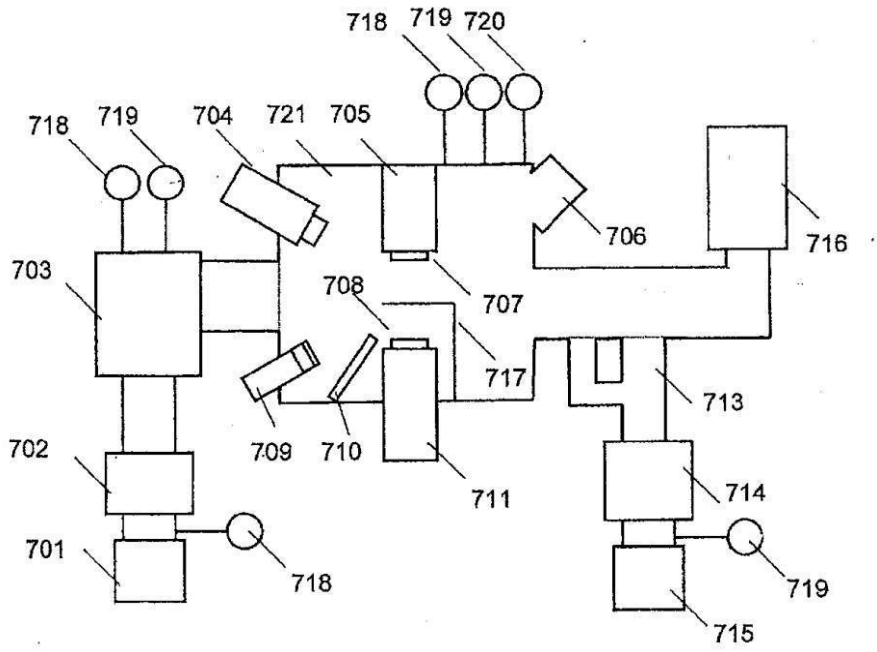
【図6】



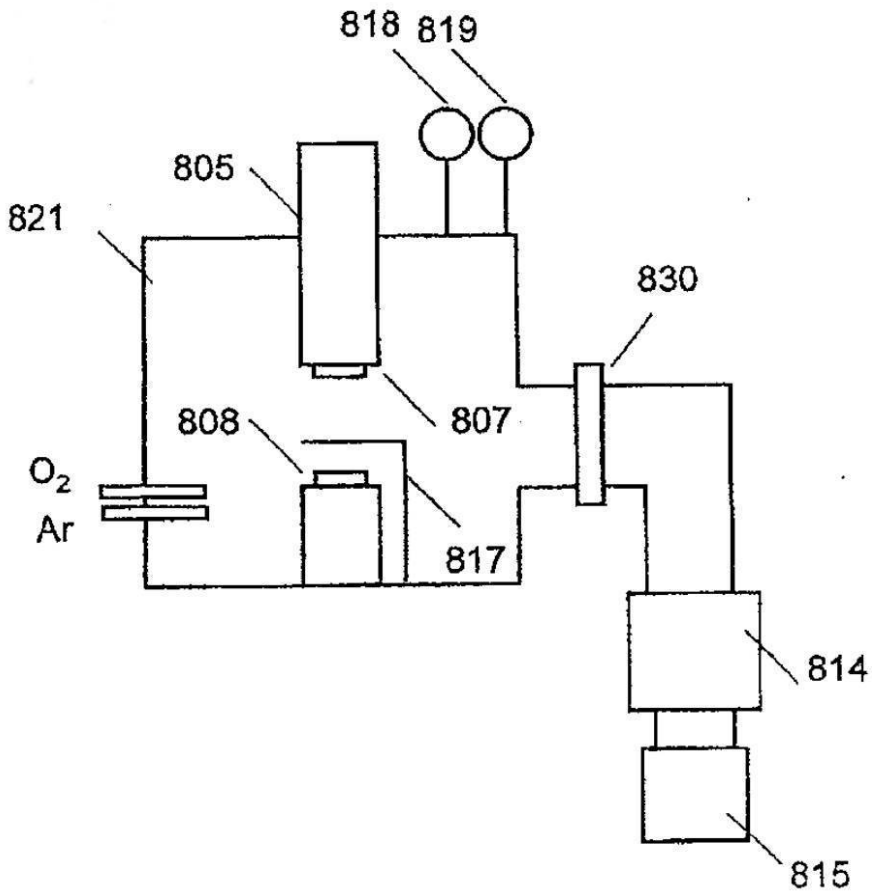
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

- (72)発明者 佐野 政史
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 岩崎 達哉
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 細野 秀雄
神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
- (72)発明者 神谷 利夫
神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
- (72)発明者 野村 研二
神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内

Fターム(参考) 5F110 AA01 AA17 BB01 CC01 CC05 CC07 DD01 DD02 EE02 EE43
FF01 FF27 GG04 GG07 GG15 GG16 GG24 GG28 GG29 GG42
GG43 GG44 GG57 GG58 HK02 HK08 HK16 HK21 QQ14